

高輝度LHC-ATLAS実験に向けた TGC検出器の前段読み出し回路の 放射線対策手法の開発

名古屋大学理学研究科M1

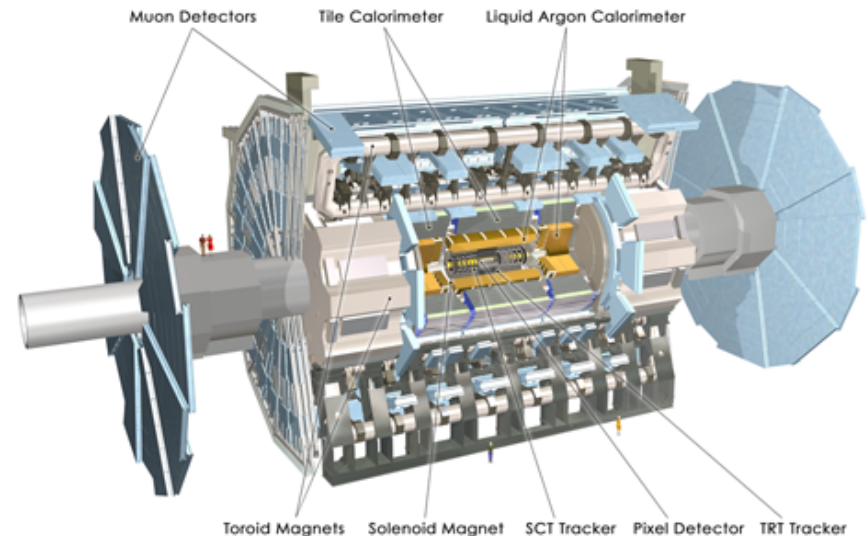
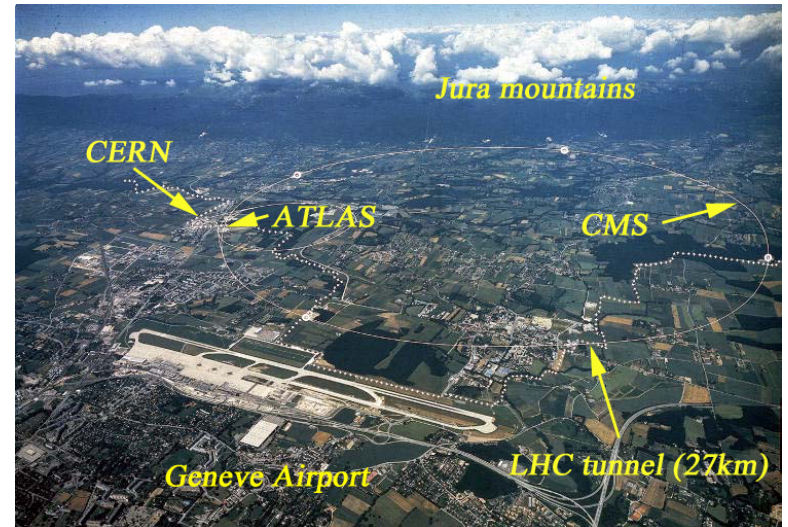
稲熊 勇人^A

戸本誠^{A,B}, 堀井泰之^{A,B}, 川口智美^{A,B}, 伊藤秀一^{A,B}, 麻田晴香^A,
佐々木修^{B,C}, 内田智久^{B,C}, 池野正弘^{B,C}, 他ATLAS日本トリガーグループ

名大理^A, Open - It^B, KEK素核研^C

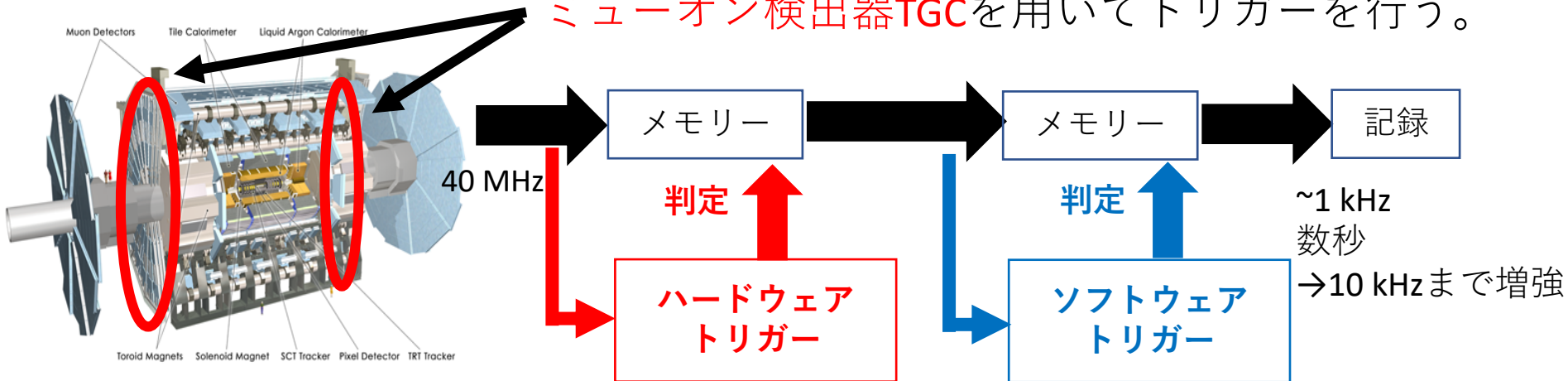
高輝度LHC-ATLAS実験

- **LHC**:CERNの陽子陽子衝突型加速器
40MHzで陽子バンチ衝突
- **ATLAS** :LHCで行われる実験
2026年から開始の高輝度LHCでは
重心系エネルギー $\sqrt{s} = 14 \text{ TeV}$
瞬間最高ルミノシティ
 $L = 7.5 \times 10^{34} \text{ cm}^{-2} \text{ s}^{-1}$
膨大なデータ中から興味のある事象
を選別する”**トリガー**”が重要



高輝度LHC-ATLAS実験におけるエンドキャップミュオントリガー

ミュオン検出器TGCを用いてトリガーを行う。



処理レート	100 kHz	→	1 MHz
判定時間	2.5 μ s		10 μs
	@LHC		@高輝度LHC



ハードウェアトリガー読み出し回路の刷新
が計画されている

エンドキャップミュオントリガーの読み出し回路

• 全データをトリガー回路へ光通信で高速転送

• 読み出し回路は以下の部品で構成される

1. ASDボード (Amplifier-Shaper-Discriminator)

検出器からの信号に閾値をかける

2. PSボード (Patch-Panel ASIC and Sender FPGA)

信号を後続のトリガー回路へ高速転送する

3. トリガー回路

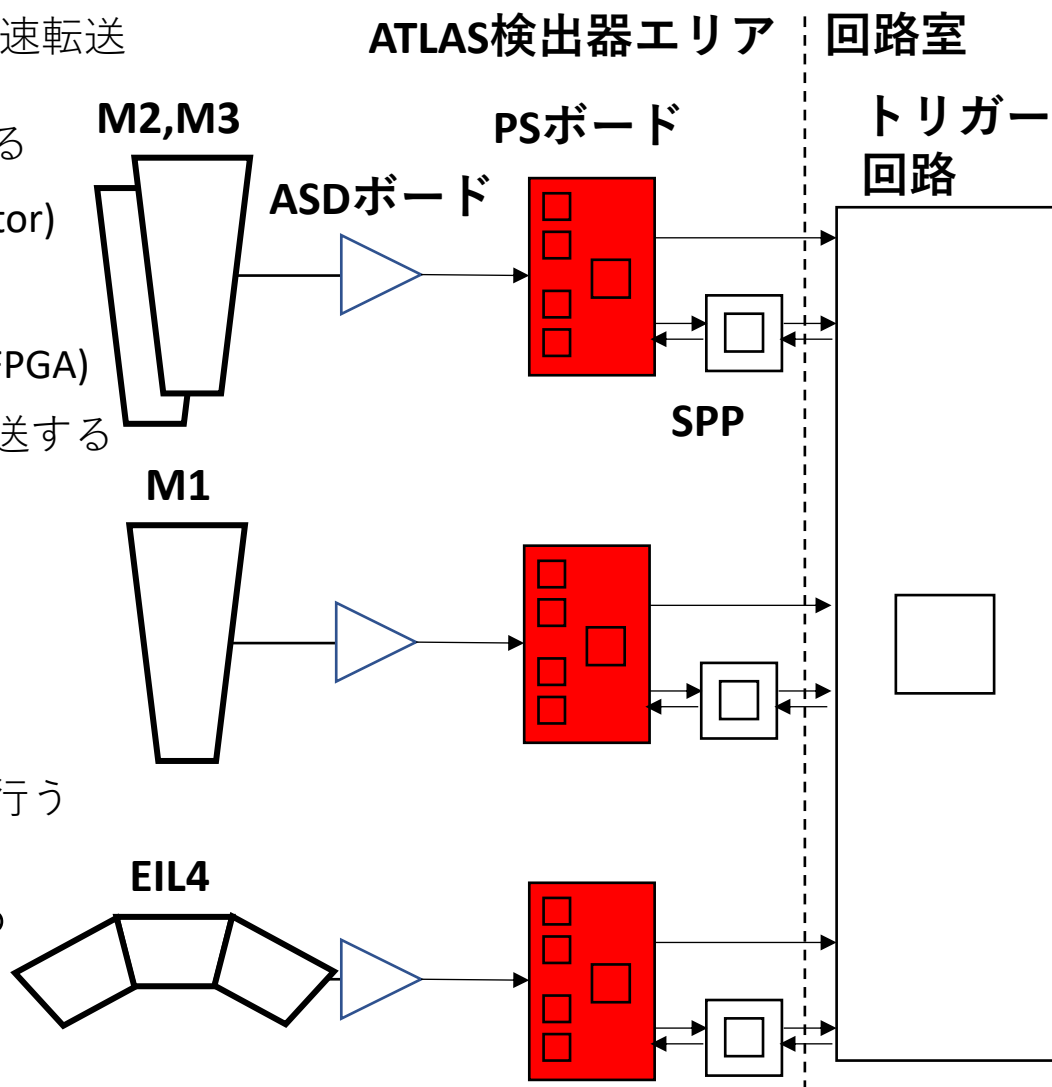
信号を用いて飛跡を検出し、

トリガー判定を行う

4. Service Patch Panel (SPP)

PSボードへのクロック供給や通信を行う

→ **PSボード**の放射線対策を考える



高輝度LHC-ATLAS実験でのPSボード

- PSボードは以下の素子を用いて転送を行う

1. Patch Panel ASIC

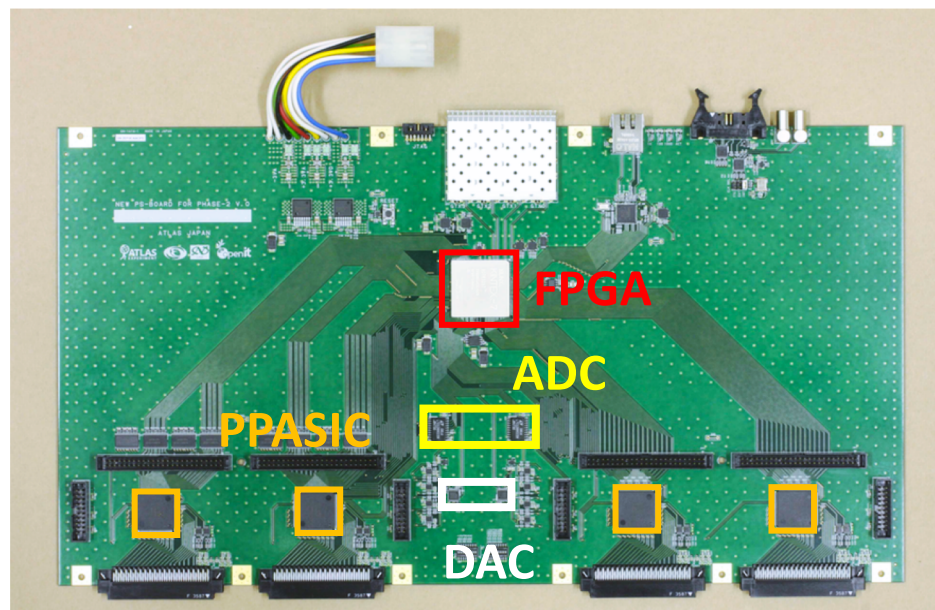
信号の到来時間を調整する

2. DAC & ADC

信号の閾値電圧を決定、モニターする

3. **FPGA** (Kintex-7 XC7K325T-2FFG900C)

信号を後段回路へ高速転送を行う



- PSボードの安定動作のためにボード上の素子の放射線耐性の確認及び対策を考える

FPGAのSingle Event効果によるソフトウェアに対して対策を打つ

高輝度LHC-ATLAS実験に向けて製作されたPSボード試作機
(基本動作は確認済み)

日本物理学会2017年3月宿谷 20pA12-9
日本物理学会2018年3月伊藤 23aK205-1

SEUのレート

- Single Event効果(SEE)について

SEEは高エネルギー粒子によって起こる効果。今回はSEEの中でもデータが反転するエラー（ソフトエラー）が発生する

Single Event Upset(SEU)を取り扱う

→1ビットエラーや複数ビットエラーが考えられる

- SEUのレート

(ルミノシティ $7.5 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$ 、回路格納メモリの使用率100%を仮定)

回路格納メモリの断面積は $6.9 \times 10^{-15} \text{ cm}^2/\text{bit}$

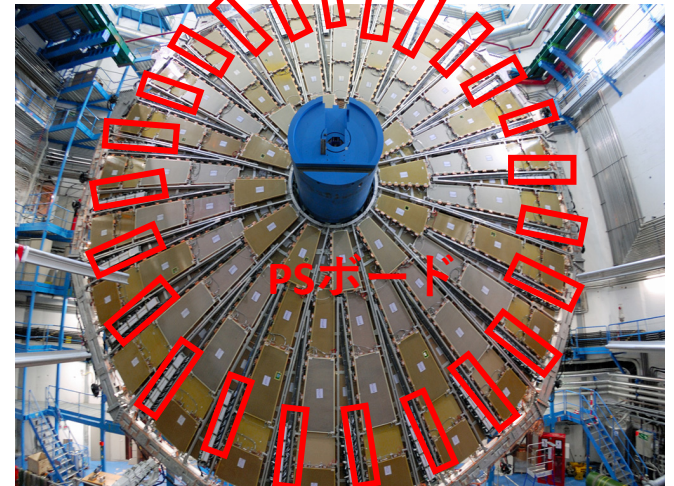
(M. J. Wirthlin et al. 2014 JINST 9 C01025)

PSボード1枚の回路格納メモリにおける

SEUのレートは概算で 10^{-4} 回/秒

TGC全体のレートは概算で 10^{-1} 回/秒 (1500枚分)

Soft Error Mitigation (SEM) Controllerを用いて対策



Soft Error Mitigation Controller

SEM ControllerはKintex7 FPGAの追加機能

回路格納メモリーにて発生したソフトエラーに対して修復を行う。

- 今回は拡張修正モードを用いる

修正可能ビット

- 1ビット、同フレームの隣接2ビット、別フレームの2ビット
(同フレームの隣接していない2ビットは修復不可)

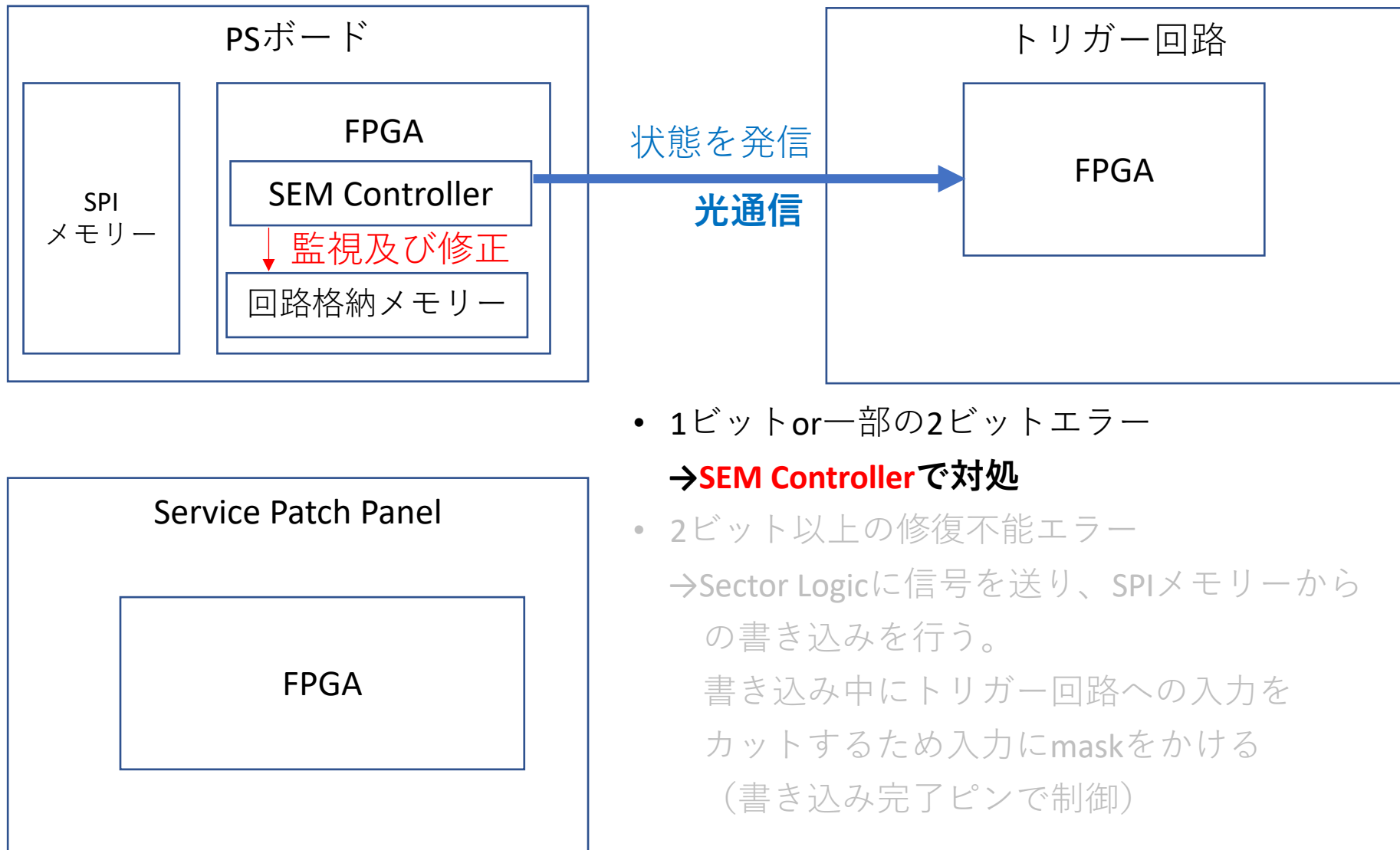
修正時間

- ≤ 100 ms

修正時間がSEUのレートより短く **FPGAのSEU対策に使用可能**

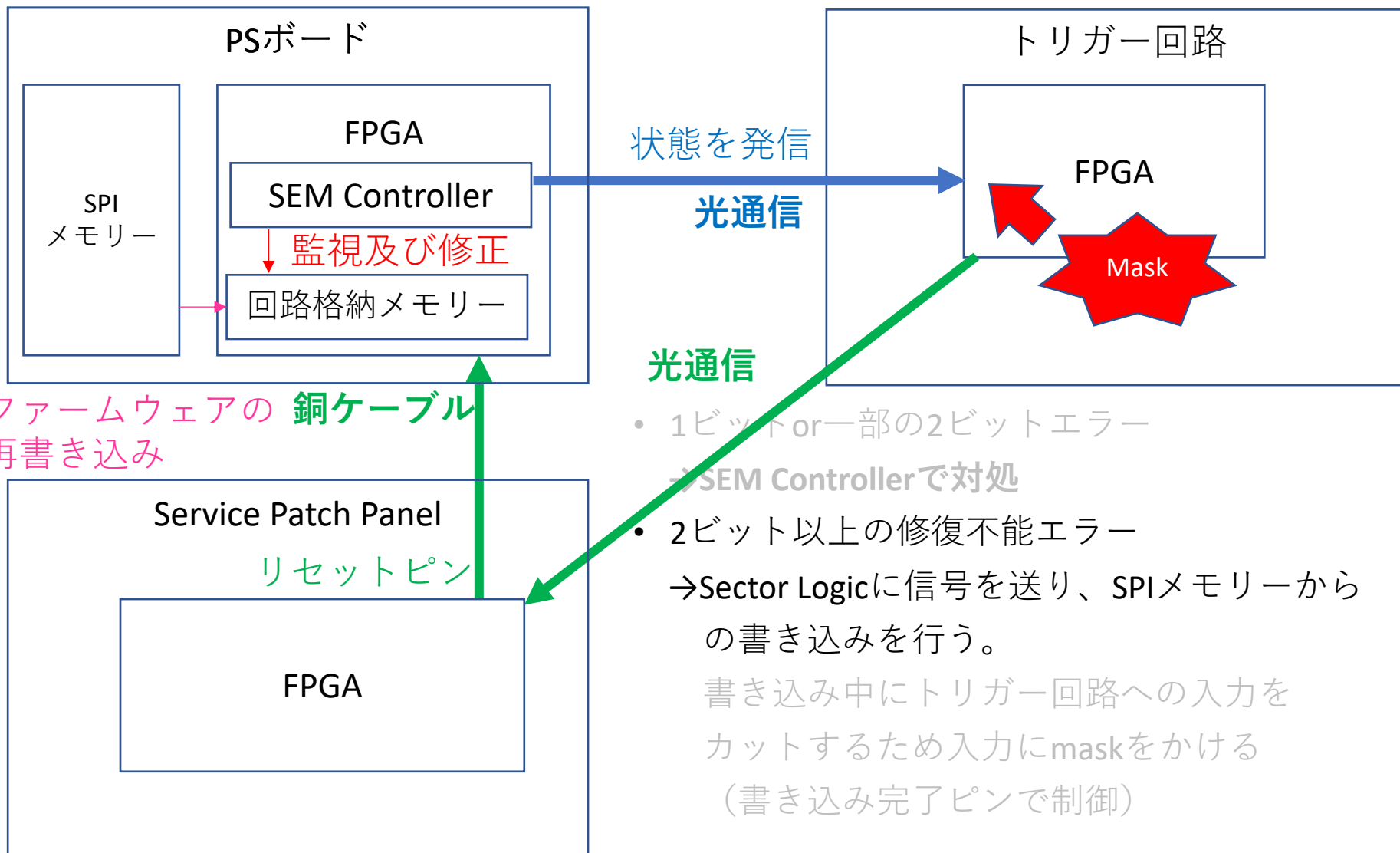
この修正時間ならTGC全体のefficiencyは 10^{-4} オーダーでしか減少しない

高輝度LHC-ATLAS実験におけるSEM Controller実装案



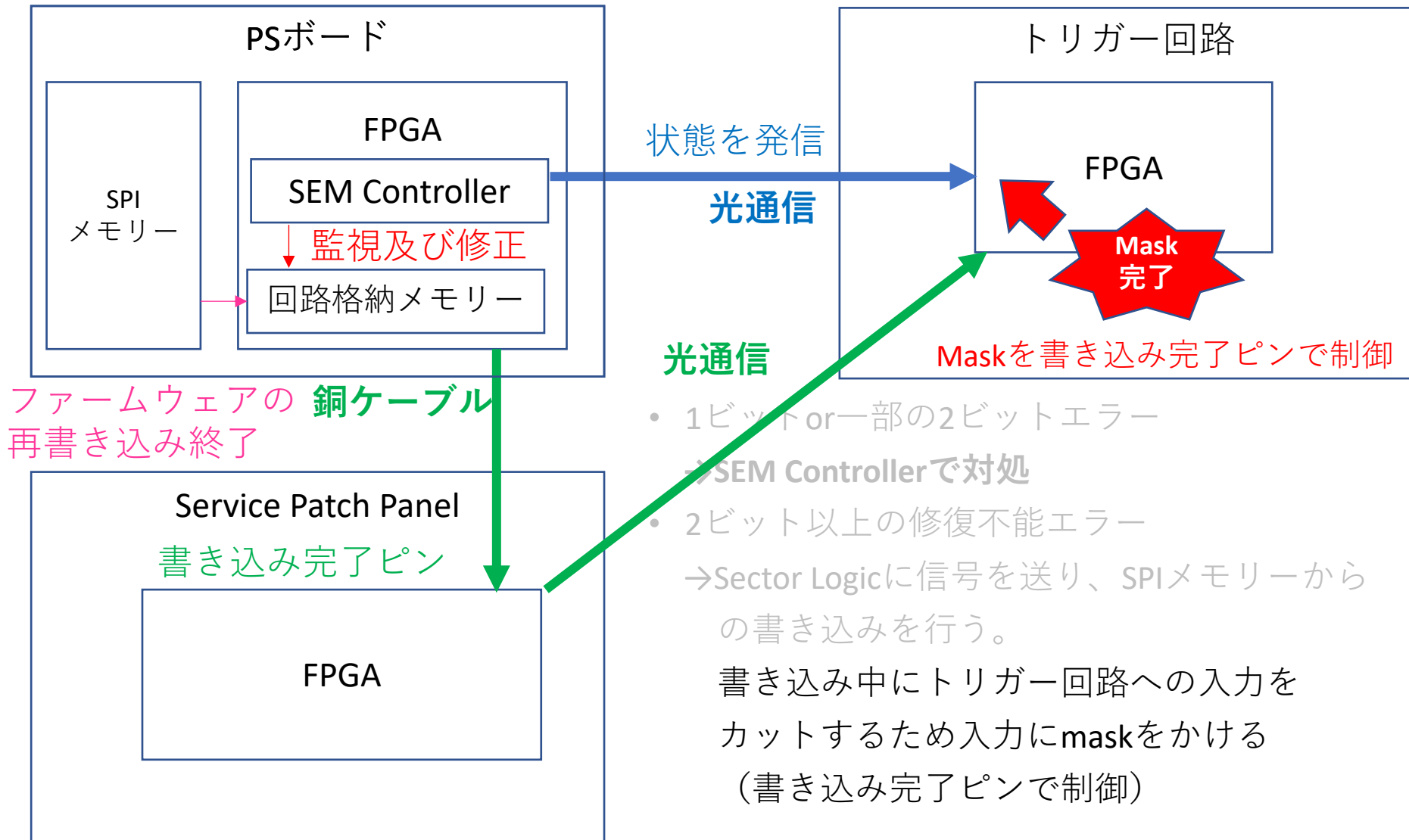
- 1ビットor一部の2ビットエラー
→**SEM Controller**で対処
- 2ビット以上の修復不能エラー
→Sector Logicに信号を送り、SPIメモリーからの書き込みを行う。
書き込み中にトリガー回路への入力をカットするため入力にmaskをかける
(書き込み完了ピンで制御)

高輝度LHC-ATLAS実験におけるSEM Controller実装案



- 1ビットor一部の2ビットエラー
→SEM Controllerで対処
- 2ビット以上の修復不能エラー
→Sector Logicに信号を送り、SPIメモリーからの書き込みを行う。
書き込み中にトリガー回路への入力をカットするため入力にmaskをかける
(書き込み完了ピンで制御)

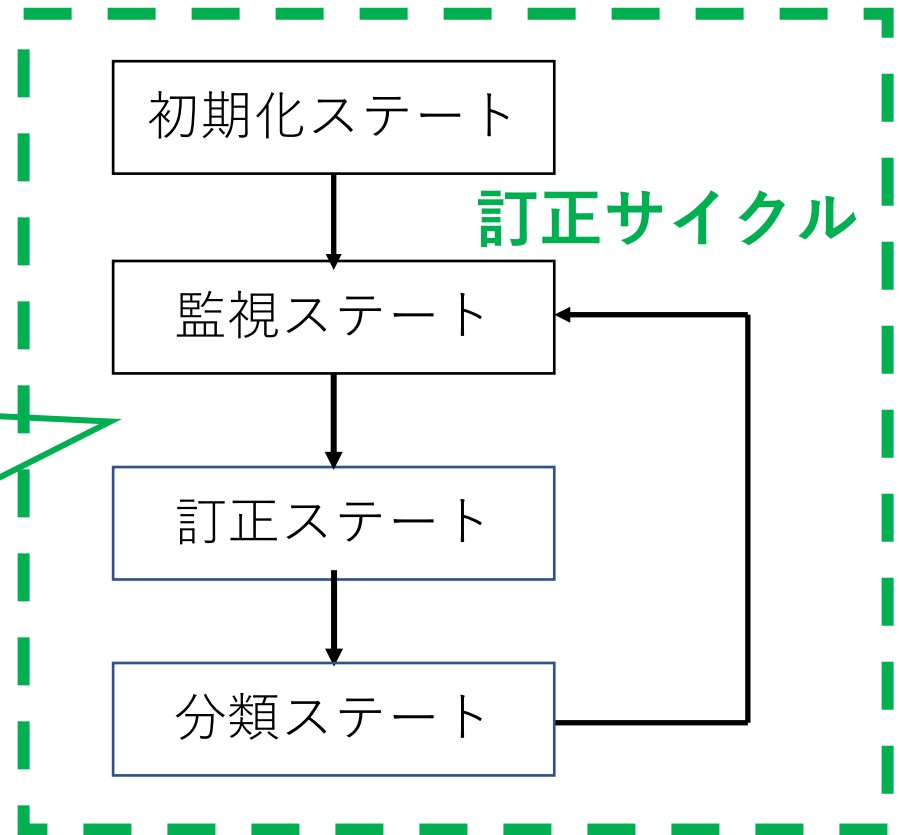
高輝度LHC-ATLAS実験におけるSEM Controller実装案



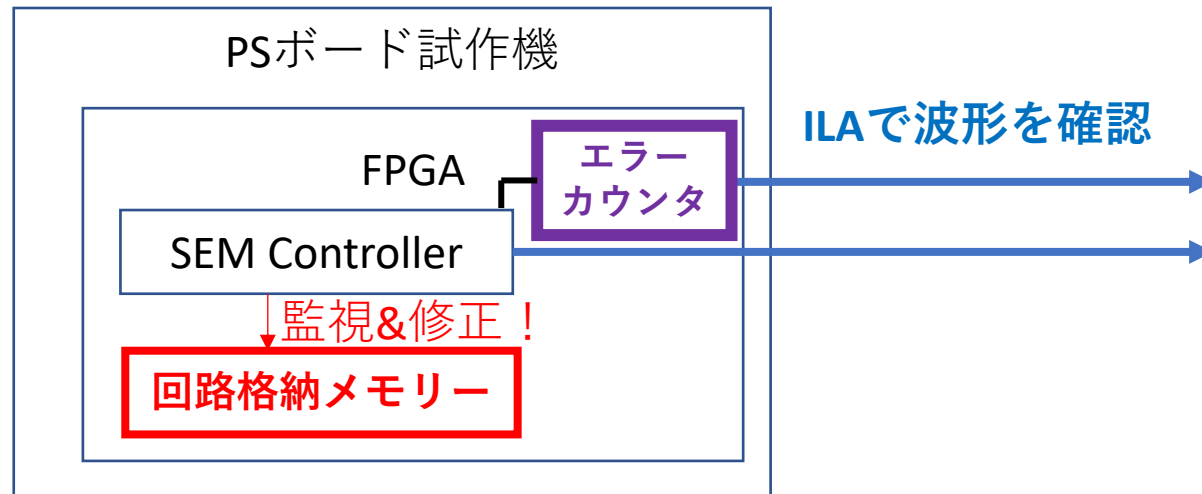
- 1ビットor一部の2ビットエラー
→SEM Controllerで対処
 - 2ビット以上の修復不能エラー
→Sector Logicに信号を送り、SPIメモリーからの書き込みを行う。
- 書き込み中にトリガー回路への入力をカットするため入力にmaskをかける
(書き込み完了ピンで制御)

SEM Controllerのステートと動作

- Error訂正サイクル
監視ステートでエラーを探し
エラー検出をすると
訂正サイクルに入る
→訂正成功すると監視ステート
へ復帰

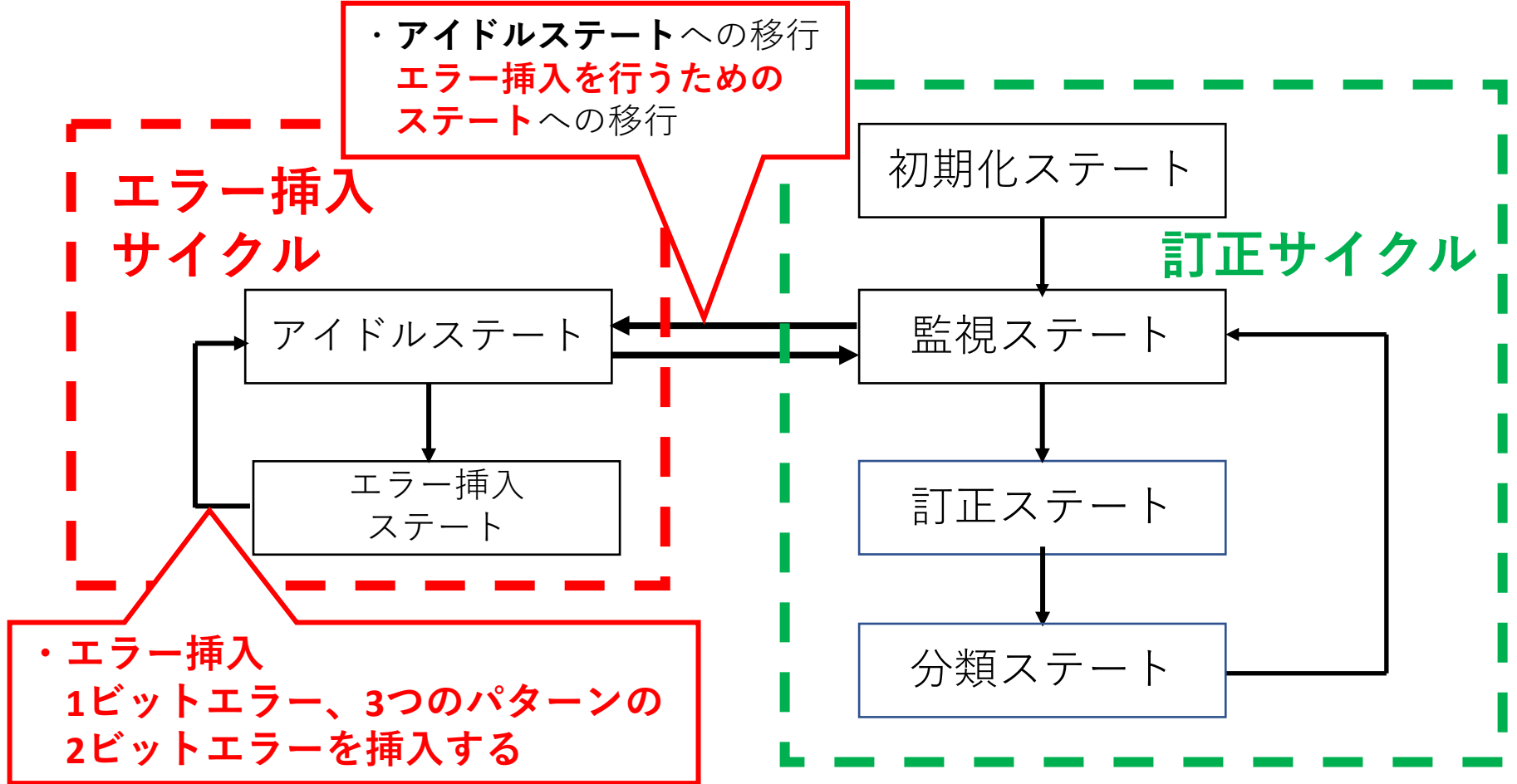


PSボード試作機を用いたSEM Controller試験



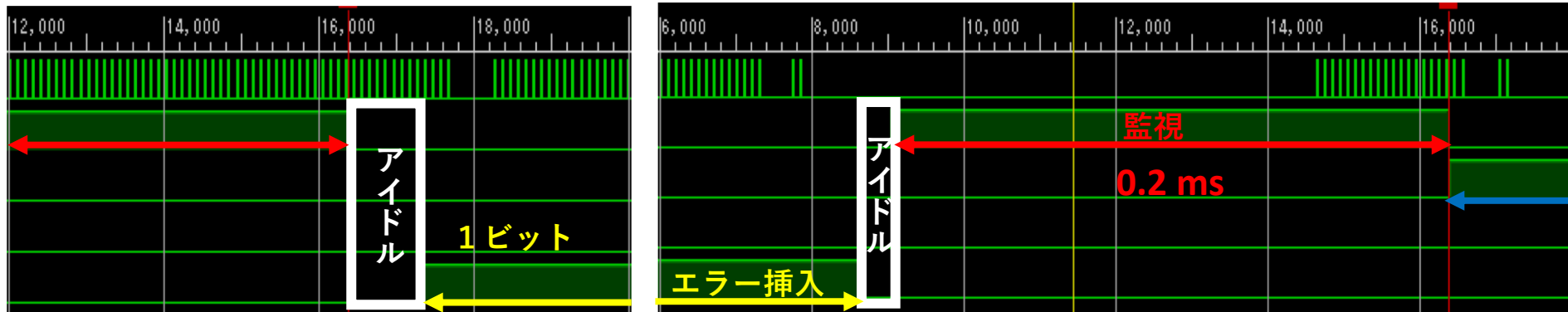
PSボードに、SEM Controller、エラーカウンタを実装し、テストエラー挿入を行うことで、エラー検知および自動修正の機能を確認した

SEM Controllerのステートと動作

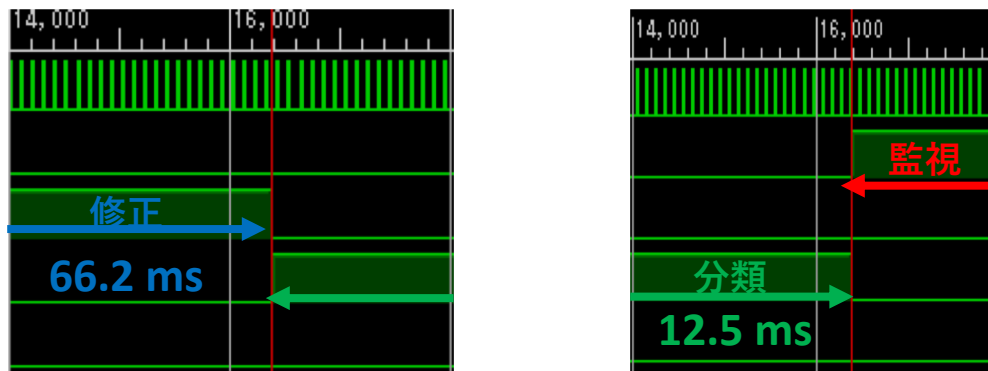


エラー挿入試験

PSボードにSEM Controllerを導入し、エラー挿入試験を行った

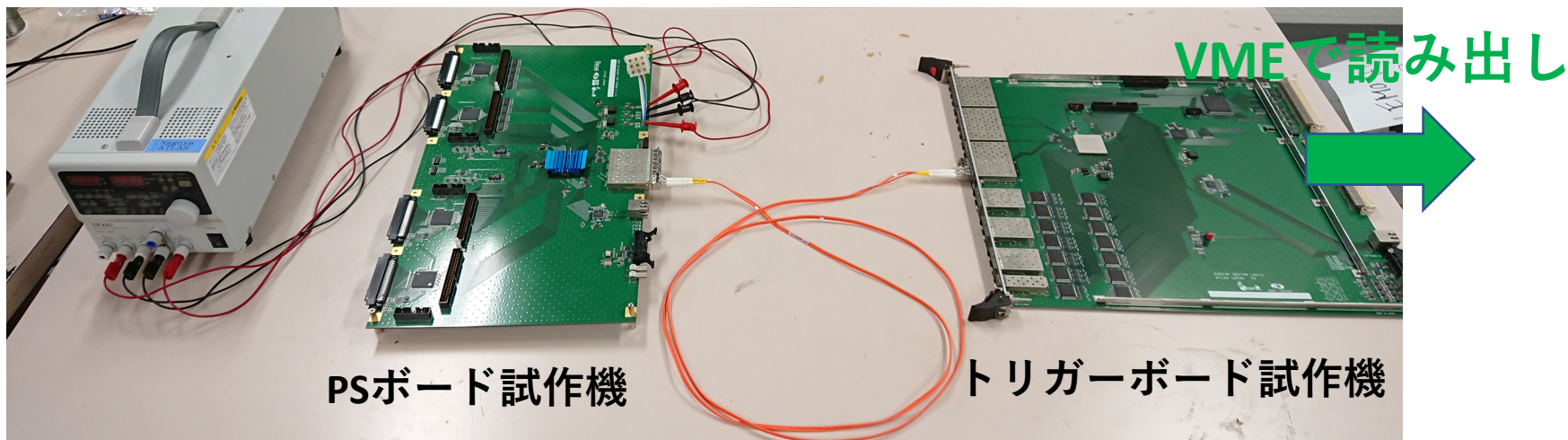
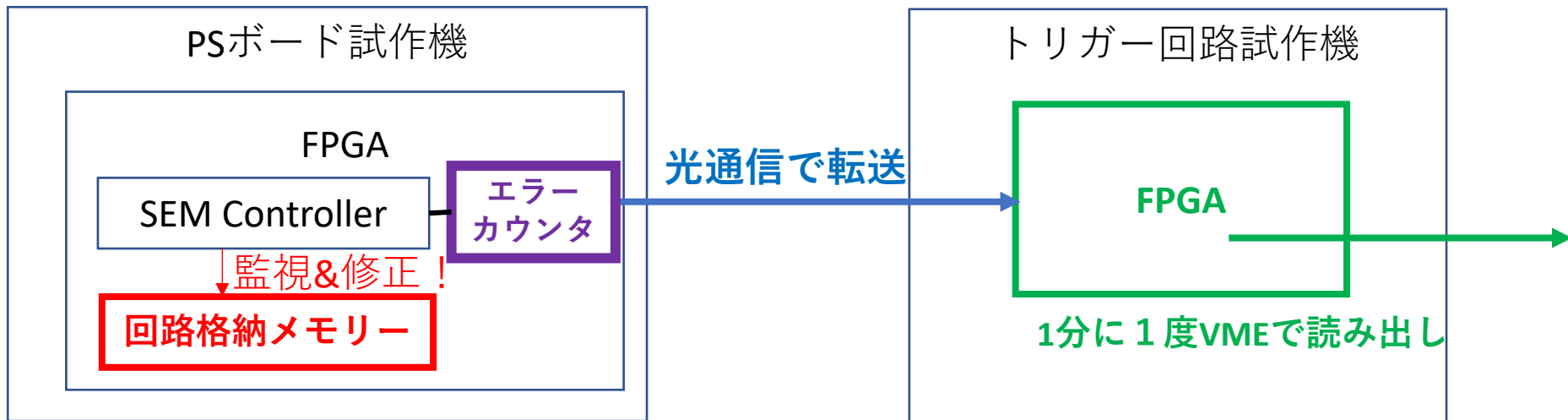


ILAによる実測信号



1ビット、隣接2ビット、同フレーム内へ隣接してない2ビット、他フレームへ2ビットのテストエラー挿入、訂正を行い、期待通りの動作を得た
また修正時間は1ビット、2ビット共に約80 msだった

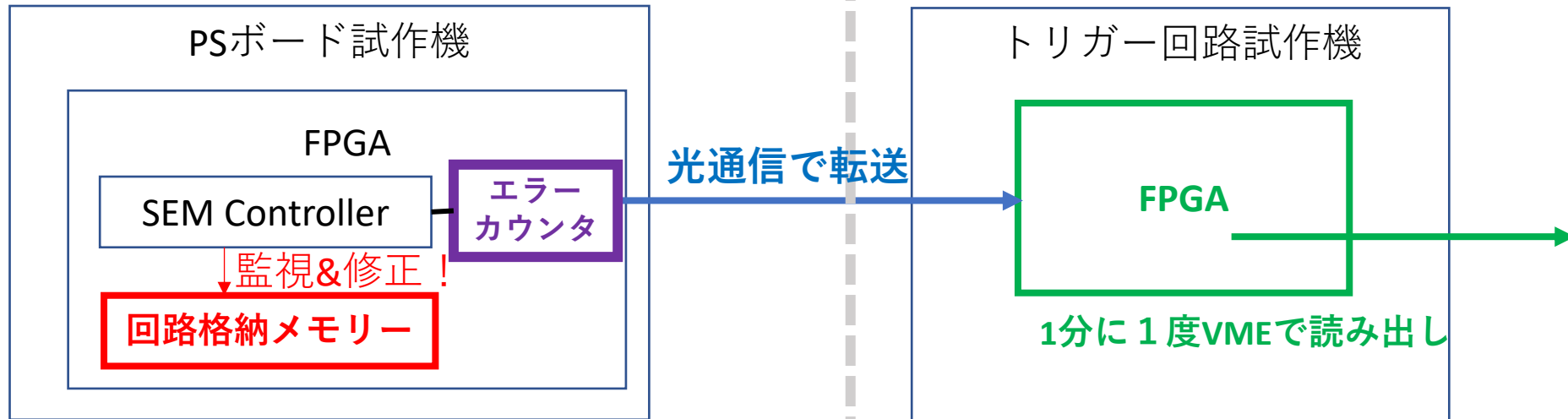
トリガーボードへのエラー送信試験



- ・トリガーボードへのエラーカウンタ送信に成功した

ATLAS検出器エリアでのSEUレート評価

ATLAS検出器エリア ← → 回路室



- ・ 検出器エリアに試作機を置き試験を行う
 - SEUのレートの測定とSEM Controllerの動作検証
 - 修正可能な1ビットエラーと2ビットエラーをカウントする
 - 修正不能エラーの発生と共に試験を終了する
 - ・ 1ヶ月ほど試験を行い概算で最大120回ほど測定できると予想される
- 現在、試験実施に向けて最終調整中**

まとめと展望

--まとめ--

- 高輝度LHC-ATLAS実験に向けて、ミューオン検出器TGCを用いたハードウェアトリガーの読み出し回路の刷新が計画されている
- SEM Controllerの実装を行い、PS ボード上のFPGAの回路格納メモリーへのSEU対策を行う
- 回路格納メモリーへのテスト用エラー挿入ファームウェアを作成し、4パターンについて動作確認を行い、期待通りの結果を得た
- トリガー回路との接続試験でのエラーカウント試験に成功した

--展望--

- ATLAS検出器エリアでのSEUレート評価試験の実施