

目次

1. 試験概要

1.1 SPI configuration	P.3
1.2 全チャンネル出力	P.6
1.3 可変遅延	P.7
1.4 テストパルス出力	P.9
1.5 BCID gate width	P.10
1.6 消費電力	P.12

2. 試験方法

2.1 基本操作	P.13
2.2 アドレス空間の役割と初期値	P.13
2.3 PP ASIC 電源	P.16
2.4 SPI configuration	P.16
2.5 チャンネル出力	P.16
2.6 可変遅延	P.17
2.7 BCID gate width	P.17
2.8 電圧測定	P.18
2.9 測定のパッケージング	P.23
2.10 データログ	P.24

1. 試験概要

各試験のコンセプト、手法、判定方法を記す。

1.1 SPI configuration

PP ASIC のレジスタ設定は SPI 通信によって制御される。

• SPI 通信

Master (FPGA) と Slave (PP ASIC) の間でデータのやり取りをする。

MISO と MOSI を同時にやり取りし、この時 Slave に通信開始時に書き込まれていたデータを見ることができる。

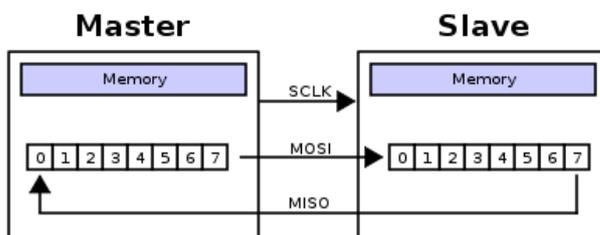


図 1 : SPI 通信概略図

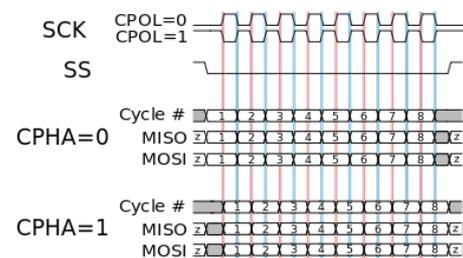


図 2 : SPI 通信タイミングチャート

• タイミング

PP ASIC にはシステム設定として CPOL、CPHA を、通信設定として Slave Select(SS)、SCK(Serial Clock)を送る。

CPOL : クロックの極性を決める。

CPHA : データビットの、クロックパルスに対するタイミングを決定する。

SS (SS_) : 立ち下げる間通信ができる。

SCK : データビットの区切りを決める。

今回は CPOL = 0、CPHA = 0 として SCK を 5 MHz で動作させている。

まず、SS_を立ち下げ、その間 SCK を送る。タイミングチャートに合わせて MOSI を送信すると MISO が送られてくる。

・試験方法

SPI 通信で2度同じレジスタデータを PP ASIC に送信する。2 回目に PP ASIC から受信されるデータは1 回目に書き込んだものである。1 回目と2 回目は同じデータを送信しているため、2 回目に受信したデータが設定通りであるかを検証する。

・ファームウェアデザイン

ファームウェアには他の測定で用いる 13 種類のレジスタデータを書き込んである。PC からレジスタを選択し、送信開始のトリガー信号を送ることで自動的に PP ASIC への通信、PP ASIC から受信したデータの判定が行われる。

また、自分でレジスタデータを設定することもできる。手動モードに移行したのち、28 バイトのデータを8 ビットごとに設定する。

判定は固定データ (1~13)、手動データ (255)、いずれにも一致せず (0) と数値が出力される。

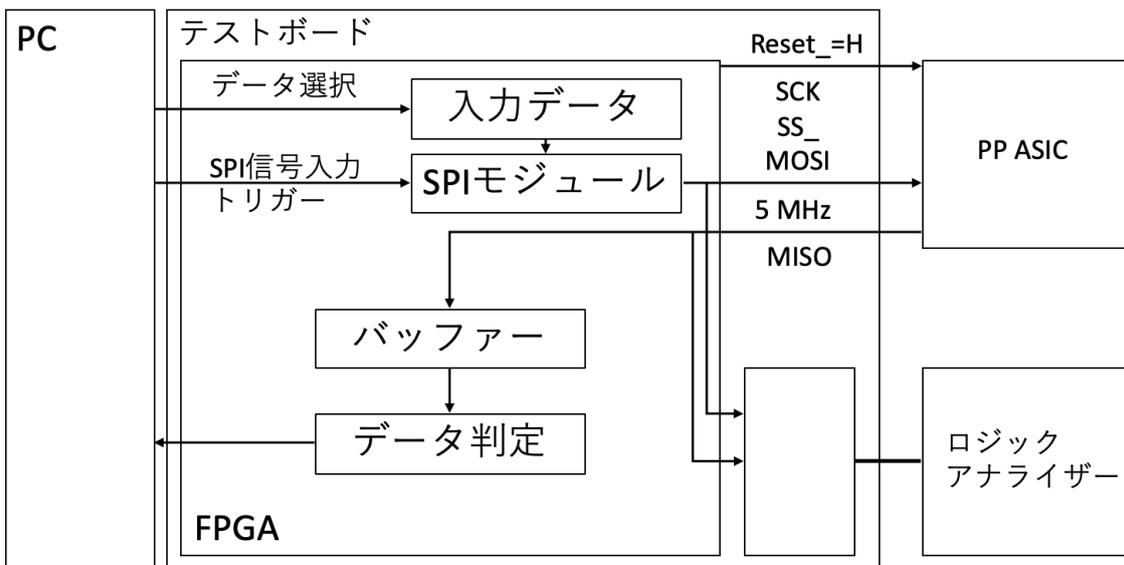


図 3 : SPI 通信ファームウェアブロック図 (本試験ではロジックアナライザ一部を除く)

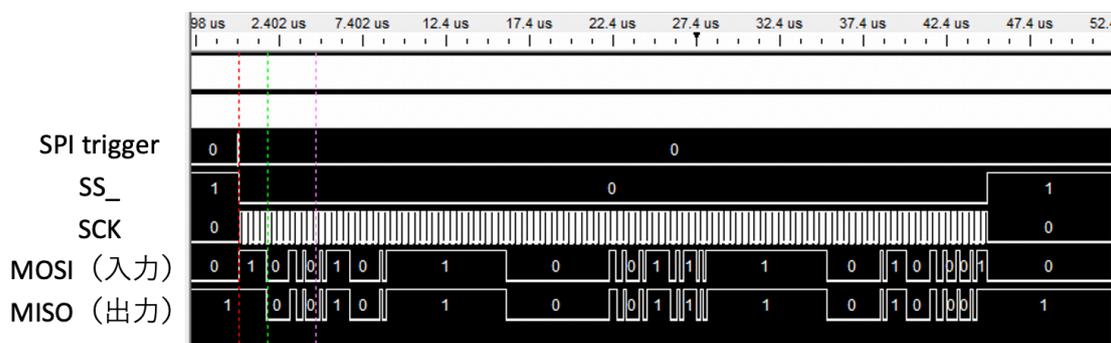


図 4 : SPI 通信ロジックアナライザ出力

- ファームウェアに直接書き込まれている SPI レジスタ (16 進数表記)
ファームウェアに直接書き込まれている 13 種類の SPI レジスタとその特徴を記す。

- 1 : 0004B0BF802FFFFFFFFF00000004B0BF97FFFFFFFFF0000BF019117
Delay : B 回路 0、A 回路 47、テストパルス電流源数 : B 回路 2、A 回路 2
- 2 : 0004B0BF97FFFFFFFFF00000004B0BF97FFFFFFFFF0000BF019447
Delay : B 回路 47、A 回路 47、テストパルス電流源数 : B 回路 4、A 回路 4
- 3 : 0004B0BF97FFFFFFFFF00000004B0BF97FFFFFFFFF0000BF019117
Delay : B 回路 47、A 回路 47、テストパルス電流源数 : B 回路 2、A 回路 2
- 4 : 0004B0BF97FFFFFFFFF00000004B0BF97FFFFFFFFF0000BF0197FF
Delay : B 回路 47、A 回路 47、テストパルス電流源数 : B 回路 15、A 回路 15
- 5 : 0004B0BF97FFFFFFFFF00000004B0BF97FFFFFFFFF0000BF019007
Delay : B 回路 47、A 回路 47、テストパルス電流源数 : B 回路 0、A 回路 0
- 6 : 0004B0BF852FFFFFFFFF00000004B0BF97FFFFFFFFF0000BF019117
Delay : B 回路 10、A 回路 47、テストパルス電流源数 : B 回路 2、A 回路 2
- 7 : 0004B0BF8A2FFFFFFFFF00000004B0BF97FFFFFFFFF0000BF019117
Delay : B 回路 20、A 回路 47、テストパルス電流源数 : B 回路 2、A 回路 2
- 8 : 0004B0BF8F2FFFFFFFFF00000004B0BF97FFFFFFFFF0000BF019117
Delay : B 回路 30、A 回路 47、テストパルス電流源数 : B 回路 2、A 回路 2
- 9 : 0004B0BF942FFFFFFFFF00000004B0BF97FFFFFFFFF0000BF019117
Delay : B 回路 40、A 回路 47、テストパルス電流源数 : B 回路 2、A 回路 2
- 10 : 0004B0BF802FFFFFFFFF00000C04B0BF97FFFFFFFFF0000BF019117
BCID gate width : 30ns
- 11 : 0004B0BF802FFFFFFFFF00002004B0BF97FFFFFFFFF0000BF019117
BCID gate width : 35ns
- 12 : 0004B0BF802FFFFFFFFF00003404B0BF97FFFFFFFFF0000BF019117
BCID gate width : 40ns
- 13 : 0004B0BF802FFFFFFFFF00004804B0BF97FFFFFFFFF0000BF019117
BCID gate width : 45ns

1.2 全チャンネル出力

A回路 16 チャンネル、B回路 16 チャンネル合わせて 32 チャンネルの出力を確認する。

・試験方法

32 チャンネルに 1 チャンネルごとに信号を送信し、受信信号をカウントする。

受信信号の出力幅は 25 ns か 50 ns となっているかを確認する。

1 チャンネルの試験ごとに全チャンネルのカウントをリセットする。

送信信号は 25 ns 幅の LVDS 信号である。

・ファームウェアデザイン

PC から信号送信のトリガーとなる信号を入力すると、LVDS 信号を指定 1 チャンネルに送信する。32 チャンネル同時に送信できるモードもある。

受信信号幅の High の時間は 5 ns 刻みでカウントされる。25 ns 幅では 4 か 5 か 6 カウントが、50 ns 幅では 9 か 10 か 11 カウントが記録され、これら 6 種の値で合格とする。

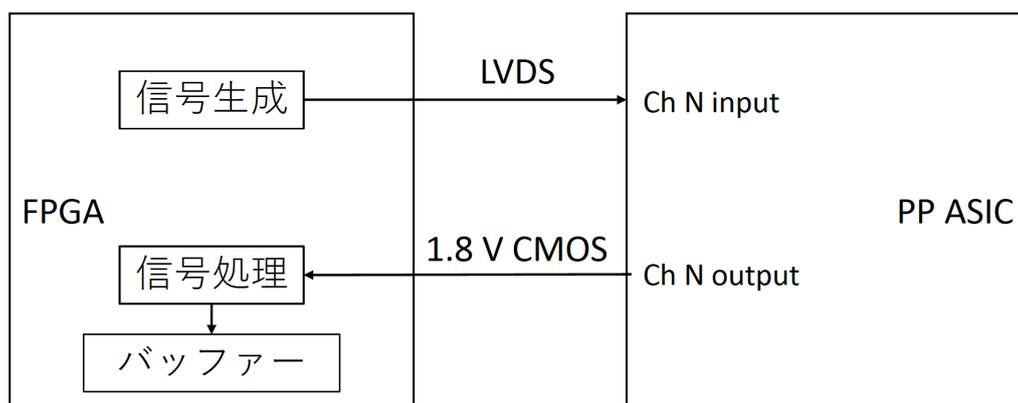


図 5 : 全チャンネル出力ファームウェアブロック図

1.3 可変遅延

1.3.1 遅延調節回路

Delay test 回路に信号を送信し、信号の送信～受信までの時間差を測定する。
可変遅延回路の設定数を変えて測定を行う。

・試験方法

PP ASIC の DELIN に $2\mu\text{s}$ 幅の信号を送信する。FPGA では送信信号が出ているかつ受信信号が出ていないという条件の時 5 ns 刻みでカウントする。

また、遅延制御電圧は STEP 24 と設定する。

これを(Delay unit の個数) = 0, 10, 20, 30, 40, 47 個 として測定し、

(Delay unit が n 個の時のカウント数) - (Delay unit が 0 個の時のカウント数) で評価する。

10 個の時：1 か 2 か 3 カウント

20 個の時：3 か 4 か 5 カウント

30 個の時：5 か 6 か 7 カウント

40 個の時：7 か 8 か 9 カウント

47 個の時：8 か 9 か 10 カウント であれば合格

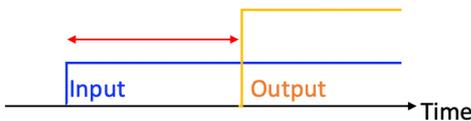


図 6：カウント時間概念図

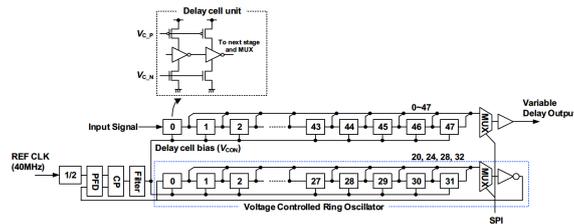


図 7：遅延回路

・ファームウェアデザイン

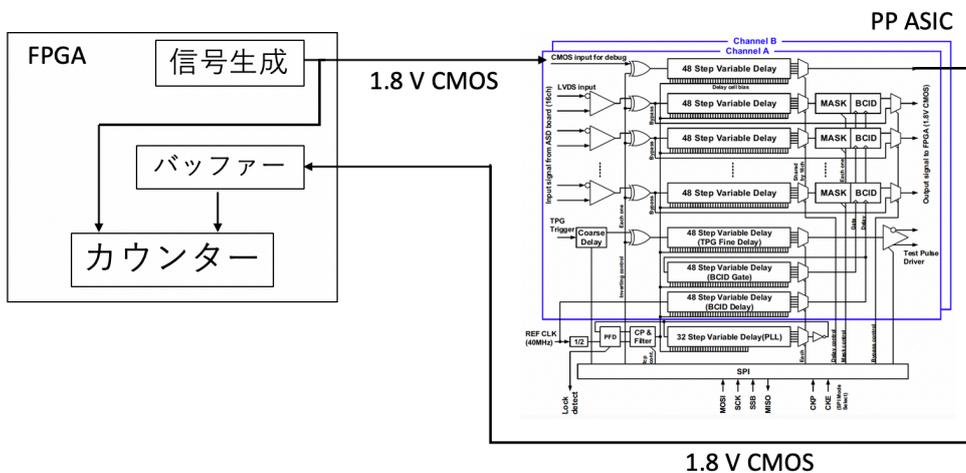


図 8：可変遅延ファームウェアブロック図

1.3.2 遅延調節電圧

可変遅延のコントロール電圧も測定を行う。

・試験方法

FPGA の内部 ADC を用いて電圧を測定する。

下図で過去の測定と今回の測定値の比較を表す。全数試験時のデータを全機能試験時の電圧に換算している。プロットは全機能試験時のデータを表す。

横実線は各 PLL STEP での Delay、縦実線はその PLL STEP での測定電圧を表し、交差点が全数試験時のデータとなる。

→ADC 設定、判定クリア基準については 2.7 章参照

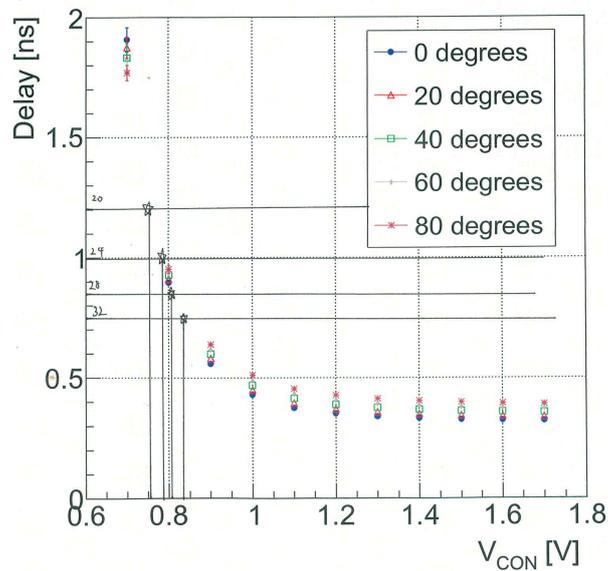


図 9：全機能試験時と全数試験時（今回）の測定電圧の比較

・ファームウェアデザイン

→2.7 章参照

1.4 テストパルス出力

テストパルストリガーを PP ASIC に送信してテストパルスの出力波高を測定する。

・試験方法

テストパルストリガーに 50 ns 幅の信号を送信する。テストパルスはこの信号をトリガーとして出力される。テストパルスは幅と波高を設定できる。幅は $30\mu\text{s}$ と固定し、波高を変化させた。波高はテストパルス回路の電流源数で調整する。電流源数の数を 0, 2, 8, 15 個として、A 回路、B 回路のハイ、ローの計 4 箇所の電圧をそれぞれ測定する。

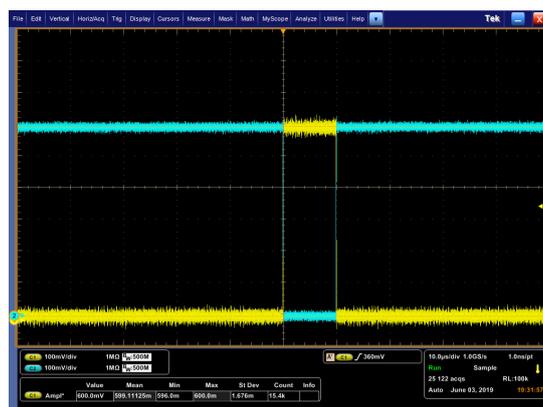


図 10 : テストパルス出力 (イメージ)

・ファームウェアデザイン

ADC の測定サイクルが $7\mu\text{s}$ であることを考慮し、テストパルストリガー信号を送信してから $10\mu\text{s}$ 後にデータ読み出しトリガー信号を ADC に送る。

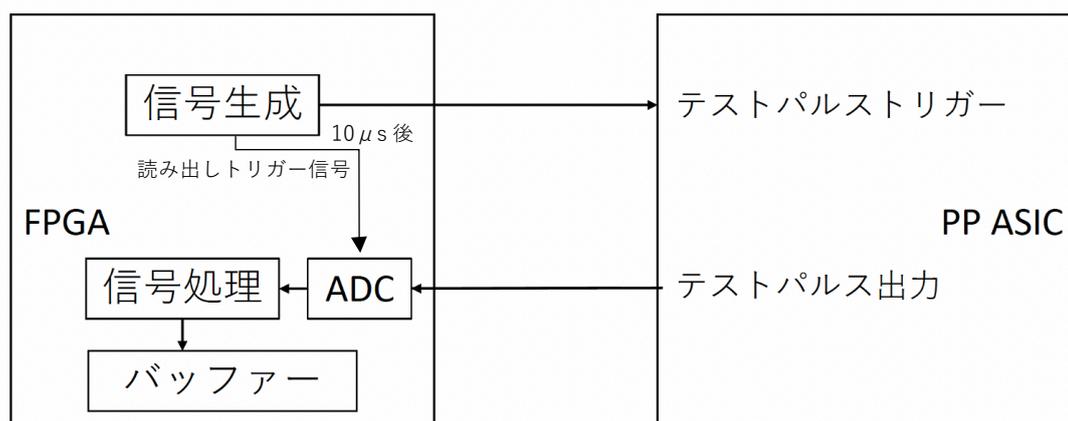


図 11 : テストパルスファームウェアブロック図

1.5 BCID gate width

BCID gate width の設定で、1 つまたは 2 つのバンチ交差にヒットを割り当てることができる。(ドリフト時間と伝搬時間の変動を考慮)

設定値を変更し、BCID gate width の変化を確認する。

・試験方法

BCID gate width を ~30, 35, 40, 45 ns に設定し、それぞれに対して、信号入力のタイミングを 5 ns 置きにスキャンし、出力信号幅 (25 ns, 50 ns) を使って BCID gate width を導出する。Effective gate width が大きい時、出力信号幅が 50 ns の回数が大きくなる。

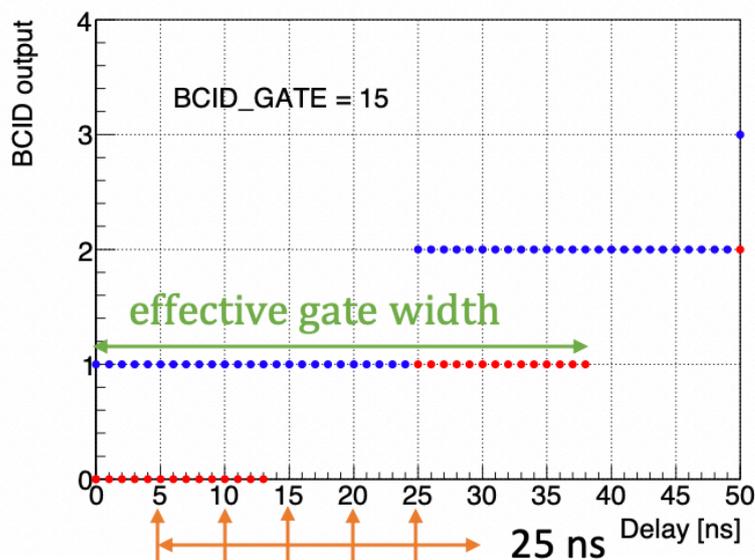


図 1.2 : Effective gate width 例とスキャンタイミング

判定には各スキャンにおけるカウント値の合計値を使う。出力信号幅は 25 ns または 50 ns のためカウントはそれぞれ 5 または 10 カウントとなる。例えば Effective gate width が 30 ns の時は 1 周のスキャンで 1 回または 2 回 50 ns 幅の出力があるため、カウント合計値は $5[\text{カウント}] \times 4[\text{回}] + 10[\text{カウント}] \times 1[\text{回}] = 30[\text{カウント}]$ または 35 カウントで合格とする。他の Effective gate width 設定値についても同様である。判定基準を以下に示す。

30 ns の時 : 25 - 35 カウント であれば合格

35 ns の時 : 30 - 40 カウント であれば合格

40 ns の時 : 35 - 45 カウント であれば合格

45 ns の時 : 40 - 50 カウント であれば合格

- ファームウェアデザイン

回路 A のチャンネル 0 に 25 ns 幅の信号を入力し、出力信号幅を測定する。
信号の入カタイミングを 5ns ごとに変える。

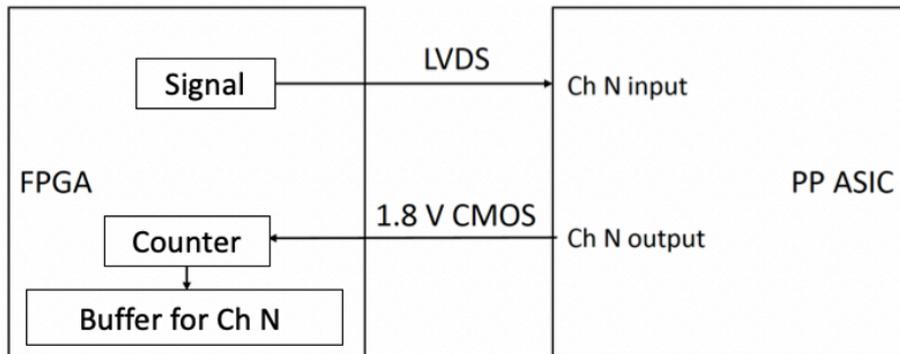


図 1 3 : BCID gate width ファームウェアブロック図

1.6 消費電力

1.6.1 3.3V 消費電力測定

PP ASIC に供給している電圧のうち、3.3 V について測定を行う。

・試験方法

PP ASIC 供給電圧のうち、3.3 V はテストパルス回路の電流源数に依存して変動する。そこで、電流源数を 0, 4, 16, 30 個に設定し、それぞれの状況で 100 回電圧を測定し、その平均値を判定に使う。

→ADC 設定、判定クリア基準については後章参照

・回路、ファームウェアデザイン

ボードに供給する 5 V 電圧は DC/DC コンバータで 3.3 V に変換される。3.3 V 電圧を PP ASIC に供給する前にシャント抵抗 (1 Ω) を介す。この両端の電圧を測定することでここに流れる電流値を算出し、消費電力を導出する。

ファームウェア詳細については 2.7 章参照

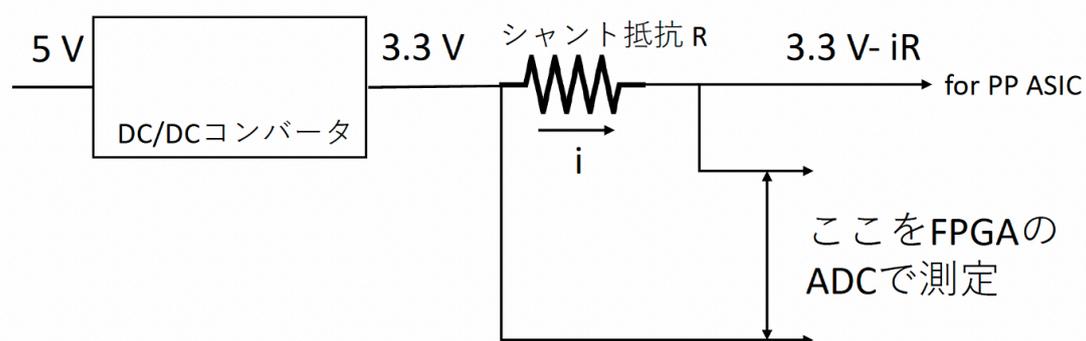


図 1 4 : 消費電力測定回路概略図

1.6.2 1.8V 消費電力測定

PP ASIC に供給している電圧のうち、1.8 V について測定を行う。

・試験方法

PP ASIC 供給電圧のうち、1.8 V は入力信号レートに依存して変動する。そこで、全 32 チャンネルに 10 kHz, 80 kHz, 1MHz のレートで信号を入力し、(信号幅はレートの半分) それぞれの状況で 100 回電圧を測定し、その平均値を判定に使う。

→ADC 設定、判定クリア基準については後章参照

・回路、ファームウェアデザイン

1.6.1 参照、DC/DC コンバータの出力が 3.3 V→1.8 V となる。

2. 操作方法

基本的なボードと PC の取り扱いについてはマニュアル参照。
PC と接続した後の PC 操作を中心に記す。

2.1 基本操作

- 通信モードへの移行 wrb, rd のコマンドを使えるようになる。

```
./a.out 192.168.10.16 4660
```

- 通信モード解除

```
quit
```

- 指定したアドレスへのデータ読み書き

書き込み

```
wrb 0x アドレス名 0x データ
```

読み出し

```
rd 0x アドレス名 0x01
```

2.2 アドレス空間の役割と初期値

各アドレス空間に格納されているデータの種類と初期値を記す。
入力するデータの値を変えることでファームウェアが動作する。

表 1 : アドレスと役割

アドレス	入力	初期値	出力
00	SPI 書き込みリセット 00 と 03 で操作	00	
01	SPI 送信 00 と 03 で操作	03	
02	SPI データセット入力値 (詳細は後述)		SPI データセット出力値 (詳細は後述)
03	SPI レジスタ直接書き込み用データ	00	SPI レジスタ直接読み出し
04		01	
05		90	
06		BF	
07		80	
08		2F	
09		FF	
0a		FF	
0b		FF	
0c		FF	

0d		00	
0e		00	
0f		00	
10		01	
11		90	
12		BF	
13		80	
14		2F	
15		FF	
16	SPIレジスタ直接書き込み用データ	FF	SPIレジスタ直接読み出し
17		FF	
18		FF	
19		00	
1a		00	
1b		BF	
1c		01	
1d		94	
1e		47	
1f	ADC 読み出しリセット 00と03で操作	00	ADC 読み出しデータ 上2桁
20	ADC 読み出し 00と03で操作	03	ADC 読み出しデータ 下2桁
21	ADC 測定電圧切り替え 01-07		
22	PP ASIC 送信チャンネルセレクト A0-A15 (0x10~1f)		カウント数 チャンネル A0
23	カウントリセット (0x11)	00	カウント数 チャンネル A1
24	PP ASIC 送信チャンネルセレクト B0-B15 (0x10~1f)		カウント数 チャンネル A2
25	PP ASIC 送信チャンネルセレクト全チャンネル 0x0f & GATE width 用チャンネル選択(A0ch) 0xff	00	カウント数 チャンネル A3
26	PPASIC 信号送信リセット 00と03で操作	00	カウント数 チャンネル A4
27	PPASIC 信号送信 00と03で操作	03	カウント数 チャンネル A5
28			カウント数 チャンネル A6
29			カウント数 チャンネル A7
2a			カウント数 チャンネル A8
2b			カウント数 チャンネル A9
2c			カウント数 チャンネル A10
2d			カウント数 チャンネル A11
2e			カウント数 チャンネル A12

2f			カウント数 チャンネル A13
30			カウント数 チャンネル A14
31			カウント数 チャンネル A15
32			カウント数 チャンネル B0
33			カウント数 チャンネル B1
34			カウント数 チャンネル B2
35			カウント数 チャンネル B3
36			カウント数 チャンネル B4
37			カウント数 チャンネル B5
38			カウント数 チャンネル B6
39			カウント数 チャンネル B7
3a			カウント数 チャンネル B8
3b			カウント数 チャンネル B9
3c			カウント数 チャンネル B10
3d			カウント数 チャンネル B11
3e			カウント数 チャンネル B12
3f			カウント数 チャンネル B13
40			カウント数 チャンネル B14
41			カウント数 チャンネル B15
42	PPASIC delay 信号送信リセット 00と03で操作	00	カウント数 delay カウント
43	PPASIC delay 信号送信 00と03で操作	03	
44	Delay カウントリセット 00と03で操作	00	
45	PLL STEP 選択(00:28, 01:20, 02:24, 03:32)	00	
46	PPASIC TPTRIG 信号送信リセット 00と03で操作	00	
47	PPASIC TPTRIG 信号送信 00と03で操作	03	
48		03	
49			
4a	PPASIC 全チャンネル信号送信モード選択 00: 指定1信号送信、01: 自動 10 kHz 送信、 01: 自動 80 kHz 送信、01: 自動 1 MHz 送信	00	
4b	Gate width スキャンタイミング切り替え(01~05)	00	
4c	PPASIC Gate width 信号送信リセット 00と03で操作	00	
4d	PPASIC Gate width 信号送信 00と03で操作	03	
4e	PP ASIC 電源 ON (00), OFF (03)	00	

2.3 PP ASIC 電源

ボードに電源を投入したまま、PP ASIC の電源供給を ON, OFF することができる。
電源 OFF 時には、LVDS バッファOFF、ASIC への電圧供給、クロックを始めとした
信号供給を停止し、接続部分はハイインピーダンスか GND に固定される。

・操作

電源 ON wrb 0x4e 0x00
電源 OFF wrb 0x4e 0x03

2.4 SPI configuration

・操作

wrb 0x02 0x0 (01 ~ 0d SPI セット 7 種類 + ff で手動設定モード選択)
(手動設定モードのみ wrb 0x03~1e 0x データ でデータ設定)
wrb 0x00 0x03 //セーフティ解除
wrb 0x01 0x00 //SPI 書き込みトリガー信号発生、SPI 書き込み 1 回目
wrb 0x01 0x03 //トリガーリセット
wrb 0x01 0x00 //SPI 書き込みトリガー信号発生、SPI 書き込み 2 回目
wrb 0x01 0x03 //トリガーリセット
rd 0x02 0x01 //SPI 判定読み出し (01~0d, ff、どれにもあてはまらない時 00)

2.5 チャンネル出力

・操作

--SPI 設定--
wrb 0x4a 0x00 // 1 信号毎送信モード選択 (01~03 で自動連続信号送信,消費電力で使用)
wrb 0x23 0x11 //カウントリセット
wrb 0x23 0x00 //カウントリセット解除
wrb 0x25 0x0f //全チャンネル一斉信号送信選択
(--ここで 0x25 を 0x0f,0xff 以外にして (普通は 0x00)、0x22 0x(10~1f)、0x24 0x(10~1f)
とすると任意のチャンネルにのみ信号を送る--)
wrb 0x26 0x03 //セーフティ解除
wrb 0x27 0x00 //信号送信トリガー信号発生
wrb 0x27 0x03 //信号送信トリガーリセット
rd 0x (22~41) 0x01 //A0~B31 まで任意のチャンネルのカウン出力を読み出す
(測定では全てのチャンネルの信号を読み出している)
wrb 0x23 0x11 //カウントリセット

2.6 可変遅延

・操作

```
wrb 0x45 0x( 00~03 で PLL STEP を選択 00:STEP28, 01:STEP20, 02:STEP24, 00:STEP32)
--SPI 設定で遅延幅を変更-- (01,02, 06~09)
wrb 0x42 0x03 //セーフティー解除
wrb 0x43 0x00 //SPI 書き込みトリガー信号発生
rd 0x42 0x01 //Delay カウント読み出し
wrb 0x43 0x03 //トリガーリセット
wrb 0x44 0x03 //Delay カウントリセット
wrb 0x44 0x00 //Delay カウントリセット解除
```

2.7 BCID gate width

・操作

```
--SPI 設定で gate width を変更-- (0a~0d)
wrb 0x45 0x02 //PLL STEP 24 選択
wrb 0x4a 0x00 // 1 信号毎送信モード選択
wrb 0x23 0x11 //カウントリセット
wrb 0x23 0x00 //カウントリセット解除
wrb 0x25 0xff //BCID 用信号送信チャンネル選択 (A0 チャンネル)
wrb 0x4c 0x00 //セーフティー設定 (初期値)
wrb 0x4d 0x03 //信号送信トリガーリセット (初期値)
wrb 0x4b 0x(01~05) //スキャンタイミング切り替え、1つの SPI 条件で5 タイミングやる
wrb 0x4d 0x00 //セーフティー解除
wrb 0x4c 0x03 //信号送信トリガー、信号発生
rd 0x22 0x01 //カウント読み出し (A0 チャンネル)
wrb 0x4c 0x00 //セーフティー設定
wrb 0x4d 0x03 //信号送信トリガーリセット
wrb 0x23 0x11 //カウントリセット
```

--測定終了後--

```
wrb 0x25 0x00 //BCID mode 解除 1
wrb 0x4b 0x01 //BCID mode 解除 2
```

2.8 電圧測定

可変遅延の PLL 制御電圧、テストパルス波高、消費電力の測定に、FPGA 内部の ADC を使用する。0~1V を 12 ビットに分割し、電圧をデジタル変換して数値を出力する。

• ADC の設定

測定には連続サンプリングモードを使用する。一定時間ごとに電圧を測定する。

合計 7 チャンネルを測定し、1 周期にかかる時間は約 $7 \mu s$ である。

ビットタイミングを決めるクロックは 200 MHz を入力しており、これは ADC 内で 25 MHz に変換されて使用される。タイミングチャートを以下に記す。

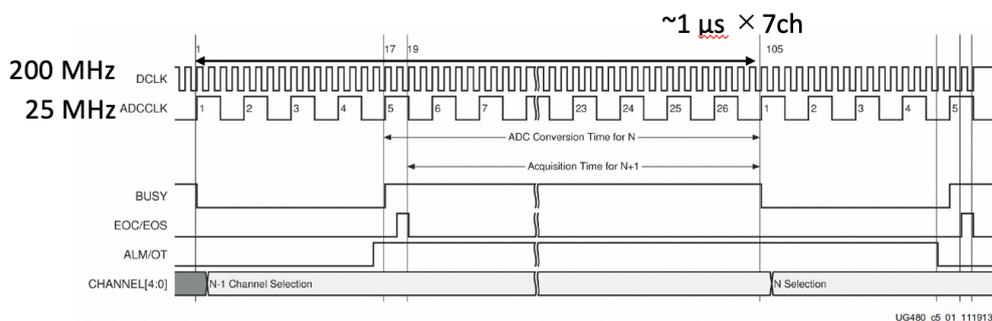


図 1 5 : 連続サンプリングモードタイミングチャート

• ファームウェアデザイン (遅延制御電圧、消費電力)

ADC は一定周期で電圧を測定し続ける。保存する電圧の種類とタイミングを指定する。

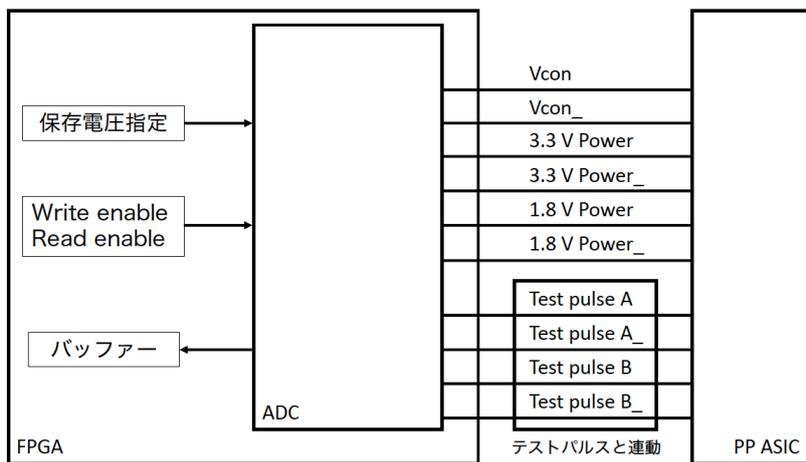


図 1 6 : 電圧測定ファームウェアブロック図

• 全機能試験とのデータ比較

主に終端抵抗が異なる。(全機能試験時 100Ω 、今回 24Ω) 換算して比較する。

電圧のアンプや分割にも注意する。

・操作

アドレス 0x21 に書き込むデータにより、測定する電圧の種類を選択する。

* 事前準備

—遅延制御電圧測定時

wrb 0x45 0x(00~03)で PLL STEP を選択しておく。試験では 02 (STEP 24)を使用する。

—3.3V 消費電力測定時

SPI 設定値を書き込み、電流源数の設定値を決める。

試験では主に SPI セット 01, 02, 04, 05 を使用する。

—3.3V 消費電力測定時

全チャンネルに自動一定レートで信号を送信する。

wrb 0x4a 0x(01~03)で選択。01 : 10 kHz、02 : 80 kHz、03 : 1 MHz、

測定終了後には wrb 0x4a 0x00 として自動信号送信モードを解除する。

—テストパルス測定時

SPI 設定値を書き込み、電流源数の設定値を決める。

試験では主に SPI セット 01, 02, 03, 05 を使用する。

* 最初の 1 回目

wrb 0x21 0x(01~07 7種類を選択) //読み出し電圧選択

01 : 遅延制御電圧、02 : 3.3V 消費電力、03 : 1.8V 消費電力、

wrb 0x1f 0x03 //セーフティー解除

wrb 0x20 0x00 //ADC 読み出しトリガー信号発生、電圧読み出し

0x21 でテストパルス測定選択時にはテストパルス送信

rd 0x1f 0x01 //上位 2 ビット読み出し

rd 0x20 0x01 //下位 2 ビット読み出し

wrb 0x20 0x03 //トリガーリセット

* 2 回目以降

wrb 0x20 0x00

rd 0x1f 0x01

rd 0x20 0x01

wrb 0x20 0x03

・判定基準

判定クリア基準を電圧、消費電力分布と共に以下に記す。赤線が判定クリア基準を示す。

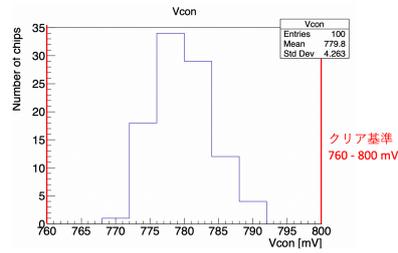


図 1 7 : 遅延制御電圧分布と判定クリア基準 (赤線赤字) 760 - 810 mV に変更(2020/9/4)

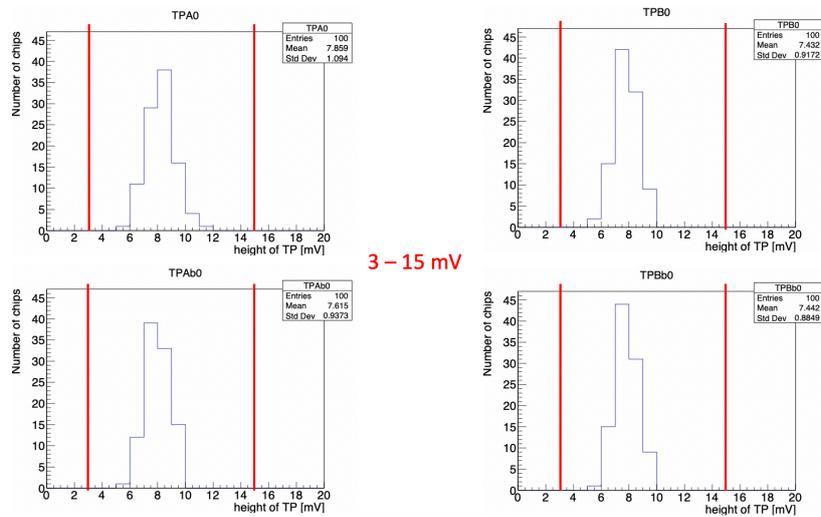


図 1 8 : 電流源数 0 の場合のテストパルス波高分布と判定クリア基準 (赤線赤字)

左上 : A 回路、左下 : A 回路__、右上 : B 回路、右下 : B 回路__

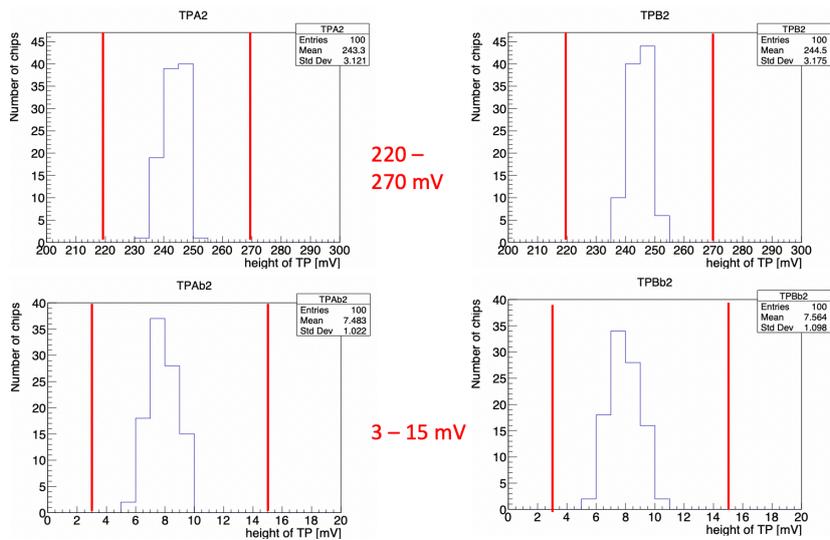


図 1 9 : 電流源数 2 の場合のテストパルス波高分布と判定クリア基準 (赤線赤字)

左上 : A 回路、左下 : A 回路__、右上 : B 回路、右下 : B 回路__

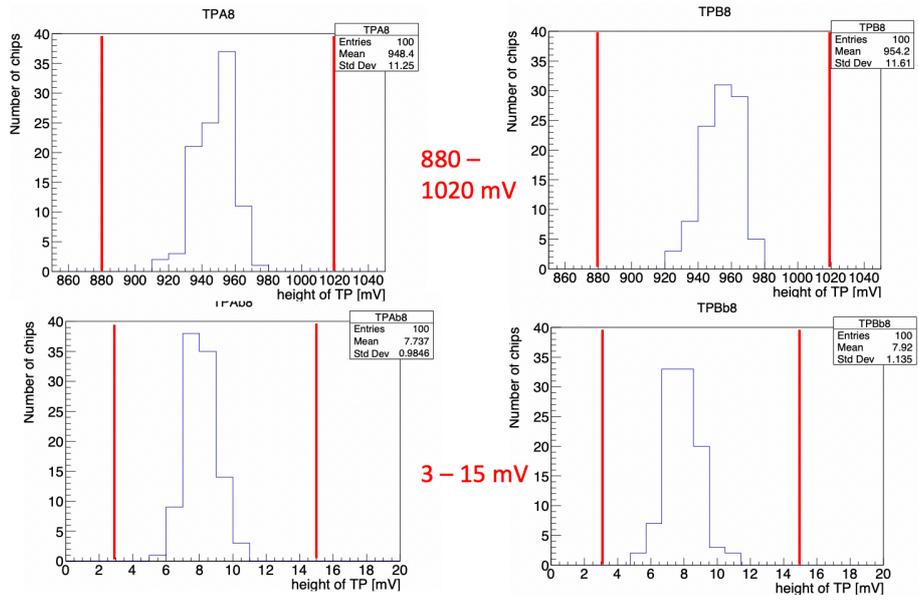


図 2 0 : 電流源数 8 の場合のテストパルス波高分布と判定クリア基準 (赤線赤字)
 左上 : A 回路、左下 : A 回路 $_$ 、右上 : B 回路、右下 : B 回路 $_$

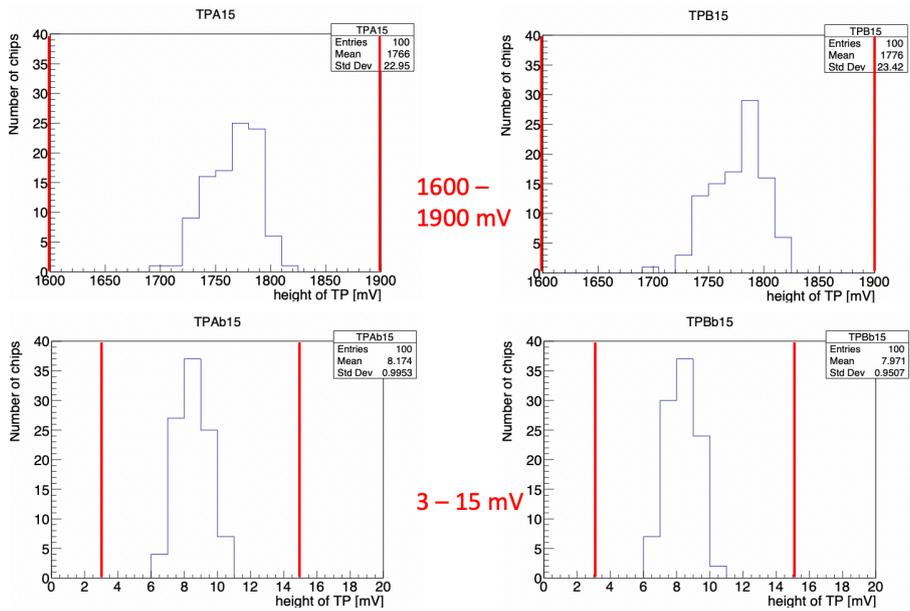


図 2 1 : 電流源数 15 の場合のテストパルス波高分布と判定クリア基準 (赤線赤字)
 左上 : A 回路、左下 : A 回路 $_$ 、右上 : B 回路、右下 : B 回路 $_$

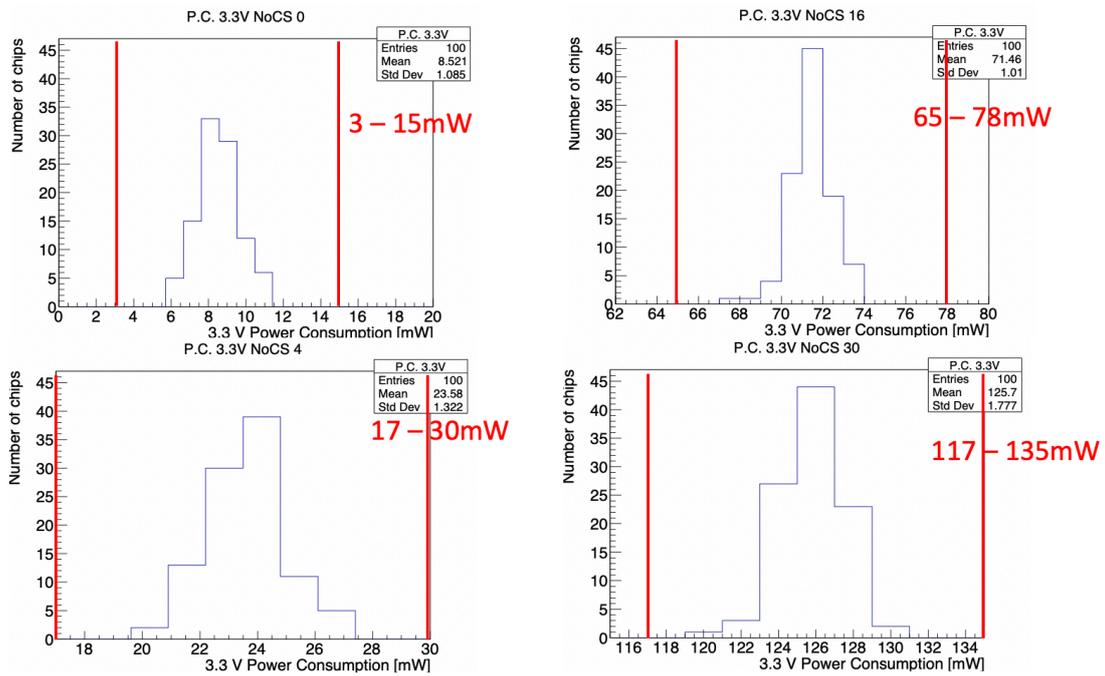


図 2 2 : 3.3V 消費電力分布と判定クリア基準 (赤線赤字)

左上 : 電流源数 0、左下 : 電流源数 4、右上 : 電流源数 16、右下 : 電流源数 30

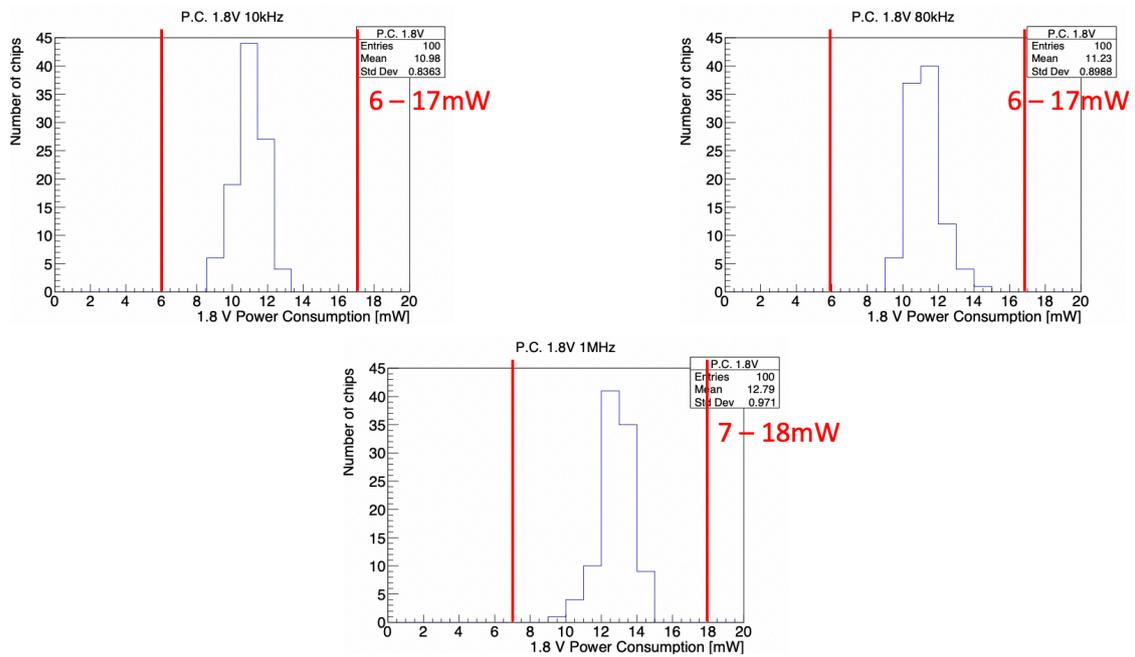


図 2 3 : 1.8V 消費電力分布と判定クリア基準 (赤線赤字)

左上 : 信号入力レート 10 kHz、右上 : 信号入力レート 80 kHz、
下 : 信号入力レート 1 MHz

2.9 測定のパッケージング

測定で使うコマンドは Java ファイルとシェルスクリプトにパッケージ化されている。

(操作はマニュアル参照)

Java ファイルで測定ごとにコマンドを実行し、csh ファイルを動作させる。csh ファイルでは結果数値を解析し、合格か不合格かのみの結果を 1 と 0 で表現して出力する。1 つの測定が終わるまで次の測定は行わない。

- * SPI configuration — ./test1.csh 年_月_日
- * 全チャンネル出力 — ./test2_1st.csh 年_月_日, ./test2.csh 年_月_日
- * 可変遅延 — ./test3_1st.csh 年_月_日, ./test3.csh 年_月_日
- * 可変遅延制御電圧 — ./test4_1st.csh 年_月_日, ./test4.csh 年_月_日
- * テストパルス — ./test5_1st.csh 年_月_日, ./test5.csh 年_月_日
- * BCID gate width — ./test6_1st.csh 年_月_日, ./test6.csh 年_月_日
- * 消費電力 — ./test7_1st.csh 年_月_日, ./test7.csh 年_月_日 (3.3V),
./test8_1st.csh 年_月_日, ./test8.csh 年_月_日 (1.8V)

測定の流れ…はじめに、全測定を行い、合否判定を見る。不合格の項目があった場合、その項目についてのみ再測定を行う。その項目が合格だった場合合格のチップとして、再測定でも不合格の場合不合格のチップとして扱う。

* 1 回目

全チャンネル出力→可変遅延→可変遅延制御電圧→テストパルス→BCID gate width→消費電力 3.3V→消費電力 1.8V の順に測定を行う。SPI configuration のみの試験は行わず、適宜 SPI configuration を行う。

測定後、各結果についてのファイルを参照し、各測定の合格、不合格をチェックする。

全て合格であれば電源を落として合格表示を行い、終了とする。

不合格の項目があれば 2 回目の測定を行う。

* 2 回目

SPI configuration→不合格項目の測定

最初に SPI configuration のみ通して試験する。1 回目の測定には SPI configuration が含まれているが、SPI configuration を正しく行えないとその試験が不合格とされるが、不合格の原因が SPI configuration によるものかそうでないかを分離するためである。

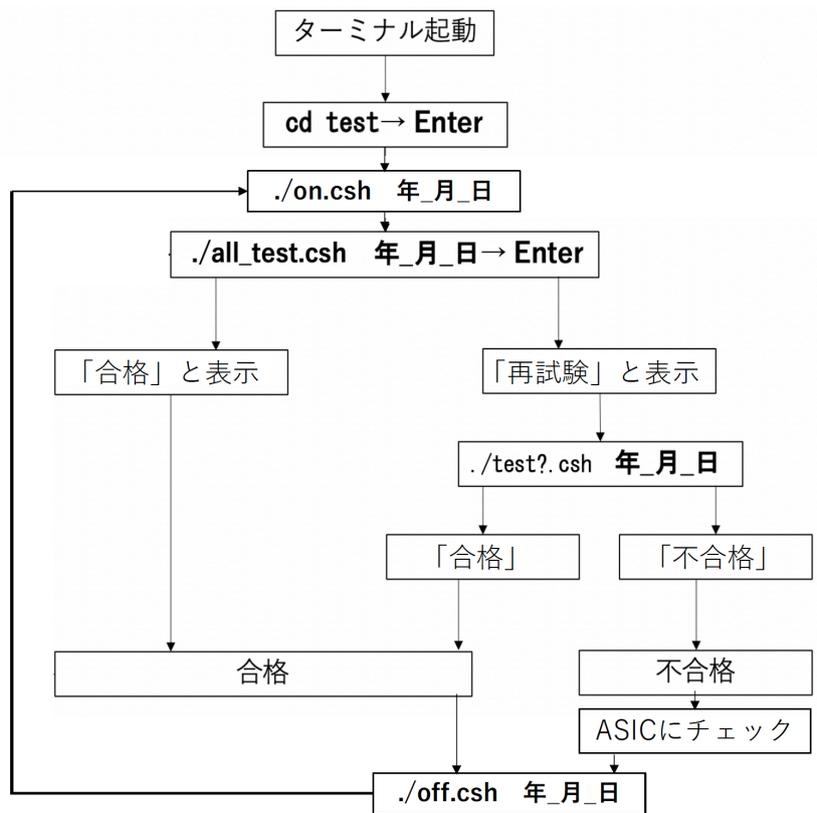


図 2 4 : 測定フローチャート概略図

Java ファイルの実行ボタンを押すと、ループ部分（ASIC へのメモ以外）を自動で行う。

2.10 データログ

後の解析のためにログデータを保存するプログラムを搭載している。

ログデータには 16 進数データを保存するログデータ A と変換後の 10 進数データを保存するログデータ B の 2 種類がある。(図 2 5 参照)

ログには測定時間も表示し、1 回目の本測定のデータの外、再測定のデータも保存される。全測定のデータは、データ識別のためのログメッセージが 1st_~から始まり、再測定のデータは 2nd_~から始まる。

表 2、表 3 のログメッセージ対応表は適宜 1st_⇄2nd_ を読み替える必要がある。

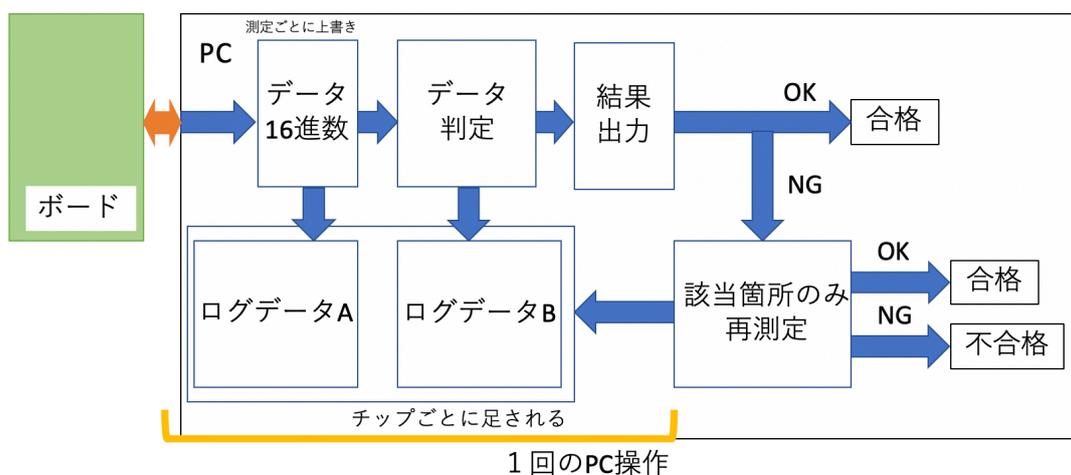


図 2 5 : 測定ソフトウェア概略図

*ログデータ A

ファームウェアへの書き込み、読み出しを行うソフトウェアに組み込まれ、読み出したデータを logA...txt ファイルに保存する。メッセージの下に対応する 16 進数データを表示する。(表 2 参照)

*ログデータ B

データ判定を行うソフトウェアに組み込まれ、読み出したデータを logB...txt ファイルに保存する。メッセージの下に対応する 10 進数データを表示する。(表 3 参照)
 ここで表示される数字は単位のつくものに変換されている他、試験結果も表示する。

表2：ログデータ A ログメッセージ対応表

1st_measurement	測定種別、2nd の場合には後ろに測定名がつく
年/月/日 時:分:秒	日時
1st_SPI_test01	SPI test1、種別
1st_output_A0-A15,B0-B15	ここから output カウント数
1st_output_A00	I/O chA_0、カウント数
1st_output_A01	I/O chA_1、カウント数
1st_output_A02	I/O chA_2、カウント数
1st_output_A03	I/O chA_3、カウント数
1st_output_A04	I/O chA_4、カウント数
1st_output_A05	I/O chA_5、カウント数
1st_output_A06	I/O chA_6、カウント数
1st_output_A07	I/O chA_7、カウント数
1st_output_A08	I/O chA_8、カウント数
1st_output_A09	I/O chA_9、カウント数
1st_output_A10	I/O chA_10、カウント数
1st_output_A11	I/O chA_11、カウント数
1st_output_A12	I/O chA_12、カウント数
1st_output_A13	I/O chA_13、カウント数
1st_output_A14	I/O chA_14、カウント数
1st_output_A15	I/O chA_15、カウント数
1st_output_B00	I/O chB_0、カウント数
1st_output_B01	I/O chB_1、カウント数
1st_output_B02	I/O chB_2、カウント数
1st_output_B03	I/O chB_3、カウント数
1st_output_B04	I/O chB_4、カウント数
1st_output_B05	I/O chB_5、カウント数
1st_output_B06	I/O chB_6、カウント数
1st_output_B07	I/O chB_7、カウント数
1st_output_B08	I/O chB_8、カウント数
1st_output_B09	I/O chB_9、カウント数
1st_output_B10	I/O chB_10、カウント数
1st_output_B11	I/O chB_11、カウント数
1st_output_B12	I/O chB_12、カウント数

1st_output_B13	I/O chB_13、カウント数
1st_output_B14	I/O chB_14、カウント数
1st_output_B15	I/O chB_15、カウント数
1st_SPI_test02	SPI test2、種別
1st_#_of_delay_unit=0	Delay 0 ns 、カウント数
1st_SPI_test03	SPI test3、種別
1st_#_of_delay_unit=10	Delay 10 ns 、カウント数
1st_SPI_test04	SPI test4、種別
1st_#_of_delay_unit=20	Delay 20 ns 、カウント数
1st_SPI_test05	SPI test5、種別
1st_#_of_delay_unit=30	Delay 30 ns 、カウント数
1st_SPI_test06	SPI test6、種別
1st_#_of_delay_unit=40	Delay 40 ns 、カウント数
1st_SPI_test07	SPI test7、種別
1st_#_of_delay_unit=47	Delay 47 ns 、カウント数
1st_SPI_test08	SPI test8、種別
1st_vcon	Vcon、電圧値
1st_first_2_digits	Vcon、上2桁
1st_last_2_digits	Vcon、下2桁、電圧値は分割表記
1st_SPI_test09_twice	SPI test9、種別、2回読み出し
1st_TPA0	テストパルス A 回路ハイ電流源数 0
1st_TPAb0	テストパルス A 回路ロー電流源数 0
1st_TPB0	テストパルス B 回路ハイ電流源数 0
1st_TPBb0	テストパルス B 回路ロー電流源数 0
1st_SPI_test10_twice	SPI test10、種別、2回読み出し
1st_TPA2	テストパルス A 回路ハイ電流源数 2
1st_TPAb2	テストパルス A 回路ロー電流源数 2
1st_TPB2	テストパルス B 回路ハイ電流源数 2
1st_TPBb2	テストパルス B 回路ロー電流源数 2
1st_SPI_test11_twice	SPI test11、種別、2回読み出し
1st_TPA8	テストパルス A 回路ハイ電流源数 8
1st_TPAb8	テストパルス A 回路ロー電流源数 8
1st_TPB8	テストパルス B 回路ハイ電流源数 8
1st_TPBb8	テストパルス B 回路ロー電流源数 8
1st_SPI_test12_twice	SPI test12、種別、2回読み出し

1st_TPA15	テストパルス A 回路ハイ電流源数 15
1st_TPAb15	テストパルス A 回路ロー電流源数 15
1st_TPb15	テストパルス B 回路ハイ電流源数 15
1st_TPbb15	テストパルス B 回路ロー電流源数 15
1st_SPI_test13	SPI test13、種別
1st_bcid_scan_30ns	BCID gate width at 30ns
1st_SPI_test14	SPI test14、種別
1st_bcid_scan_35ns	BCID gate width at 35ns
1st_SPI_test15	SPI test15、種別
1st_bcid_scan_40ns	BCID gate width at 40ns
1st_SPI_test16	SPI test16、種別
1st_bcid_scan_45ns	BCID gate width at 45ns
1st_SPI_test17	SPI test17、種別
1st_3.3V_power_consumption_#_of_c.s.=4_10 0	3.3V 消費電力総電流源数 4、100 回
1st_SPI_test18	SPI test18、種別
1st_3.3V_power_consumption_#_of_c.s.=16_1 00	3.3V 消費電力総電流源数 16、100 回
1st_SPI_test19	SPI test19、種別
1st_3.3V_power_consumption_#_of_c.s.=30_1 00	3.3V 消費電力総電流源数 30、100 回
1st_SPI_test20	SPI test20、種別
1st_3.3V_power_consumption_#_of_c.s.=0_10 0	3.3V 消費電力総電流源数 0、100 回
1st_SPI_test21	SPI test21、種別
1st_1.8V_power_consumption_10kHz_100	1.8V 消費電力、信号入力レート 10kHz、100 回
1st_1.8V_power_consumption_80kHz_100	1.8V 消費電力、信号入力レート 80kHz、100 回
1st_1.8V_power_consumption_1MHz_100	1.8V 消費電力、信号入力レート 1MHz、100 回

表3：ログデータ B ログメッセージ対応表

1st_measurement	測定種別、2nd の場合には後ろに測定名がつく
年/月/日 時:分:秒	日時
1st_OK:All_Test	全測定、判定
1st_OK:Test1(SPI_configuration)	測定1、判定
1st_OK:Test2(input/output)	測定2、判定
1st_OK:Test3(delay)	測定3、判定
1st_OK:Test4(Vcon)	測定4、判定
1st_OK:Test5(Test pulse)	測定5、判定
1st_OK:Test6(bcid_gate)	測定6、判定
1st_OK:Test7(3.3V_power_consumption)	測定7、判定
1st_OK:Test8(1.8V_power_consumption)	測定8、判定
1st_SPI_test01	SPI test1、種別
1st_SPI_test02	SPI test2、種別
1st_SPI_test03	SPI test3、種別
1st_SPI_test04	SPI test4、種別
1st_SPI_test05	SPI test5、種別
1st_SPI_test06	SPI test6、種別
1st_SPI_test07	SPI test7、種別
1st_SPI_test08	SPI test8、種別
1st_SPI_test09	SPI test9、種別
1st_SPI_test10	SPI test10、種別
1st_SPI_test11	SPI test11、種別
1st_SPI_test12	SPI test12、種別
1st_SPI_test13	SPI test13、種別
1st_SPI_test14	SPI test14、種別
1st_SPI_test15	SPI test15、種別
1st_SPI_test16	SPI test16、種別
1st_SPI_test17	SPI test17、種別
1st_SPI_test18	SPI test18、種別
1st_SPI_test19	SPI test19、種別
1st_SPI_test20	SPI test20、種別
1st_SPI_test21	SPI test21、種別
1st_output_A0-A15,B0-B15	ここから output カウント数

1st_chA_0	I/O chA_0、カウント数
1st_chA_1	I/O chA_1、カウント数
1st_chA_2	I/O chA_2、カウント数
1st_chA_3	I/O chA_3、カウント数
1st_chA_4	I/O chA_4、カウント数
1st_chA_5	I/O chA_5、カウント数
1st_chA_6	I/O chA_6、カウント数
1st_chA_7	I/O chA_7、カウント数
1st_chA_8	I/O chA_8、カウント数
1st_chA_9	I/O chA_9、カウント数
1st_chA_10	I/O chA_10、カウント数
1st_chA_11	I/O chA_11、カウント数
1st_chA_12	I/O chA_12、カウント数
1st_chA_13	I/O chA_13、カウント数
1st_chA_14	I/O chA_14、カウント数
1st_chA_15	I/O chA_15、カウント数
1st_chB_0	I/O chB_0、カウント数
1st_chB_1	I/O chB_1、カウント数
1st_chB_2	I/O chB_2、カウント数
1st_chB_3	I/O chB_3、カウント数
1st_chB_4	I/O chB_4、カウント数
1st_chB_5	I/O chB_5、カウント数
1st_chB_6	I/O chB_6、カウント数
1st_chB_7	I/O chB_7、カウント数
1st_chB_8	I/O chB_8、カウント数
1st_chB_9	I/O chB_9、カウント数
1st_chB_10	I/O chB_10、カウント数
1st_chB_11	I/O chB_11、カウント数
1st_chB_12	I/O chB_12、カウント数
1st_chB_13	I/O chB_13、カウント数
1st_chB_14	I/O chB_14、カウント数
1st_chB_15	I/O chB_15、カウント数
1st_Delay_0	Delay 0 ns 、カウント数
1st_Delay_10	Delay 10 ns 、カウント数
1st_Delay_20	Delay 20 ns 、カウント数

1st_Delay_30	Delay 30 ns 、カウント数
1st_Delay_40	Delay 40 ns 、カウント数
1st_Delay_47	Delay 47 ns 、カウント数
1st_vcon	Vcon、電圧値(mV)
1st_TestpulseA_0	テストパルス A 回路ハイ電流源数 0(mV)
1st_TestpulseAb_0	テストパルス A 回路ロー電流源数 0(mV)
1st_TestpulseB_0	テストパルス B 回路ハイ電流源数 0(mV)
1st_TestpulseBb_0	テストパルス B 回路ロー電流源数 0(mV)
1st_TestpulseA_2	テストパルス A 回路ハイ電流源数 2(mV)
1st_TestpulseAb_2	テストパルス A 回路ロー電流源数 2(mV)
1st_TestpulseB_2	テストパルス B 回路ハイ電流源数 2(mV)
1st_TestpulseBb_2	テストパルス B 回路ロー電流源数 2(mV)
1st_TestpulseA_8	テストパルス A 回路ハイ電流源数 8(mV)
1st_TestpulseAb_8	テストパルス A 回路ロー電流源数 8(mV)
1st_TestpulseB_8	テストパルス B 回路ハイ電流源数 8(mV)
1st_TestpulseBb_8	テストパルス B 回路ロー電流源数 8(mV)
1st_TestpulseA_15	テストパルス A 回路ハイ電流源数 15(mV)
1st_TestpulseAb_15	テストパルス A 回路ロー電流源数 15(mV)
1st_TestpulseB_15	テストパルス B 回路ハイ電流源数 15(mV)
1st_TestpulseBb_15	テストパルス B 回路ロー電流源数 15(mV)
1st_bcid_gate_30_ns	BCID gate width at 30ns (ns)
1st_bcid_gate_35_ns	BCID gate width at 35ns (ns)
1st_bcid_gate_40_ns	BCID gate width at 40ns (ns)
1st_bcid_gate_45_ns	BCID gate width at 45ns (ns)
1st_3.3V_power_consumption_0	3.3V 消費電力平均、総電流源数 0(mW)
1st_3.3V_power_consumption_4	3.3V 消費電力平均、総電流源数 4(mW)
1st_3.3V_power_consumption_16	3.3V 消費電力平均、総電流源数 16(mW)
1st_3.3V_power_consumption_30	3.3V 消費電力平均、総電流源数 30(mW)
1st_1.8V_power_consumption_10k	1.8V 消費電力平均、信号入力レート 10kHz(mW)
1st_1.8V_power_consumption_80k	1.8V 消費電力平均、信号入力レート 80kHz(mW)
1st_1.8V_power_consumption_1M	1.8V 消費電力平均、信号入力レート 1MHz(mW)