

高輝度LHC-ATLAS実験に向けた TGC検出器のタイミング調整用 ASIC量産品の性能評価

名古屋大学 理学研究科
山田敏大^{A,B}

戸本誠^{A,B}、堀井泰之^{A,B}、加納勇也^{A,B}、稲熊勇人^{A,B}、
佐々木修^{B,C}、田中真伸^{B,C}、内田智久^{B,C}、宮原正也^{B,C}、池野正弘^{B,C}、
他ATLAS日本トリガーグループ

名大理^A、Open-It^B、KEK 素核研^C

日本物理学会第75回年次大会

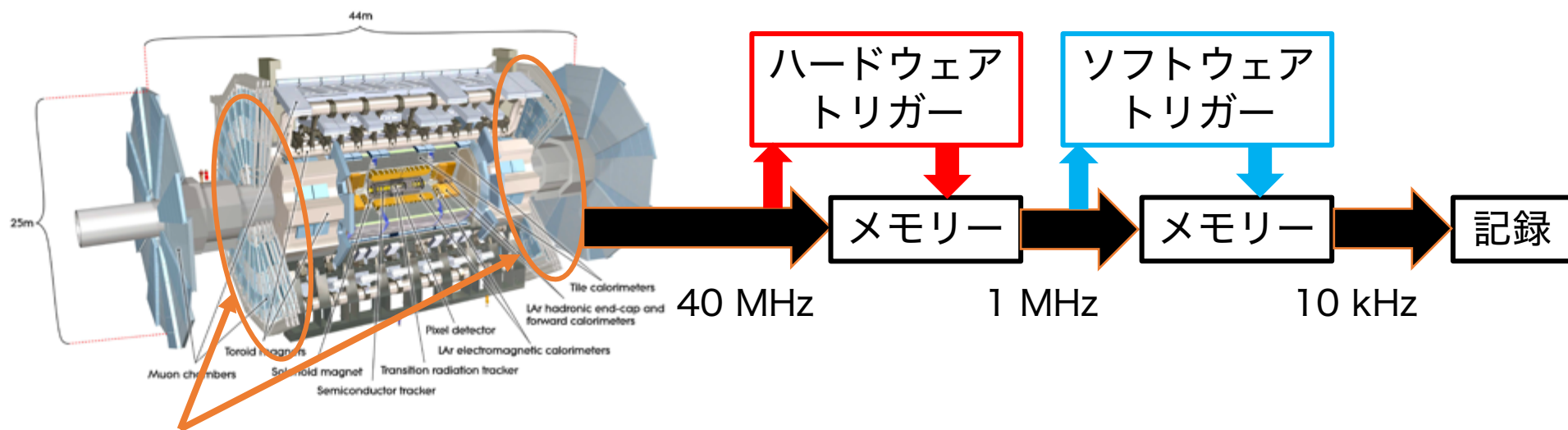
@名古屋大学



はじめに

高輝度LHC-ATLAS実験 2027年実験開始予定

- CERNの陽子-陽子衝突型加速器 Large Hadron Collider を高輝度化
- 重心系エネルギー：14 TeV、瞬間ルミノシティ： $5 - 7.5 \times 10^{34} \text{ cm}^{-2} \text{ s}^{-1}$
- ATLAS実験のトリガー・読み出しを改良する



Thin Gap Chamber (TGC)

- エンドキャップ部トリガー用ミューオン検出器
- 回路を刷新する（本研究で着目）

TGC検出器回路の刷新

ハードウェアトリガー発行条件の変更

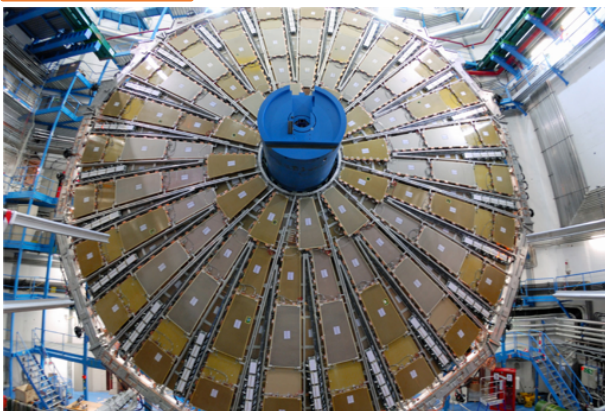
現行
前段回路搭載のASICで
1段目2/3, 2+3段目3/4の
コインシデンスをとる

→ 高輝度LHC
後段回路において
全7/7層で飛跡再構成

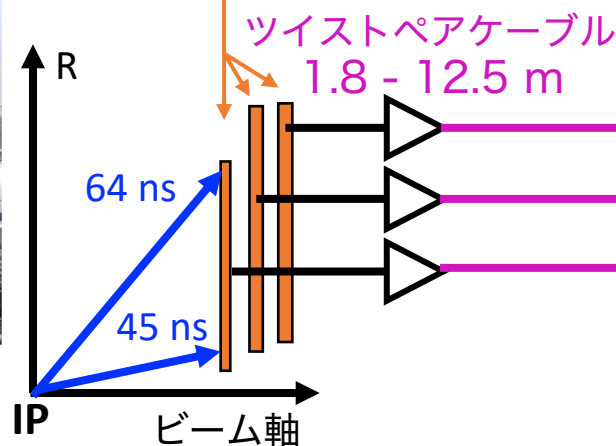


TGC全層の信号を
後段回路に送るため
前段回路を刷新

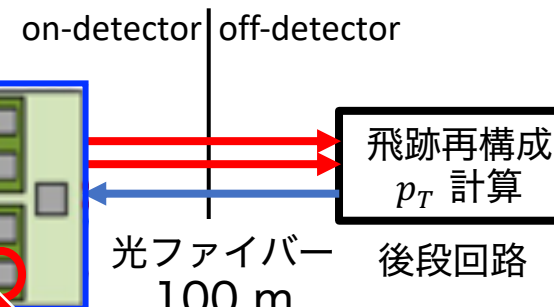
TGC



多線式比例計数管
3段7層からなる
読み出しは全32万 ch



高輝度LHCに向けての交換対象



Patch Panel ASIC (本研究)

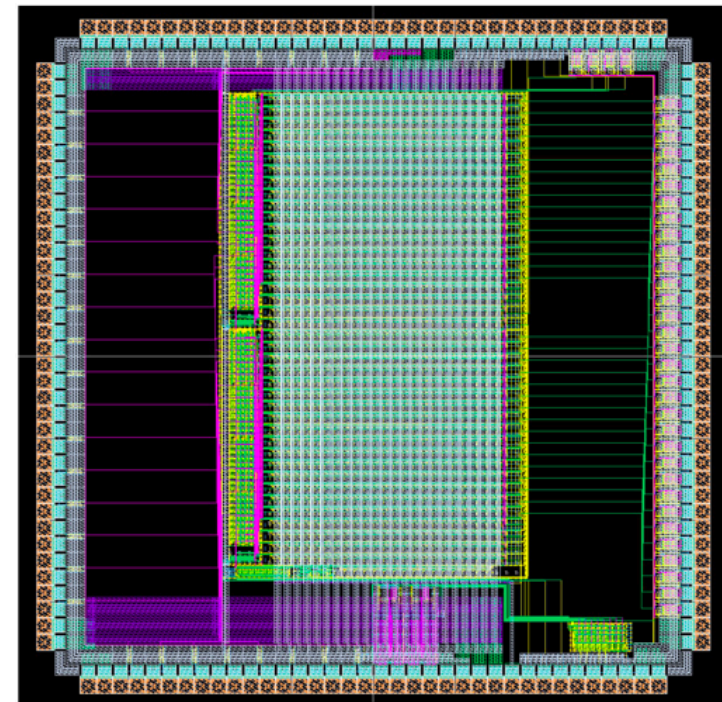
Patch Panel ASIC (PP ASIC)の概要

- 検出器からの信号に対して、チャンネル間の遅延時間の違いを補正する（**1 ns**以下の刻み、ダイナミックレンジ**40 ns**以上）

→ μ 粒子の飛行時間(45 - 64 ns)やケーブル長(1.8 - 12.5 m)の違い（最大**26 ns**程度）を吸収

- 40 MHzクロックと信号を同期させ、陽子交差にアサインする
- テストパルスを出し、回路系の動作試験をする

PP ASIC (2.5 mm × 2.5 mm)



PP ASIC開発のタイムライン

2018：試作機設計 日本物理学会2018年9月伊藤 14pS13-03

2018/11：試作機全機能試験 日本物理学会2019年3月稲熊 17aK209-11

2019/3：量産品全ウエハー(チップ25000枚分)完成
約700枚パッケージング完了

2019/4-8：量産品全機能試験 (ASIC設計の検証)
200枚品質試験 (ASIC製造・パッケージングの検証)
↑ 本講演の内容

2020/3：量産品全チップのパッケージング完了

2020/4 -：量産品全チップの自動品質試験開始

2025-2027：PP ASIC搭載前段回路インストール

量産品全機能試験①：概要

- ・パッケージング済みの量産品1チップに対して全機能が要求を満たすことを確認した。

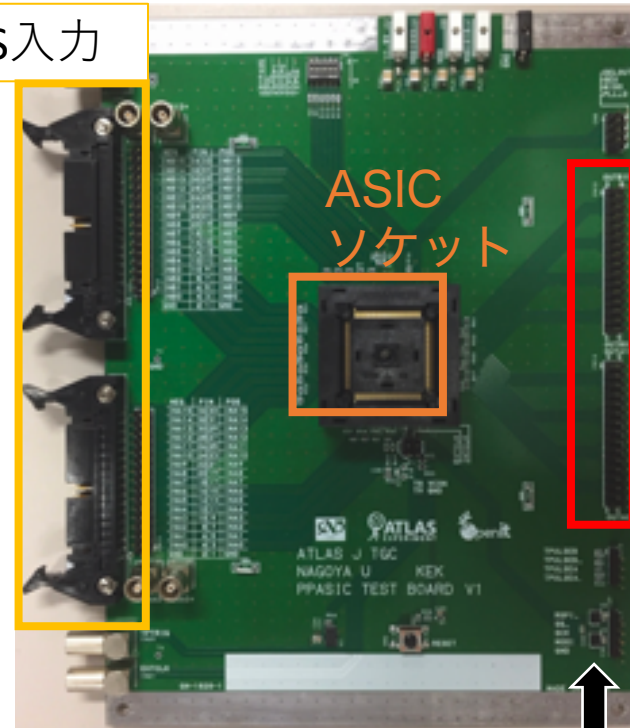
試験項目

各回路の動作検証

- 全てのSPIレジスタ
- LVDSレシーバー
- 可変遅延回路 (次ページ以降)
- 陽子バンチ識別回路
- テストパルス回路

試験用ボード

32 ch LVDS入力



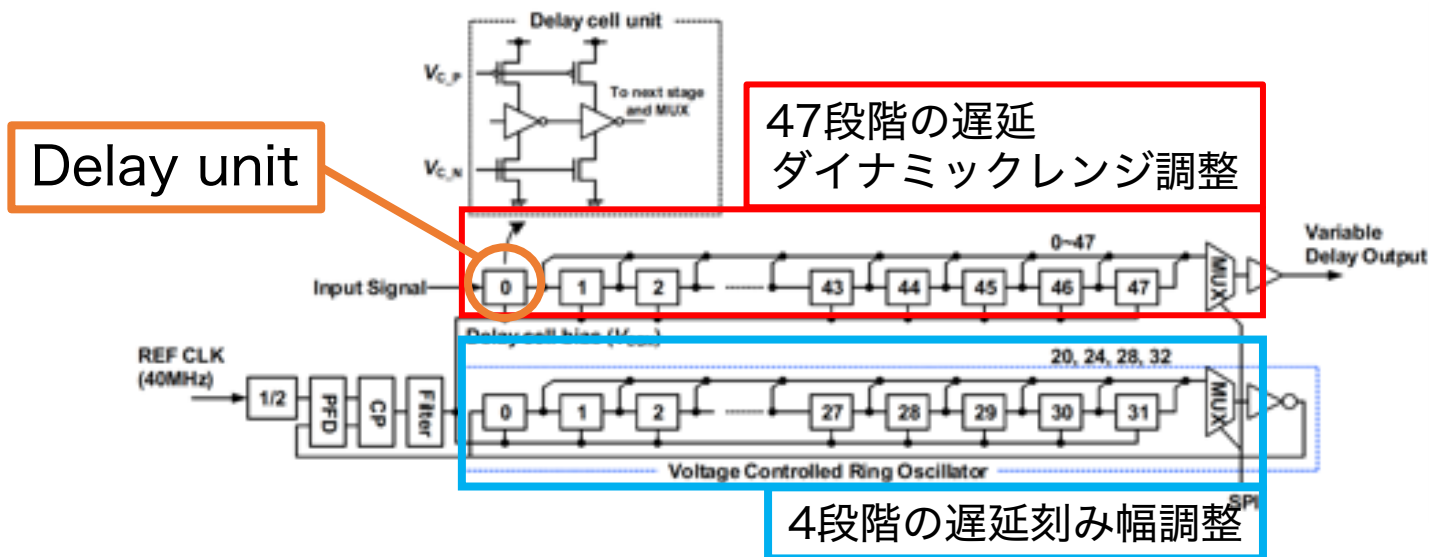
ASIC
ソケット

32 ch
1.8 V CMOS
出力

SPIバス

マイコン

量産品全機能試験②：可変遅延回路

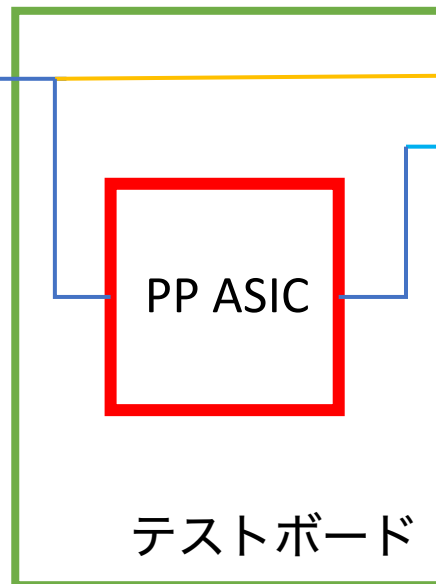


40 MHzの基準クロックを用いて
Phase Locked Loop (PLL) 回路により温度や電源電圧に
依存しない遅延を実現する。

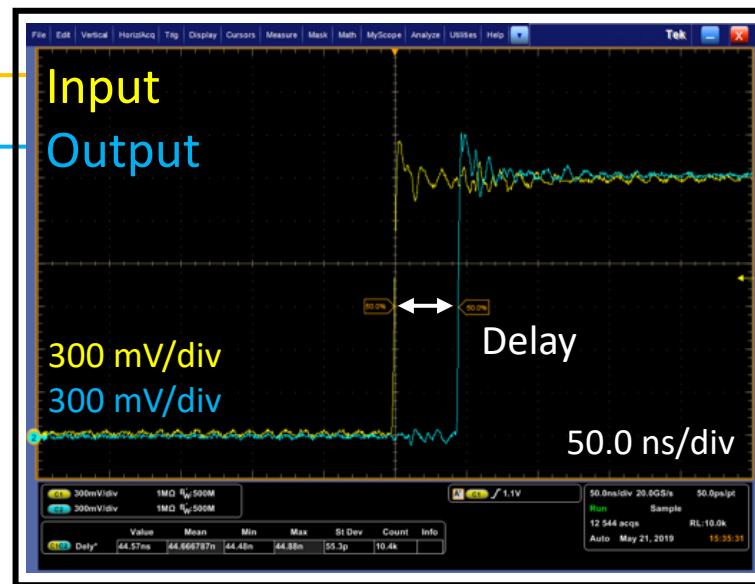
量産品全機能試験③：セットアップ

パルス生成器
81150A

振幅 1.8 V
Offset 900 mV
周波数 40 MHz
Duty cycle 40 %



オシロスコープ

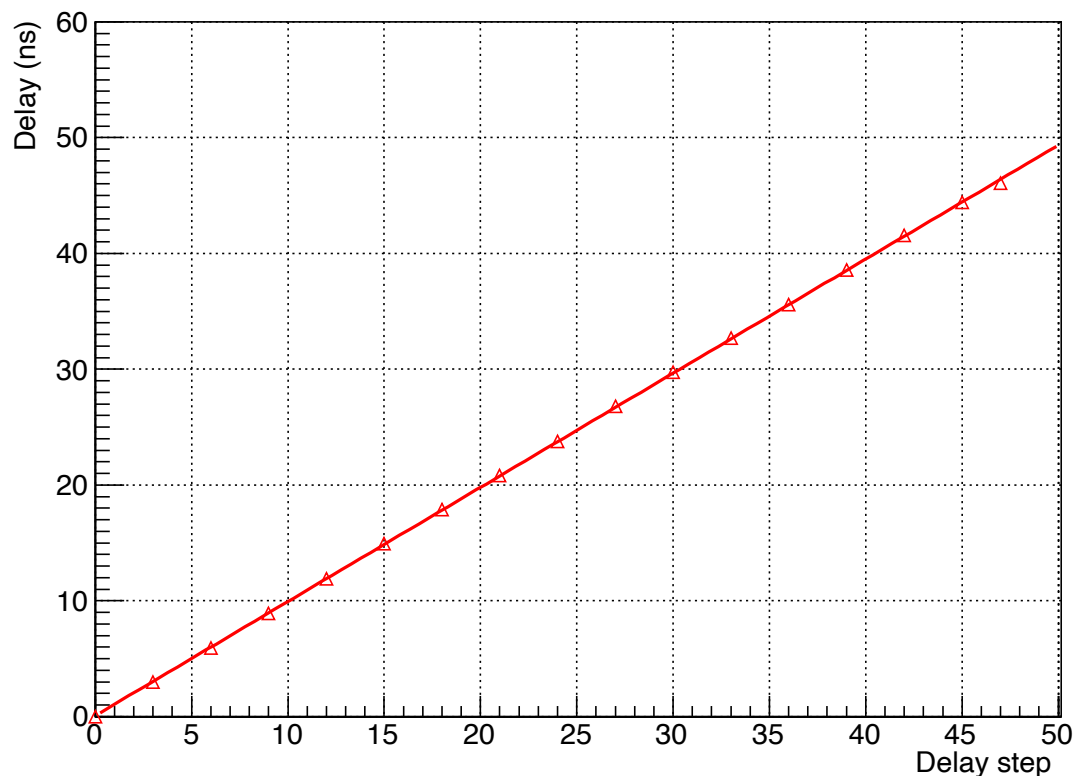


PLL = 28 Delay step = 47

入力と出力の信号の遅延を、オシロスコープで測定した。

量産品全機能試験④：測定結果

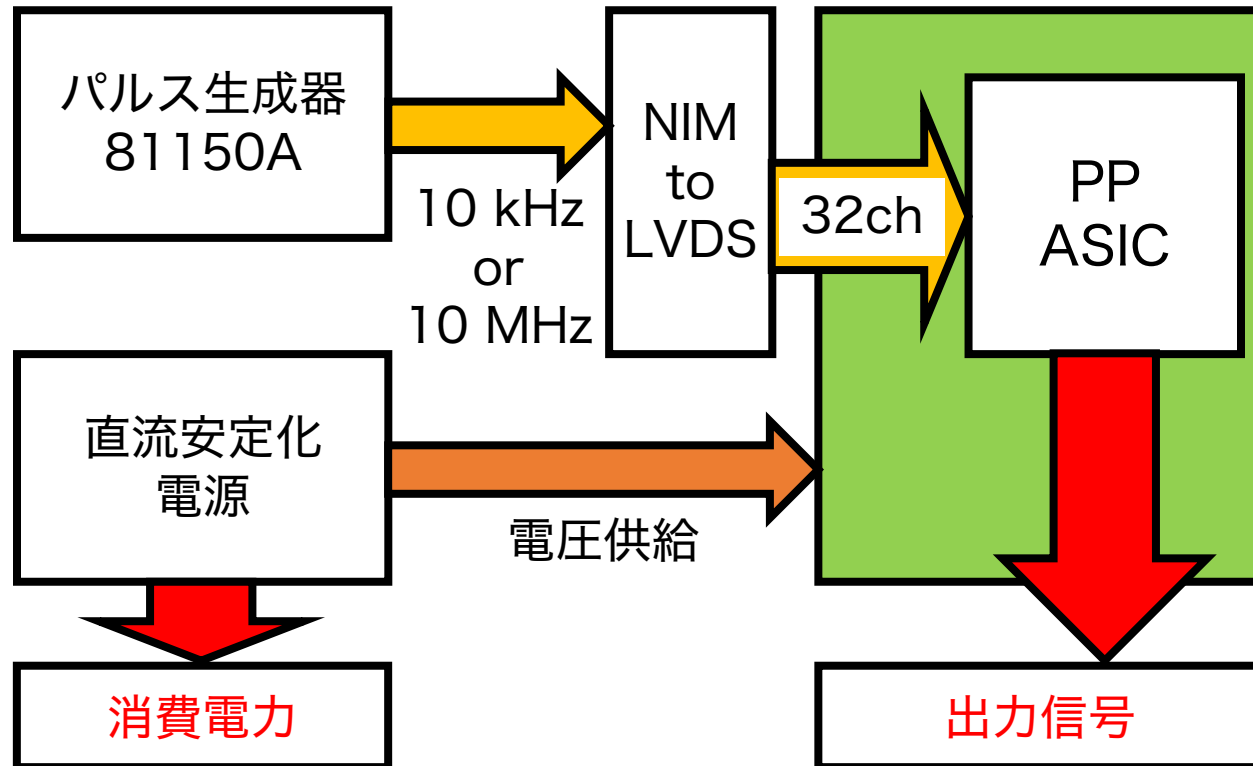
線型性が確認された



1ステップあたりの遅延1 ns以下、
ダイナミックレンジ40 ns以上の要求を満たす結果を得た。

200枚品質試験①：セットアップ

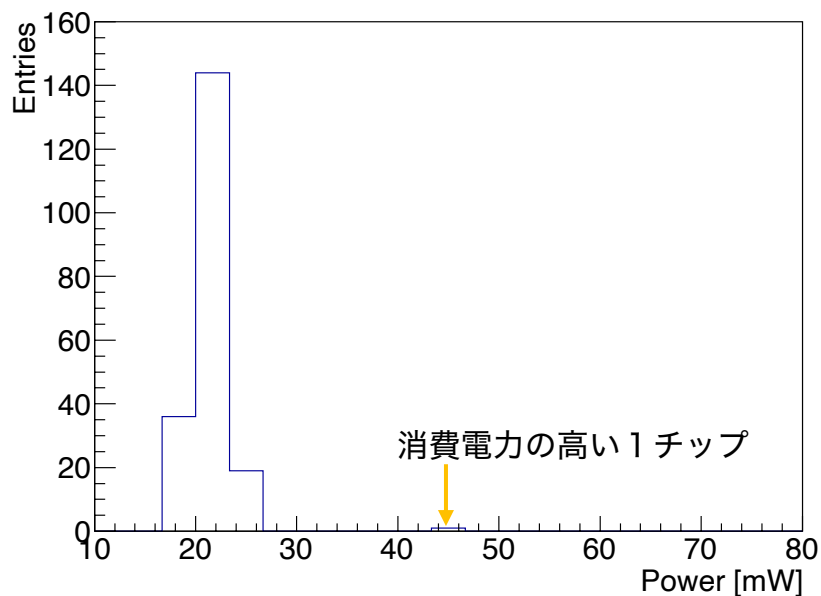
全てのチップのパッケージングへのフィードバックのために、200チップの全チャンネル（32 ch/chip）に10 kHz or 10 MHzで信号を入力し、全チャンネルの出力とチップあたりの消費電力を測定



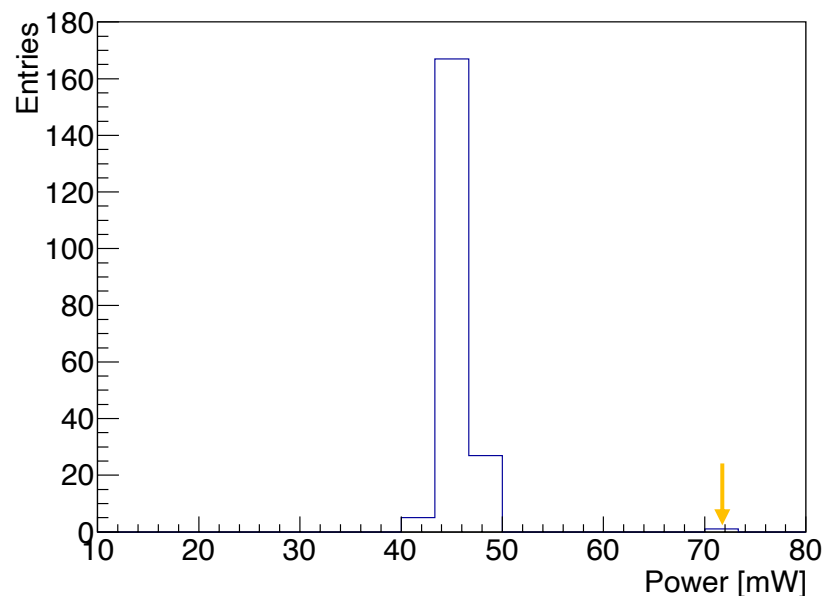
200枚品質試験②：測定結果

- 全チャンネルで出力（幅：25 ns or 50 ns、波高：LVCOMS 1.8 V）を確認できた
- 消費電力は10 kHz（10 MHz）の入力レートにおいて、199チップで19-24 mW（44-49 mW）だった。

信号入力レート10 kHzでの消費電力分布



信号入力レート10 MHzでの消費電力分布



- **199チップ**が良品であると結論付けた。

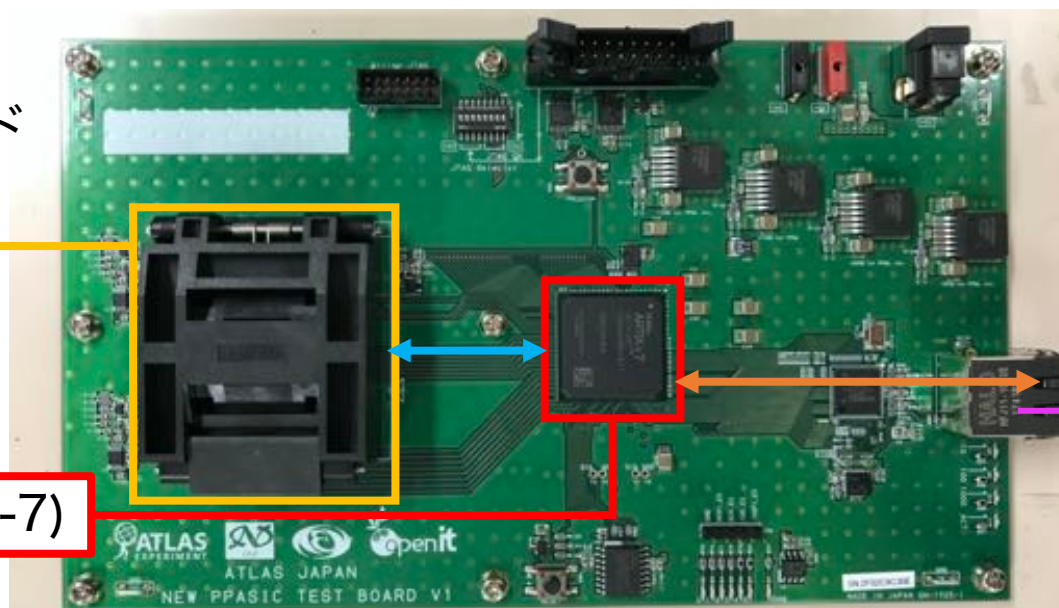
PP ASIC量産品全数自動試験概要

2020年度に25000枚の試験を行う。FPGAを用いて、

- ・ Configuration
- ・ 全チャンネルに対する入出力（FPGAで入力供給、出力検出）
- ・ 消費電力（FPGA内部のADCを利用）

を1枚あたり秒のオーダーで検証する

PP ASIC量産品
全数自動試験用ボード



PP ASIC

PCとの通信
(SiTCP通信)

FPGA(Xilinx Artix-7)

ボードが完成し、ファームウェアおよびソフトウェアを準備中

まとめ

- 高輝度LHC-ATLAS実験のTGC前段読み出し回路に搭載する新型Patch Panel ASICの開発を行っている。
- 量産品ASIC 1枚が全ての要求を満たすことを確認した。
- 量産品200枚の簡易試験（全チャンネル入出力・消費電力）において、199枚が正常であることがわかった。
- 全数試験に向けてボードが完成し、ファームウェアおよびソフトウェアを準備中。
- 2020年度中に25000枚全てのチップの試験を終了させる予定。