

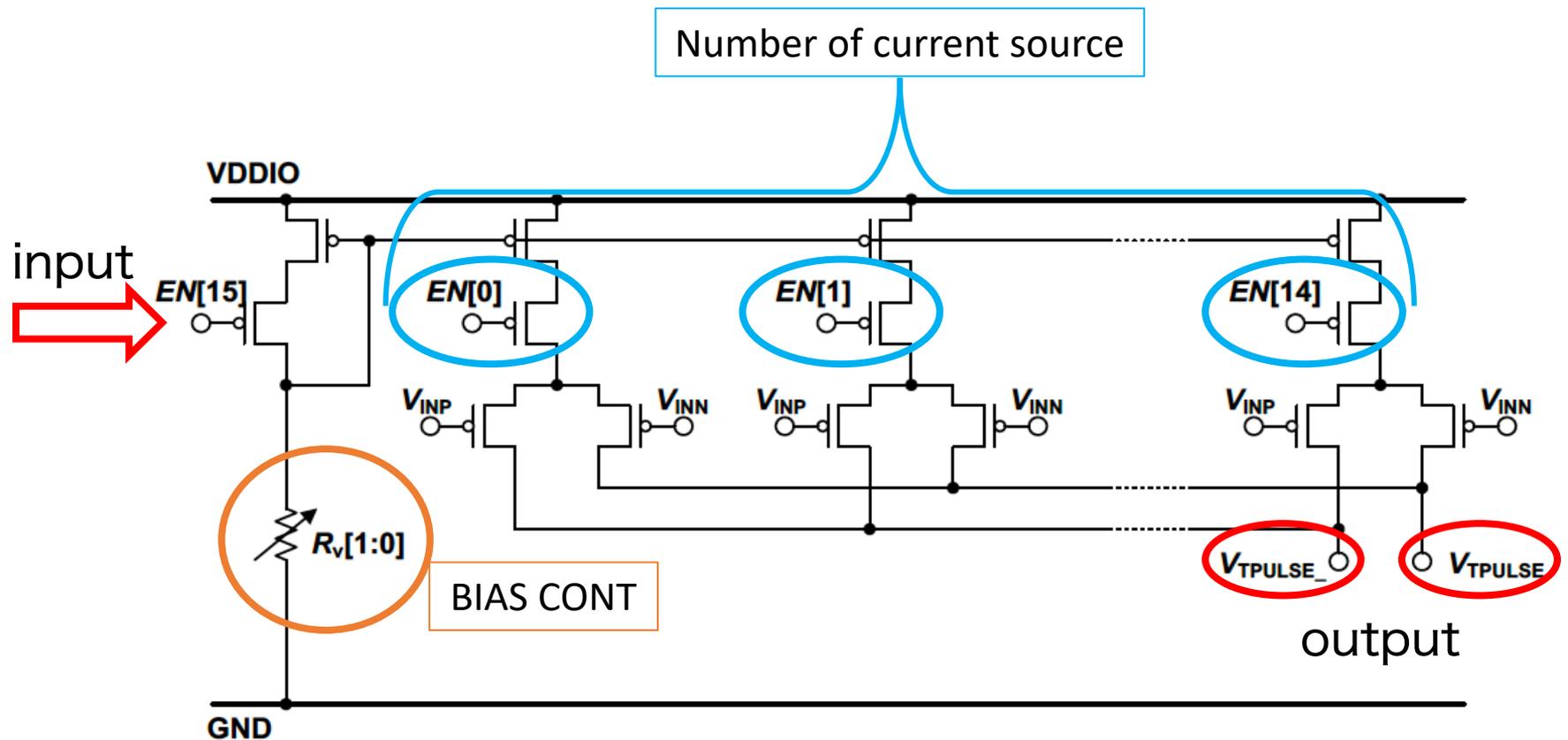
Test Pulse Generator

25 June 2019

Nagoya Univ.

Toshihiro Yamada

Test Pulse Generatorのパラメータ

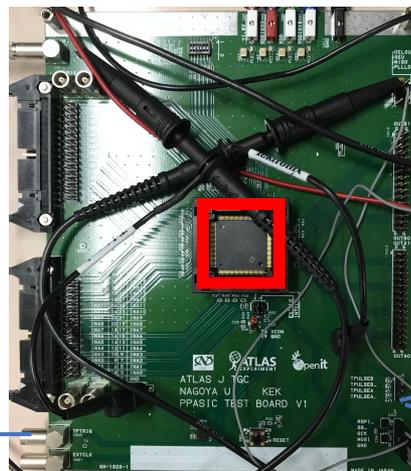


テストパルス出力振幅の電流源数依存 (BIAS CONT=00,01,10,11)

TPG_BIAS_ENB
をチェック

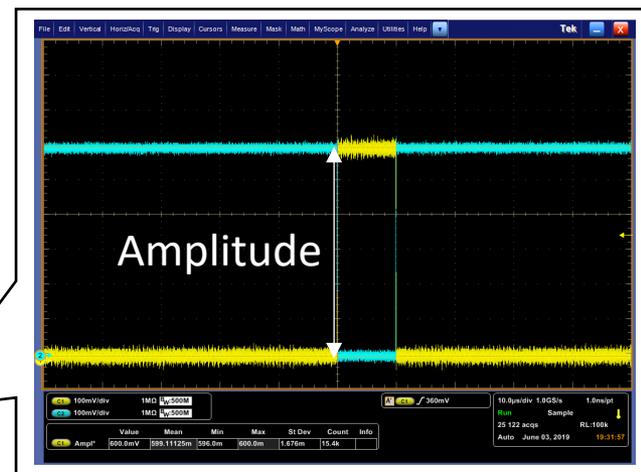
振幅 1.8 V
Offset 900 mV
周波数 1.0 kHz
Delay cycle 40 %

パルス生成器



オシロスコープ

TPULSEA
TPULSE_



- CLKSEL : INTCLK
- SW : 000100 (PLL28)

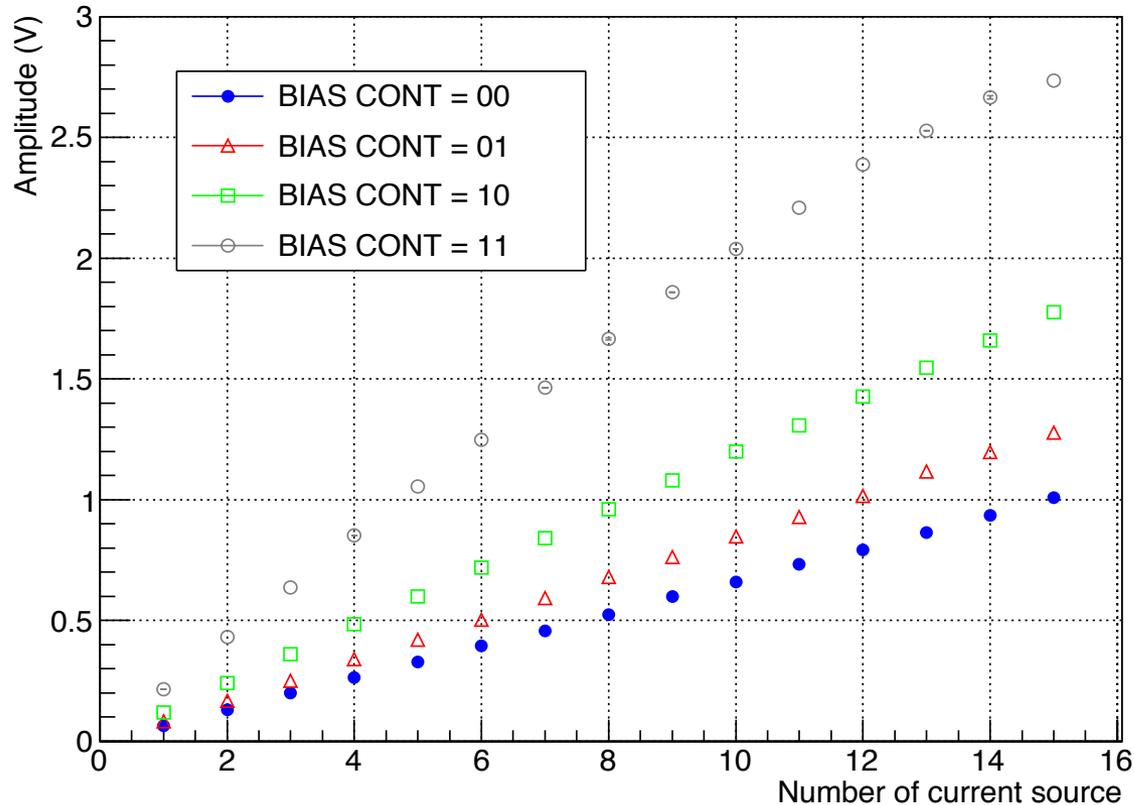
BIAS CONT(00,01,10,11)ごとに電流源数と出力振幅の
関係を見た

TPG_BIAS_CONT

TPG_DRV_CONT_

設定はマクロを見ながらやってみてください

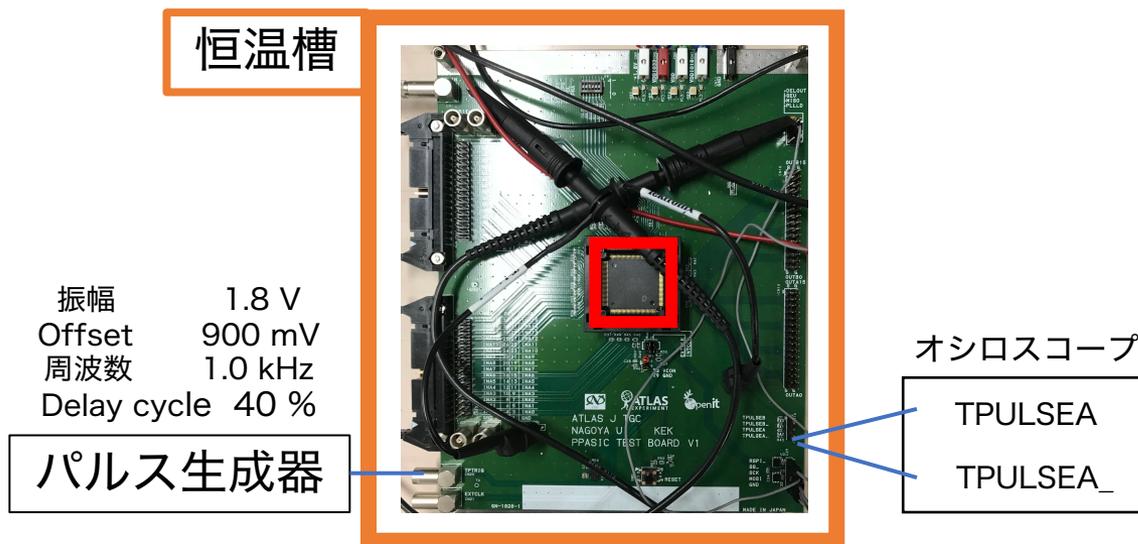
結果



BIAS CONT= 11のNumber of current source > 11 で線型性が悪くなっているが、電圧振幅が大きくなりすぎたためと考えられる。

(試作機V0でも同様の結果が得られている)

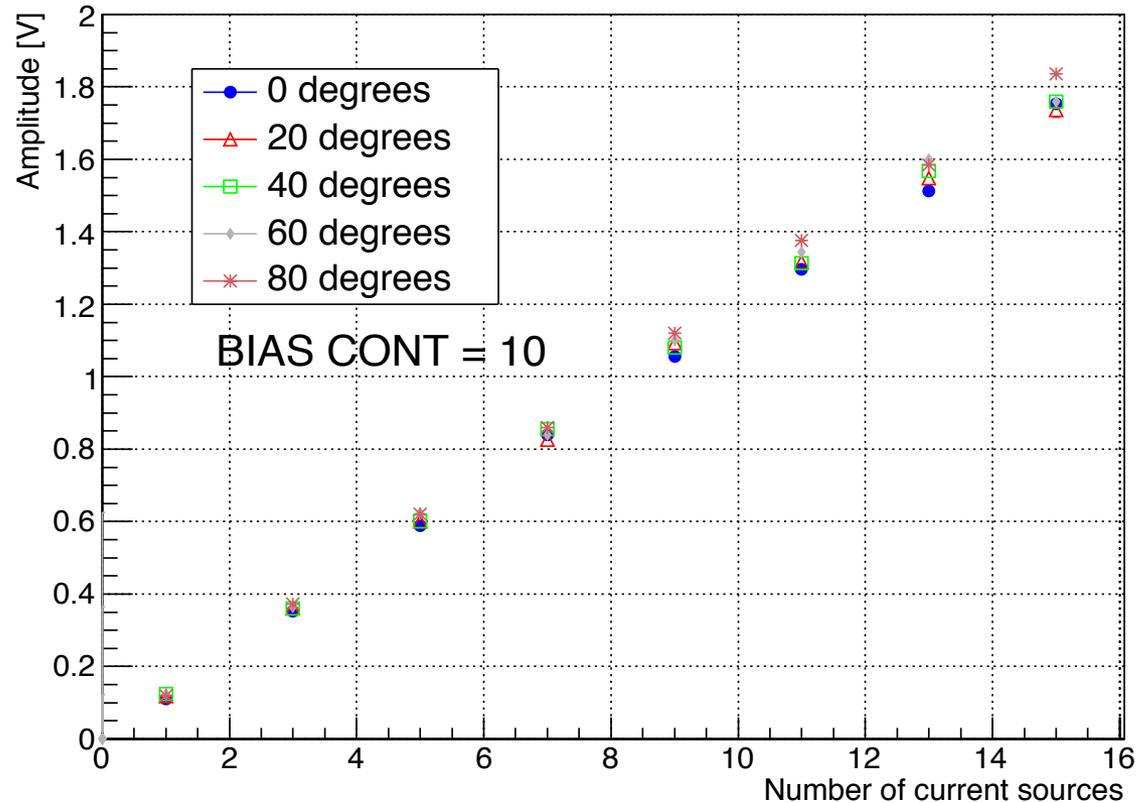
テストパルス出力振幅の電流源数依存 (複数の環境温度に対して)



- CLKSEL : INTCLK
- SW : 000100 (PLL28)

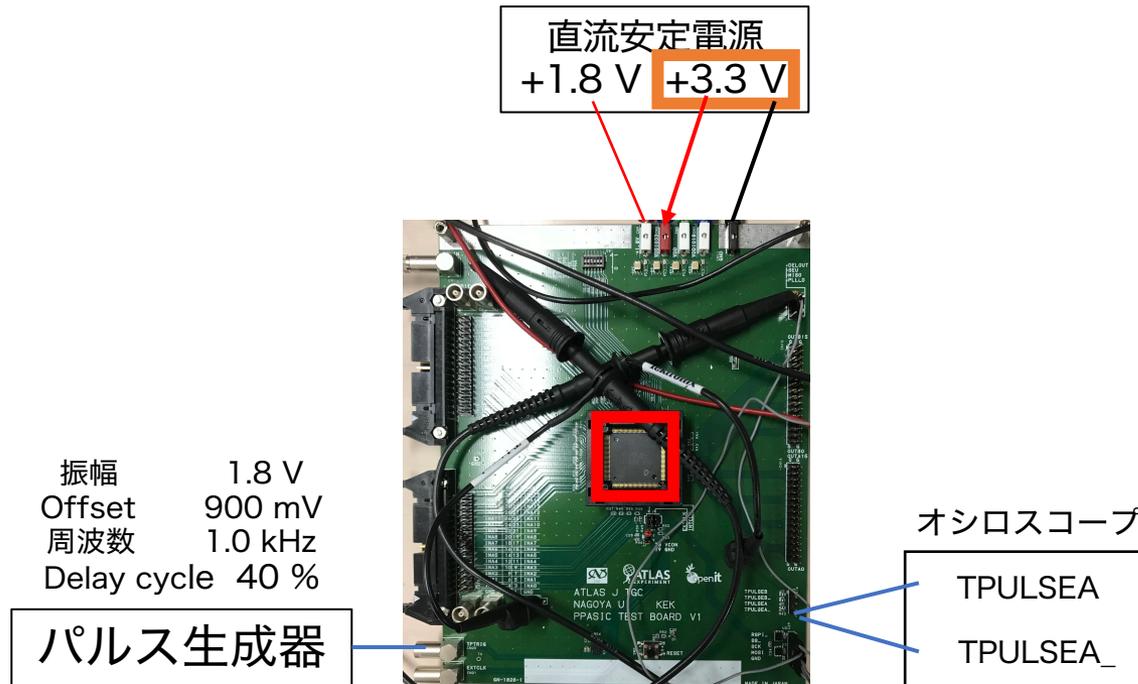
温度を0, 20, 40, 60, 80°Cに設定し、電流源数と出力振幅の関係を見た

結果



運用上影響のある温度依存性は見られなかった。

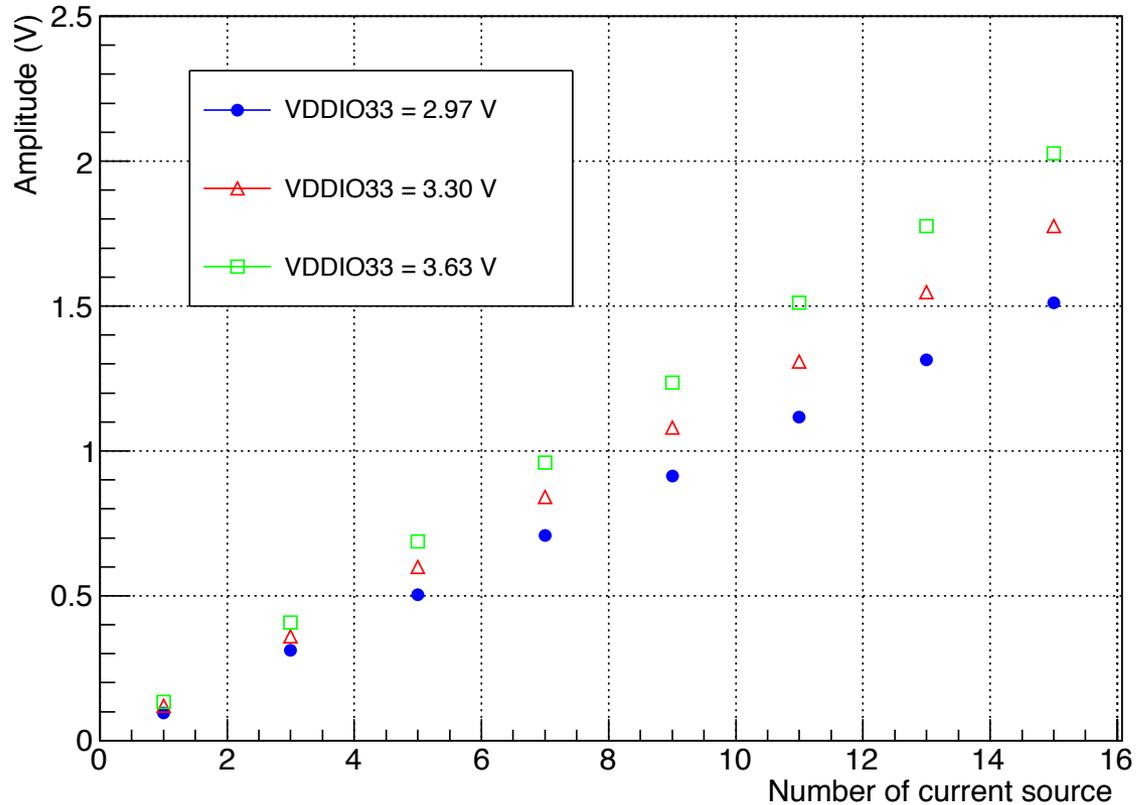
テストパルス出力振幅の電流源数依存 (複数のVDD電圧に対して)



- CLKSEL : INTCLK

2.97 V, 3.30 V, 3.63 Vと変化させて測定

結果

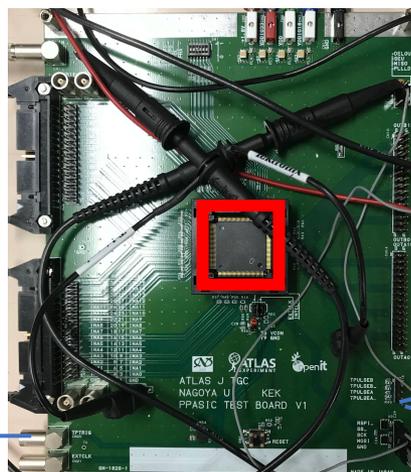


線型性は保ちつつ、期待通りの変化が見られた。
(試作機V0でも同様の結果が得られている)

テストパルス出力のパルス幅の測定

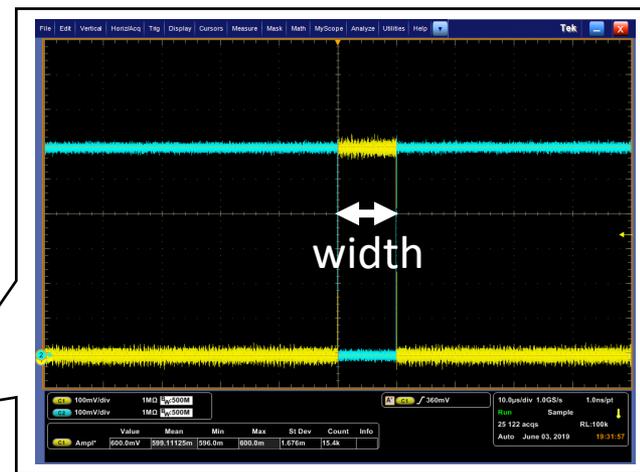
振幅 1.8 V
Offset 900 mV
周波数 1.0 kHz
Delay cycle 40 %

パルス生成器



オシロスコープ

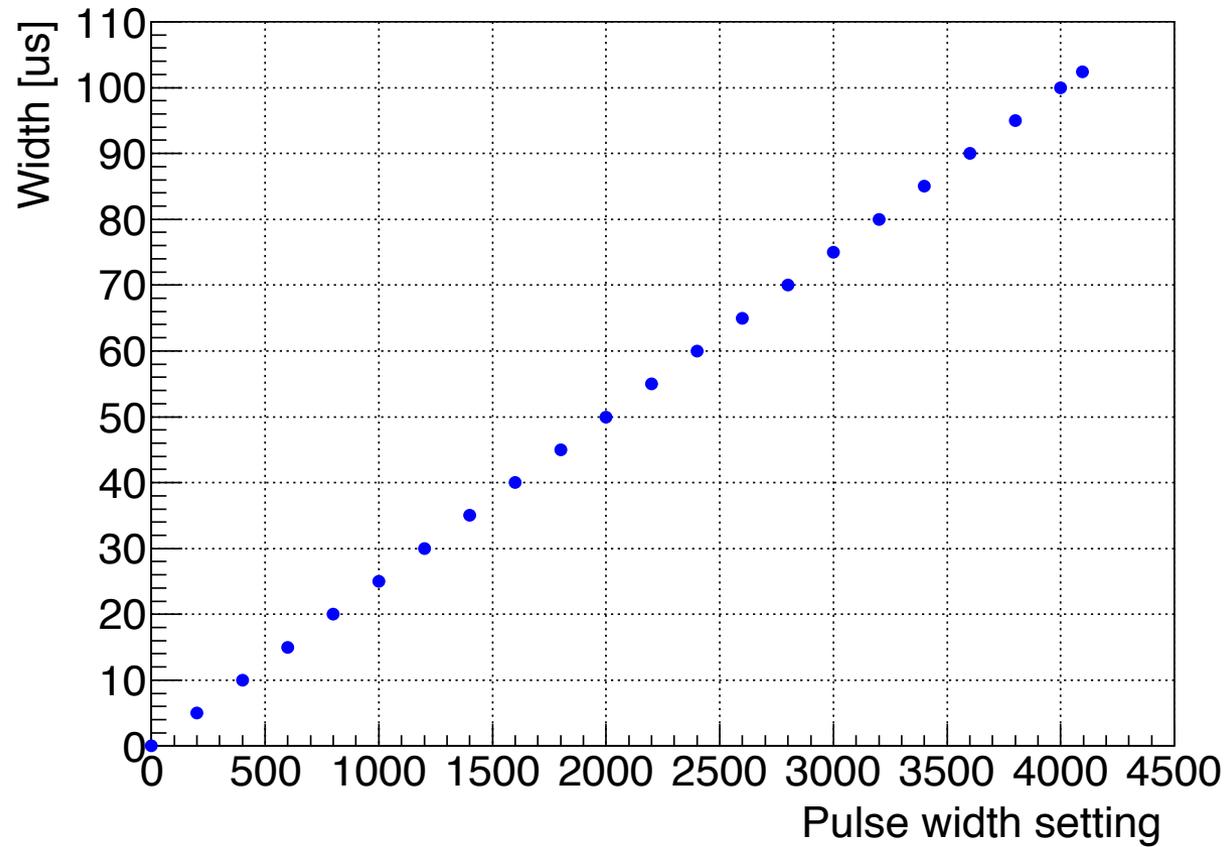
TPULSESEA
TPULSESEA_



テストパルスのパルス幅をSPIで調整し、オシロスコープで測定した。

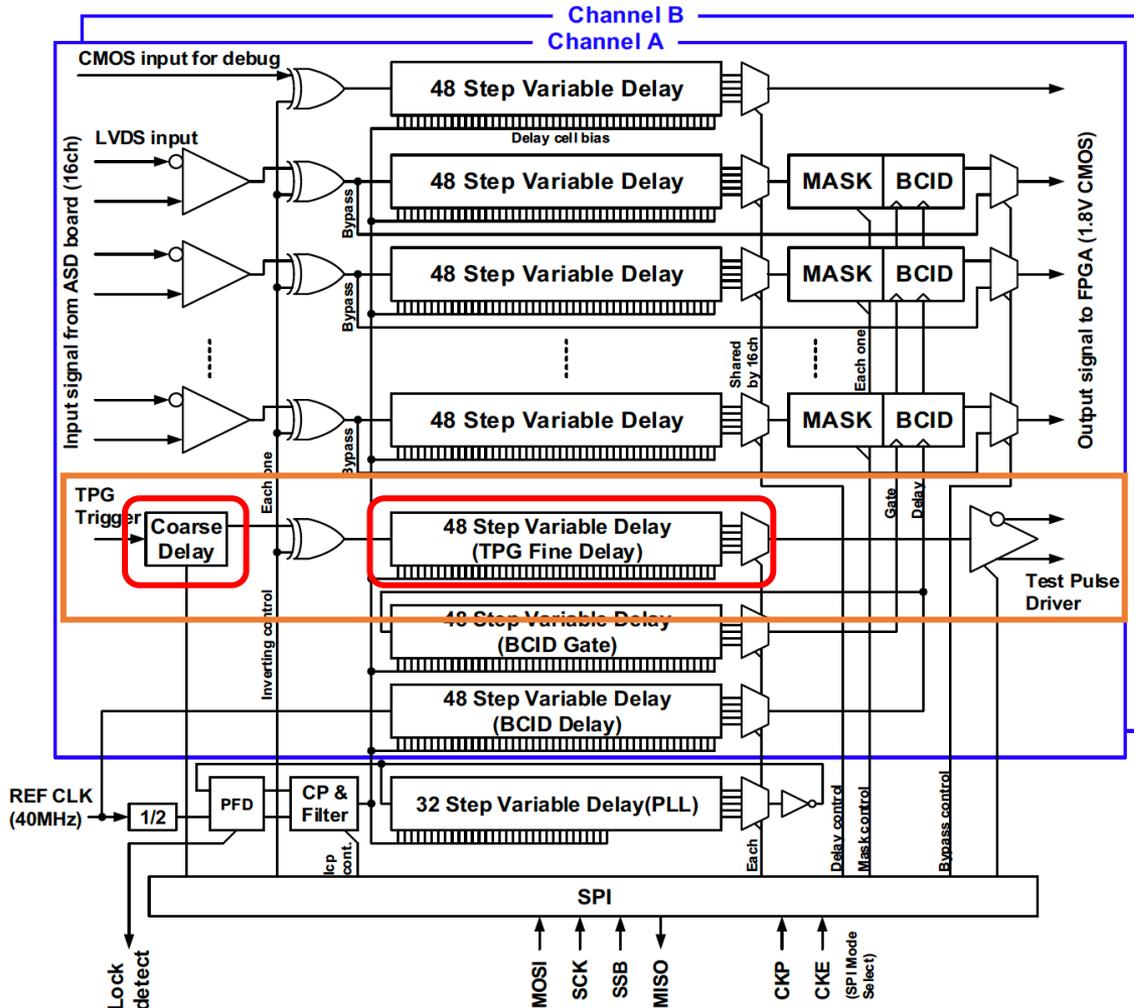
TPG_PW_CONT
(16進数)

結果



刻み幅 25 ns で 25 ns ~ 102.4 μ s までwidth を設定通り調整できた

Coarse delayとFine delayの 設定値と実測値の関係

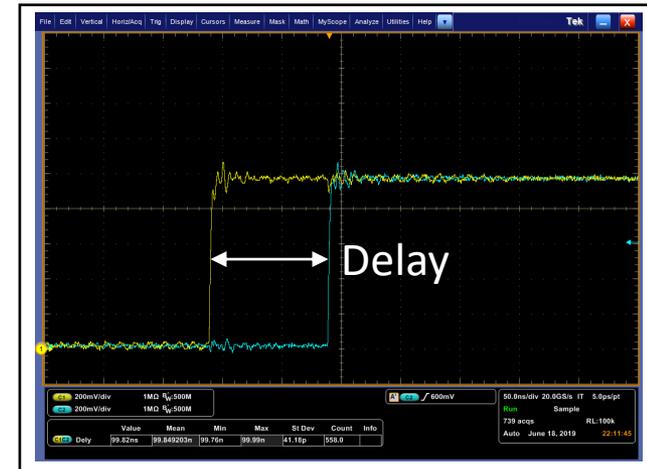
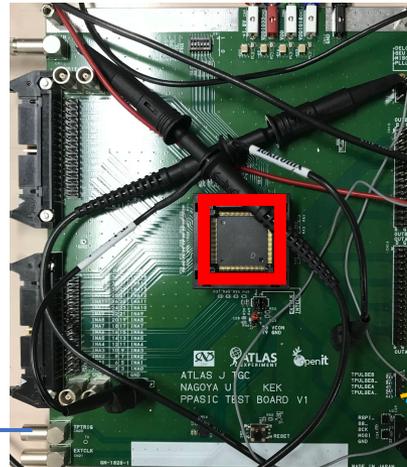


Coarse delayとFine delayの 設定値と実測値の関係

TPG_DLY_CONT_C
TPG_DLY_CONT_F

振幅 1.8 V
Offset 900 mV
周波数 1.0 kHz
Delay cycle 40 %

パルス生成器



オシロスコープ

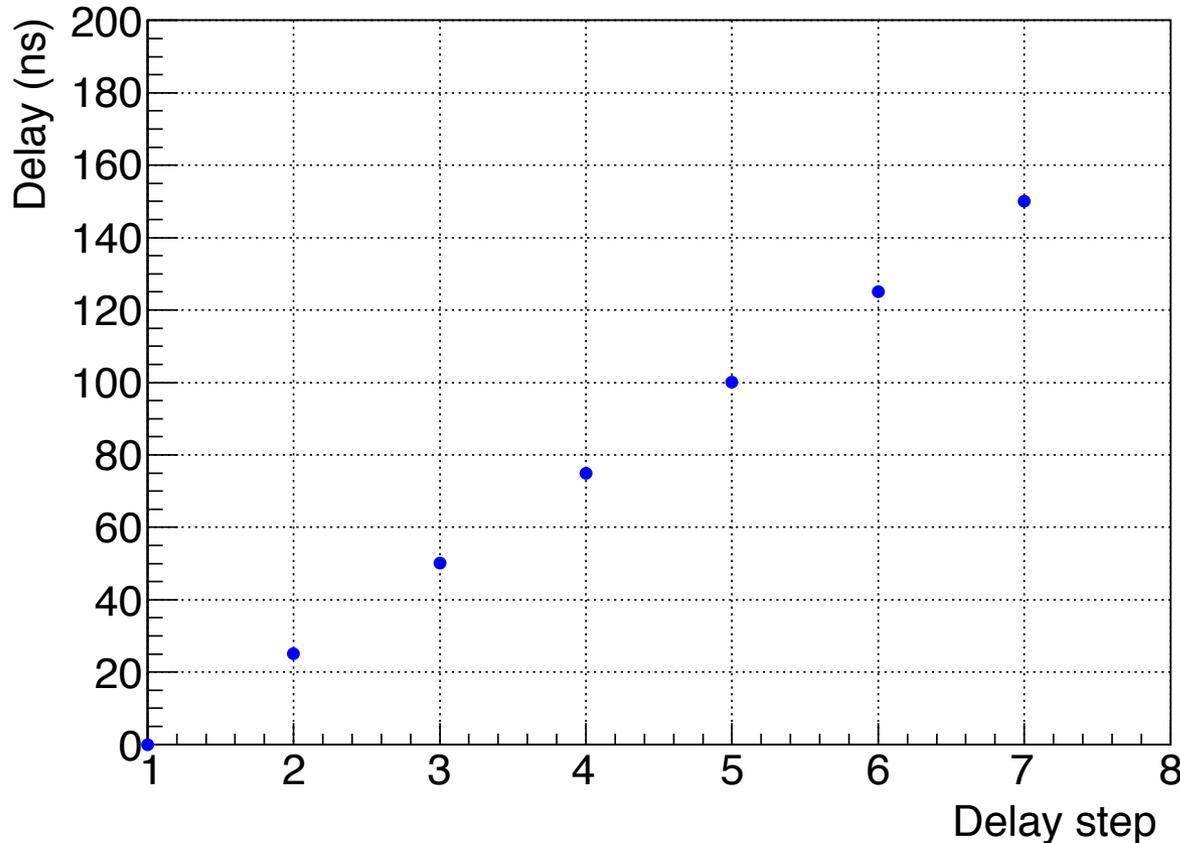
TPULSEA
TPULSEB

Delayをかける
Delayを固定

TPULSEA の Coarse delayとFine delayを固定する (基準信号)

- Coarse delay 測定時 : TPULSEBでFine delayを基準値に設定し、Coarse delayを変化させる。
- Fine delay 測定時 : TPULSEBでCoarse delayを基準値に設定し、Fine delayを変化させる。

結果 (Coarse Delay)



基準値

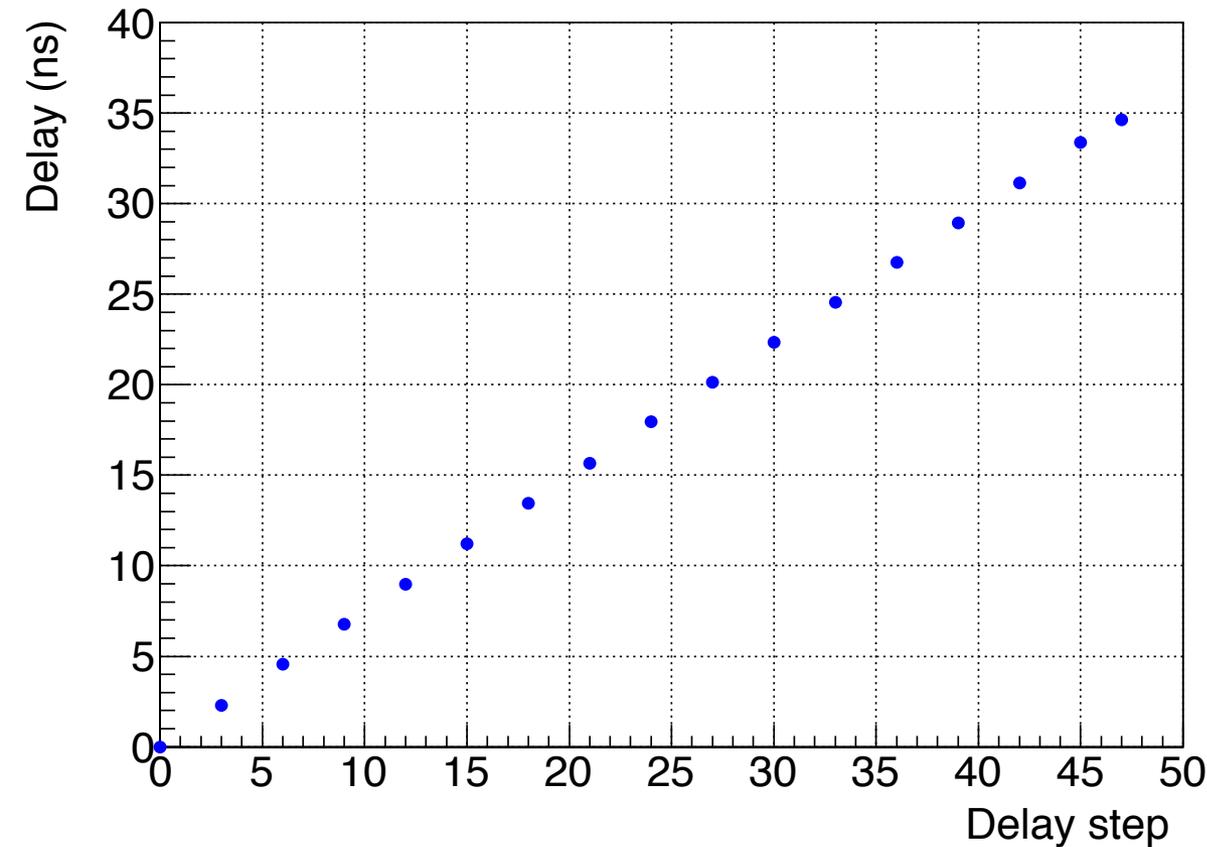
Coarse delay = 1

Fine delay = 0

TPULSE_B でCoarse Delay = 1~7に変化させて測定した。

Coarse Delay = 1~7の範囲については設計通り刻み幅 25 nsで調整できた。

結果 (Fine Delay)

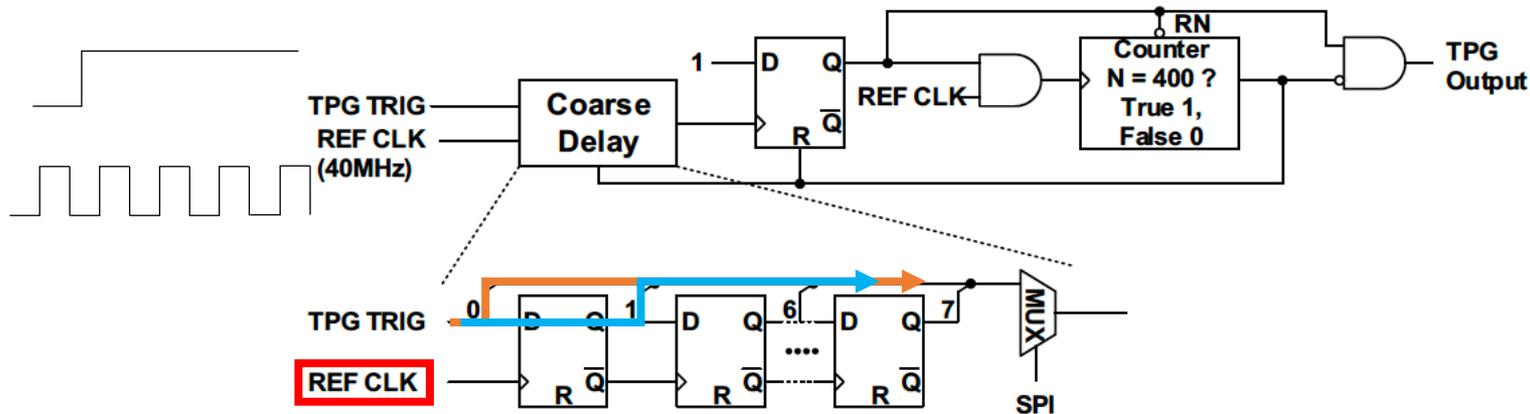


基準値
Coarse delay = 0
Fine delay = 0

刻み幅 0.74 ns で Delay を調整できた
(PLL = 32 の Variable Delay とほぼ同じ結果)

Coarse Delay測定での問題点

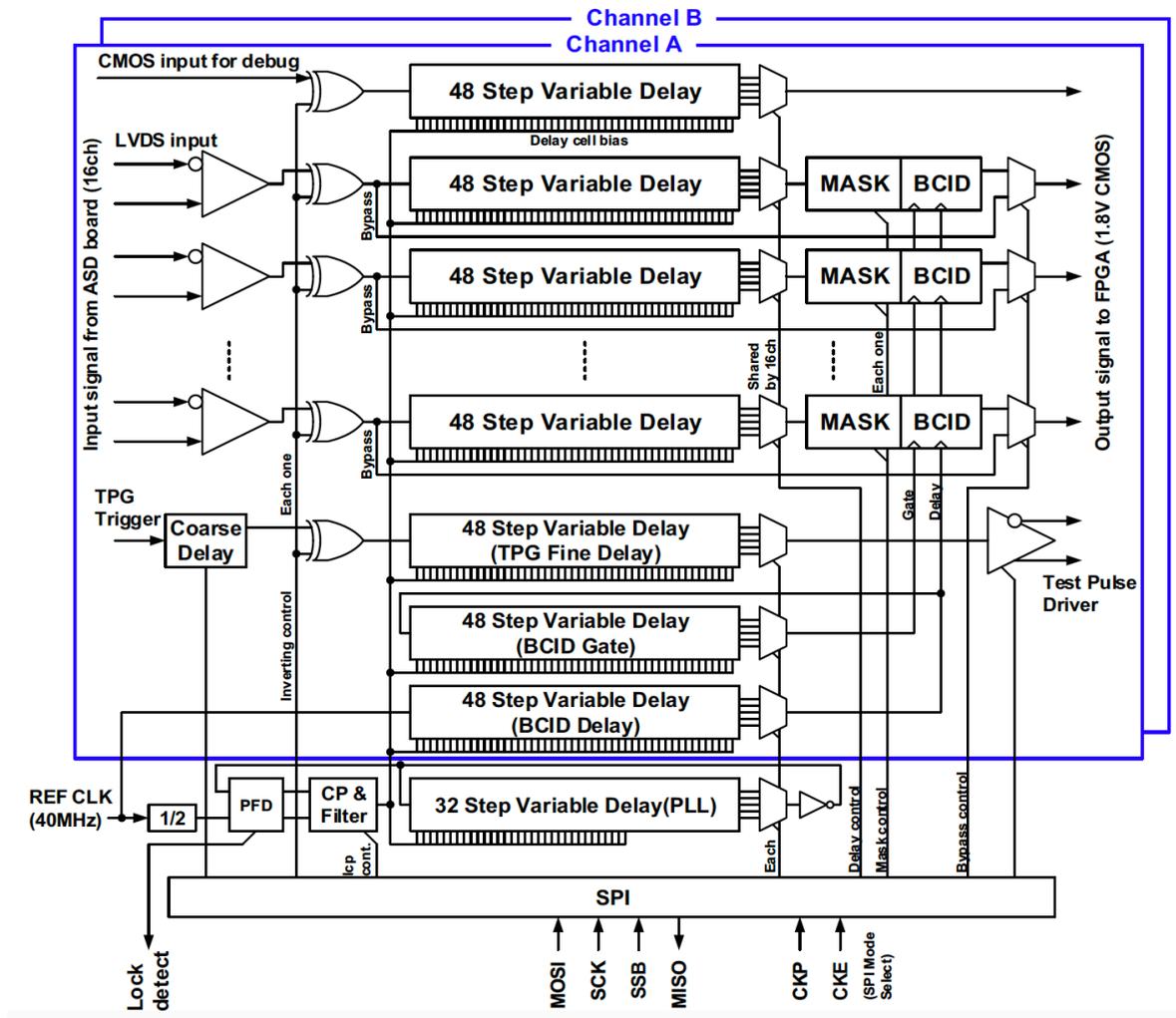
- 基準信号Coarse Delay = 0として測定すると、幅 ~25 nsの振動が発生
- 25 ns -> テストボードの内部クロックの周波数



- CLKの情報を含まかどうか (->ラッチをかませるかどうか) で立ち上がりのタイミングにクロック分(25 ns)の自由度が生まれ、同期していないため、振動している

BACK UP

Block diagram of Patch-Panel ASIC



Block diagram of test pulse generator

