

TGC PP ASIC V1 Measurement

22 August 2019
Toshihiro Yamada

性能試験内容

赤字：今回の報告内容
黒字：報告済みの内容

PRR タスクリスト

LVDS レシーバー

- ・伝播遅延の入力信号オフセット依存（さまざまな入力信号振幅に対して）
- ・伝播遅延の入力信号オフセット依存（さまざまな電源電圧に対して）
- ・伝播遅延のバイアス電流設定依存

Variable Delay & PLL

- ・1遅延ユニットあたりの伝播遅延の VCON 電圧依存（複数の環境温度に対して）
- ・1遅延ユニットあたりの伝播遅延の VCON 電圧依存（10チップに対する比較）
- ・1遅延ユニットあたりの伝播遅延の VCON 電圧依存（シミュレーションとの比較）
- ・伝播遅延の delay unit 数依存（PLL STEP 全ての値に対して）
- ・伝播遅延の delay unit 数依存（複数の VDD に対して）
- ・伝播遅延の delay unit 数依存（複数の環境温度に対して）

BCID

- ・BCID の有効ゲート幅（全ての PLL STEP の値に対して）
- ・基準クロックに対する入力信号タイミングに依存した BCID 出力値

テストパルスジェネレーター

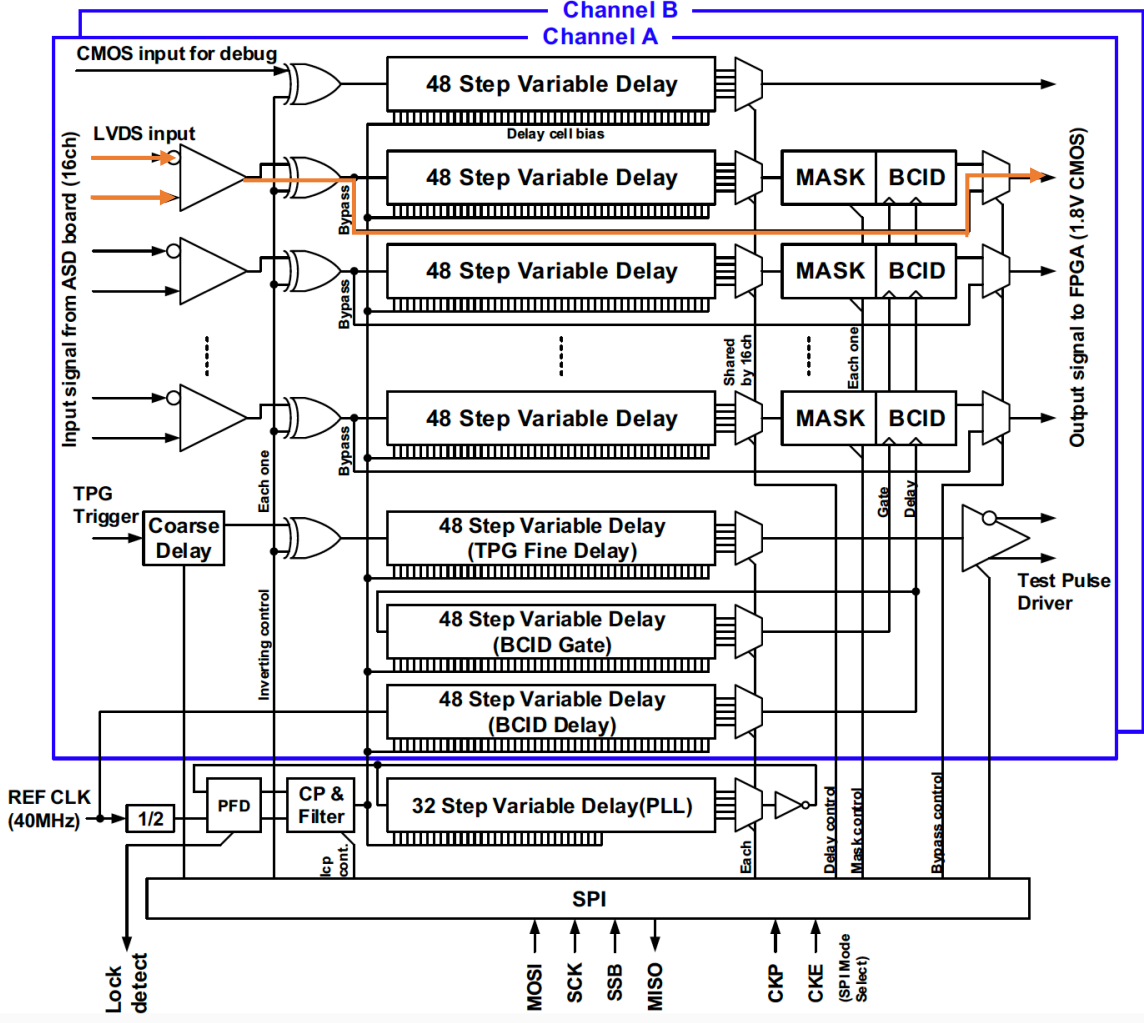
- ・テストパルス出力振幅の電流源数依存（BIAS CONT=00, 01, 10, 11）
- ・テストパルス出力振幅の電流源数依存（複数の環境温度に対して）
- ・テストパルス出力振幅の電流源数依存（複数の VDD 電圧に対して）
- ・テストパルス出力のパルス幅の測定
- ・Coarse delay と Fine delay の設定値と実測値の関係

消費電力

- ・入力信号レートの関数としての消費電力

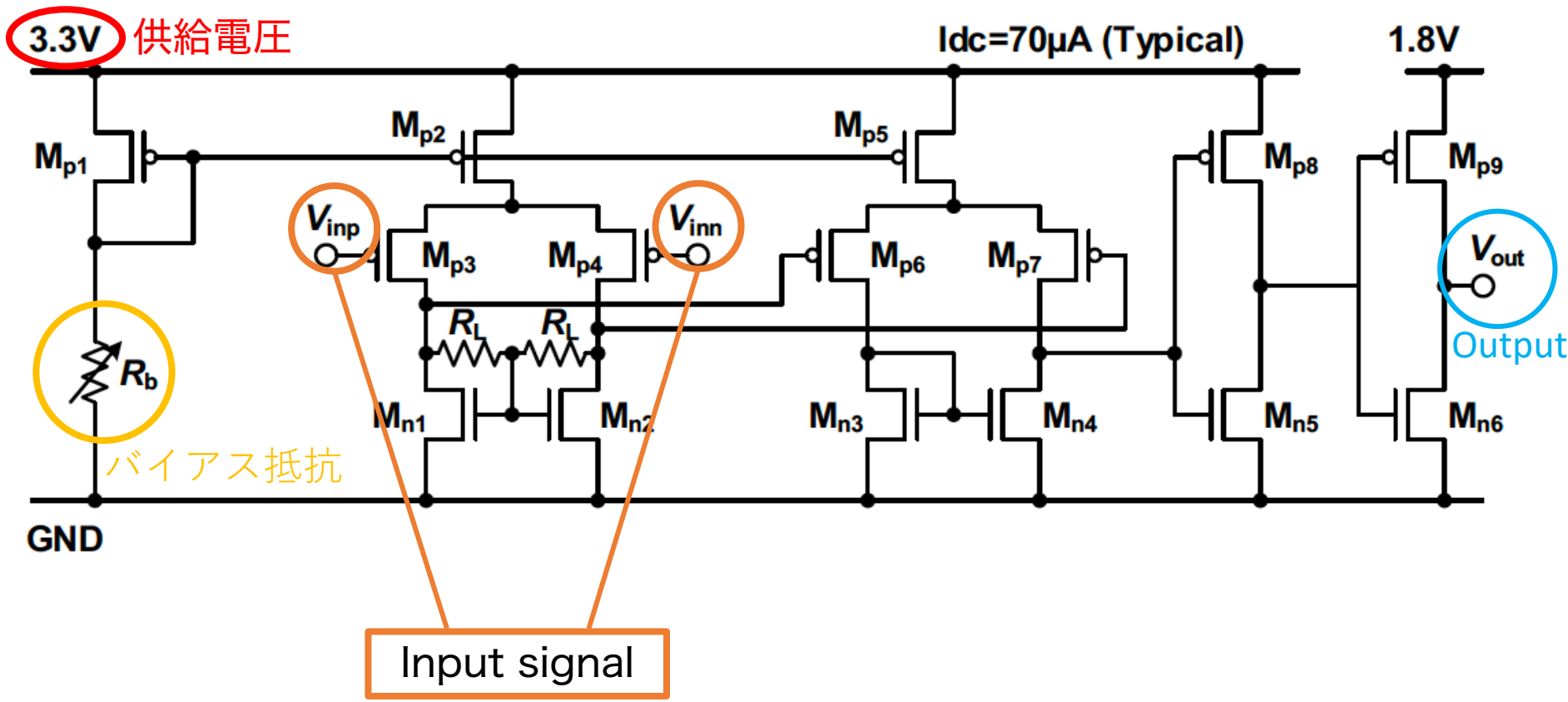
歩留まり

LVDS レシーバー検証の概要



Bypass 機能を用いて
Variable delay と
BCIDをスルー

LVDSレシーバー概要



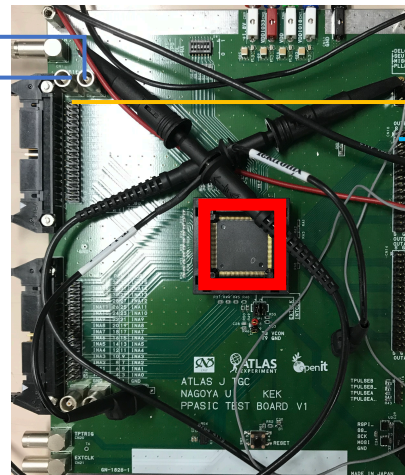
伝播遅延の入力信号オフセット依存 (さまざまな入力信号振幅に対して)

パルス生成器
81150A

振幅 400m V
Offset 1.2 V
周波数 1.0 kHz
Duty cycle 40 %

差動信号を入力

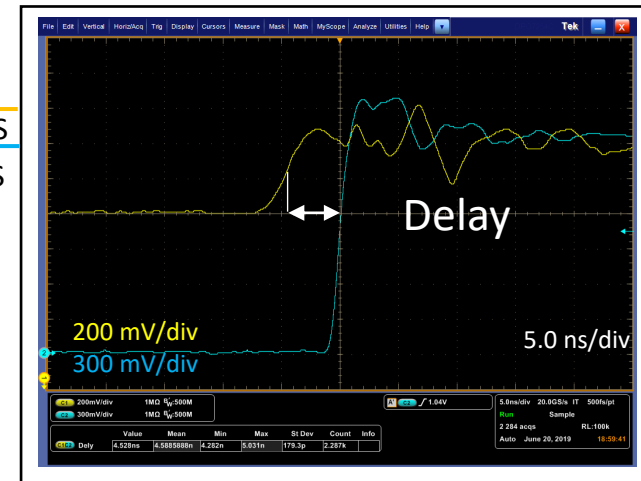
INB15 +
INB15 -



INB15 POS
OUTB15 S

CLKSEL : INTCLK

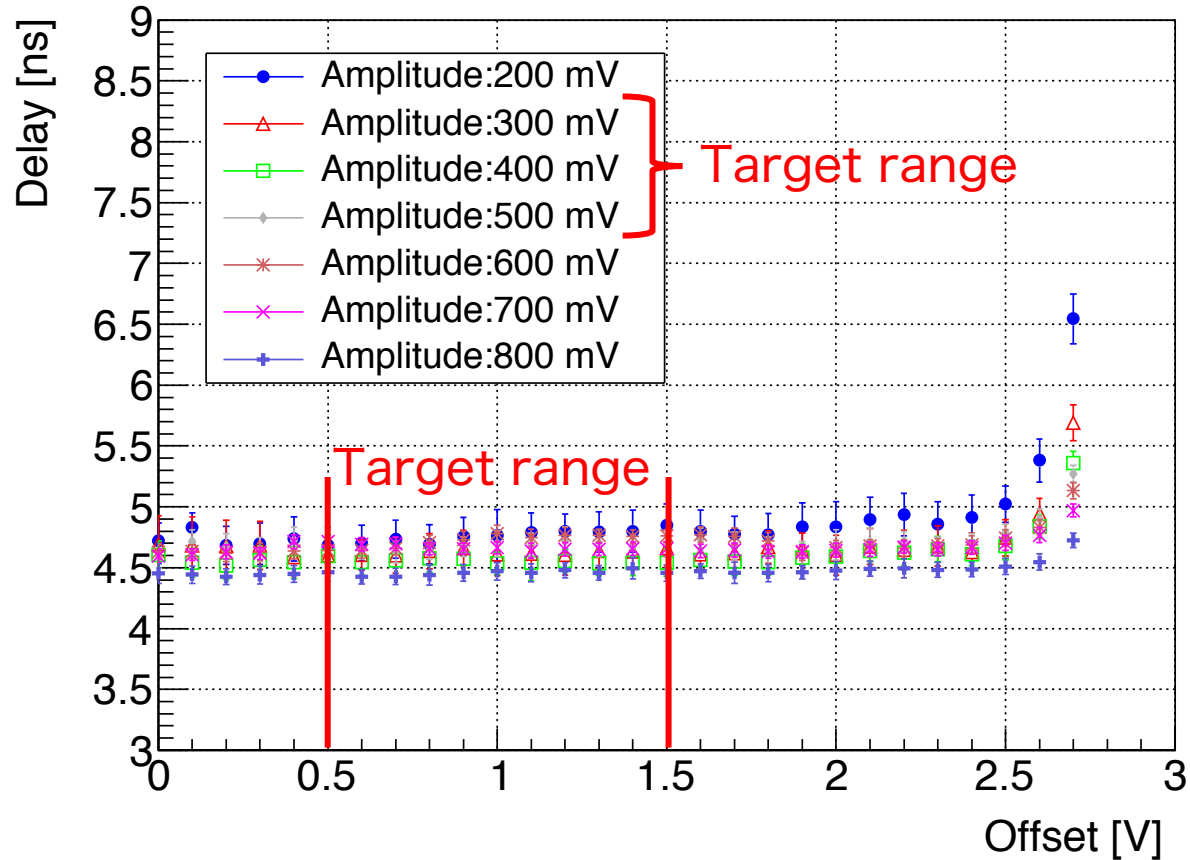
オシロスコープ



振幅 400 mV
Offset 1.2 V

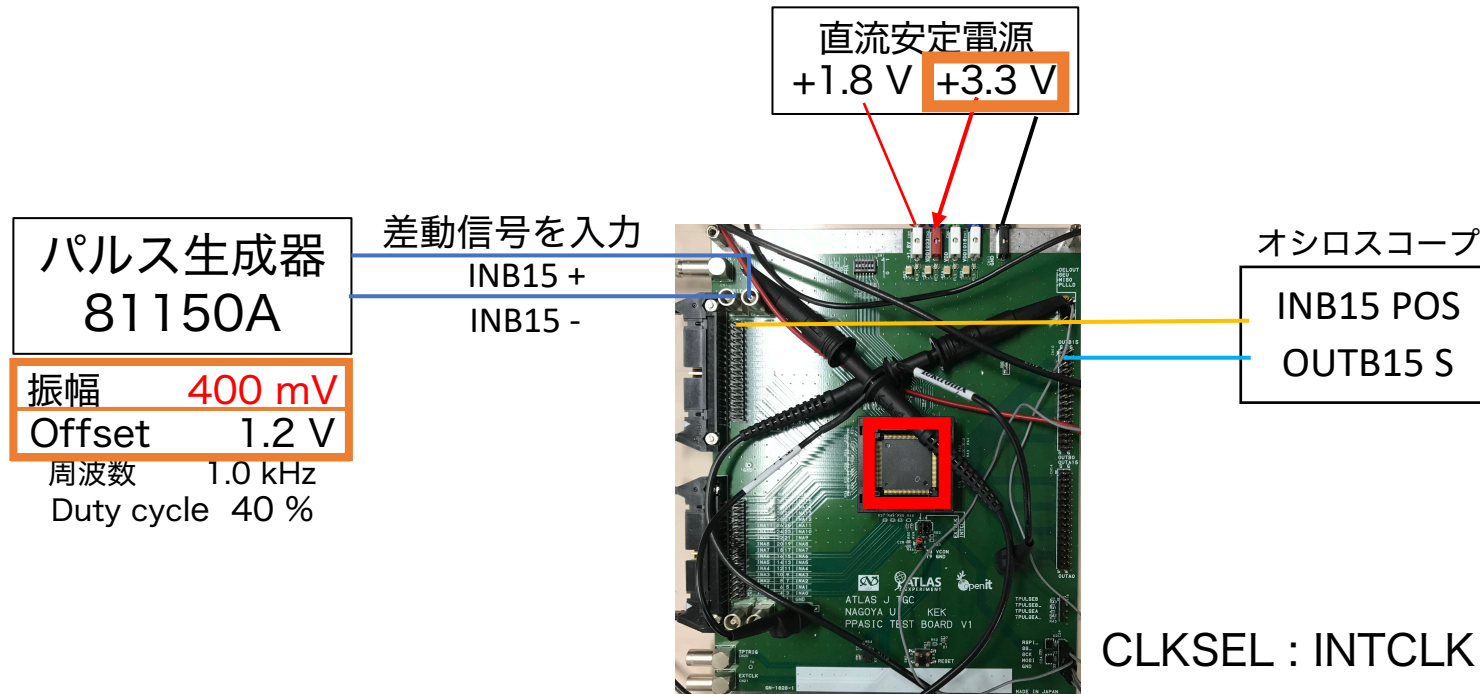
振幅を200 ~ 800 mV、オフセット電圧を0 ~ 2.7 Vの範囲で、立ち上がりの50 %同士を比べ、遅延を測定した。

結果



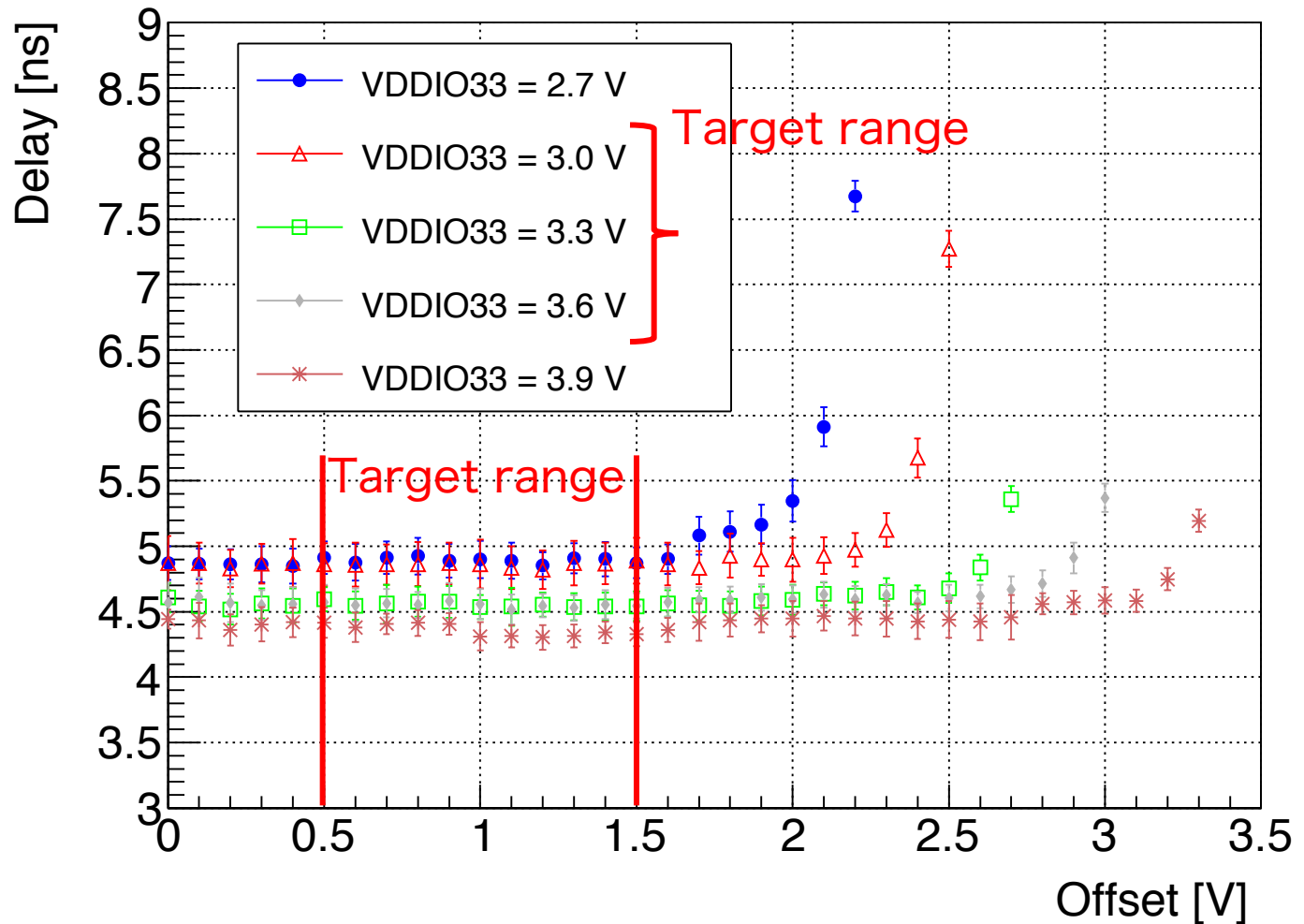
運用上影響のある振幅依存性は見られなかった。

伝播遅延の入力信号オフセット依存 (さまざまな電源電圧に対して)



振幅を400 mVで**固定**、オフセット電圧を変化させる
電源電圧を 2.7, 3.0, 3.3, 3.6, 3.9 Vと変化させる

結果



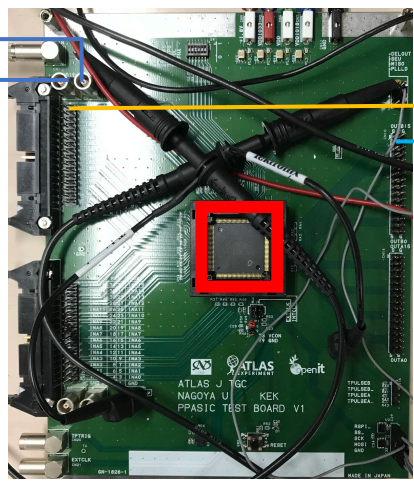
運用上影響のある電源電圧依存性は見られなかった。

伝播遅延のバイアス電流設定依存

パルス生成器
81150A

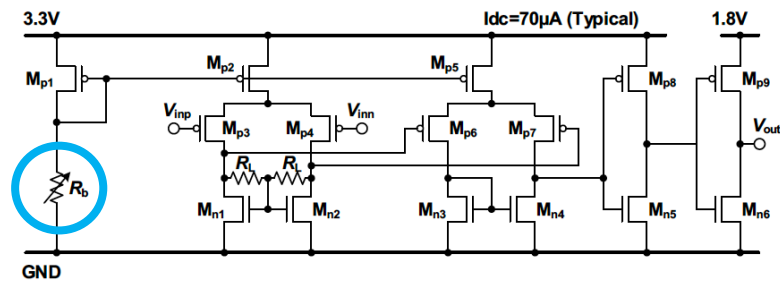
振幅 400 mV
Offset 1.2 V
周波数 1.0 kHz
Duty cycle 40 %

差動信号を入力
INB15 +
INB15 -



CLKSEL : INTCLK

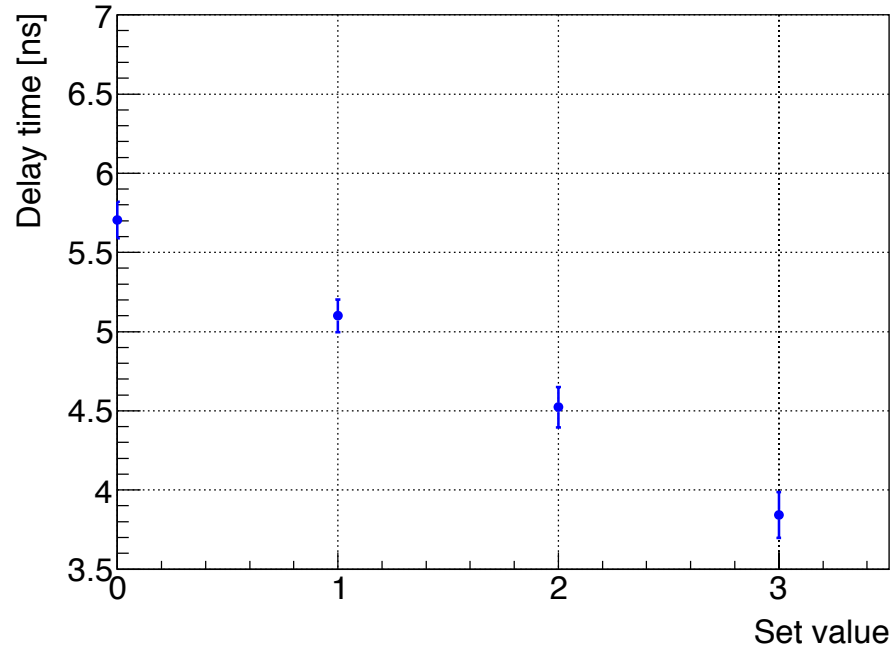
オシロスコープ
INB15 POS
OUTB15 S



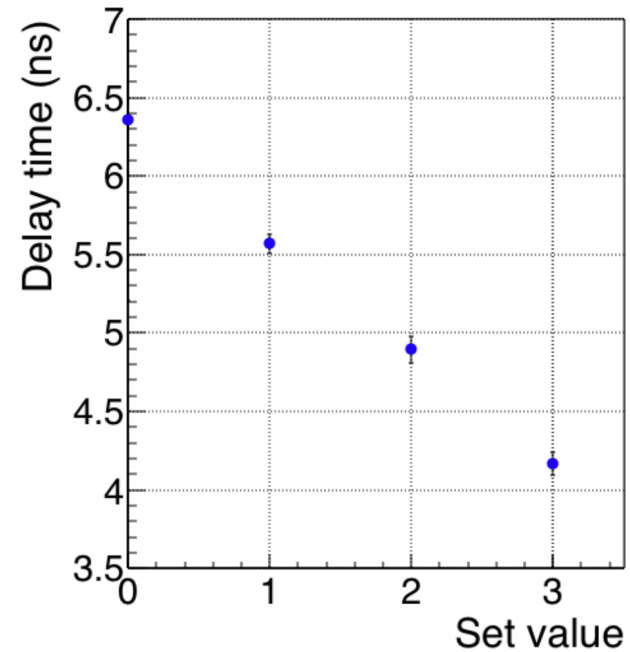
Bias current control code (00,01,10,11)ごとに
オフセット電圧と伝播遅延の関係を測定した

結果 & V0との比較

V1

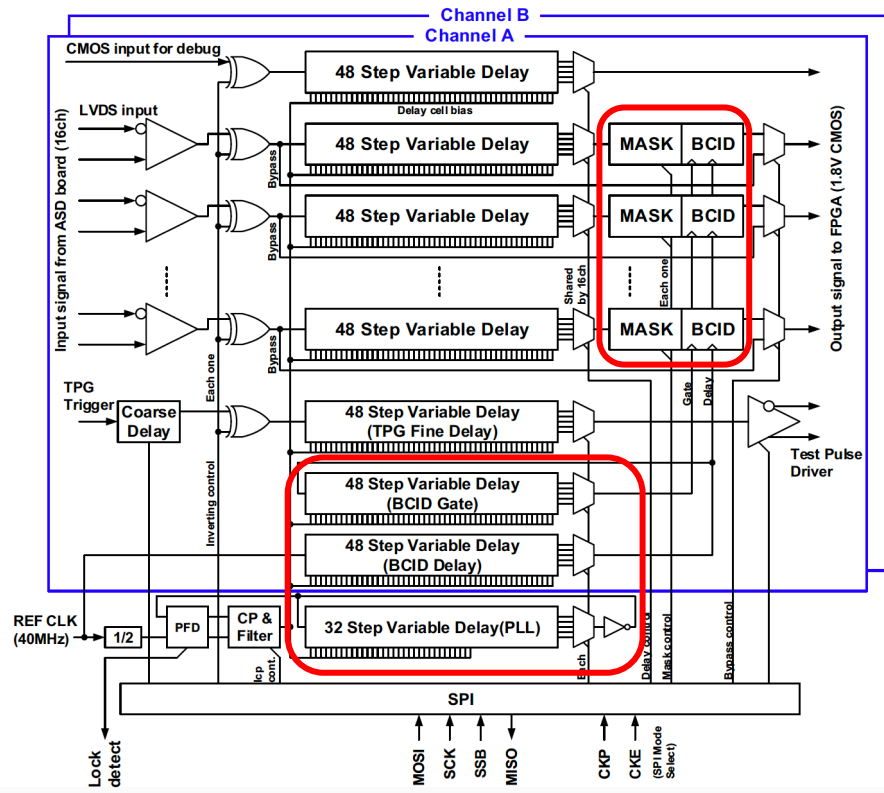


V0



FDRで示したV0の測定値に比べて、今回のV1の測定値の方が小さかった。
V0では、オフセット電圧・電源電圧依存の測定値との間に相互矛盾があるため、
今回の結果の方が信頼できる。

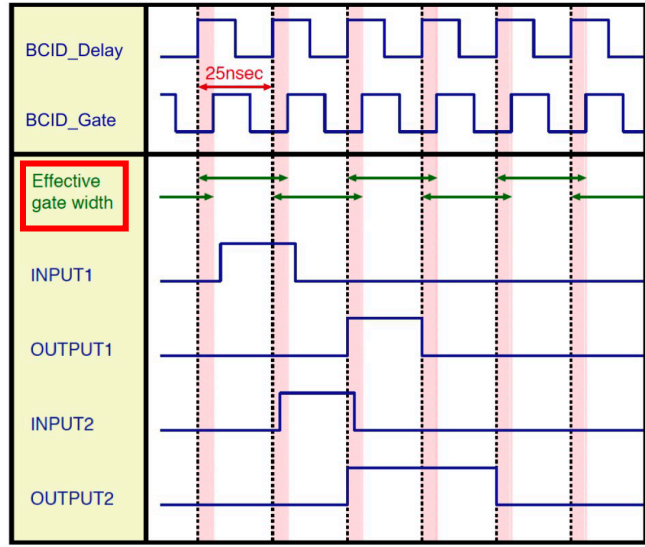
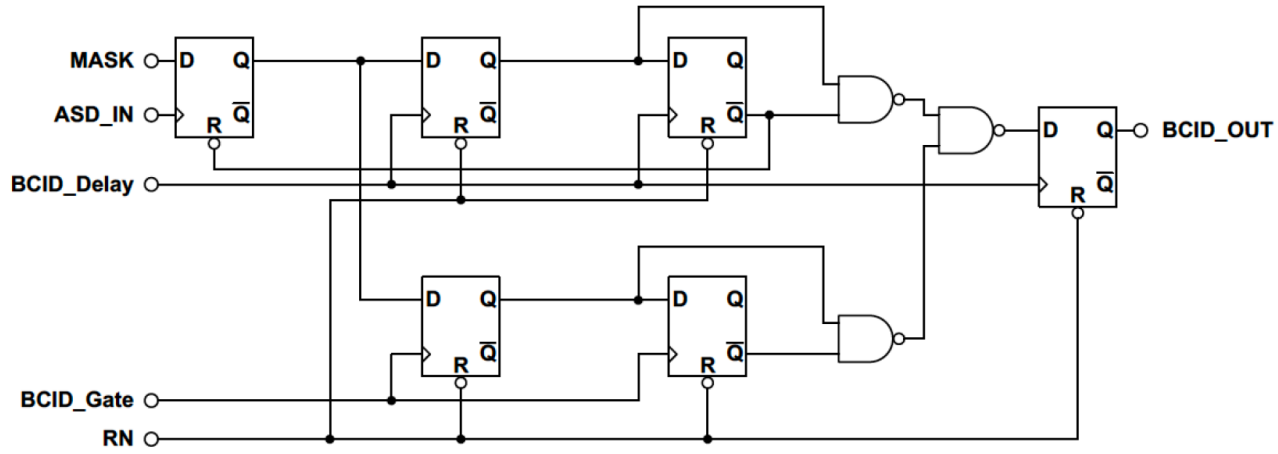
BCID回路



40 MHzクロックと信号を同期させ、バンチIDをする

BCID回路への要求
信号タイミングの広がりに対応するために、有効ゲート幅を設定値通りに調整できること

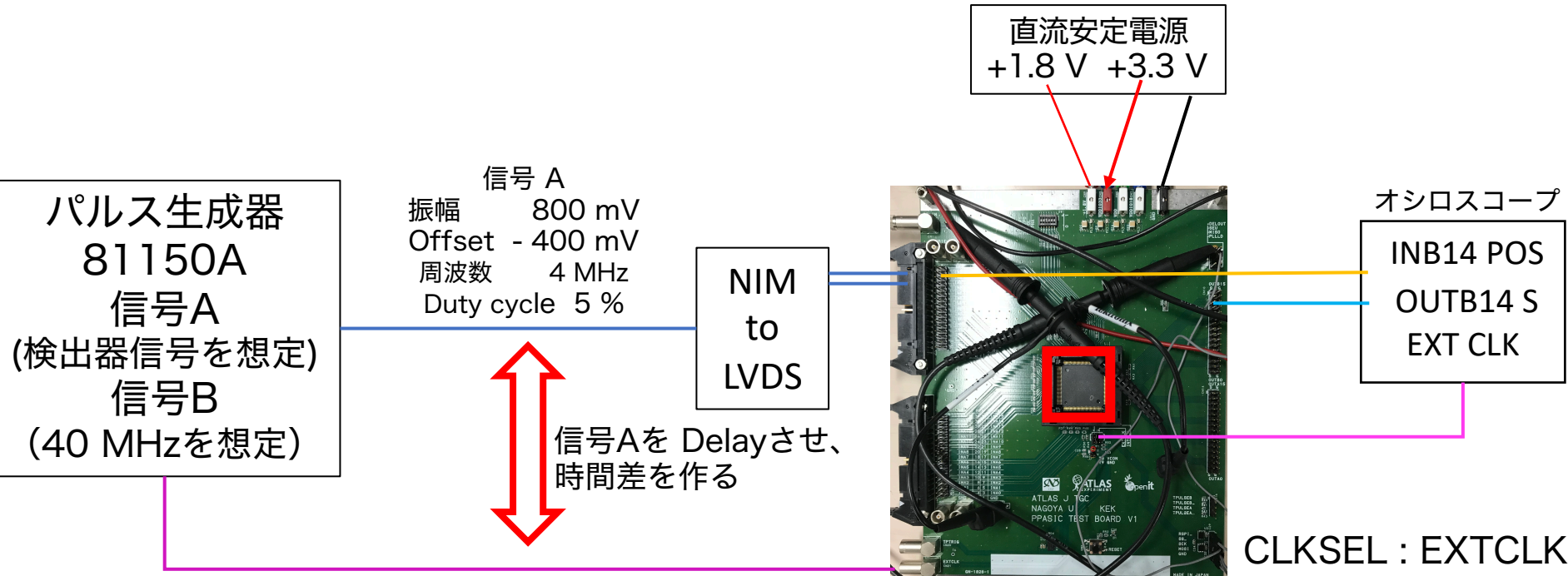
BCID回路



- フリップフロップを用いて組まれた回路
- 信号とバッチの対応の境界を決める
有効ゲート幅を設定することができる
- 出力信号の幅は1バッチにつき25 ns

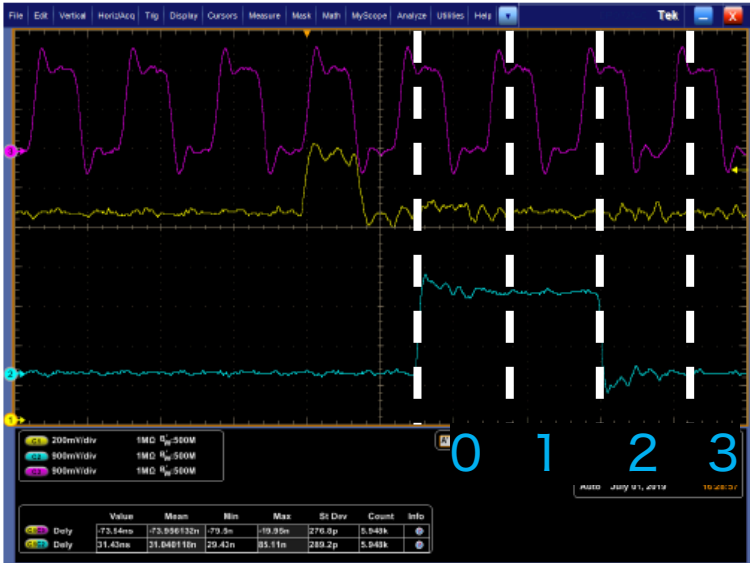
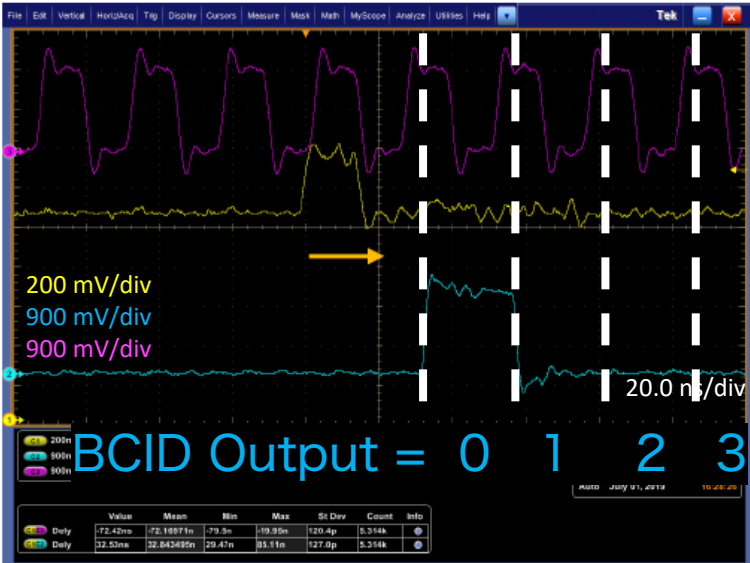
BCID回路のタイミングチャート 伊藤さんの修論より

BCID測定セットアップ



クロックと信号の間に時間差を作り、
有効ゲート幅を測定する

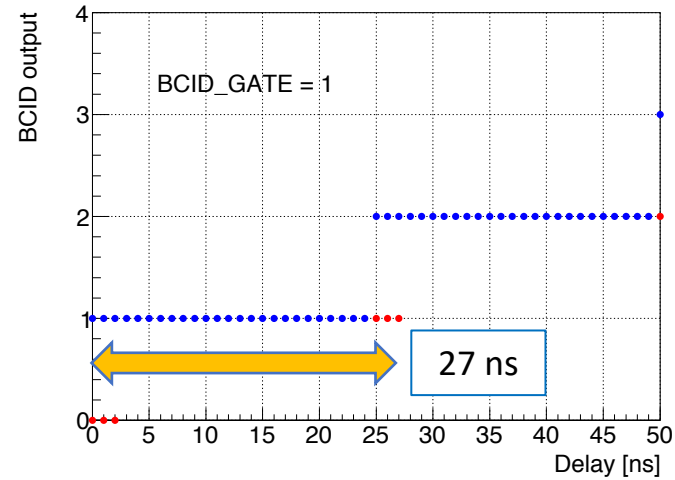
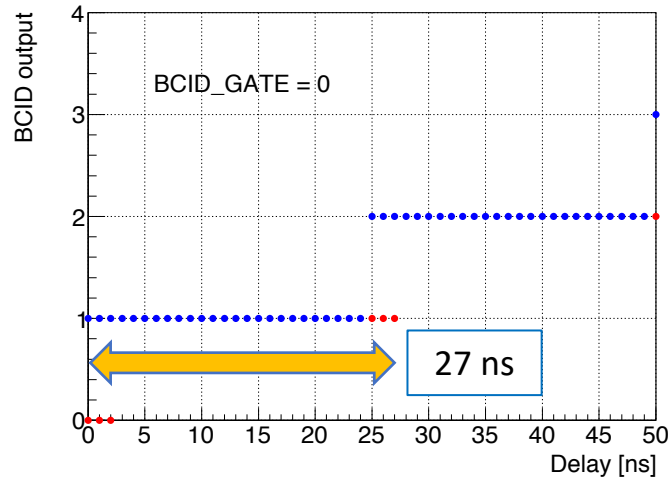
BCIDにおけるオシロ波形



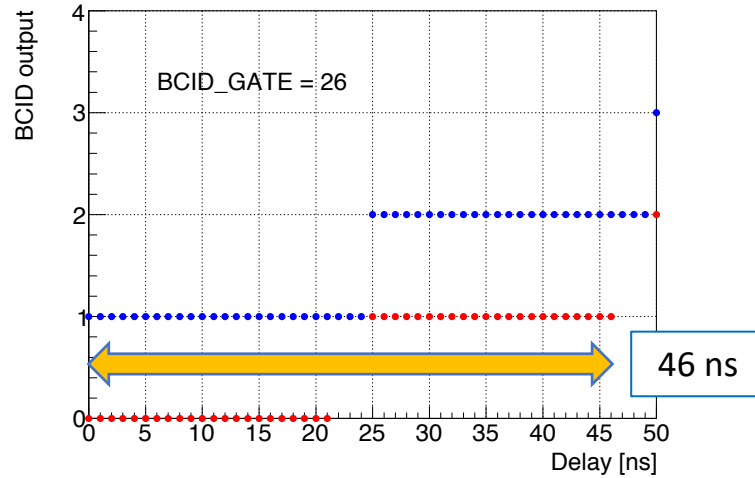
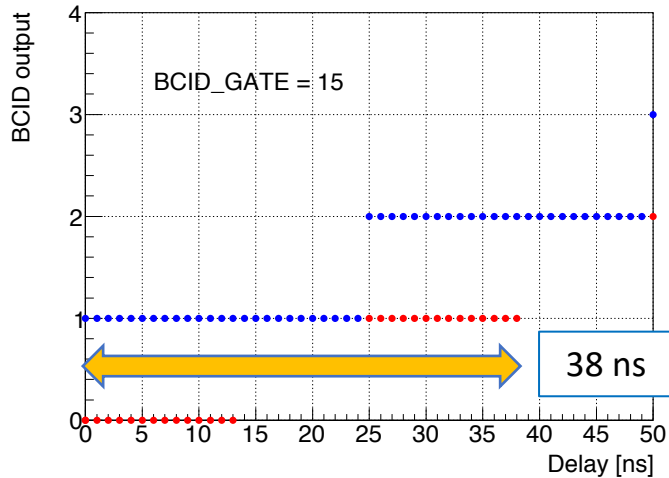
PLL STEP = 32, BCID_GATE = 0, Delay = 24, 26, 29

入カタイミングをスキャンしていくと、出カタイミング（バンチID）が移り変わっていくことがわかる。ある入カタイミングでは、1バンチで出力し、別の入カタイミングでは、2バンチで出力している様子が見られる。

結果：基準クロックに対する入力信号 タイミングに依存したBCID出力

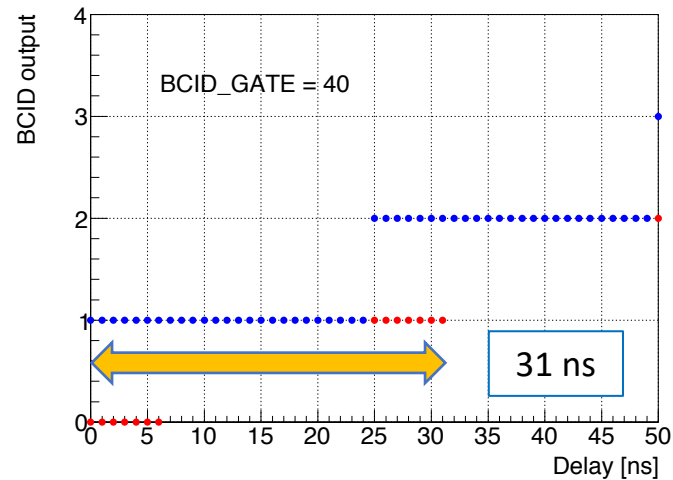
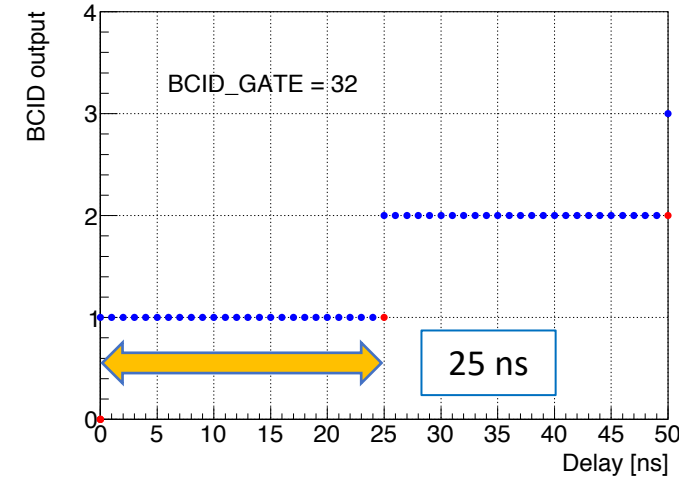


PLL STEP = 32

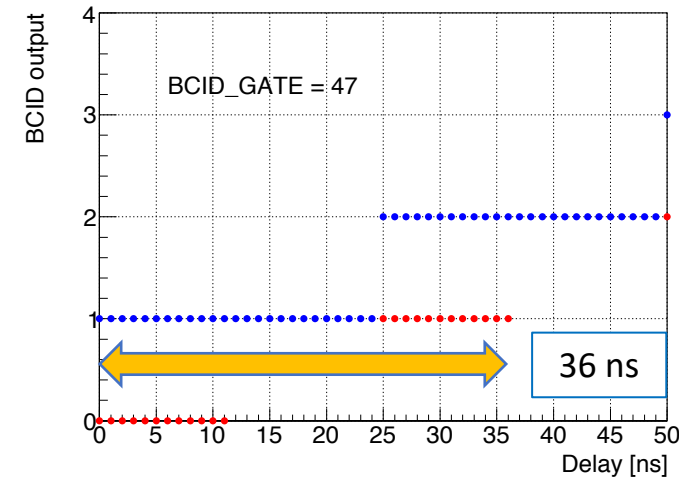


BCID Gate設定により、有効ゲート幅を調整可能であることを確認。

結果：基準クロックに対する入力信号 タイミングに依存したBCID出力



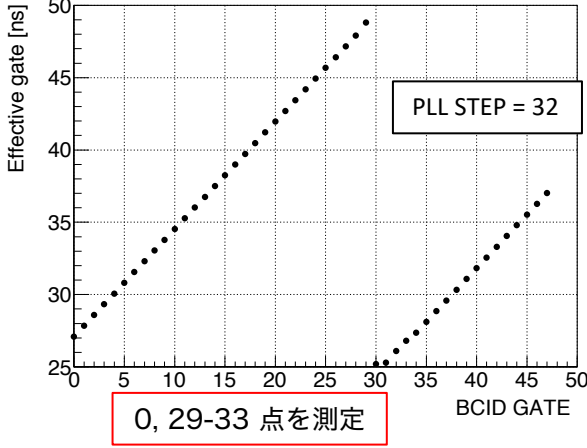
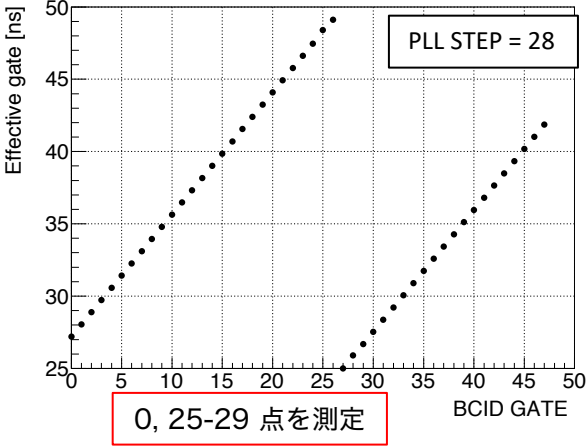
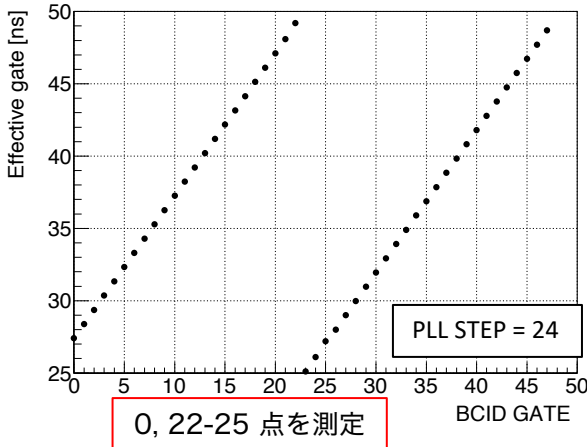
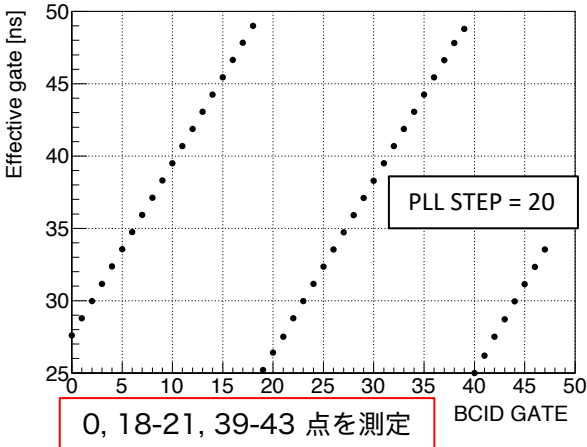
PLL STEP = 32



測定したゲート幅は、期待通りの値であった。
(理論値と比べて)
BCID GATEが25 nsを超えるとこで、
ゲート幅が0に戻る動作も確認できた。

結果：BCIDの有効ゲート幅 (全てのPLL STEPに対して)

期待通り



Offsetとなる BCID GATE = 0点や、Effective gate が50 nsを超えて25 nsに戻ることが予想される点の付近では実測値を用い、それ以外の点では理論値を用いた。

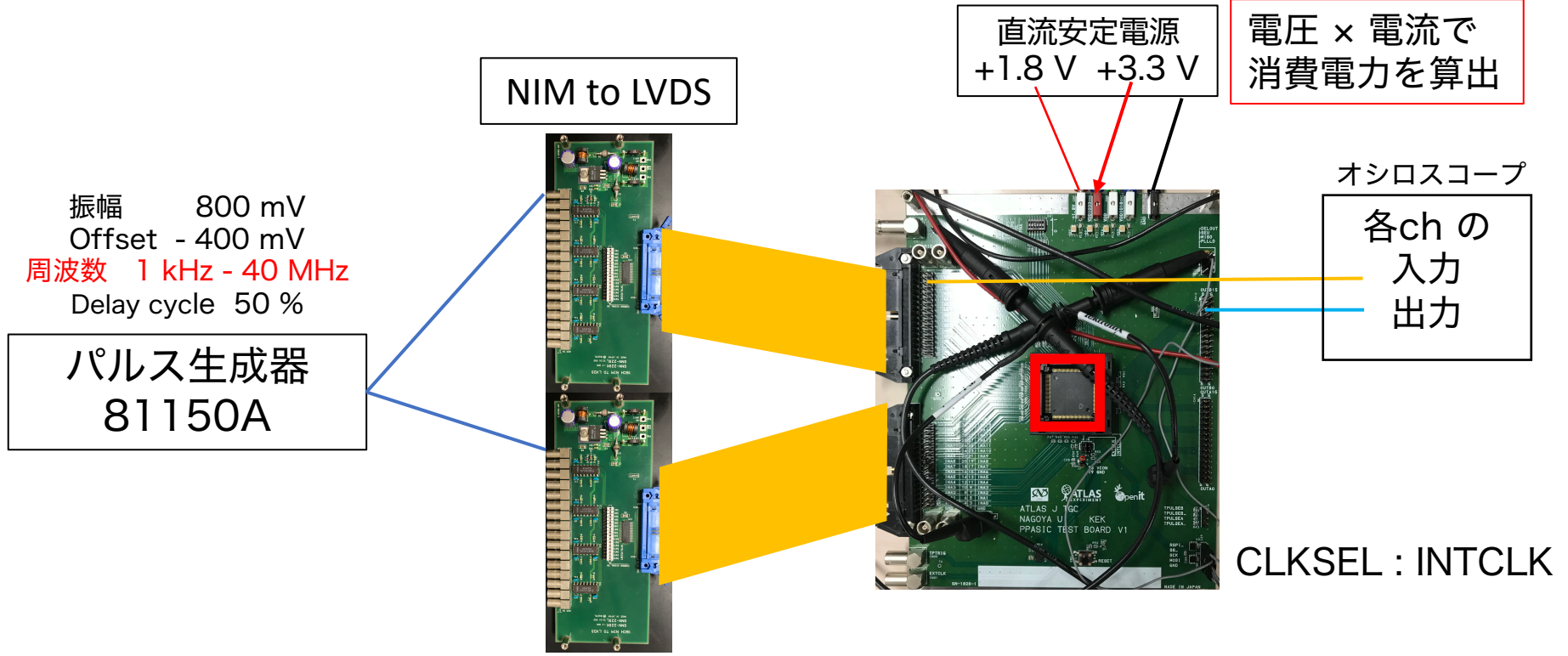
- 理論値導出の方法
- ・ BCID GATEのDelayが25 ns以下のとき、
 $d_{step} \times \text{GATE 設定値} + \text{Offset} = \text{ゲート値}$
 - ・ BCID GATEのDelayが25 ns以上のとき、
 $d_{step} \times \text{GATE 設定値} + \text{Offset} - 25 \text{ ns} = \text{ゲート値}$

d_{step} : Variable Delayの刻み幅

BCID GATEのDelayが25 nsを超えるところで、ゲート幅が0に戻る動作も確認できた。

PLL STEP	Delay per step	Control range
20	1.2 ns	55.9
24	0.99 ns	46.3
28	0.84 ns	40.0
32	0.74 ns	34.9

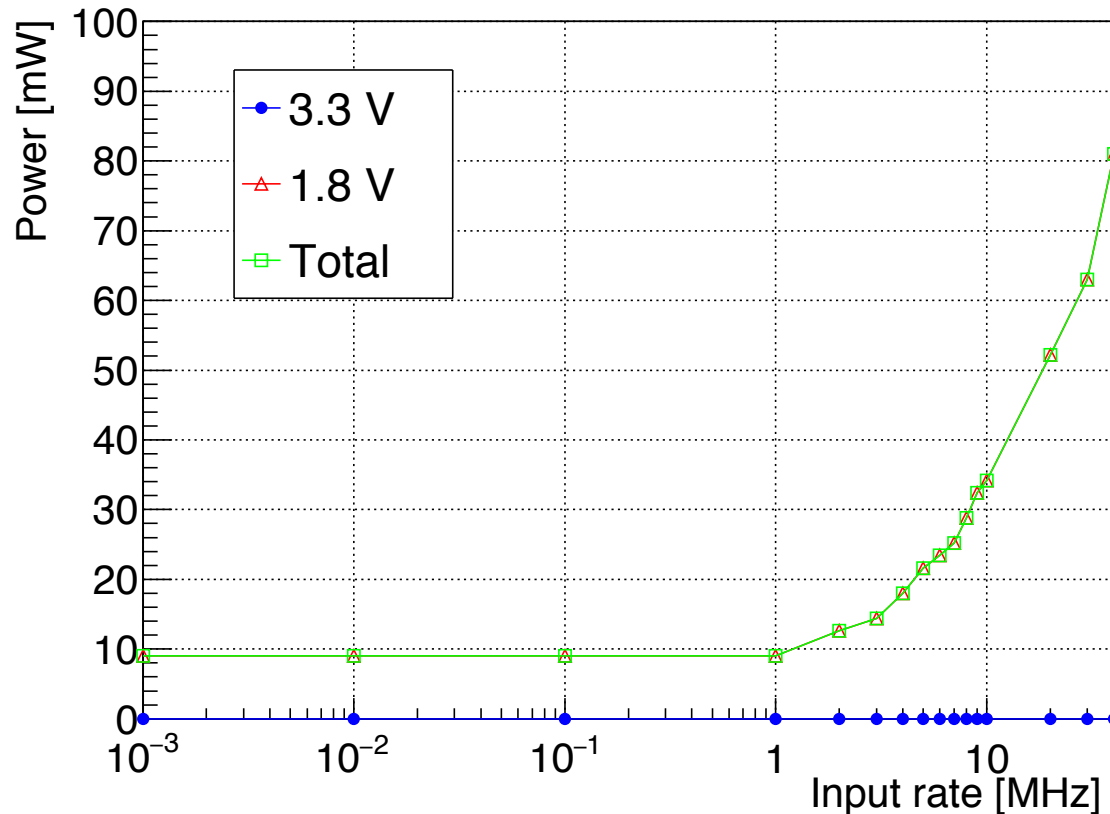
消費電力測定セットアップ



実際の信号取得時にはテストパルス生成器(TPG)は使わないのでTPGの電流源数は0に設定した

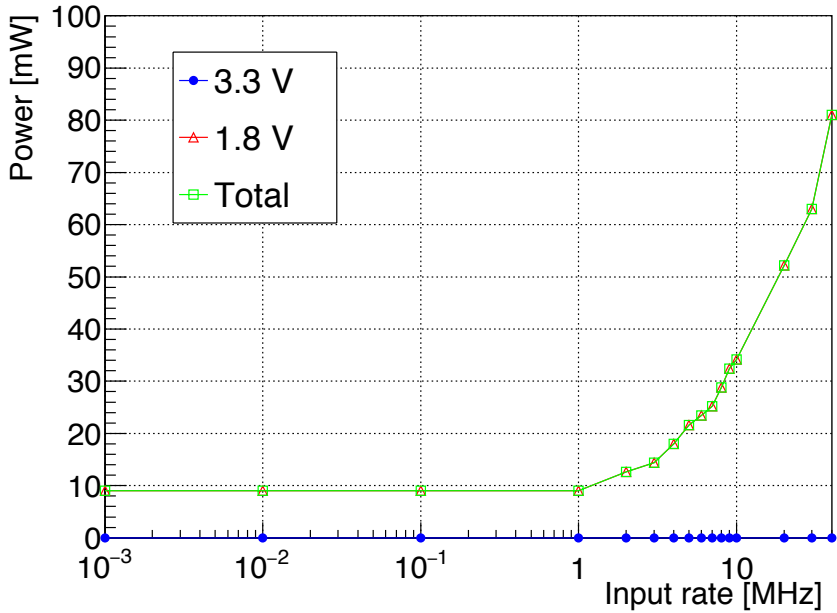
入力信号レートに対して、
3.3 V, 1.8 Vのそれぞれの消費電力を測定した

消費電力測定結果

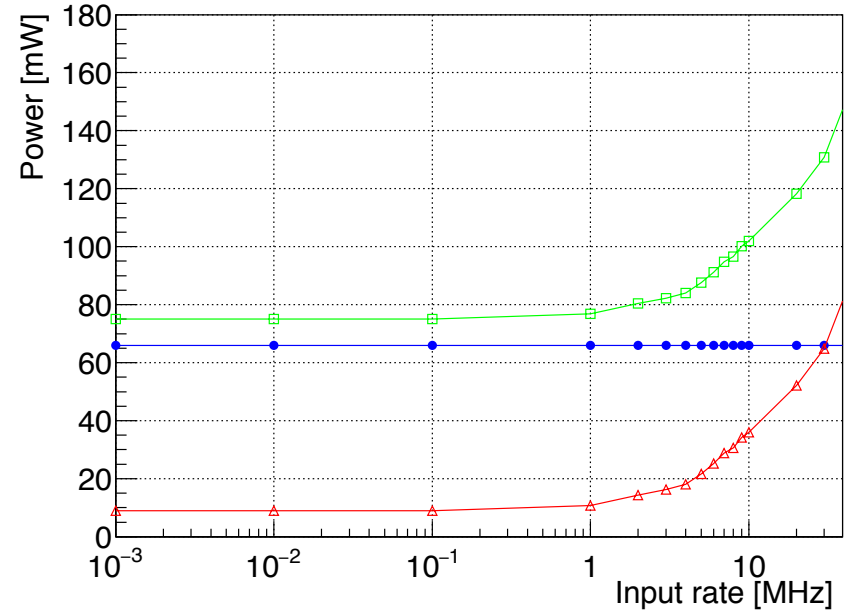


- 3.3 Vの消費電力は入射信号のレートによらず、TPGの電流源数を0にすると0 Wになる（とみなせる）
- 1.8 Vの消費電力は入射信号のレートが1 MHzを超えるあたりから上昇した。

テストパルス生成器(TPG)の電流源数を変えると



電流源数 = 0

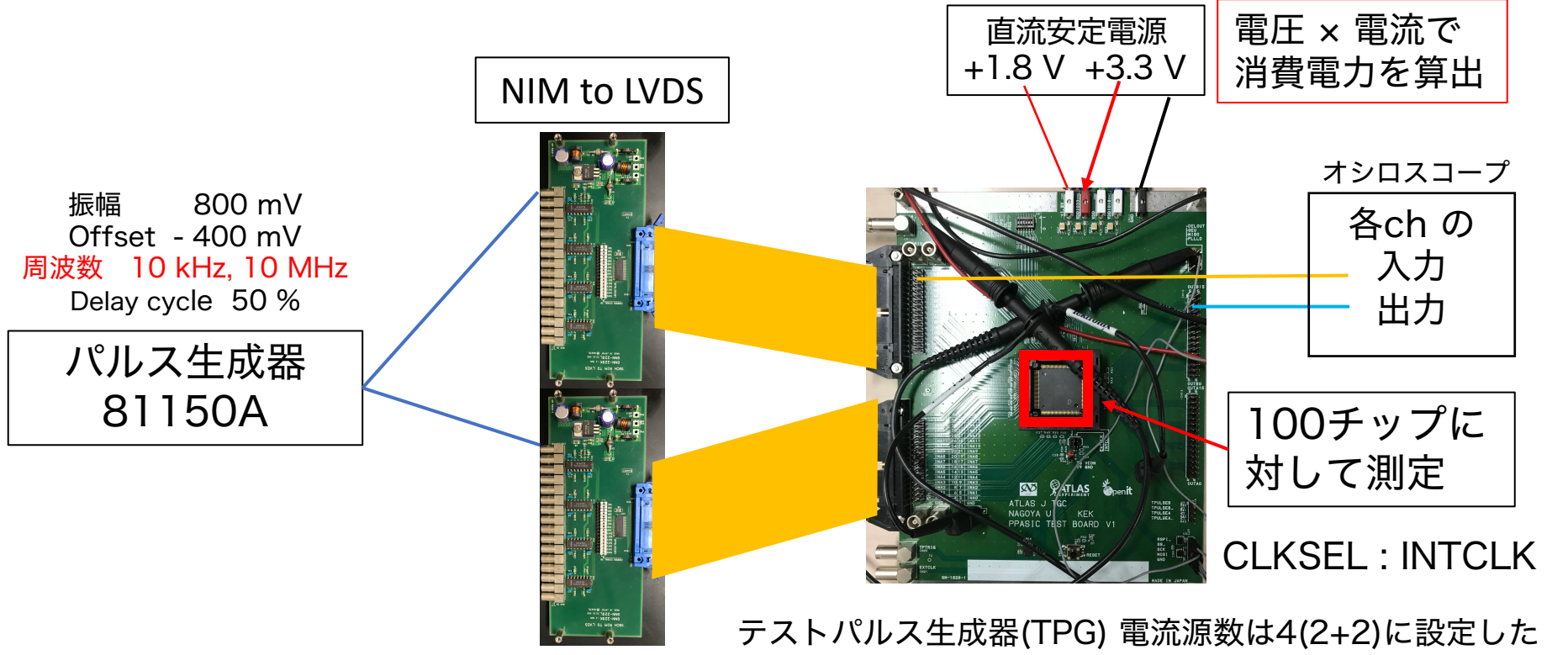


電流源数 = 16

電流源数のセッティングを変えると3.3 Vの消費電力量が変化した
→3.3 Vの消費電力量はTPGの電流源数が支配的

※トリガー信号は入力せず

歩留まり測定セットアップ



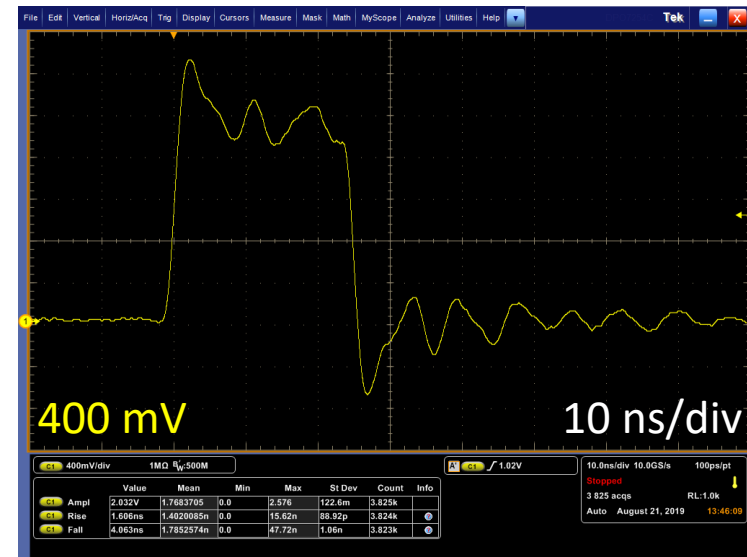
10 kHzと10 MHzの入力信号レートに対して、
全チャンネルの出力を確認し、
3.3 V, 1.8 Vそれぞれの消費電力を測定した

結果：全チャンネル出力

32 ch×100 チップ= 3200 chの出力を見た

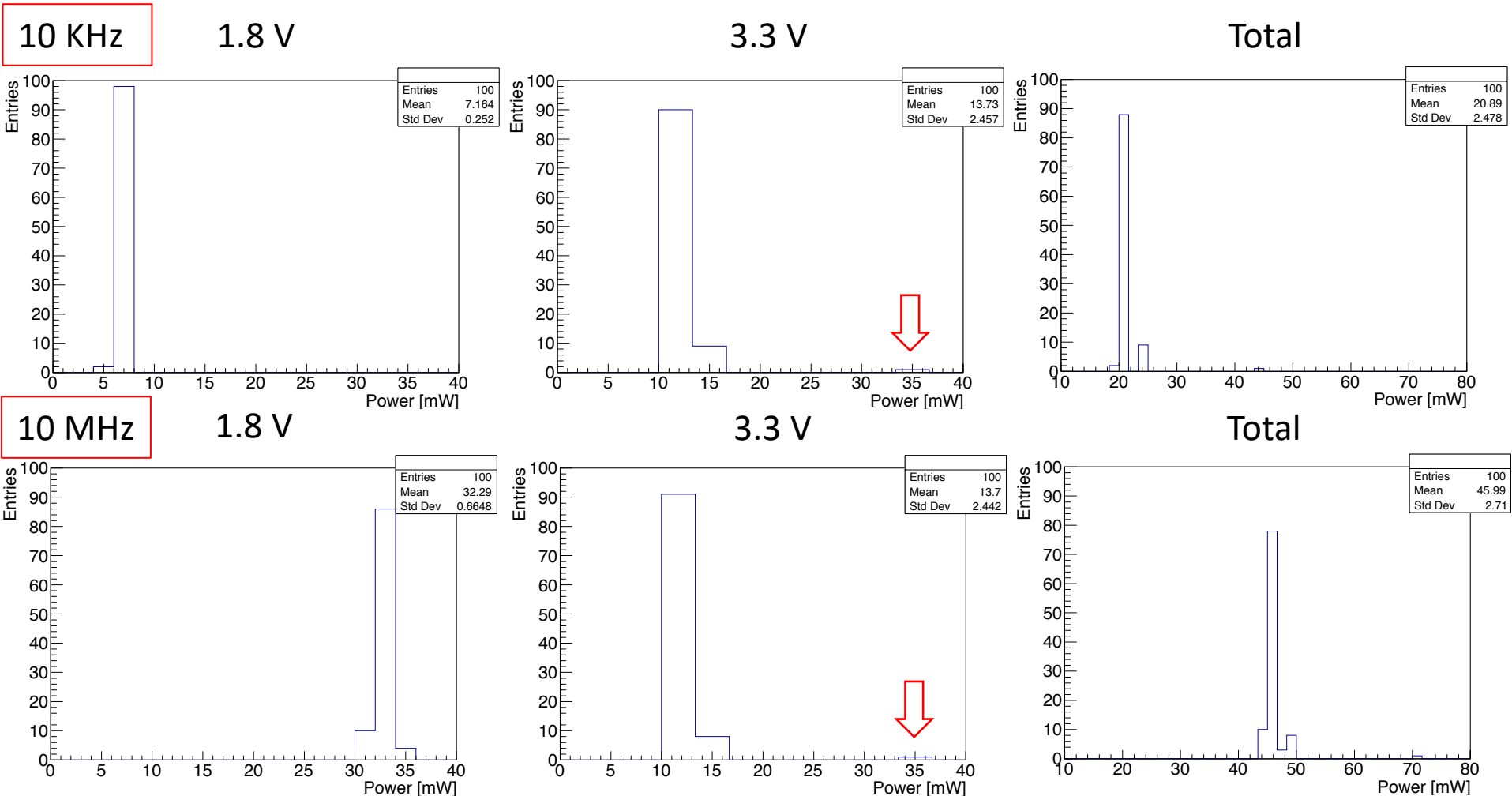
チェックポイント

- 出力波高： ~1.8 V
- 出力振幅： 25 ns or 50 ns



全100チップの全チャンネルで問題なし

結果：消費電力



1つだけ3.3 Vの出力が大きいチップがあった
→明らかに正規分布から外れている
不良の可能性のあるチップとして扱う

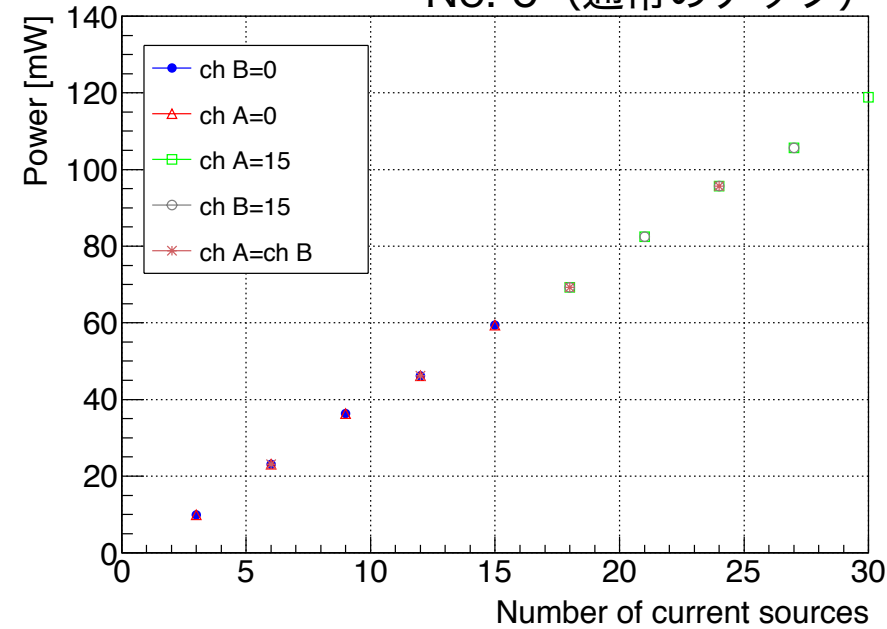
歩留まり測定追加検証

3.3 Vにおける消費電力が大きいチップが1枚あった

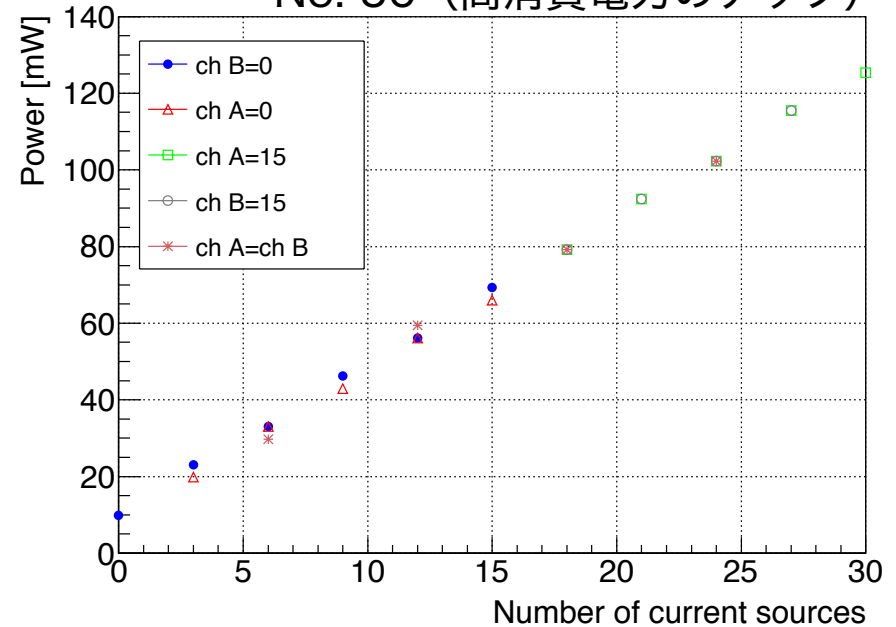
テストパルス生成回路の電流源数を変えて消費電力を測定し、これまでの性能試験で用いてきたチップの結果と比較した（結果は次ページ）

追加検証の結果

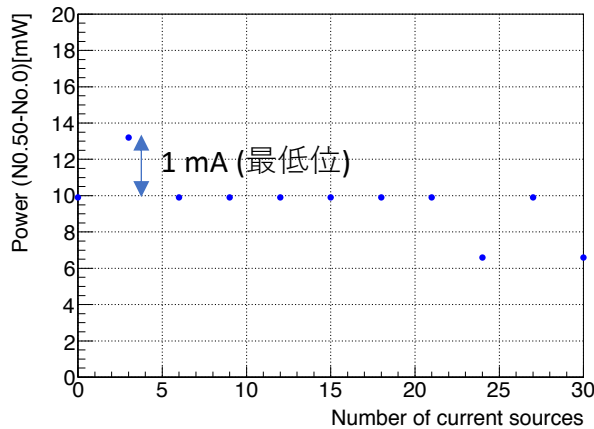
No. 0 (通常のチップ)



No. 50 (高消費電力のチップ)



No. 50 - No. 0



PP ASICにはch A, ch Bの2つの回路があり、TPGによる消費電力は2つのチャンネル間で違いがないことを確認した

高消費電力のチップにおいて、3.3 Vの電力にオフセットがあることがわかった。オフセットが何に由来するかは、現時点でわかっていない。

Summary

1 チップに対する測定は全て終了

LVDSレシーバー、BCID回路、消費電力、歩留まりについて、全ての予定されていた測定項目で期待通りの結果が得られた