

汎用多チャンネルNIM論理回路モジュール NIM Process Module(NPM)

鈴木翔太

総合研究大学院大学

高エネルギー加速器科学研究科素粒子原子核専攻

佐々木修(IPNS KEK), 池野正弘(IPNS KEK),
石野雅也 (京大), 前田純平 (神戸大)、救仁郷拓人 (京大)
ATLAS 日本 TGC グループ, Open Source Consortium(Open-It)

2015 年 7 月 21 日

目次

1	概要	2
1.1	NPM の仕様	2
1.2	既知の問題 (2015 年 6 月 10 日現在)	2
2	部品詳細	3
2.1	FPGA	3
2.2	CPLD	3
2.3	BPI	4
3	各機能詳細	4
3.1	VME 通信	4
3.2	CPLD ファームウェアの仕様	5
3.3	FPGA ファームウェアに関して	7
付録 A	VME のアドレス線に関する問題	8

2 部品詳細

主要な部品に関しては表 1 の通りである。

表 1: 主要部品一覧

部品名	型番	用途	個数
CPLD	XC2C256-7PQ208C	VME 通信、BPI 制御、FPGA 制御	1
FPGA	XC7A200T-2FBG676C	信号処理ロジック	1
BPI	JS28F256P30TF	FPGA コンフィギュレーション	1
CMOS CLOCK	MXO3-7050C-40.079 MHz	内部クロック	1
LEMO コネクター	LEMO_DUAL	NIM レベルの入出力信号の接続	40

2.1 FPGA

FPGA には Xilinx 社製 Artix-7 の XC7A200T-2FBG676C を用いる。ロジックセルとしては 215360、Block RAM 13140 kb、最大ユーザー I/O ピンは 400 ピン、大きさは 27 mm × 27 mm である。8 つの I/O バンクがあり 1 つのバンクに 50 ピンが対応する。この 8 つのバンクの他に GTP 用のバンクが 2 つあるが、NPM では使用しない。また、FPGA のコンフィギュレーション制御に関係する予約信号ピンを持つバンク 0 もある。バンクに関する詳細は以下の表 2 に示す。

表 2: FPGA バンクとその用途

バンク	使用ユーザー I/O	用途
バンク 0	-	FPGA コンフィギュレーションの制御
バンク 12	29	VME アドレス
バンク 13	21	VME データ
バンク 14	37	BPI アドレス&データ、BPI 制御、FPGA 制御
バンク 15	11	BPI アドレス、BPI 制御
バンク 16	24	TEST_PIN、FPGA 制御
バンク 33	25	NIM 入力
バンク 34	29	NIM 入力
バンク 35	29	NIM 入力 & 出力

2.2 CPLD

CPLD には Xilinx 社製 CPLD CoolRunner -II Family の XC2C256-7PQ208C を用いる。マクロセルは 256、最大ユーザー I/O ピンは 184 ピンである。主に VME 通信のためのインターフェイス、FPGA のコンフィギュレーション制御、BPI の制御を行う。

2.3 BPI

BPI には Micron 社製 JS28F256P30T を用いる。JS はパッケージ名で "56-lead TSOP^{*1}, lead free" を表す。アドレス線が 24 本、データ線が 16 本のメモリーで、メモリー容量は 256 Mbit である。BPI には FPGA のデザインデータ (bit ファイル) を書き込み、BPI から FPGA への高速コンフィギュレーションが可能となっている。

3 各機能詳細

3.1 VME 通信

3.1.1 アドレス空間

表 3: 設計時のアドレス空間

31,30,29,28,27	26,25	24, . . . ,1(24-bit)	0
ベースアドレス	チップセレクトアドレス	オフセットアドレス	-

表 4: 現在のアドレス空間

31,30,29,28,27	26, . . . ,3(24-bit)	2,1	0
ベースアドレス	オフセットアドレス	チップセレクトアドレス	-

NPM では VME アドレス 32-bit、データ 16-bit の通信を行う。アドレスとデータ線は VME のバックプレーンからコネクタを通して CPLD と FPGA、BPI へと供給されている。32-bit のアドレス線のうち上位 5-bit はボードアドレスとして使用し、基板上の DIP スイッチでアドレスを変更できる。この DIP スイッチで指定した値とバックプレーンから届いた値が一致した時に /VME_MATCH という信号が Low になる。この信号を CPLD に供給してアドレスの判定に使用している。

そして、ボードアドレス以外の A[26:1] が CPLD に供給され、FPGA と BPI にはゲートを通して A[24:1] の 24-bit を供給する。初版製造時にはこのゲートから FPGA、BPI へと供給されるアドレス線で配線ミスが確認されている (付録 A)。ゲートを通った後のアドレス線を A' で表すと A'[24:1] に供給されているのは A[24:1] ではなく、A[26:3] が接続されている。したがって、アドレス空間としては表 3 を想定していたが、アドレス線の一部に配線ミスがあるため表 4 の様にアドレス空間を変更して対応した。この表 4 に従って使用すれば問題なく使用できる。

2-bit のチップセレクトアドレスは、"00" が CPLD、"01" が FPGA、"10" が BPI を示す。その判定を CPLD の中で行い各チップへの制御信号を動作させて各チップ内レジスタの読み書きを可能にする。なお、チップアドレスがどれにも属さない "11" の時は応答しない。

^{*1} Thin Small Outline Package(TSOP):薄型の表面実装型 LSI パッケージ。実装時の高さが 1.27mm 以下、ピンピッチが 1.27mm 以下の SOP のこと

FPGA に関しては制御信号として /FPGA_CE、/FPGA_OE、/FPGA_WE という三つの信号を用意した。
BPI に関しては今回用意した CPLD ファームウェアでは VME 通信による読み出しのみサポートしている。

3.1.2 CPLD のレジスタリスト

表 5: CPLD のレジスタリスト (例として board address = 0x0800_0000 とした)

Register name : TEST						VME_A[31:0] : 0x0800_0000						offset address : 0x0					
BIT	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
name	test[15:0]																
W/R	W/R																

Register name : RESET & POWER						VME_A[31:0] : 0x0800_0020						offset address : 0x4					
BIT	[15:5]		4		3		2		1		0						
name	-		P_GOOD1		P_GOOD0		P_RESET_B		fpga_reset_B		board_reset_B						
W/R	R		R		R		R		W/R		W/R						

Register name : BPI Bus & Config						VME_A[31:0] : 0x0800_0100						offset address : 0x20				
BIT	[15:10]		9		8		7		6		5		4	3	[2:0]	
name	-		write_to_bpi_flg		BPI_IN_SEL		BPI_IN_OE_B		BPI_D_DIR		BPI_D_OE_B		BPI_A_OE_B		0	mode[2:0]
W/R	R		W/R		W/R		W/R		R		R		R		R	W/R

Register name : Config Data						VME_A[31:0] : 0x0800_0400						offset address : 0x80					
BIT	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
name	config_data[15:0]																
W/R	W/R																

Register name : BPI Control					VME_A[31:0] : 0x0800_8000						offset address : 0x1000					
BIT	[15:6]		5		4		3		2		1		0			
name	-		BPI_WAIT		BPI_WE		BPI_RST		BPI_ADV		BPI_OE		BPI_CE			
W/R	R															

Register name : FPGA Status					VME_A[31:0] : 0x080c_0000						offset address : 0x18000					
BIT	[15:8]		7	6		5		4		3		2		1	0	
name	-		prog	FPGA_CE		FPGA_RDWR		FPGA_OE		FPGA_WE		FPGA_INIT		-	FPGA_DONE	
W/R	R		W/R	R												

3.2 CPLD ファームウェアの仕様

3.2.1 概要とリセットに関して

NPM の CPLD ファームウェアとして v0.3 を公開する。レジスタリストに関しては表 5 に記載したとおりである。v0.3 には VME インターフェイスを搭載しており、基本的にこのレジスタの中身を VME から書き換えることによって機能の切り替え等が行える。

テスト用のレジスタとして offset address 0x0 に 16 bit のレジスタがあるので、VME 通信のテスト

等に使用できる。また、offset address 0x4 には NPM ボードの電源の確認とリセットの実行を行えるレジスターが用意されている。P_GOOD0,1 は 3.3V 電源の出力が割り当てられており、電源が正常であれば High が出力される。

ボード全体のリセットは board.reset_B を Low にすることで実行され、FPGA だけリセットしたい場合は fpga.reset_B だけを Low にすることで実行できる。リセットの復帰はあえて自動で行わずにしている。これは、リセットの状態が 1CLK 以上続くようにし、リセットされるチップ等に確実にリセット信号を認識させるためである。手順としては、該当するリセット信号を Low にするようにレジスターにデータを書き込み、次にこのレジスターに対して Low にした bit を High にするようなデータを書き込む、さらにもう一度このレジスターに対して Low にした bit を High にするようなデータを書き込むことで復帰する。

3.2.2 FPGA のコンフィギュレーション

FPGA のコンフィギュレーションは 3 bit の mode ピン (レジスターでは offset address 0x20 の下位 3bit に当たる) の値によってモード設定が可能である。その値に関しては Xilinx の設定に準拠しており、JTAG によるコンフィギュレーションは 0x5、BPI からのコンフィギュレーションは 0x2、SelectMap によるコンフィギュレーションは 0x6 である。CPLD ではこの 3 つの方法による FPGA のコンフィギュレーションをサポートしている。

1.BPI スレーブコンフィギュレーションモード : mode = 0x2 (デフォルトモード)

この BPI からのコンフィギュレーションモードが指定されていると、BPI に格納されたコンフィギュレーションデータが FPGA に自動でダウンロードされる。リセット後などはこのモードが指定される。FPGA のレジスターにアクセスする時などは まず、JTAG モードに戻す必要がある。

2.JTAG モード : 0x5

Xilinx の ツールを用いて JTAG からコンフィギュレーションするモードがこのモードになる。VME 通信でレジスターの読み書きを行う時もこのモードが指定されていることを想定している。

3.Select Map モード : 0x6

SelectMap モードを指定するとコンフィギュレーション用のインターフェイスが有効になり、VME 経由でのコンフィギュレーションが可能となる。コンフィギュレーションの手順としては Xilinx の手順に従って、FPGA の制御信号を制御しつつ FPGA をイレースし、FPGA に必要なコンフィギュレーションデータを VME 通信で書き込んでいく必要がある。このコンフィギュレーションには別途ソフトウェアが必要となる。CPLD の仕様として、コンフィギュレーションと他の VME 通信を区別するために FPGA のコンフィギュレーションデータを書き込む際には offset address 0x80 に書き込む必要がある。

その他の注意事項

BPI に FPGA 経由で JTAG からコンフィギュレーションデータを書き込む際は、mode を 0x5 に設定し BPI Bus & Config レジスターの write_to_bpi_flg を High に指定しなければならない。write_to_bpi_flg はこの BPI への書き込みのために用意された信号なので、それ以外は Low にしておく必要がある。

3.2.3 BPI の制御と Bus コントロール

BPI の制御信号と Bus の制御信号は基本的に CPLD が自動で制御を行うので、ユーザー側は意識なくとも使用できる様にデザインされている。ユーザーが変更できるのは、BPI_IN_OE_B と BPI_IN_SEL の二つの信号だけである。これらの信号は BPI 制御信号の出力イネーブル信号 OE と入力信号の切り替え信号 SEL である。OE に関しては Low Active であり、SEL に関しては Low で CPLD からの制御信号を有効、

High で FPGA からの制御信号を有効にする。デフォルトでは制御信号は FPGA で OE は Active になっている (BPI からのコンフィギュレーションのため)。BPI にアクセスする時は SEL を CPLD 側にし、JTAG から FPGA を経由した BPI の書き込みの時は デフォルトの値とする必要がある。また、JTAG からのコンフィギュレーション時、SelectMap によるコンフィギュレーション時など BPI を使用しない時は、OE を High にして not Active な状態にしておく安全である。

3.3 FPGA ファームウェアに関して

このボードの運用モデルとして ATLAS 実験ではトリガーの判定モジュールからトリガー信号を取り入れ、このモジュールに合計 72 チャンネル分の信号を入力し、想定されているトリガーの定義以上にトリガーが発行されている事象をトリガー判定モジュール毎に FPGA のファームウェアで分析させる。その分析の結果、異常なトリガー信号を観測した際にはトリガーの VETO 信号を出力して中央管理システムにそれを知らせ、異常なトリガーによって他のシステムに影響が出ないようにトリガーの発行を停止させるためにこのモジュールを使用している。16 ピンのテストピンも用意されており、入力が多くあるので色々な信号を FPGA に取り込み様々な処理を行ってテストピンからその結果を見することもできる。FPGA に触れたことがない初学者用の練習用モジュールとしても活用できると考えられる。

付録 A VME のアドレス線に関する問題

VME のアドレス線は VME のバックプレーンからゲートを通して CPLD ともう一段別のゲートへと向かう。そして、2 段目のゲートを通った後で FPGA と BPI に供給される。今回問題があったのは 2 段目のゲートの IC の部分で、その IC に入力するはずの信号が 2bit ずれて入力されてしまった。これは OrCAD の記述ミスが原因で引き起こされた問題であった。

まず、問題のあった箇所を見ていく。図 2 に問題が起きた OrCAD の回路図を提示する。この図 2 の黒枠

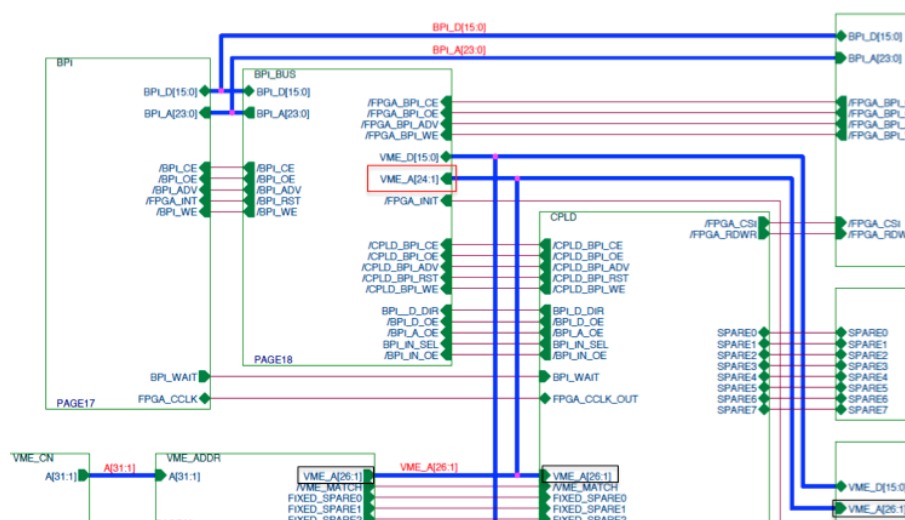


図 2: 修正前の回路図

と赤枠に注目する。バックプレーン側のゲートは "VME_ADDR" と書かれているページにあり、そこから VME_A[26:1] が出力されている。この信号は先に述べたように一つは CPLD に供給され、もう一方は 2 段目のゲートが含まれている "BPLBUS" と書かれているブロックへと供給されている。BPI は 24bit のアドレスを必要とするためこの "BPLBUS" と書かれているブロックへは 24bit の VME アドレスを供給しようとした。そのために、赤枠で囲んであるように 24bit として VME_A[24:1] を供給しようとした。

この記述をした際のネットリストを図 3 に示した。

```

/X00447 U1(16) U10(146) U11(J3);
/X00448 U3(14) U10(166) U46(3) U11(N4);
/X00449 U3(13) U10(167) U46(4) U11(R1);
/X00450 U3(12) U10(168) U46(5) U11(P1);
/X00451 U3(11) U10(169) U46(6) U11(T3);
/X00452 U4(11) U10(170) U46(7) U11(T2);
/X00453 U4(12) U10(171) U46(8) U11(R2);
/X00454 U4(13) U10(173) U46(9) U11(U2);
/X00455 U4(14) U5(8);
/X00456 U4(15) U5(11);
/X00457 U4(16) U5(13);
VME_A1&3 U1(15) U10(147) U44(2) U11(M4);
/X00459 U4(17) U5(15);
/X00460 U4(18) U5(17);
VME_A2&4 U1(14) U10(148) U44(3) U11(L4);
VME_A3&5 U1(13) U10(149) U44(4) U11(K1);
/X00461 U1(12) U10(150) U44(5) U11(J1);
/X00464 U1(11) U10(151) U44(6) U11(L3);
/X00465 U2(18) U10(152) U44(7) U11(K2);
/X00466 U2(17) U10(153) U44(8) U11(N1);
/X00467 U6(2) U10(106) U47(47) U11(V4);
/X00468 U6(3) U10(107) U47(46) U11(V1);
/X00469 U6(16) U10(116) U47(33) U11(Y2);
/X00470 U6(17) U10(117) U47(32) U11(Y1);
/X00471 U6(19) U10(118) U47(30) U11(AD1);
/X00472 U6(20) U10(119) U47(29) U11(AE1);
/X00473 U6(22) U10(120) U47(27) U11(AE2);
/X00474 U6(23) U10(121) U47(26) U11(AF2);

```

図 3: 修正前のネットリスト

このネットリストに書かれている U1(15) は U44(2) と接続されていることがわかる。これを回路図上で辿っていく。

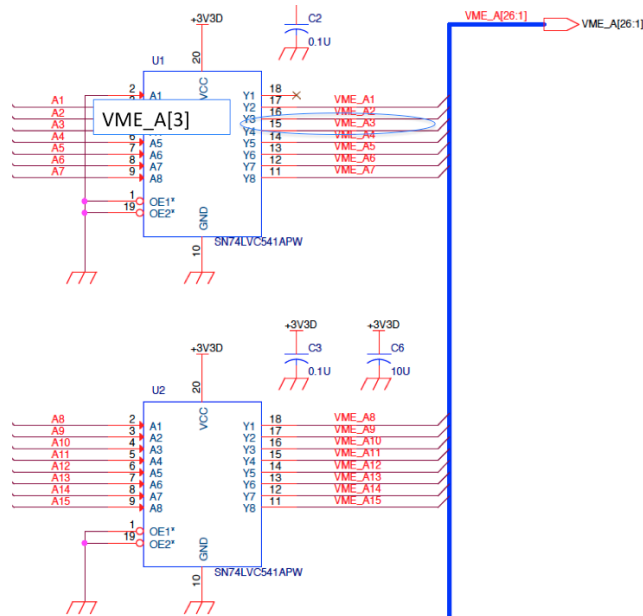


図 4: 修正前の VME_ADDR 中のゲート IC 付近

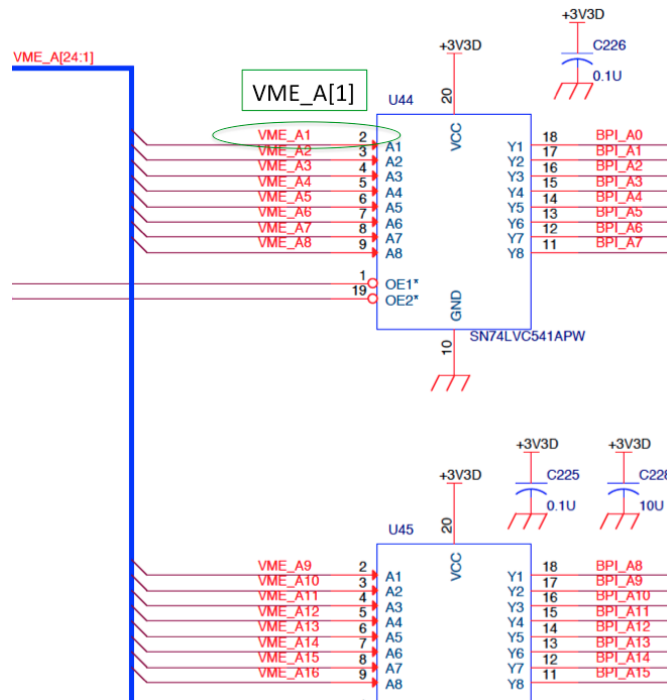


図 5: 修正前の BPLBUS 中のゲート IC 付近

図 2 に書かれている”VME_ADDR” と ”BPLBUS” ブロックの中身のゲート IC 付近の回路図をそれぞれ図 4 と図 5 に示す。これらの図を見ると先ほどの U1(15) には VME_A[3]、U44(2) には VME_A[1] が信号名に書かれていることがわかる。他の近くの信号線も辿っていくと同様に 2bit ずれて接続されている。したがって、VME_A[24:1] と明示して繋いだつもりが、実際の中身では VME_A[26:3] が接続されている形になっている。これは実際にブロックの中で使うアドレスの数に合わせてバスの信号名を VME_A[26:1] から VME_A[24:1] に変えてしまったことが原因であった。バスの信号名が 2 重に定義されてしまい、OrCAD の判断で上位の信号から順番に接続されてしまった。バスの信号名を途中で変更するのは間違いで共通の名前を使用し、ブロックの中では必要な信号だけ枝分かれさせるのが正しい記述方法であった。図 6 には正しく修正した回路図を示す。

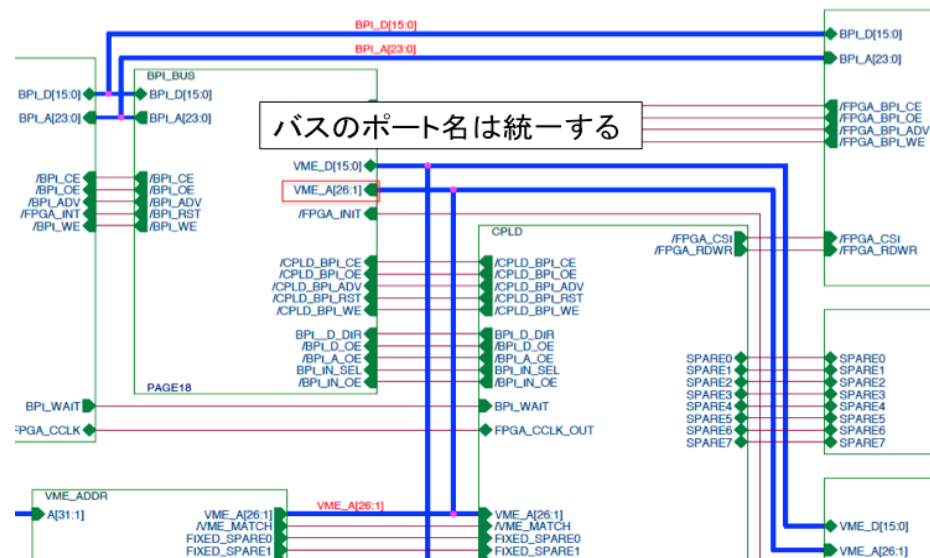


図 6 のようにバス信号名及びポート名を統一して取得したネットリストは図 7 に示す。また、図 8 にはゲート付近の回路図を示す。

図 7: 修正後のネットリスト

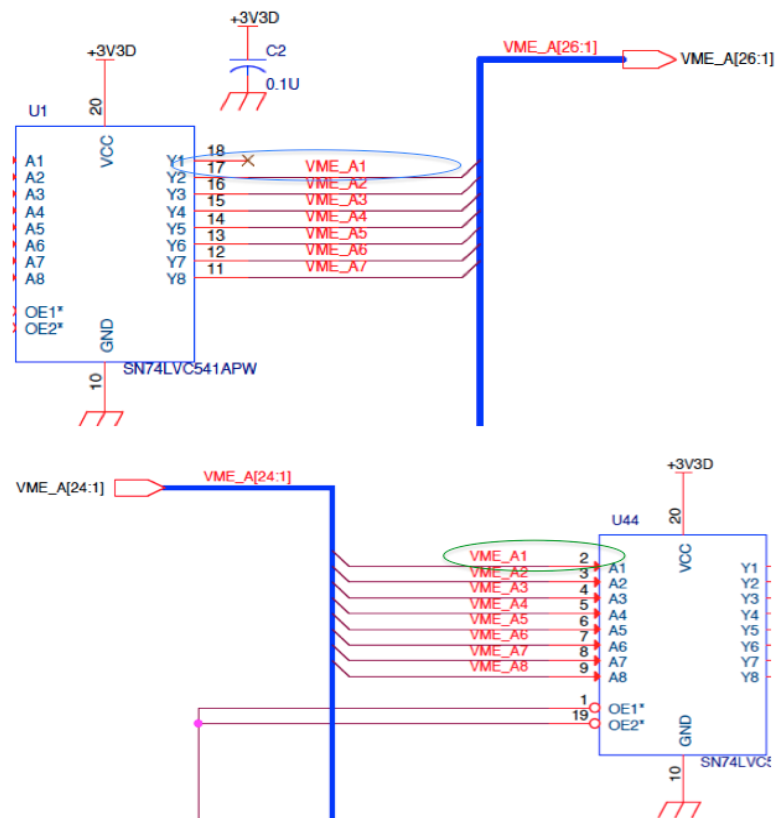


図 8: 修正後の回路図

これらの図を見ると、VME_A[1] は VME_A [1] に正しく繋がっているのが確認できる。このように階層を含んだバス信号の取り扱いには気をつけなければならない。

参考文献

- [1] Xilinx, 7 Series FPGAs Packaging and Pinout(November 13, 2014)
- [2] Xilinx,CoolRunner-II CPLD Family(September 11, 2008)
- [3] Micron,Micron Parallel NOR Flash Embedded Memory (P30-65mm) (December,2013)