



# 液体アルゴンTPCのための 信号読み出し回路開発

～極低温下での作動回路を目指して～

@ 2013.12.7・8 Neutrino Frontier Session

横浜国立大学  
大学院工学府  
修士2年  
岩崎裕也



Developed by KEK e-sys group,  
one of Open-it projects.

<http://openit.kek.jp>

Manobu Tanaka , Tomohisa Uchida  
Masahiro Ikeno , Hiroshi Sendai



# 1

液体アルゴンTPCにおける  
読み出し回路への要求

# Liquid-Argon-TPC



読み出し回路への要求

低ノイズ  
高ゲイン

数fCの信号をSN比が10以上で読み出す

検出器容量はノイズに大きく関わってくる  
信号をチェンバー外に出すためのCable capacitanceが  
問題となる

多チャンネル

大量のFeed through cableの使用による純度や  
極低温環境への影響

チェンバー内つまり極低温環境下(-186°C)  
で動作可能な読み出し回路を目指す



# 2

読み出し回路の開発工程

# Readout Electronics

プロトタイプ仕様



## 読み出し回路構成

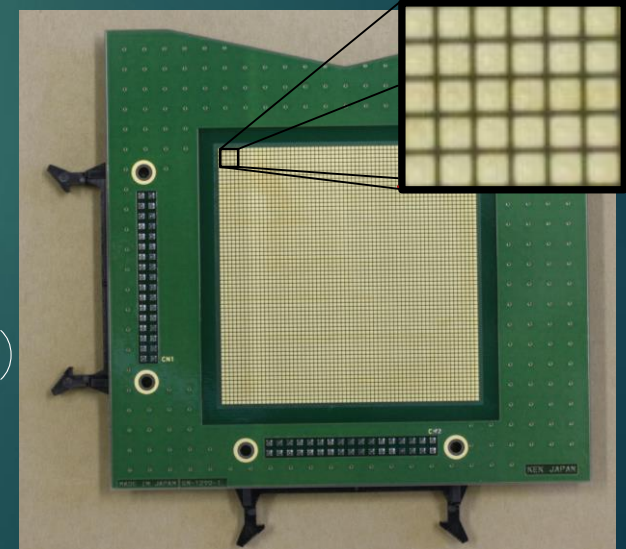
ASIC + FADC + FPGA(ARTIX-7)

- ・ 32channelの2次元読み出しPAD(6.4cm x 6.4cm)
- ・ 入力信号をASICで増幅・成形しFADCでデジタル変換後、SiTCPでPCにデータ転送

- \* 入力電荷は4fC~70fC程度を想定
- \* SN比が10以上
- \* FADCは2.5MHz sampling, 12bit resolution
- \* 外部トリガーでデータを収集(PMTからのNIM信号)
- \* 1イベントずつ読み出す



10Lテストチェンバー



10L用2次元読み出しPAD

# Readout Electronics Process



Phase 1

Analog Board と Digital Board をチェンバー外

Phase 2

Analog Board のみチェンバー内に入れる

Phase 3

Analog Digital Board をチェンバー内に入れる

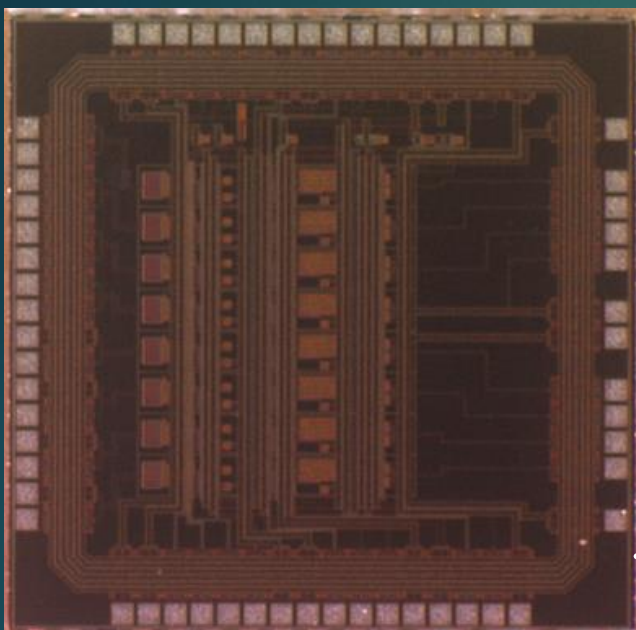
それぞれシステムを確立し、SN比を  
クリアするのを第一目標とする

現在までにASICの常温試験、Analog Boardの製作、  
試験、Digital Board製作が終了

# 3

## 読み出し回路概要

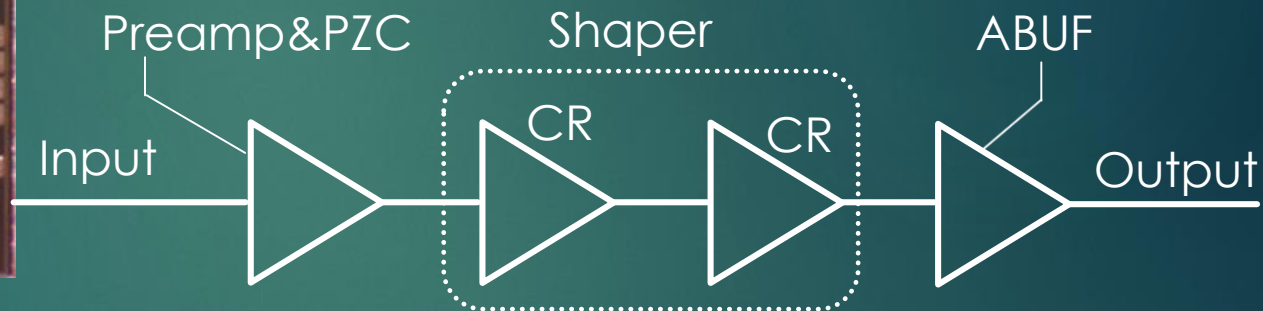
# ASIC 仕様



## LTARS ASIC

~ Low Temperature Analog Readout ~

低ノイズ高ゲインのAnalog ASIC  
2.8mm×2.8mmのチップ中に8ch

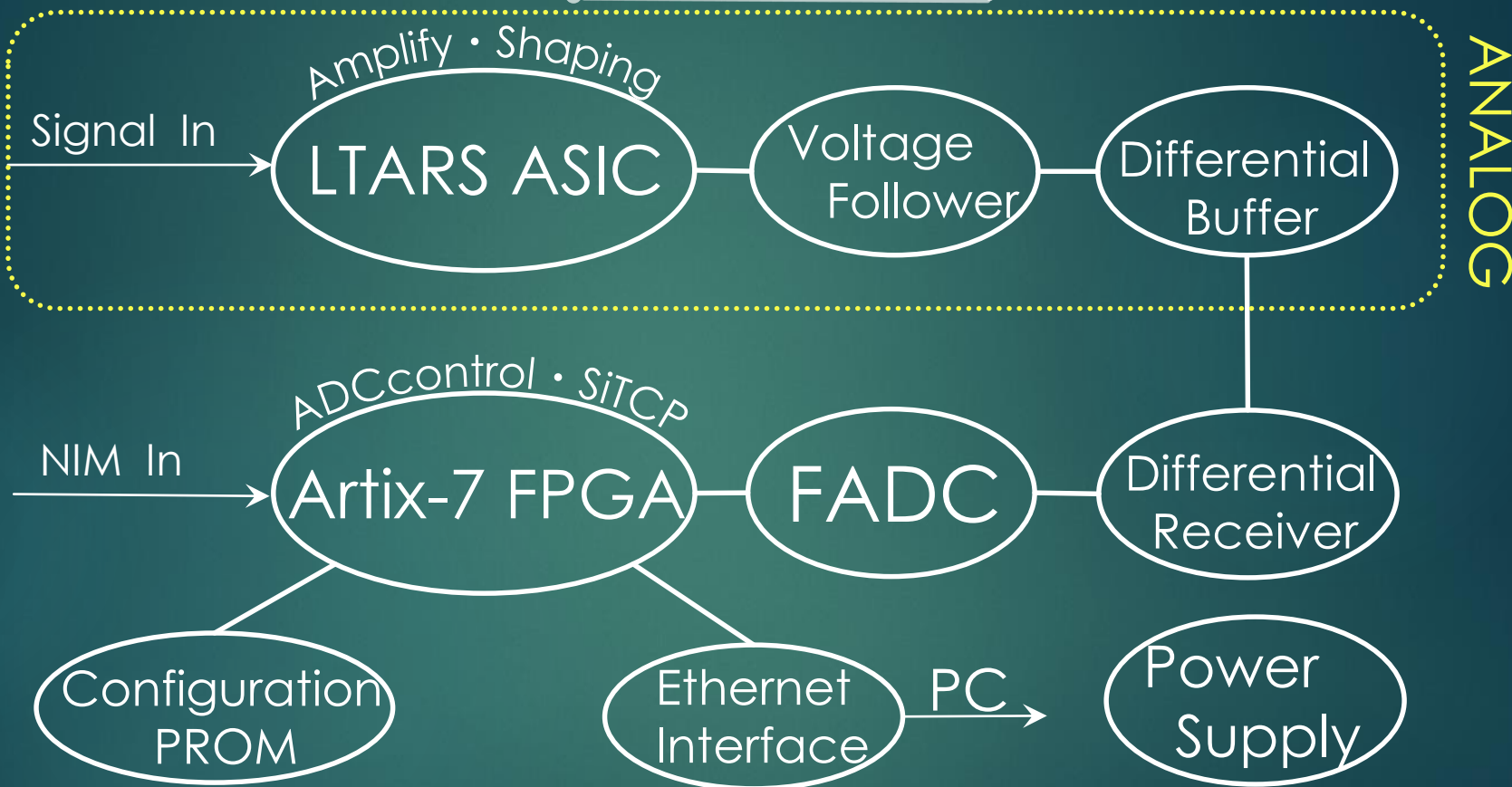


- ・ 検出器容量は100pFまでを想定、最小信号(4fC)に対して SN比が10以上のノイズレベル
- ・ プリアンプゲイン 20mV/fC
- ・ 電源電圧 ± 2.5V



# 読み出し回路設計の概要

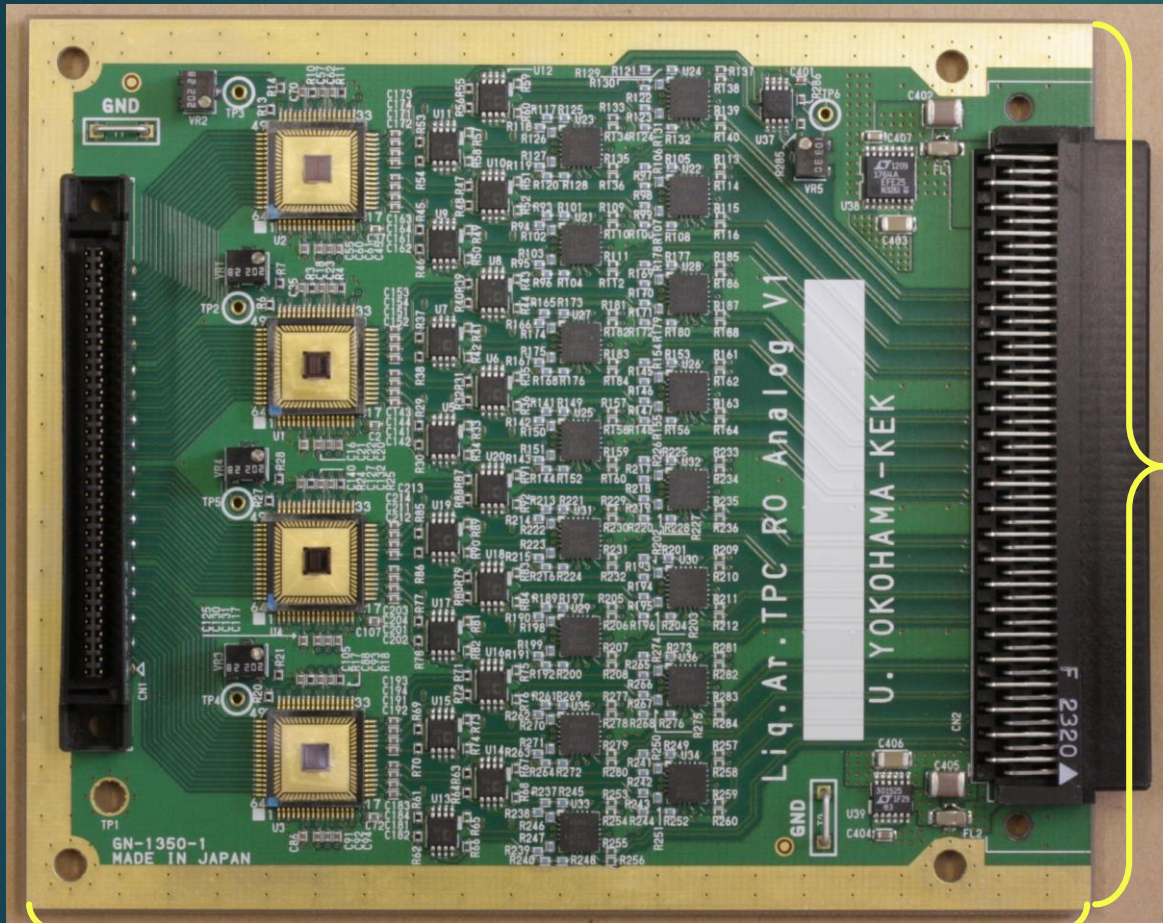
## Analog Board



- ・ 32chの信号を4つのASICを使用して増幅・整形処理、差動で出力する
- ・ ASICの出力とVoltage Followerの入力をAC結合  
(ASICのoffset電圧をリセットする)
- ・ Voltage FollowerはBufferの負荷がASICの定格を超えていたため使用した

# Analog Boardの製作

10



9月完成  
現在試験中

92mm

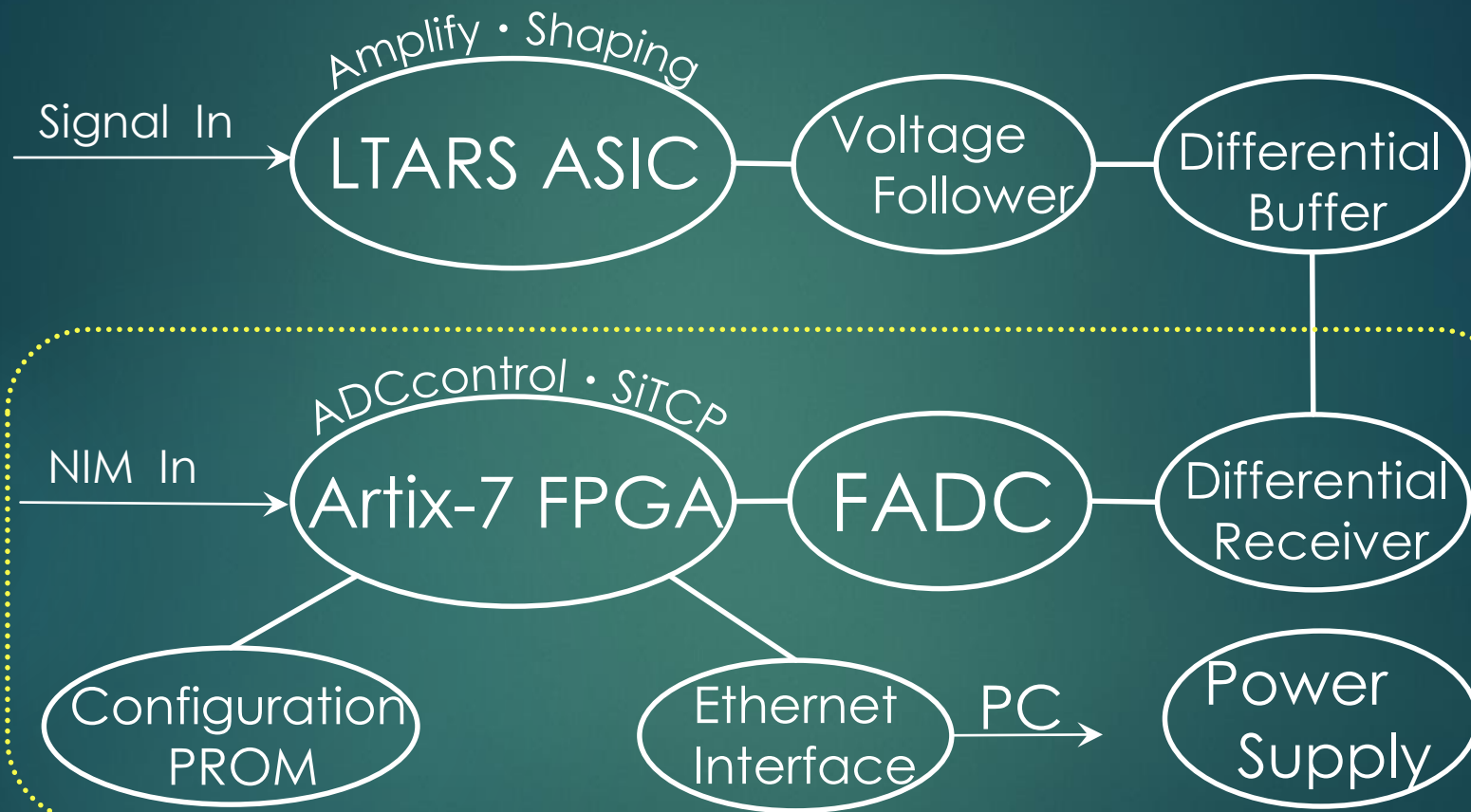
110mm

# Li q Ar TPC RO Analog Board ver1

# 読み出し回路設計の概要



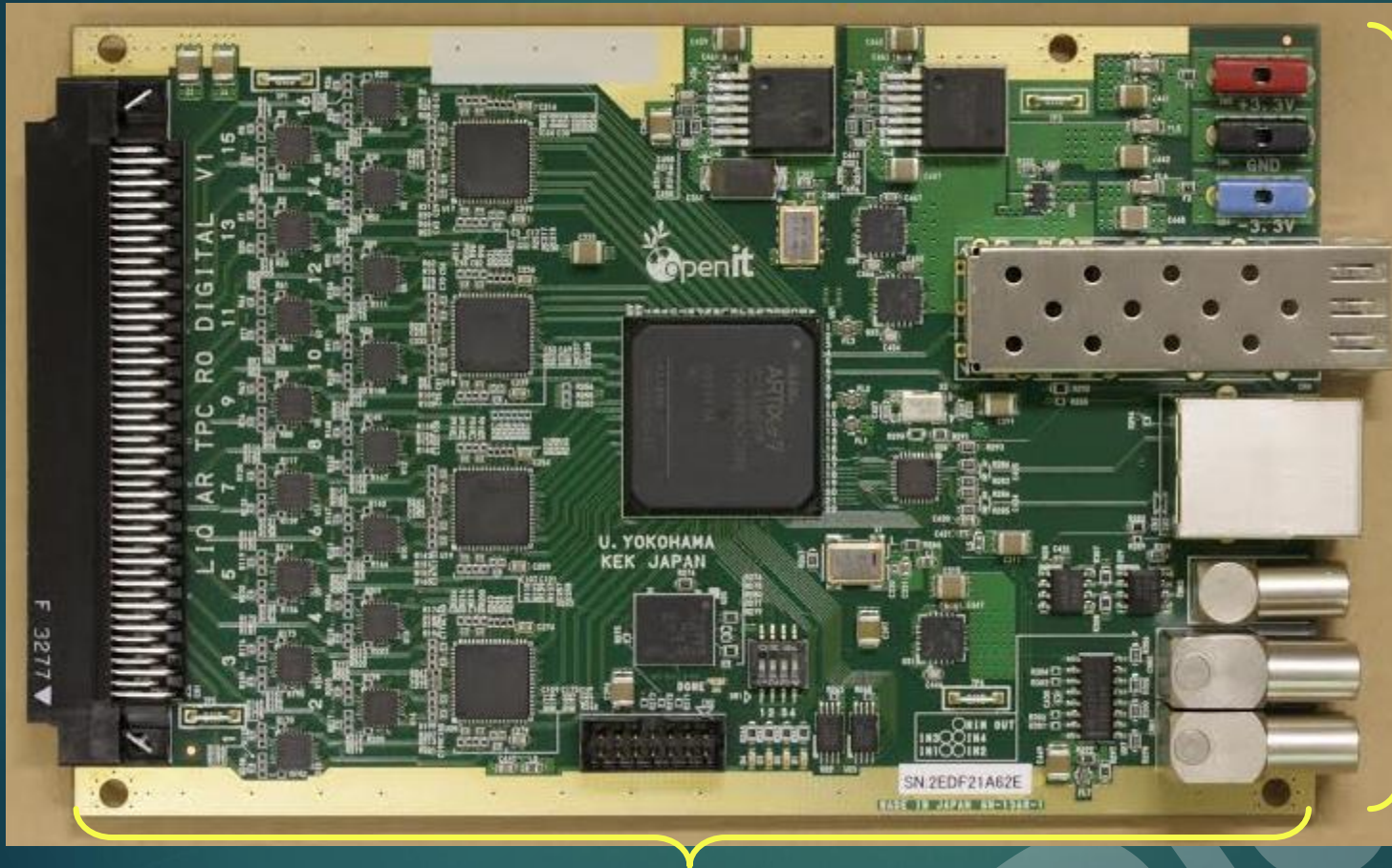
## Digital Board



- Analog Boardからの差動出力を受けてADCに入力(4fc~70fcレンジを実現するためにGainを少々下げている)
- PMTからのNIM信号をFPGAに入力しFADCのトリガーとしている
- PCへのデータ転送はSiTCPを利用する

# Digital Boardの製作

12



12月初旬完成  
今後試験を行う

92mm

145mm

## Liq Ar TPC RO Digital Board ver1

## 4

## Analog Board 評価

# Analog Board 評価

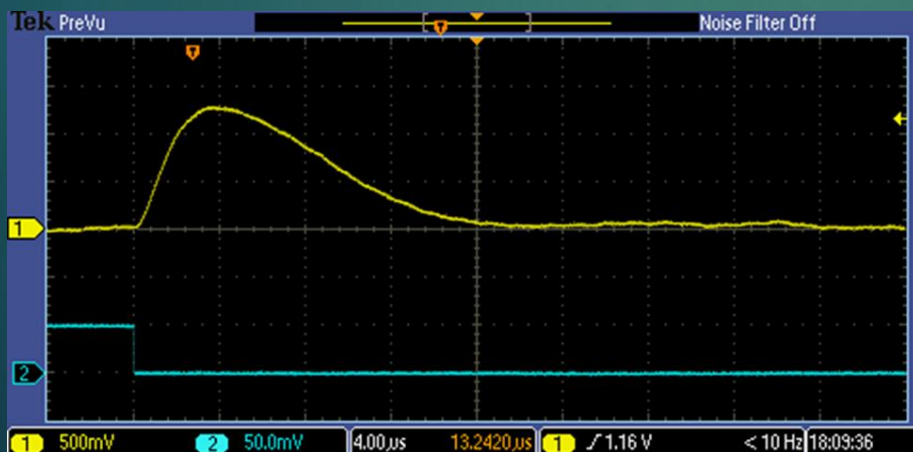
評価項目

14

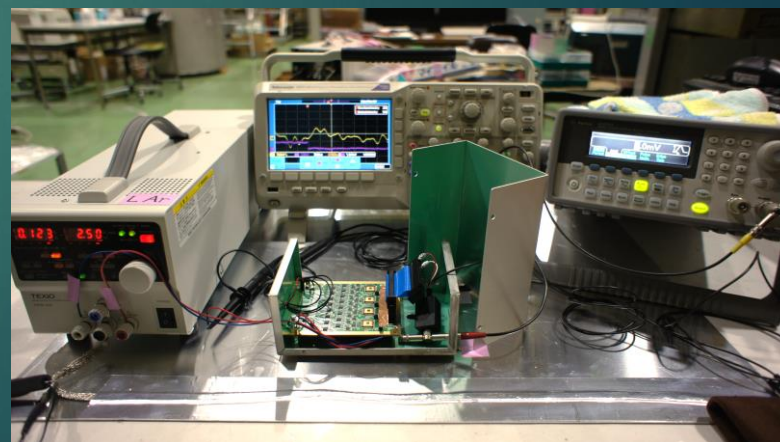
1. 直流試験 **終了**
2. 動作確認 **終了**
3. ダイナミックレンジ特性 **終了**
4. ノイズ **検証中**
5. ゲインの検出器容量特性



Analog Board



テストパルスと出力信号

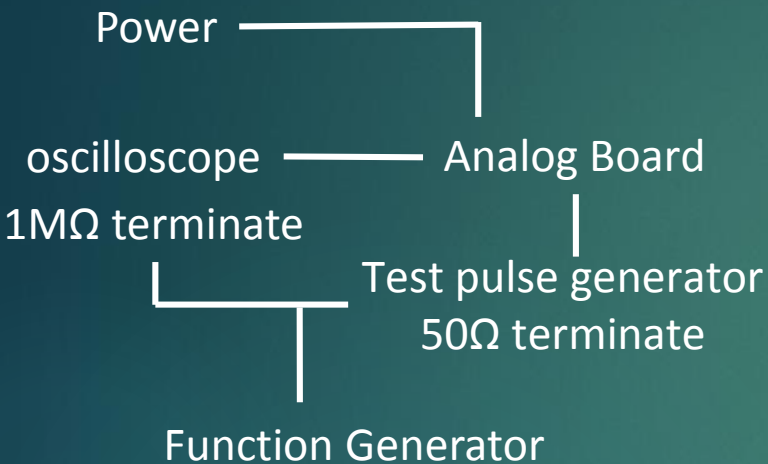


評価している様子

# ダイナミックレンジ特性

15

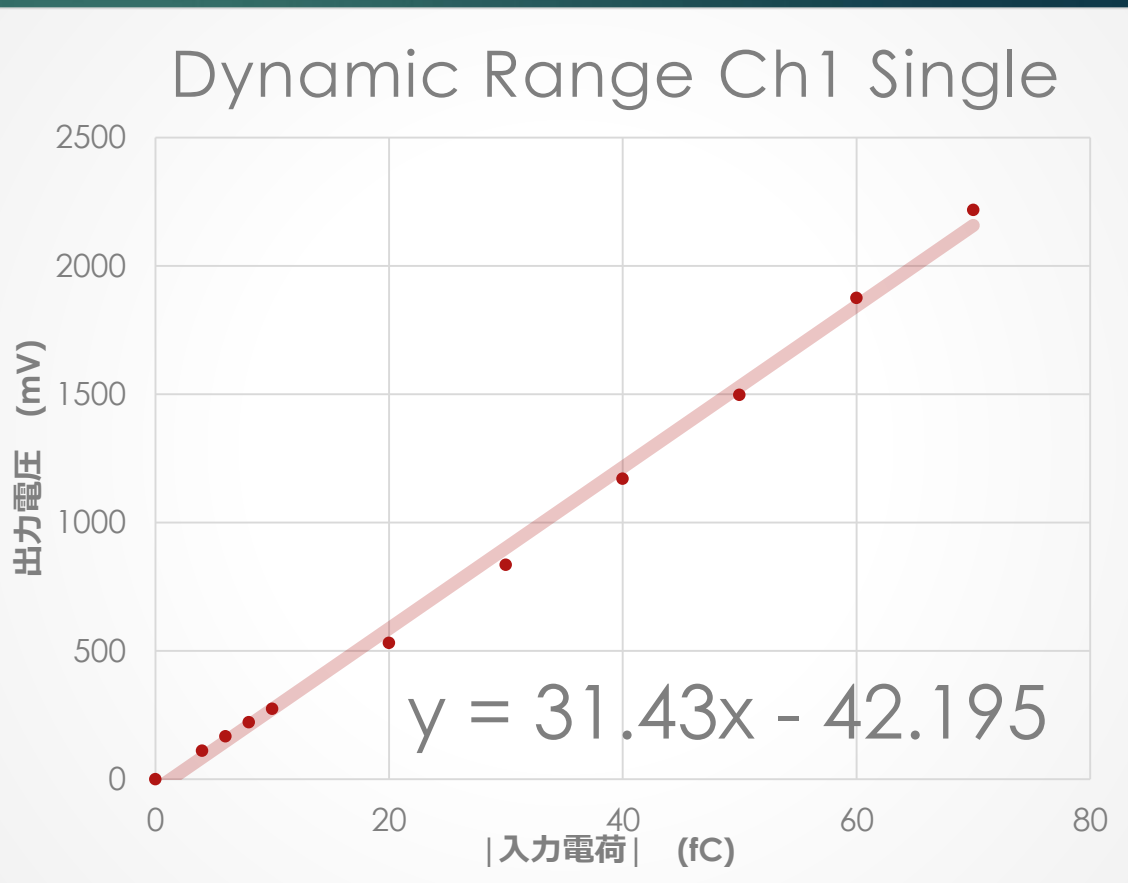
## 実験系



## Function Generator param

備考 パルスの立ち下がりトリガー  
入力信号が  $-4\text{fC} \sim -100\text{fC}$  を想定  
入力容量  $1\text{pF}$  (検出器容量も  $1\text{pF}$ )

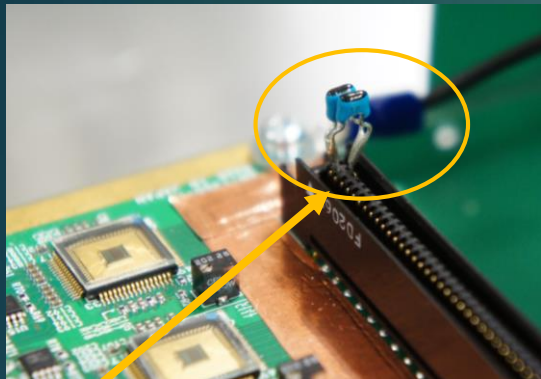
Frequency	Amplitude	Width	Edge time
1kHz	+4mV~+100mV	500 $\mu\text{s}$	5ns



Gain 31.43 mV/fC

# ノイズの検出器容量特性

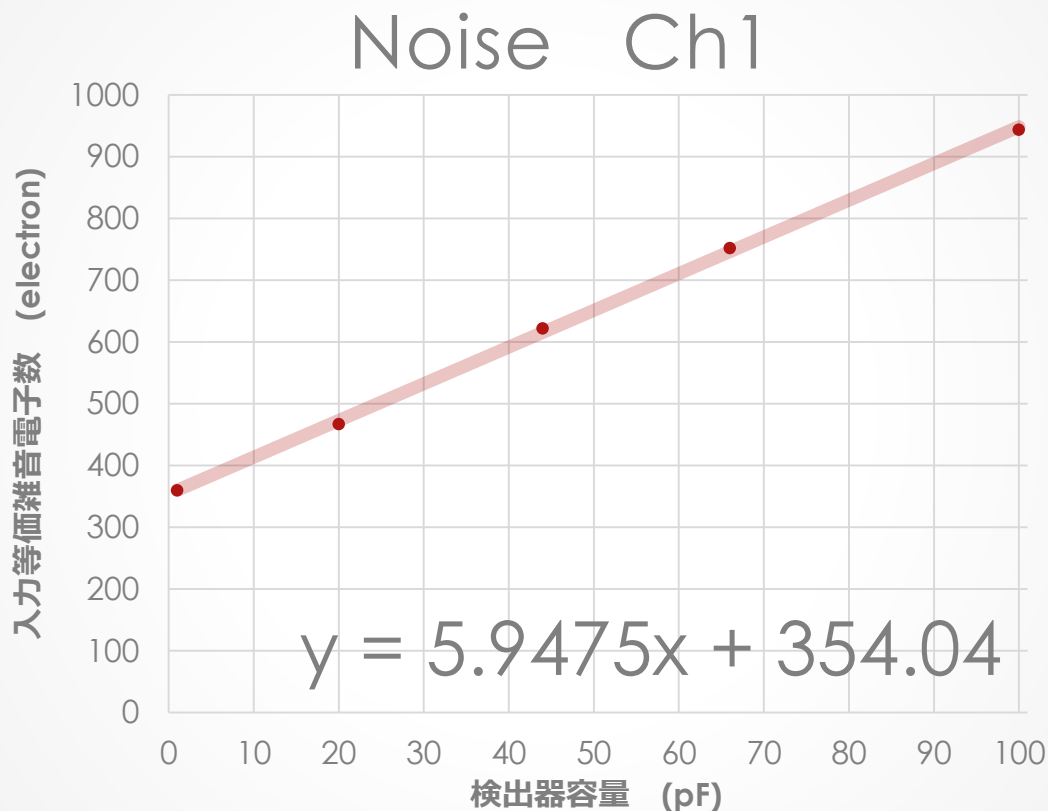
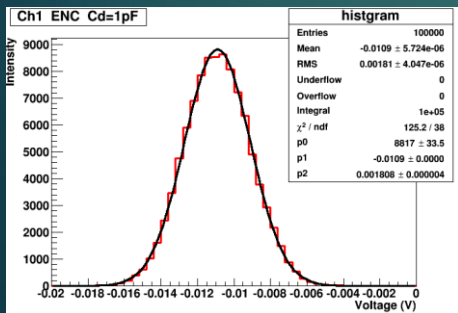
測定の様子



コネクタに直接検出器容量用のコンデンサ(Cdet)を設置する。



ヒストグラムからσを得る



最小信号  $4fC = 25000$  electron の入力電荷を考慮すると、検出器容量が100pFにおいて

SN比10以上を達成出来ている



# まとめと今後の予定

17

## 液体アルゴンTPC読み出し回路の開発

- 試作機的设计・製作・評価

ダイナミックレンジ特性の結果から、ゲイン $31.43\text{mV/fC}$ を得た  
ノイズは現時点でSN比10以上という結果を得ている( $C_{\text{det}}=100\text{pF}$ の時)

以上からAnalog Boardは正常に動作していると判断

## 今後の予定

- デジタルボードを含めた読み出し回路全体での評価
- 試作した読み出し回路を使用して、10Lテストチェンバーにて宇宙線観測

# 全体まとめ



18

## 大型LAr TPC検出器の実現に向けてR&Dを進めている

- アルゴン純度向上
  - 0.3ppb程度まで実現→今後更なる改良を加え0.1ppb以下を目指す。
- 高電圧電源開発
  - 小型(5段, 15段)CW回路で詳しい特性の理解を進めている。
  - CW回路単体での出力測定やTPCに装着し、想定電界の形成に成功。
  - 今後CW回路の特性解明に努め、将来の大型化へ向けたR&Dを進めていく。
- 低ノイズ読み出しエレキ
  - 10L用のプロトタイプを製作した。試験・評価を進めている。
  - 今後、デジタルボードを含めた評価、また10Lchamberで宇宙線観測を行う。

## 250L、3Lの検出器を用いた検出器応答の確認、評価

- 2D基板を用いた読み出しで宇宙線trackを観測。
- 検出器の較正手法の確立を目指す。
- 事象再構成ツールの開発をETHZと共同で行っている。



Back up

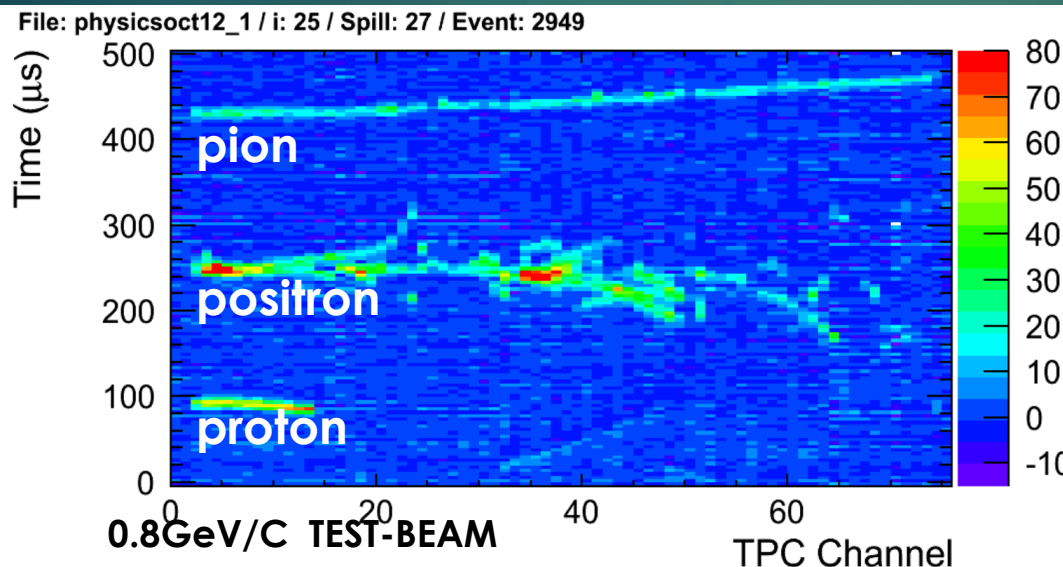
# Liquid-Argon-TPC



三次元飛跡イメージング検出器

現代版の“泡箱”のようなもの

将来のニュートリノ振動実験  
のための大型検出器



高位置分解能( $\sim 1\text{mm}$ )

正確な事象形態の測定

局所的なエネルギー損失の測定

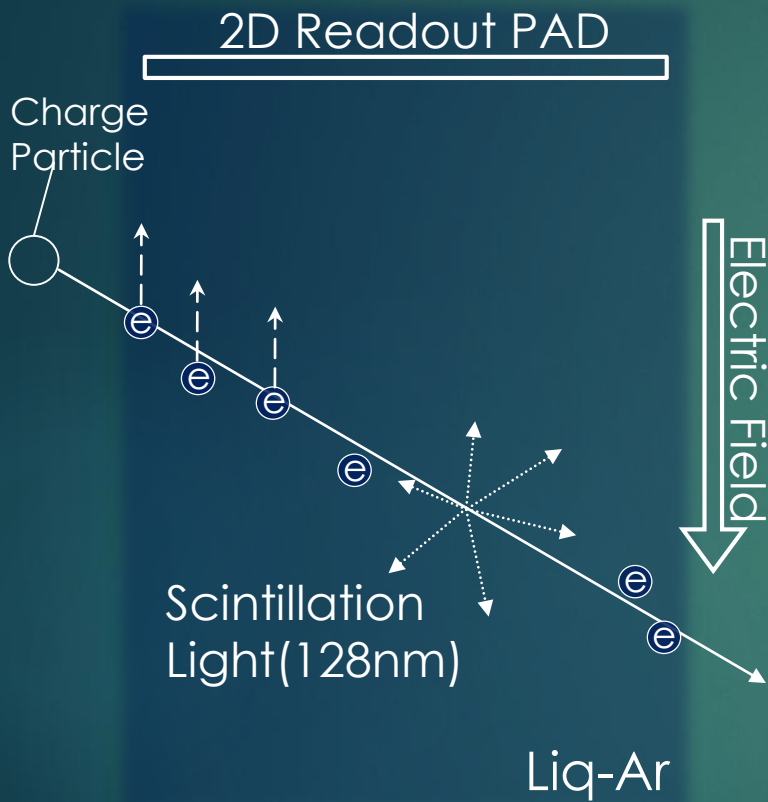
$dE/dx$ と飛跡レンジによる  
粒子識別

エネルギー再構成能力

# Liquid-Argon-TPC

## 原理

4



2次元陽極読み出し+ドリフト時間情報を使用し、3次元飛跡再構成が可能

時間経過によってシグナルとなる電離電子の減少  
→シグナルの減少を最小限にしたい

液相における増幅はなくシグナルが微小である  
～ 1 fC/mm (MIP)  
→できるだけノイズを減らしたい

Research & Development

**Purity**

**High Voltage**

**Readout Electronics**

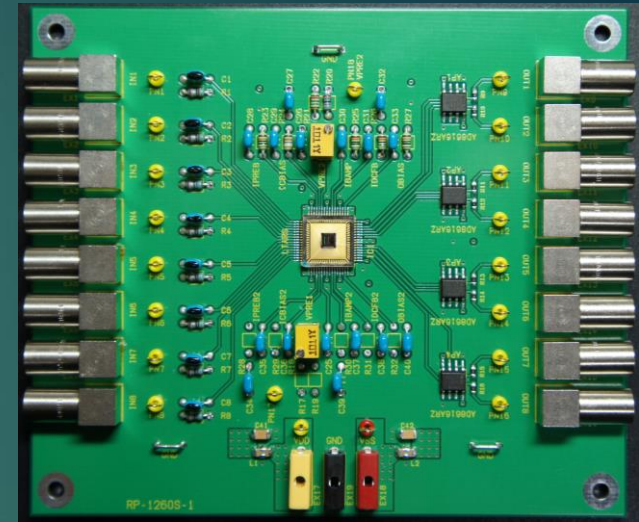


# ASIC Test Board Result

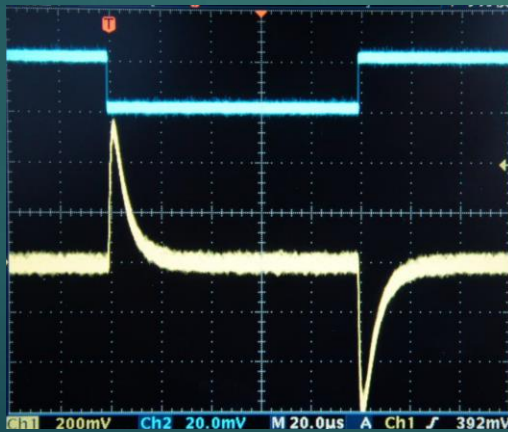
# LTARS ASIC 常温評価

## テスト項目

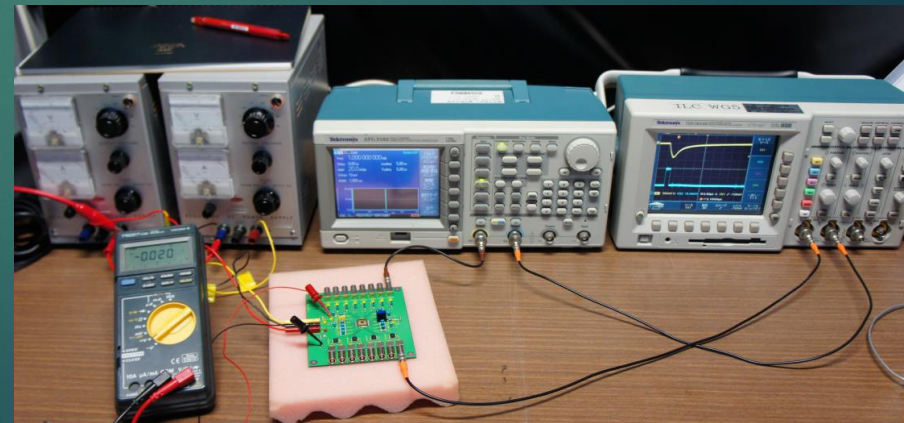
1. 直流試験
2. 動作確認
3. ダイナミックレンジ特性
4. ノイズの検出器容量特性
5. ゲインの検出器容量特性
6. ゲインのシェーパー時定数特性
7. チャンネルごとのバラつき



LTARS ASIC 評価ボード



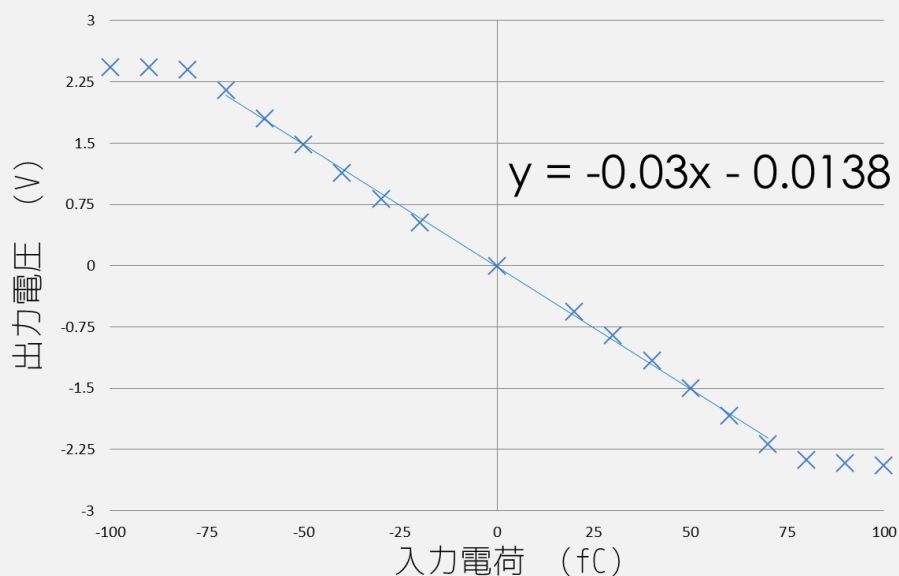
テストパルスと出力信号



評価している様子

# ダイナミックレンジの評価

ダイナミックレンジ特性のテスト結果



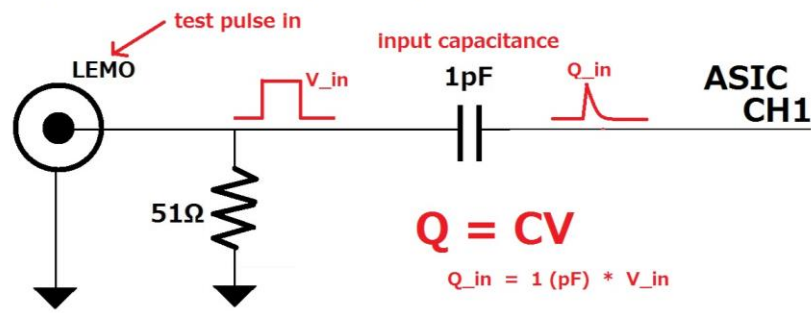
## テスト内容

- ①出力のアナログ波高値を縦軸に、入力値を横軸にして負～正に対してプロット。
- ②フィティングを行い、傾き(ゲイン)を求める。

## テストパルスのパラメータ

Frequency	Amplitude	Duty	Width
1kHz	-100mV ~ 100mV	50%	500μs

## CH1 INPUT (simplified)



良く線形性がとれているといえる。

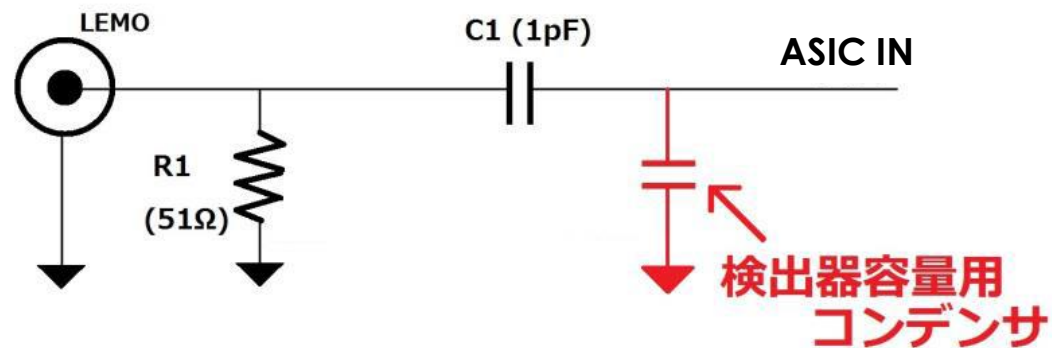
両外側の3プロットを省いてフィッティングしたところ - 0.03 ( V/fC ) という傾きを得た。切片もほぼ原点を通過している。この結果は資料のシミュレーションともよくあっている。



# ノイズの検出器容量特性評価

テスト基板回路に検出器用コンデンサを付け加えて、ノイズの検出器容量特性を評価した。

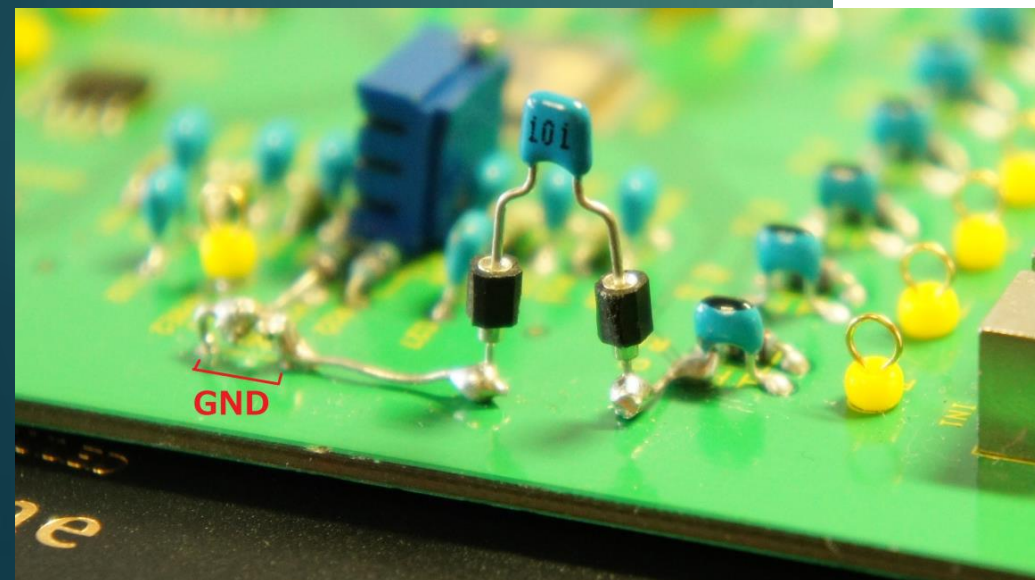
CH1



テストパルス入力周辺回路

- ①入力を回路のGNDレベルに設定する。
- ②オシロスコープのヒストグラム解析機能を用いて標準偏差 $\sigma$ (V)を取得。
- ③入力等価雑音電子数を算出。
- ④検出器容量を変化させて数回行う。

検出器容量用コンデンサを付けた様子

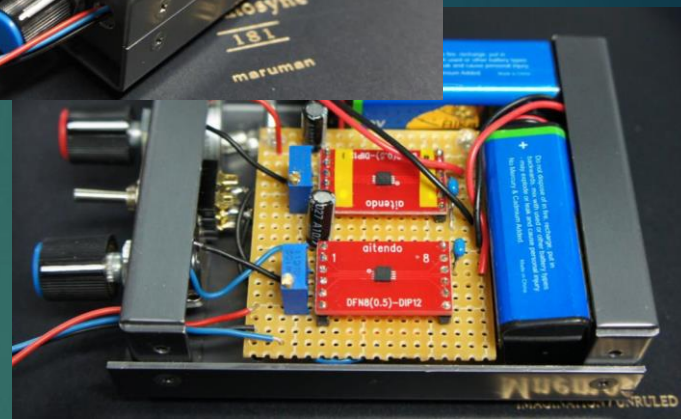


# ノイズの検出器容量特性評価

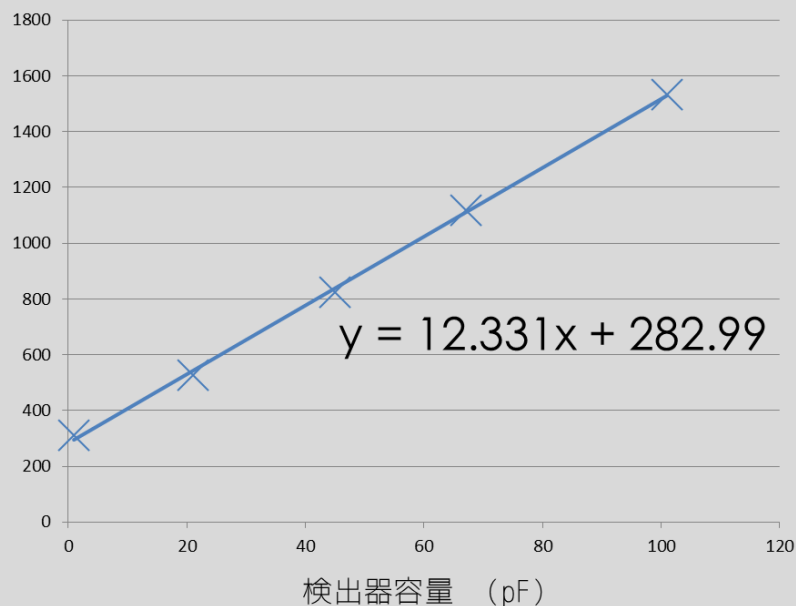
## 電源の自作

ノイズの低減、また実験の効率なども考慮し、小型の専用電源を作製した

- ・ 006P電池をリニアレギュレータ(LT3014)により降圧
- ・ サイズ 7.5 x 10 x 3 (cm)

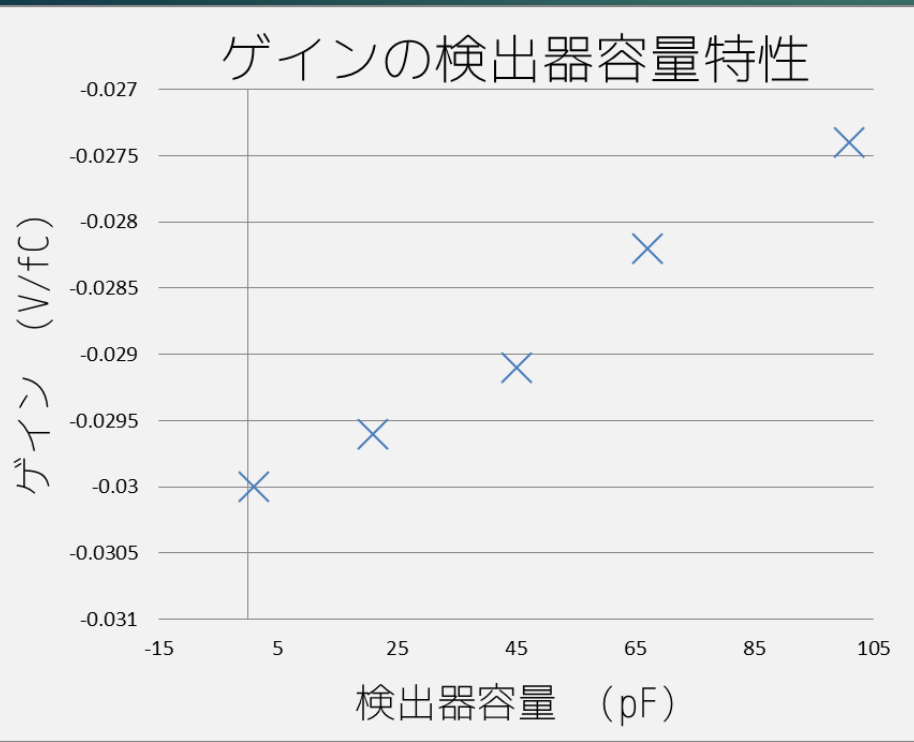


ノイズの検出器容量特性



検出器容量が 100pF 程度で入力等価雑音電子数が 1516 electron  
 $4fC = 25000$  electron の入力電荷を考慮すると、  
SN比10以上を達成出来ている

# ゲインの検出器容量特性



## テスト内容

- ①出力のアナログ波高値を縦軸に、入力値を横軸にして負～正に対してプロット。
- ②フィッティングを行い、傾き(ゲイン)を求める。
- ③検出器容量を変化させて数回行う。
- ④検出器容量に対するゲインをプロット。

## テストパルスのパラメータ

Frequency	Amplitude	Width
1kHz	-100mV ~ 100mV	100μs

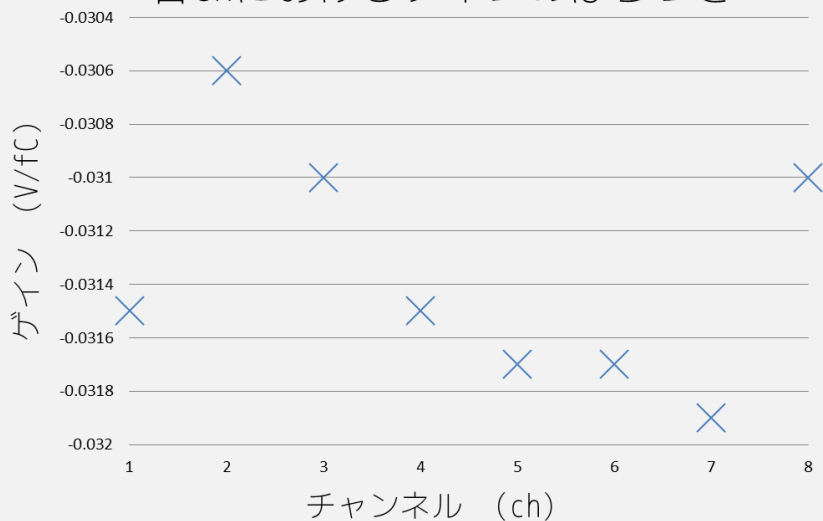
検出器容量の大きい部分でゲインが落ちていることがわかる。これはASIC設計段階で初段トランジスタのドレイン電流を絞っているため、大きな負荷容量に対しゲインが落ちてしまうためである。

# チャンネルごとののばらつき

## ベースラインののばらつき

チャンネル (ch)	電位 (mV)
1	48.1
2	15.2
3	-78.2
4	-16.9
5	-19.3
6	-0.7
7	25.1
8	-45.4

各chにおけるゲインのばらつき



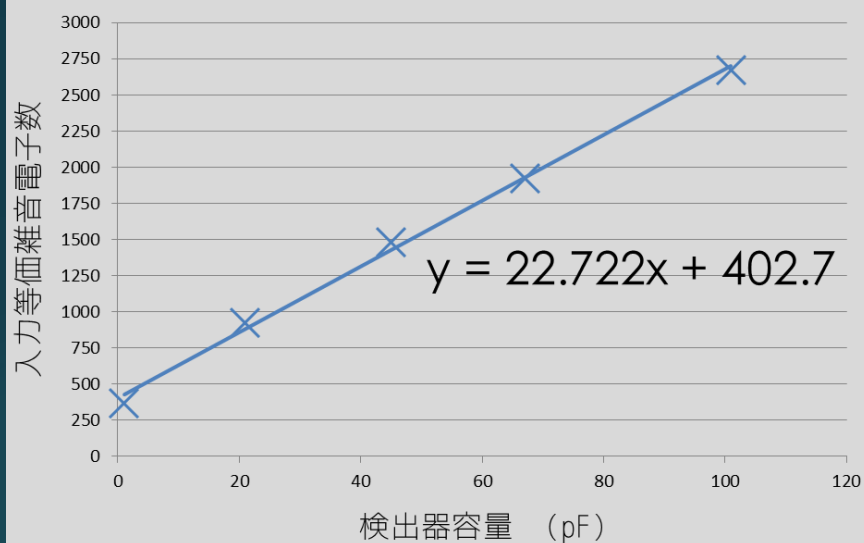
## ゲインのばらつき

プリアンプやシェーパに使用されたトランジスタやコンデンサの特性のばらつきのためである

# 電源によるノイズの問題 I



ノイズの検出器容量特性



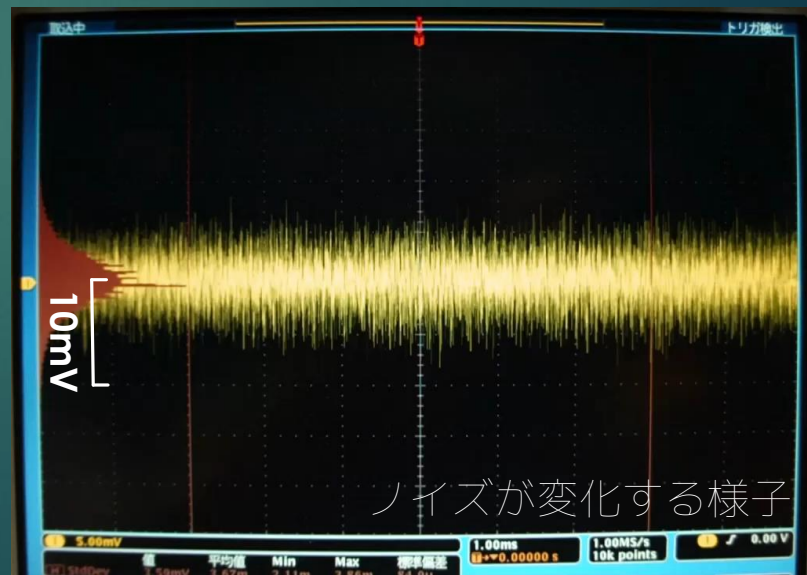
シミュレーションにおいてLTARS ASICのイントリンジックノイズは 10 electron/pF 程度

検出器容量が 100pF 程度で入力等価雑音電子数が 2675 electron  
 $4fC = 25000 \text{ electron}$  の入力電荷を考慮すると、SN比10以上を達成出来ていない



このノイズ結果では値が大きい

ノイズの大きさが時間によって変化する現象が確認された



ノイズが変化する様子

# 電源によるノイズの問題 II

## 原因

外来ノイズによる影響を強く受けている

## ノイズ源

\* 近くの電化製品

NIM, CAMAC modules

PC

換気扇

蛍光灯……etc

- ・ 電化製品の電源を切る
- ・ 場所を移動する
- ・ アルミ箔を数枚重ねた上で絶縁体のシートで覆った自作のシールドで回路全体を覆う

\* テストボード用電源

Metronix 532C

100V AC 駆動のかなり古い電源



電源を自作する...

➡ あまり改善せず……

➡ 大幅な改善！！

# 7ch と 8ch の故障



各チャンネルのばらつきを評価しようとした際に  
7ch, 8chが全く動作しないことが判明した

## いつから...?

ASIC動作確認のための直流試験の際には不備は見られなかった。  
チップ作製の際、端のチャンネル(LTARSでは1chと8ch)に不良が出てしまう  
ことはある。

## 後天的に故障した可能性が高い

放電による故障。このチャンネルは保護回路が入っていない。

アースバンドをしていなかった。

どうしようもないため、予備のボードにて評価を行った……

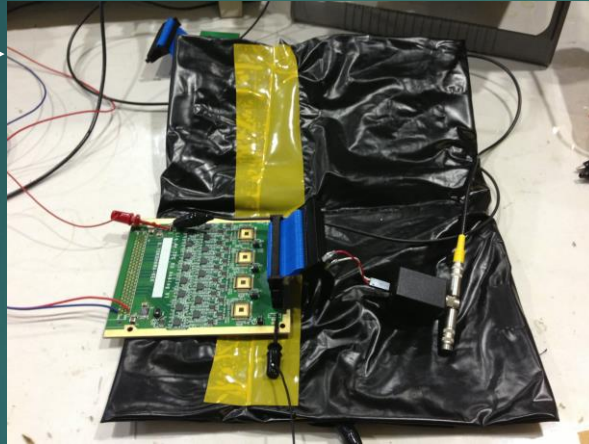




# ノイズ問題

## 対策他

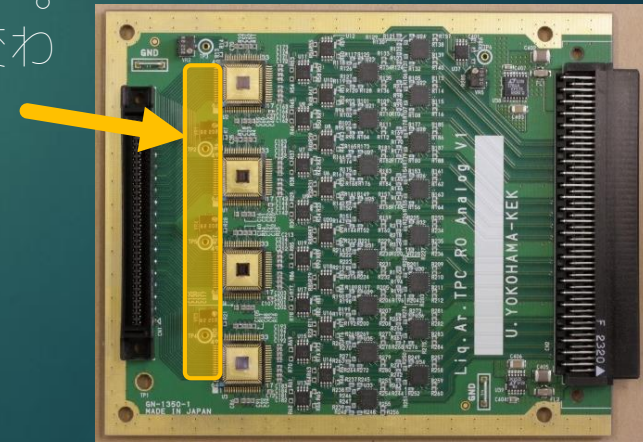
シールドで覆う(簡易的なシールドを国大から持ってきた)



銅シールでsensitiveな部分をシールド。  
なお、パターンのインピーダンスが変わ  
る心配はない

電源モジュールは問題ないと思われる。

ASICテストボードでノイズが大きくなる  
事を確認した



Inputのパターンに大きな違いはない(距離や幅、間隔)  
如果说、Analog boardのほうがペアのGND線が少し細い

# 現在の状況 日本でのR&D

# 現在の状況 日本でのR&D

## 純度

- $\sim 0.3$ ppbの純度を長時間安定して維持できている  
今後 0.1ppb以下を目指す

## 高電圧

- CWにより60kVでの宇宙線測定  
今後 数百kVを目指す

## 読み出し回路

- 2次元読み出しPADの開発

