

液体アルゴンTPCのための 信号読み出し回路開発

～極低温下での作動回路を目指して～

横浜国立大学
大学院工学府
修士1年
岩崎裕也



1

液体アルゴンTPCにおける
読み出し回路への要求

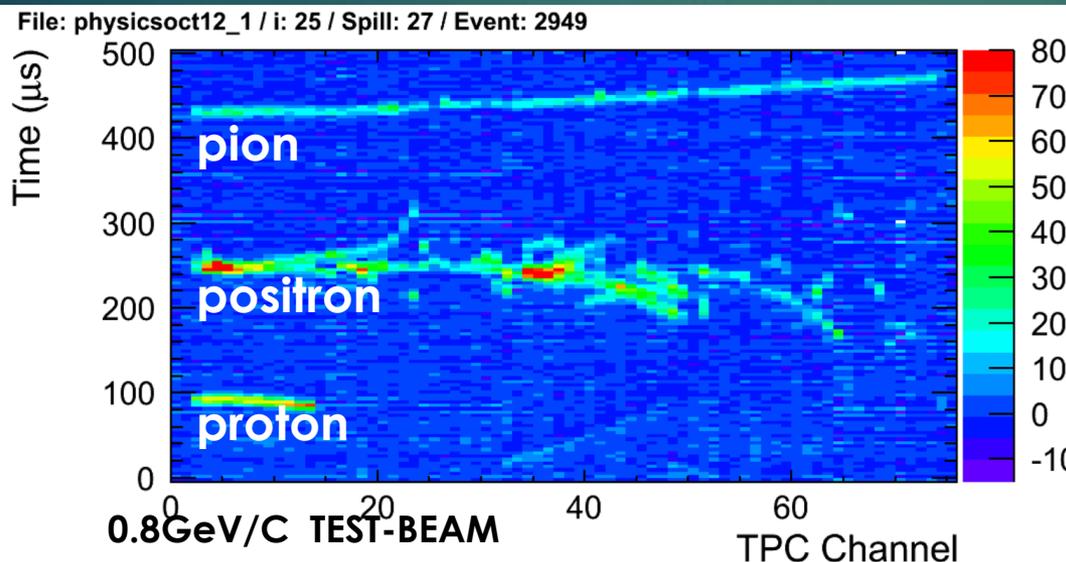
Liquid-Argon-TPC



三次元飛跡イメージング検出器

現代版の“泡箱”のようなもの

将来のニュートリノ振動実験
のための大型検出器



高位置分解能($\sim 1\text{ mm}$)

正確な事象形態の測定

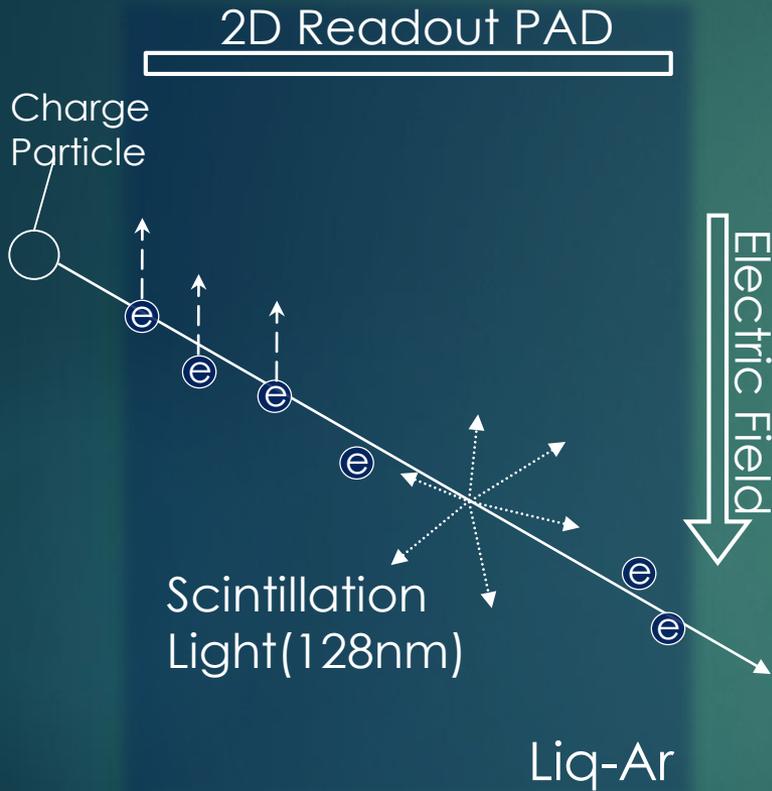
局所的なエネルギー損失の測定

dE/dx と飛跡レンジによる
粒子識別

エネルギー再構成能力

Liquid-Argon-TPC

原理



2次元陽極読み出し+ドリフト時間情報を使用し、3次元飛跡再構成が可能

時間経過によってシグナルとなる電離電子の減少
→シグナルの減少を最小限にしたい

液相における増幅はなくシグナルが微小である
～ 1 fC/mm (MIP)
→できるだけノイズを減らしたい

Research & Development

Purity

High Voltage

Readout Electronics

Liquid-Argon-TPC



読み出し回路への要求

低ノイズ
高ゲイン

数fCの信号をSN比が10以上で読み出す

検出器容量はノイズに大きく関わってくる
信号をチェンバー外に出すためのCable capacitanceが問題となる

多チャンネル

100kton	
Size	Number of all channel
120m × 120m	14,400,000

大量のFeed through cableの使用による純度や極低温環境への影響

チェンバー内つまり極低温環境下(-187°C)
で動作可能な読み出し回路を目指す



2

読み出し回路の開発工程

Readout Electronics

プロトタイプ仕様



10Lテストチェンバーで極低温下にて動作可能な読み出し回路開発を行う

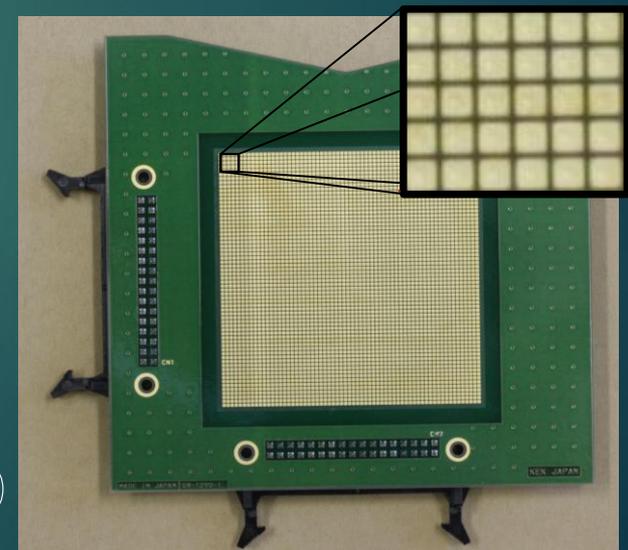


10Lテストチェンバー

読み出し回路構成

ASIC + FADC + FPGA(ARTIX-7)

- ・ 32channelの2次元読み出しPAD(10cm x 10cm)
- ・ 入力信号をASICで増幅・成形しFADCでデジタル変換後、SiTCPでPCにデータ転送



10L用2次元読み出しPAD

- * 入力電荷は4fC~70fC程度を想定
- * SN比が10以上
- * FADCは2.5MHz sampling, 12bit resolution
- * 外部トリガーでデータを収集(PMTからのNIM信号)
- * 1イベントずつ読み出す

Readout Electronics Process



Phase 1

Analog Board と Digital Board をチェンバー外

Phase 2

Analog Board のみチェンバー内に入れる

Phase 3

Analog Digital Board をチェンバー内に入れる

それぞれシステムを確立し、SN比を
クリアするのを第一目標とする

現在までにASICの常温試験、Analog Boardの設計
・発注、Digital Board設計(80%位)が終了

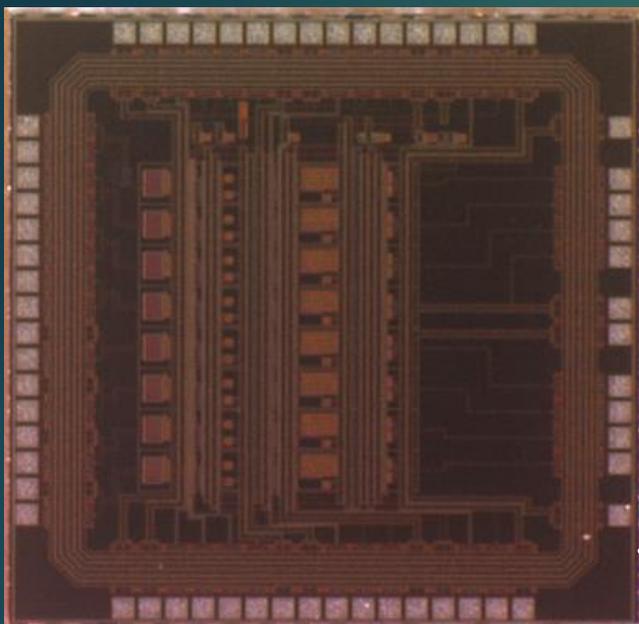
3

ASICの説明と常温試験について

LTARS ASIC

仕様

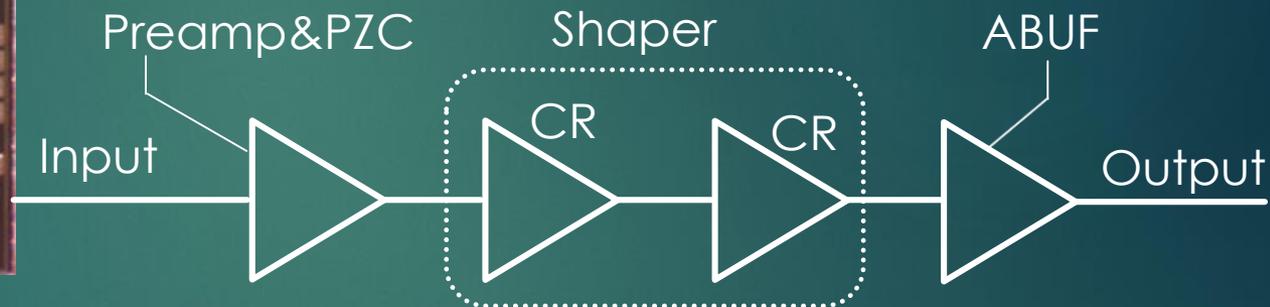
10



LTARS ASIC

~ Low Temperature Analog Readout ~

低ノイズ高ゲインのAnalog ASIC
2.8mm×2.8mmのチップ中に8ch

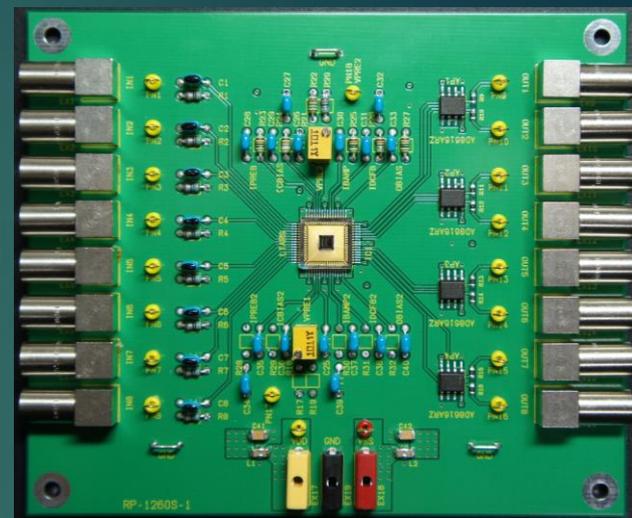


- ・ 検出器容量は100pFまでを想定、最小信号(4fC)に対して SN比が10以上のノイズレベル
- ・ プリアンプゲイン 20mV/fC
- ・ 電源電圧 ± 2.5V

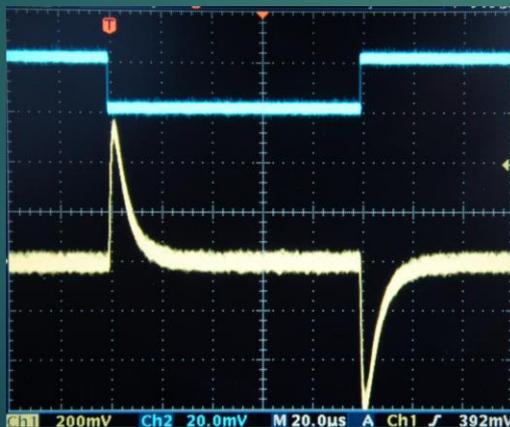
LTARS ASIC 常温評価

テスト項目

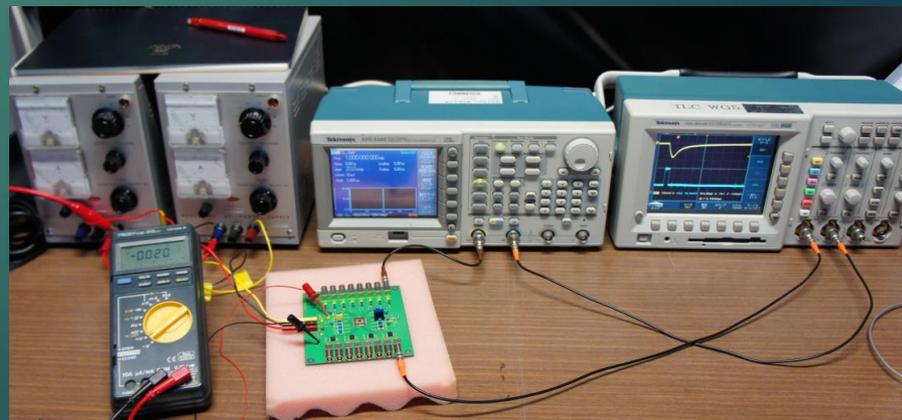
1. 直流試験
2. 動作確認
3. ダイナミックレンジ特性
4. ゲインの検出器容量特性
5. ノイズの検出器容量特性
6. ゲインのシェーパ-時定数特性
7. チャンネルごとのばらつき



LTARS ASIC 評価ボード



テストパルスと出力信号



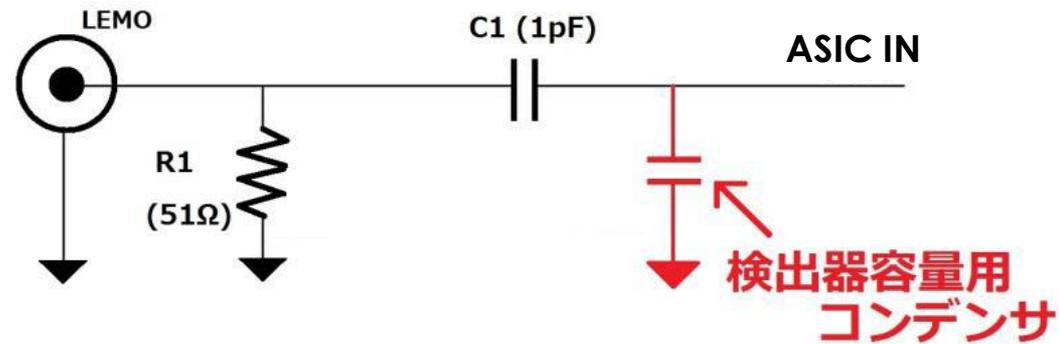
評価している様子

ノイズの検出器容量特性評価



テスト基板回路に検出器用コンデンサを付け加えて、ノイズの検出器容量特性を評価した。

CH1



テストパルス入力周辺回路

- ① 入力を回路のGNDレベルに設定する。
- ② オシロスコープのヒストグラム解析機能を用いて標準偏差 σ (V)を取得。
- ③ 入力等価雑音電子数を算出。
- ④ 検出器容量を変化させて数回行う。

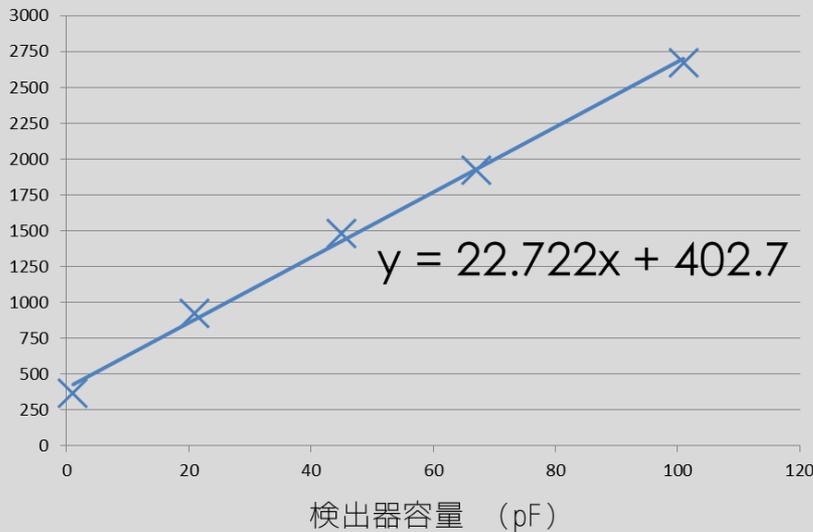
検出器容量用コンデンサを付けた様子

GND

電源によるノイズの問題 I

13

ノイズの検出器容量特性

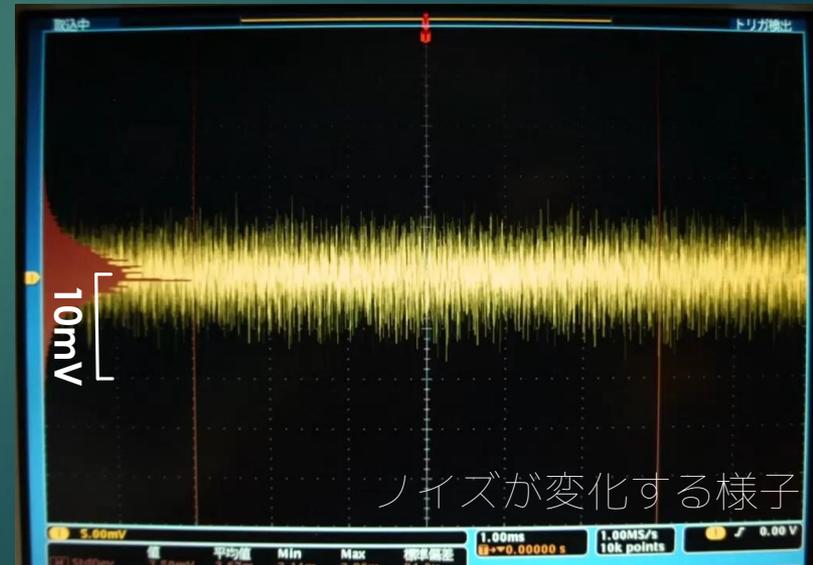


シミュレーションにおいてLTARS ASICのイントリンジックノイズは 10 electron/pF 程度

検出器容量が 100pF 程度で入力等価雑音電子数が 2675 electron
4fC = 25000 electron の入力電荷を考慮すると、SN比10以上を達成出来ていない

このノイズ結果では値が大きい

ノイズの大きさが
時間によって変化する
現象が確認された



電源によるノイズの問題Ⅱ

原因

外来ノイズによる影響を強く受けている

ノイズ源

* 近くの電化製品

NIM, CAMAC modules

PC

換気扇

蛍光灯……etc

- ・ 電化製品の電源を切る
- ・ 場所を移動する
- ・ アルミ箔を数枚重ねた上で絶縁体のシートで覆った自作のシールドで回路全体を覆う

* テストボード用電源

Metronix 532C

100V AC 駆動のかなり古い電源



電源を自作する...

→ あまり改善せず……

→ 大幅な改善！！

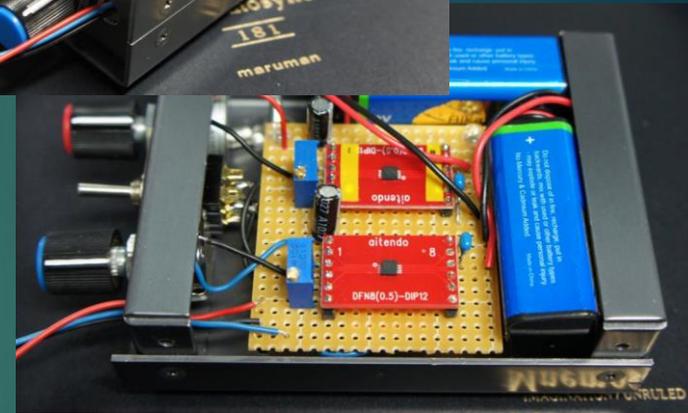
電源によるノイズの問題Ⅲ

15

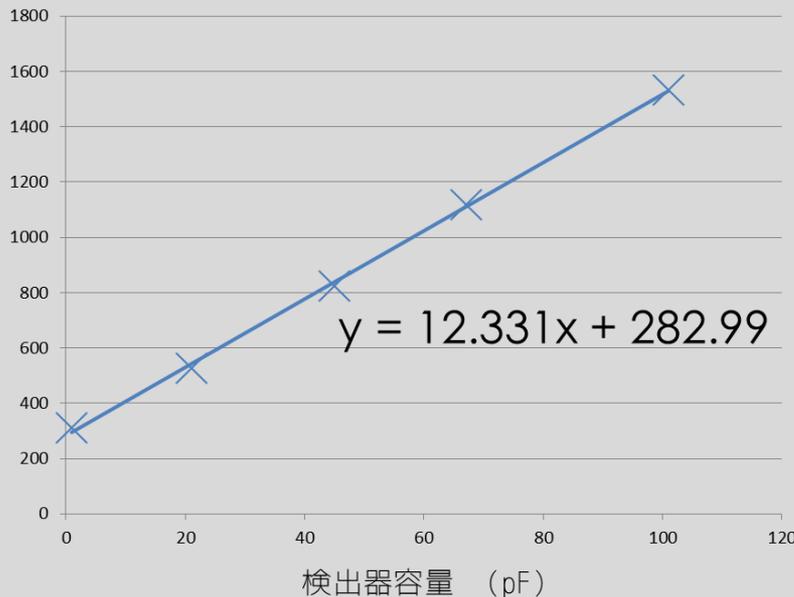
電源の自作

ノイズの低減、また実験の効率なども考慮し、小型の専用電源を作製した

- ・ 006P電池をリニアレギュレータ(LT3014)により降圧
- ・ サイズ 7.5 x 10 x 3 (cm)



ノイズの検出器容量特性

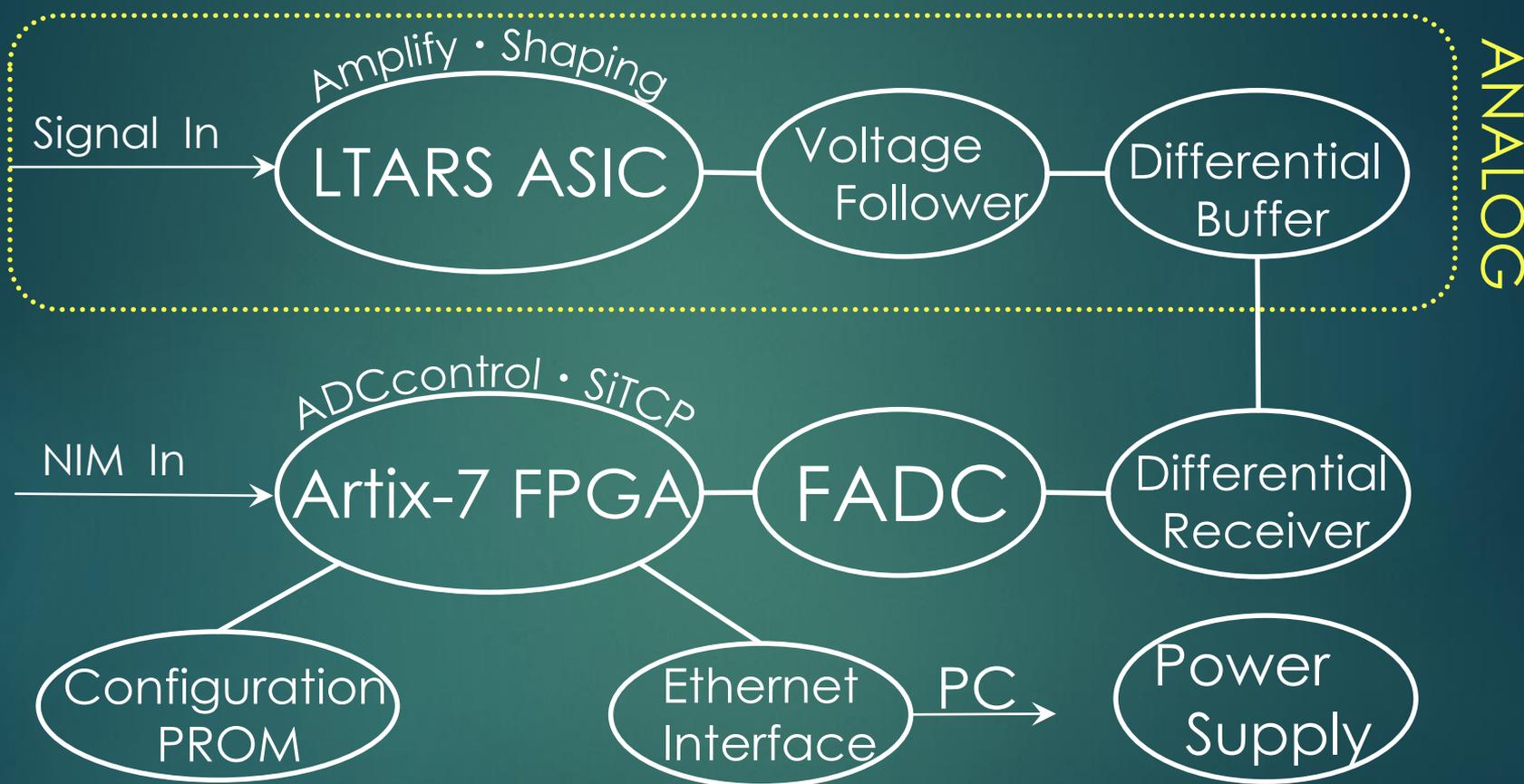


検出器容量が 100pF 程度で入力等価雑音電子数が 1516 electron
 $4fC = 25000$ electron の入力電荷を考慮すると、
SN比10以上を達成出来ている

4

読み出しボードの設計の概要

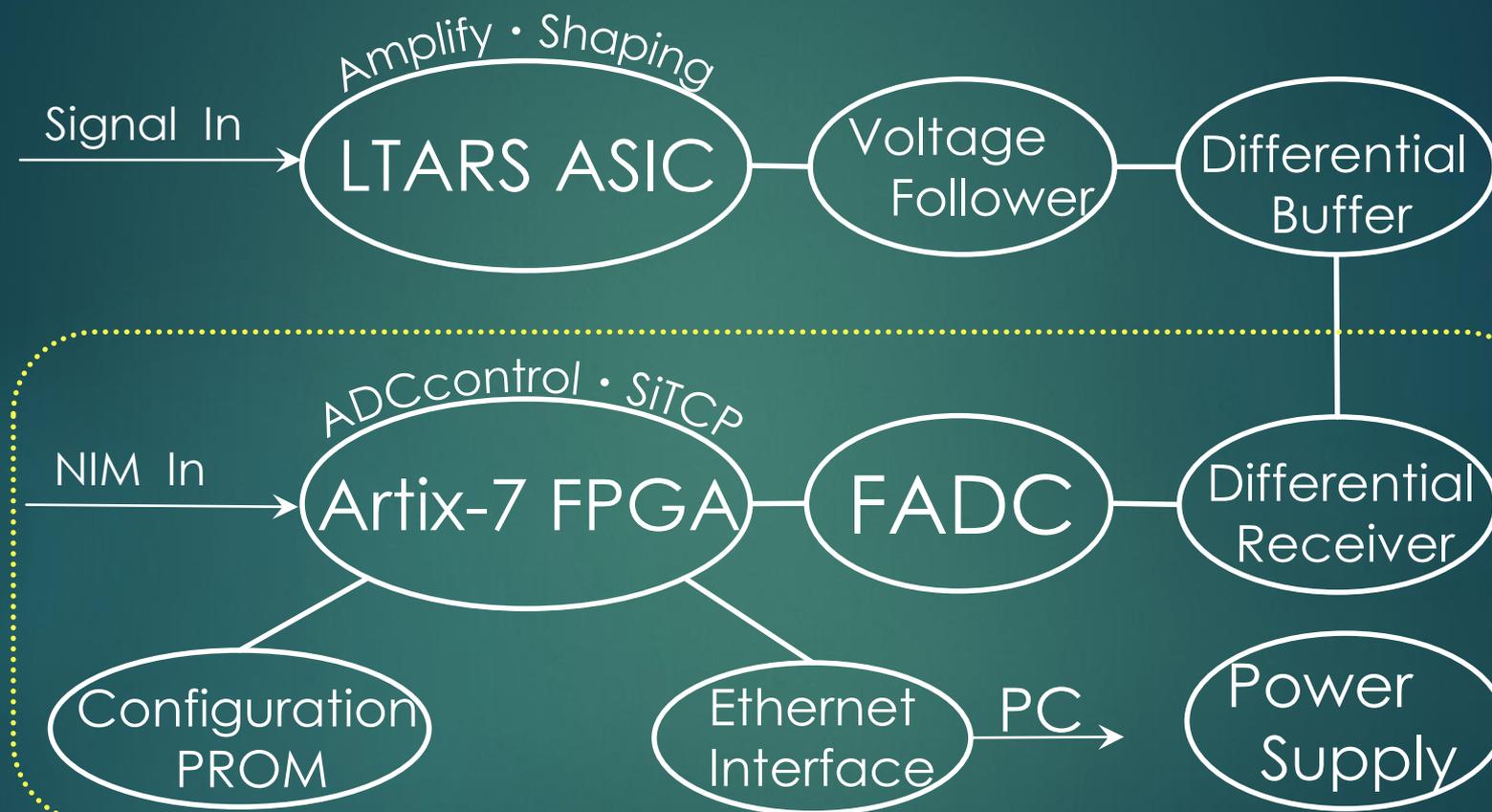
読み出しボードの設計の概要



- ・ 32chの信号を4つのASICを使用して増幅・整形処理、差動で出力する
- ・ ASICの出力とVoltage Followerの入力をAC結合
(ASICのoffset電圧をリセットする)
- ・ Voltage FollowerはBufferの負荷がASICの定格を超えていたため使用した

読み出しボードの設計の概要

18



- Analog Boardからの差動出力を受けてADCに入力(4fc~70fcレンジを実現するためにGainを少々下げている)
- PMTからのNIM信号をFPGAに入力しFADCのトリガーとしている
- PCへのデータ転送はSiTCPを利用する

まとめと今後の予定

19

1. 液体アルゴンTPCにおける読み出し回路への要求
2. 読み出し回路の開発工程
3. LTARS ASICの説明と常温試験について
4. 読み出しボードの概要について

今後の予定

- ・ 8月中にアナログボードを完成させる
- ・ 9月から完成したボードの試験を開始する
- ・ 同時進行でFPGAのデジタル回路設計を行う

ご清聴
ありがとうございました。