

修士論文

LEPS2 TPC用のフロントエンド回路の開発



京都大学大学院理学研究科 物理学第二教室
原子核・ハドロン物理学研究室

水谷 圭吾

概要

LEP2 は大型放射光施設 SPring-8 に現在建設中のビームラインで、最高エネルギー 3 GeV、エネルギー分解能 10 MeV、計数率 1 Mcps の高エネルギー高強度 γ 線ビームを用いて実験を行うことができる。LEPS2 ビームラインでは、ペンタクォーク探索実験や η' 中間子を用いた質量生成機構の解明実験などのさまざまなハドロン光生成反応実験を行う予定である。

LEPS2 のスペクトロメーターはほぼ全立体角を覆い、反応における全荷電粒子を検出することができる。前方 $0^\circ - 30^\circ$ に放出された荷電粒子はドリフトチェンバーで検出し、大散乱角領域 $30^\circ - 120^\circ$ に放出された荷電粒子は Time Projection Chamber (TPC) で検出する。

LEPS2 TPC の読み出しチャンネル数は 10,000 チャンネル程度と多いため、全体で 800 W 以下の低消費電力の読み出し回路が要求される。また TPC は 5 - 10 kHz という高計数率で粒子検出を行い、荷電粒子の通過で生じる電子のドリフト時間が最大 $20\mu\text{s}$ 程度あるので、その読み出し回路は不感時間なしで高速であることが必要である。

本研究ではこれらの要求を満たす LEPS2 TPC 用のフロントエンド回路の開発を行った。高速かつ低消費電力の読み出しを行うために高速 FADC ボードを開発した。またさらに低消費電力な読み出しを実現するために、アナログ部分を 10 mW/ch 以下の省電力 ASIC で作製した。FADC ボードは 16 ch/board で、オペアンプを用いたアナログ部分、14-bit, 40 MSPS の高精度高速 FADC チップ、データ処理およびバックエンド PC との通信のための FPGA 部分からなる。消費電力を抑えるために、アナログ部分は使用する能動素子の数が少なくなるように設計した。波形整形用 ASIC は $0.25\mu\text{m}$ プロセスで製作され、8 ch/chip である。ASIC 内部はチャージアンプ、ポールゼロキャンセル、シェイパー、アナログバッファで構成される。

作製した FADC ボードに対して、増幅率の大きさとその線形性、時間応答特性、ノイズレベル、オフセットレベルとそれらのチャンネル間ばらつき、ボード全体の消費電力を調べ、要求仕様を満たすかどうかを確認した。また TPC 読み出し用に開発した ASIC に関しては動作試験用のテストボードを製作し、ゲインや信号幅などとそれらの温度依存性、隣り合うチャンネル間のクロストークなどを調べた。温度依存性の測定では、 20°C から 60°C の範囲で本 ASIC が正しく動作することを確認した。

本論文では、LEPS2 TPC 用に開発した FADC ボードおよび波形整形用 ASIC の設計とそれらの動作試験の詳細な結果について述べる。

目次

第 1 章	序論	1
1.1	LEPS2 スペクトロメーター	1
1.2	LEPS2 における η' 中間子光生成実験	2
1.3	LEPS2 TPC および TPC 読み出しについて	2
1.3.1	TPC の動作原理	2
1.3.2	LEPS2 TPC の構造	3
第 2 章	TPC フロントエンド FADC ボードの開発	5
2.1	FADC ボード全体の構成および仕様	5
2.2	アナログ部	6
2.2.1	チャージアンプ	6
2.2.2	PZC	8
2.2.3	シェイパー	9
2.2.4	差動出力バッファ	9
2.3	A/D 変換部	10
2.4	FPGA 部分	11
2.4.1	DES : Deserialize Converter	11
2.4.2	L1D : Level 1 Delay	11
2.4.3	LTG : Local Trigger Controller	12
2.4.4	TGC : Trigger Controller	12
2.4.5	EBM : Event Buffer Manager	12
2.4.6	ROC : Readout Controller	12
2.4.7	ASC : ADC Serial Controller	12
2.4.8	BCT : Bus Controller	12
2.5	電源部	13
2.6	性能評価	14
2.6.1	ゲインとリニアリティ	15
2.6.2	オフセットとノイズレベル	15
2.6.3	性能評価のまとめ	17
第 3 章	TPC フロントエンド ASIC の開発	19
3.1	ASIC で使用する主なデバイス	19
3.1.1	MOSFET	19
3.1.2	抵抗とキャパシタ	21
3.2	TPC フロントエンド ASIC の仕様	23
3.3	ASIC の内部構成	24

3.3.1	Preamplifier & PZC ブロック	24
3.3.2	Shaper ブロック	28
3.3.3	ABUF ブロック	30
3.4	トランジスタの製造ばらつき	30
3.5	レイアウト	31
3.6	ASIC の性能評価	32
3.6.1	ASIC 評価用テストボード	32
3.6.2	ASIC のパラメータ設定と出力波形	33
3.6.3	ゲインとリニアリティ	34
3.6.4	オフセットとノイズレベル	35
3.6.5	クロストーク	36
3.6.6	温度依存性	37
3.6.7	消費電力	41
3.6.8	テスト結果のまとめ	41
第 4 章	結論と今後の方針	42
4.1	結論	42
4.1.1	FADC ボード	42
4.1.2	ASIC	42
4.2	今後の方針	42
	謝辞	44
	付録 MOSFET の構造と動作	45
	参考文献	47

目次

1.1	LEPS2 スペクトロメーター	1
1.2	TPC の動作原理	3
1.3	LEPS2 TPC の大きさ	4
1.4	LEPS2 TPC のパッド平面	4
2.1	FADC ボードの概略図	5
2.2	FADC ボードの写真	5
2.3	アナログ部回路図	7
2.4	1 pC 入力時のシミュレーションによるチャージアンプの波形	7
2.5	PZC 回路	8
2.6	1 pC 入力時のシミュレーションによる PZC の出力波形	8
2.7	1 pC 入力時のシミュレーションによるシェイパー部分の出力波形	9
2.8	シミュレーションによる差動出力バッファの出力波形	10
2.9	FPGA 内部図	11
2.10	電源トポロジー	13
2.11	アナログ部の出力波形	14
2.12	FADC でサンプリングした波形	15
2.13	FADC ボードの入力電荷と出力電圧の関係	16
2.14	FADC ボードのオフセット分布	16
2.15	差動出力バッファの誤配線の修正	18
3.1	NMOS の断面図	19
3.2	MOSFET の上面図	20
3.3	NMOS のレイアウト図	21
3.4	ポリシリコン抵抗の上面図	22
3.5	ポリシリコン抵抗および MIM キャパシタのレイアウト図	22
3.6	今回開発した TPC フロントエンド ASIC	23
3.7	ASIC の内部構成 (1 ch 分)	24
3.8	Preamp & PZC 部分の回路図	25
3.9	Preamp & PZC 部分の単純化した回路図	26
3.10	シミュレーションで得られた Preamp 出力波形	27
3.11	シミュレーションで得られた PZC 出力波形	28
3.12	シミュレーションで得られた前段 LPF の出力波形	29
3.13	シミュレーションで得られた後段 LPF の出力波形	29
3.14	シミュレーションによる ABUF 出力	30
3.15	FF コーナーパラメータにおける ABUF 出力	31

3.16	ASIC のレイアウト図	32
3.17	ASIC テストボード	33
3.18	ASIC 出力波形	34
3.19	ゲインとリニアリティ	35
3.20	KEK の恒温槽を用いた ASIC の温度依存性測定	38
3.21	ASIC 出力波高の温度依存性	39
3.22	オフセットレベル (絶対値) の温度依存性	40
1	n チャンネル MOSFET の断面構造	45
2	線形領域におけるチャネルのようす	46
3	飽和領域におけるチャネルのようす	46

表 目 次

2.1	アナログ部の仕様	6
2.2	AD9257 の主な仕様	10
2.3	各チャンネルのオフセットとノイズレベル (ENC)	17
2.4	FADC ボードの性能試験結果	17
3.1	TPC フロントエンド ASIC の仕様	23
3.2	各コーナーパラメータでのゲインと信号幅 (FWHM)	31
3.3	各チャンネルのゲインとリニアリティ	35
3.4	各チャンネルのオフセットレベル	36
3.5	各チャンネルのノイズレベル	36
3.6	各チャンネルのクロストーク	37
3.7	各温度でのゲインとリニアリティ	39
3.8	各温度、各チャンネルにおけるオフセットレベル	40
3.9	ASIC 性能試験結果	41

第1章 序論

1.1 LEPS2 スペクトロメーター

LEPS2 は兵庫県佐用郡にある大型放射光施設 SPring-8 に現在建設中のビームラインである。LEPS2 では最高エネルギー 3 GeV、分解能 10 MeV、計数率 1 Mcps の高エネルギー高強度 γ 線ビームを用いてハドロン光生成実験を行う。この γ 線ビームは、SPring-8 の蓄積リングをまわる電子にレーザー光を照射して逆コンプトン散乱反応をおこさせることで得ることができる。

LEPS2 スペクトロメーターの概略図を図 1.1 に示す。

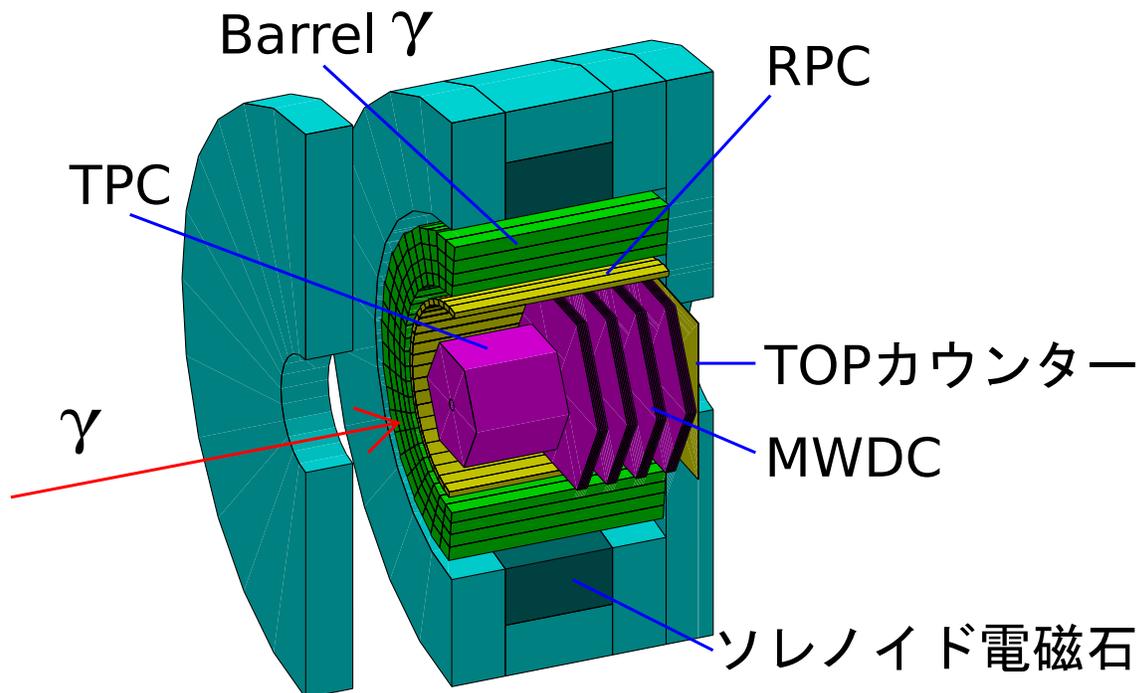


図 1.1: LEPS2 スペクトロメーター: TPC の内側にターゲットを置く。

内径 2.22 m、長さ 2.69 m のソレノイド電磁石の中にターゲットとターゲットを取り囲む検出器群がある。

終状態に生成された荷電粒子は、前方のドリフトチェンバーおよび後方の TPC で検出する。 π^0 や η' 中間子などの崩壊により生じる γ 線は Barrel γ 検出器で検出する。荷電粒子の粒子識別には高時間分解能 TOF 検出器の RPC (Resistive Plate Chamber) と TOP (Time of Propagation) カウンターを用いる。

1.2 LEPS2における η' 中間子光生成実験

LEPS2では高エネルギー高強度 γ 線を利用して、ペンタクォーク Θ^+ の探索実験、 $\Lambda(1405)$ の構造解析実験、 ϕ 中間子光生成実験、 η' 中間子の原子核中での崩壊実験など様々なハドロン光生成反応実験を行う予定である。ここでは、質量生成機構解明のための η' 中間子の核内崩壊実験について紹介する。

Higgs機構で裸の質量を得たクォークがハドロンとして有効質量を獲得する機構としてカイラル対称性の自発的破れによる質量生成機構がある。この機構によれば、カイラル対称性がやぶれることでクォーク・反クォーク対が真空中に凝縮し、このクォーク凝縮との相互作用によりハドロンの質量が大きくなっている。カイラル対称性の破れによるクォーク凝縮の強さは温度と密度に依存し、高密度状態では小さくなると言われている。クォーク凝縮の強さが小さくなれば、粒子の質量は軽くなる。特に η' 中間子は $U_A(1)$ アノマリーの効果によりクォーク凝縮に敏感で、原子核内での質量変化が他の中間子よりも大きくなると予想されている [1]。

LEPS2では高エネルギー γ 線を用いて $\gamma p \rightarrow \eta' p$ 反応により原子核内にほぼ静止した η' 中間子を生成し、 2γ 崩壊をBarrel γ 検出器で測定することで原子核内での η' 中間子の質量を測る実験を行う。

η' 中間子の光生成は生成断面積が小さく、 2γ 崩壊への分岐比も2%程度と小さいので現在稼働中のLEPSでこの実験を行うには長いビームタイムが必要だが、LEPS2ではビーム強度がLEPSの10倍となるため、1年程度のビームタイムで十分な統計が得られる。

γp 反応や γn 反応では、バックグラウンドとして多くの荷電粒子が生成される。後方に散乱されたこれらの荷電粒子を検出し、バックグラウンドとして除去するためにTPCを用いる。次にLEPS2 TPCとその読み出しに対する要求について述べる。

1.3 LEPS2 TPCおよびTPC読み出しについて

1.3.1 TPCの動作原理

TPC(Time Projection Chamber)は3次元飛跡検出器で、荷電粒子のトラッキングに使用する。TPCの動作原理を図1.2に示す。

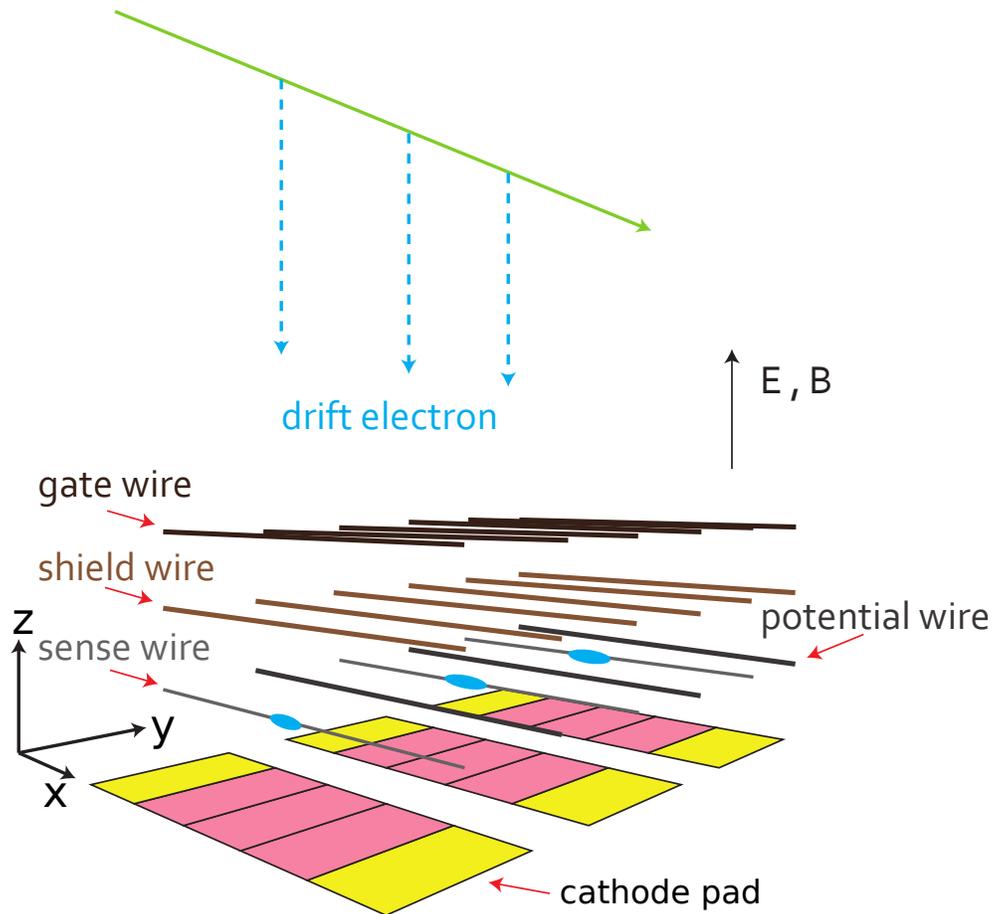


図 1.2: TPC の動作原理

TPC 内は希ガスで満たされており、荷電粒子が通過すると希ガスがイオン化される。TPC 内には電場がかかれており、イオン化により生じた電子は一様なドリフト電場に沿ってドリフトする。ドリフト電子は正の高電圧がかけられたセンスワイヤー付近で電子なだれを起こす。このとき電子なだれが起きた位置に近いいくつかのカソードパッドに電荷が誘起され、これを読み出し回路で信号として読みだす。

図 1.2 のように xyz 座標をとると、 xy 座標は電子なだれの起こったセンスワイヤーの位置およびカソードパッドの誘起された電荷分布の重心から決定できる。また z 座標はドリフト電子が生じてからセンスワイヤー付近で電子なだれが起こるまでのドリフト時間を測定し、ドリフト速度を掛けることで決定することができる。

1.3.2 LEPS2 TPC の構造

LEPS2 TPC の構造は図 1.3 の通りである。

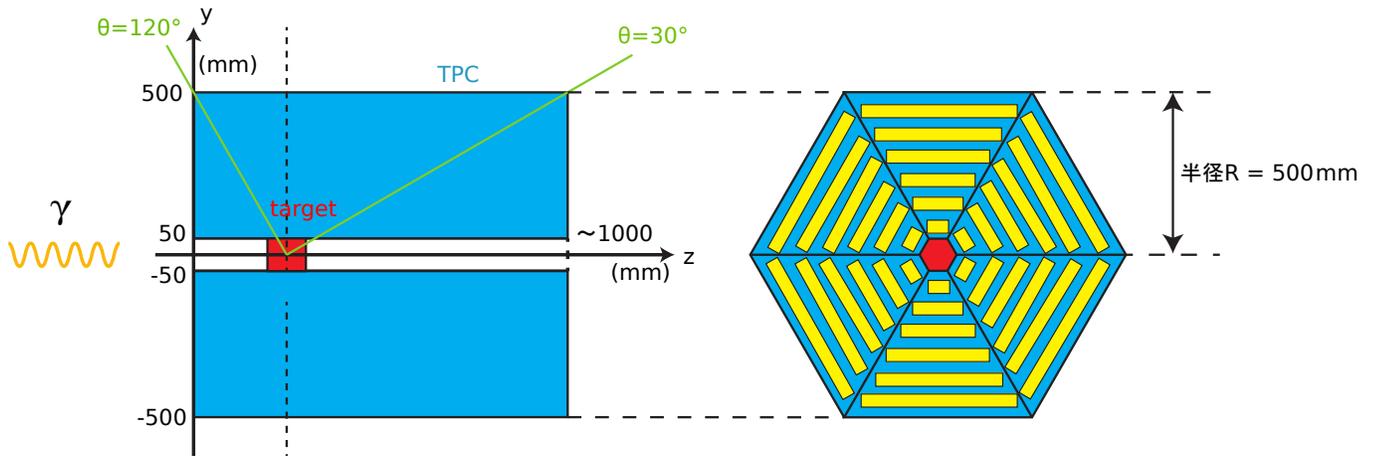


図 1.3: LEPS2 TPC の大きさ [2]

LEPS2 TPC は半径 50 cm、長さはおよそ 1 m で、は前方 30° から後方 120° までの粒子を検出できる。ガスは Ne-CH_4 (混合比 9:1) を使い電子のドリフト時間は最大およそ $20 \mu\text{s}$ なので、TPC 読み出しには不感時間のない高速の読み出し回路が要求される。

TPC のパッド配置を図 1.4 に示す。端面全面にパッド列を敷き詰めるとチャンネル数が 20,000 ch を超えて現実的ではないので、図 1.4 のように間引いて 10,000 ch 程度のパッド数で読み出しを行う。TPC フロントエンド読み出し回路は、このパッド面上に配置する。

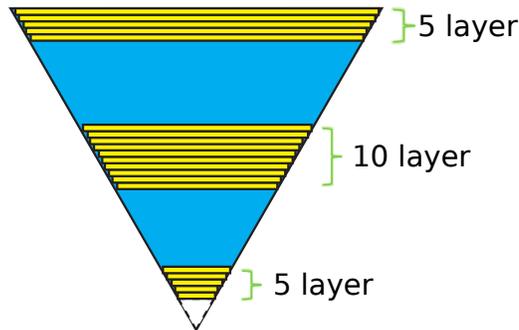


図 1.4: LEPS2 TPC のパッド平面

10,000 ch の読み出しを実現するためには、熱による読み出し回路の誤動作を防ぐために、低消費電力の読み出し回路を作る必要がある。またソレノイド電磁石のエンドキャップを閉じるために、読み出し基板の大きさはできるだけ小さいほうが好ましい。

読み出し回路の低消費電力化および小型化を実現するために、我々はアナログ波形整形部分を ASIC を用いて作製することにした。また不感時間のない読み出しを行うために、A/D 変換には Flash ADC (FADC) を用いることにした。

本論文では、TPC 読み出しのための Flash ADC ボードおよび、アナログ波形整形のための低消費電力 ASIC の開発および動作試験について述べる。

第2章 TPCフロントエンドFADCボードの開発

2.1 FADC ボード全体の構成および仕様

作製したFADCボードは、波形整形のためのアナログ部、A/D変換のためのFADCチップ、A/D変換後のデジタルデータの波形処理用FPGAおよび電源部から構成される。ボードの概略図および写真を図2.1、図2.2に示す。

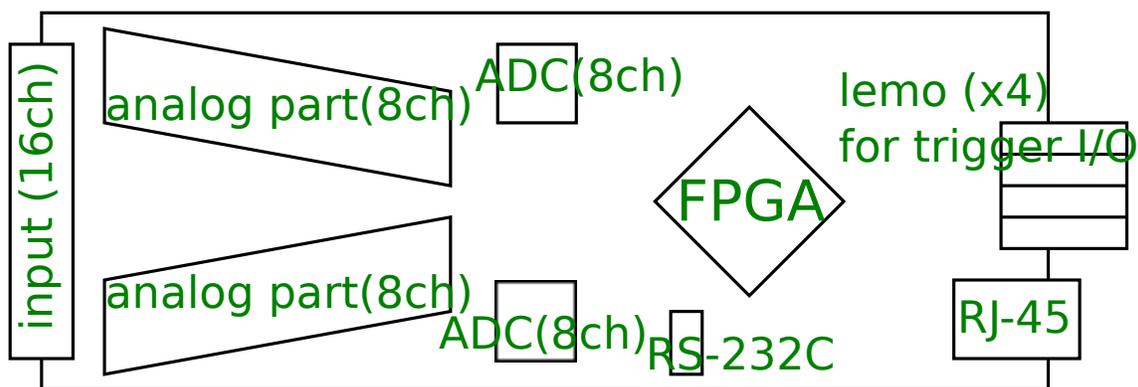


図 2.1: FADC ボードの概略図

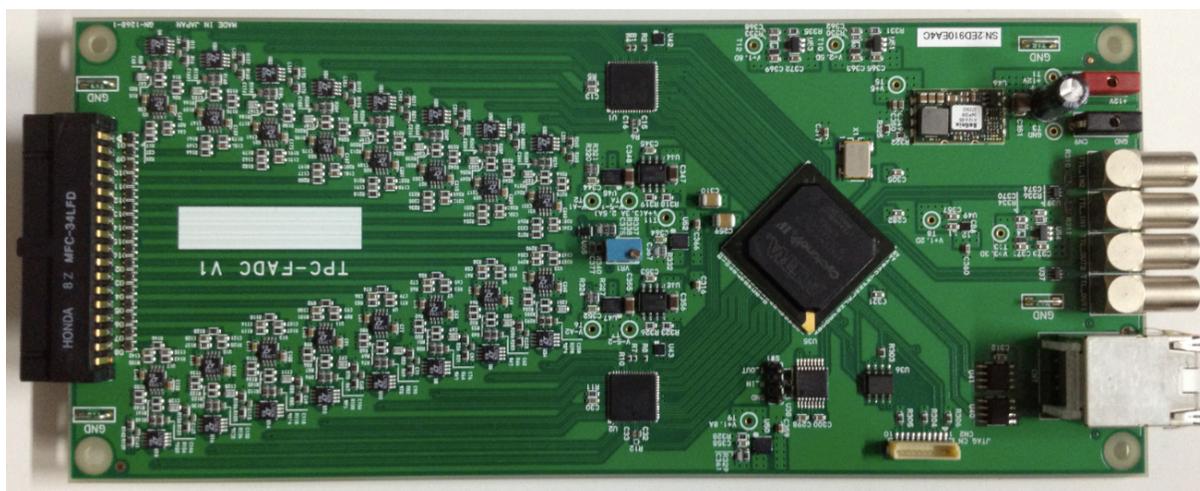


図 2.2: FADC ボードの写真: 左端が入力コネクタ

FADC ボード上の FPGA と外部 PC との通信用に、RJ-45 コネクタを用いた SpaceWire 通信と、RS-232C ピンを用いた RS-232C 通信ができるようになっている。また外部トリガー入力や、内部トリガー出力、Busy 信号出力のために TTL I/O 用 lemo コネクタが 4 つ実装されている。

チャンネル数はボード 1 枚あたり 16 チャンネルで、12 V 正電源で動作する。

以下、アナログ部、A/D 変換部、FPGA 部、電源部についてそれぞれ詳細を述べる。

2.2 アナログ部

TPC からの信号は A/D 変換してバックエンド PC に送るが、元の信号の電荷情報が正しく再現できるように A/D 変換前に波形整形を行う。

そのためのアナログ部の要求仕様を次に示す。

表 2.1: アナログ部の仕様

入力電荷範囲	0 - 2 pC
出力仕様	差動出力
電源電圧	± 2.5 V
ゲイン	1 V/pC
リニアリティ	~ 1 % (INL)
信号幅	200 - 400 ns (FWHM)
消費電力	< 40 mW/ch

アナログ部の構成は下図の通りで、TPC からの入力電荷をチャージアンプで電圧信号に変換後、ポールゼロキャンセル回路 (PZC) で波形のアンダーシュートが起こらないように時定数を短くし、3 段のパッシブローパスフィルタ (オペアンプなどの能動素子を使わず、受動素子だけで構成されたローパスフィルタ) を通して高周波成分を落とす。最終段には差動出力バッファを置き、ここでオフセット調整もできるようにしてある。

使用しているオペアンプ、差動出力オペアンプはそれぞれ Linear Technology 社の LTC6253 と LTC6362 である。帯域幅が十分大きく、入力部分に流れる入力バイアス電流と、その電流差の入力オフセット電流 (これらが出力オフセットを生じさせる) が小さく、かつ消費電力とノイズができるだけ小さい IC を選んだ。消費電力を抑えるため、シェイパー部分はオペアンプを使わない passive filter で構成している。最終段の差動バッファの V_{ocm} は出力のコモンモード電圧 (出力を V_{o+} , V_{o-} とすると、 $V_{ocm} = (V_{o+} + V_{o-})/2$) を表し、FADC の入力電圧範囲が 0 - 2 V であることからおよそ 1 V にしてある。

次に、アナログ部分のシミュレーション結果を示す。シミュレーションは Linear Technology 社の LTspice というソフトウェアを用いて行った [3]。

2.2.1 チャージアンプ

初段のチャージアンプでは、TPC からの入力電荷を電圧信号に変換している。TPC を荷電粒子が通過することにより生じる電子は、センスワイヤーまでドリフトする間に拡散する。チャージアンプの時定数は、この拡散による電荷の入力時間幅より十分長く、かつ時定数内に 2 つ以上の信号

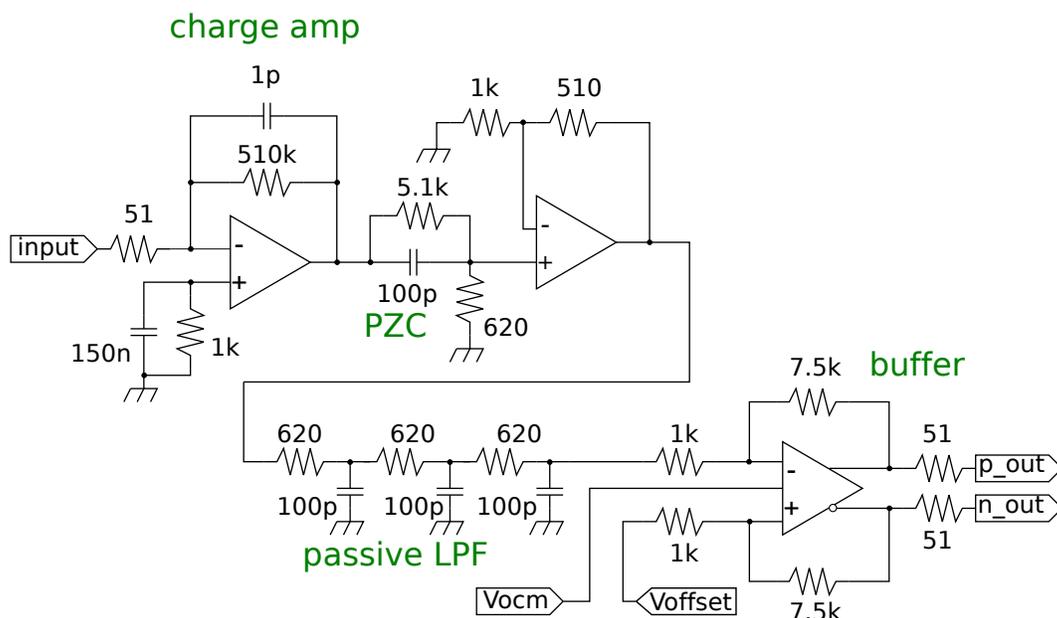


図 2.3: アナログ部回路図

が重なってしまう (pile up) 確率が少なくなるようおよそ $0.5 \mu\text{sec}$ に調整してある。またチャージアンプ部の帰還容量がもっとも支配的にゲインを決定するので、チャンネル間のゲインばらつきを抑えるために精度の高いキャパシタ ($(1 \pm 0.1) \text{ pC}$) を使用している。

1 pC テスト電荷入力時の、シミュレーションによるチャージアンプの出力波形を図 2.4 に示す。チャージアンプ後の信号は帰還容量値と帰還抵抗値の積を時定数にもつ指数関数型減衰信号になる。

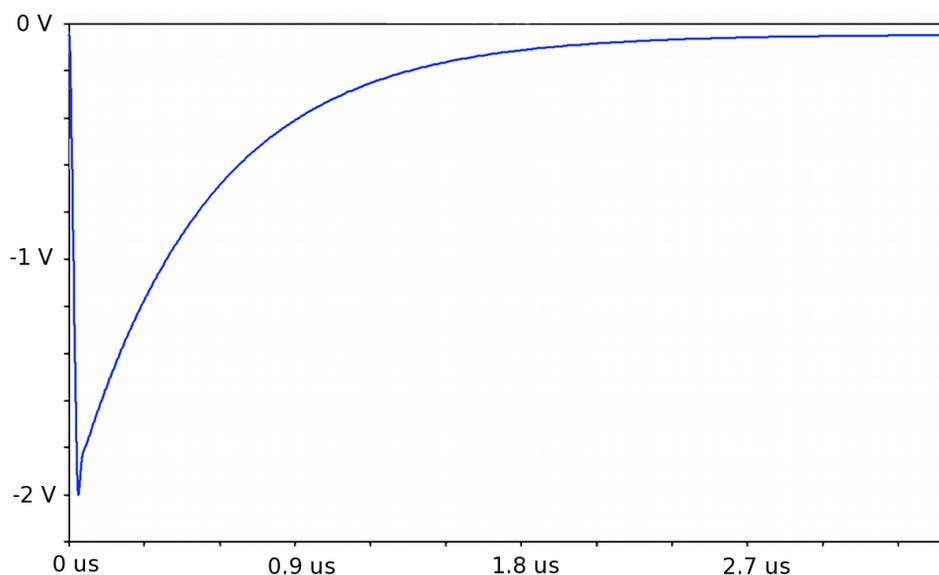


図 2.4: 1 pC 入力時のシミュレーションによるチャージアンプの波形

2.2.2 PZC

チャージアンプ後の信号の時定数を $0.5\mu\text{s}$ から 60 ns 程度まで小さくするために、図 2.5 に示す PZC(pole zero cancellation) 回路を通す。Laplace 空間でのこの PZC 回路のフィルター関数 $F(s)$ は

$$F(s) = \frac{s + \frac{1}{CR_1}}{s + \frac{1}{C(R_1//R_2)}}$$

となるので、 CR_1 の値を入力指数関数型減衰信号の時定数と合わせることで、Laplace 空間での入力信号の 1 次 pole と $F(s)$ の 1 次 zero 点が打ち消し合い、より時定数の短い指数関数型減衰信号に変換することができる。1 pC 入力時のシミュレーションによる PZC の出力信号を図 2.6 に示す。

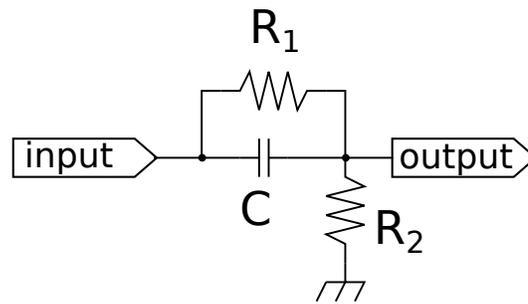


図 2.5: PZC 回路

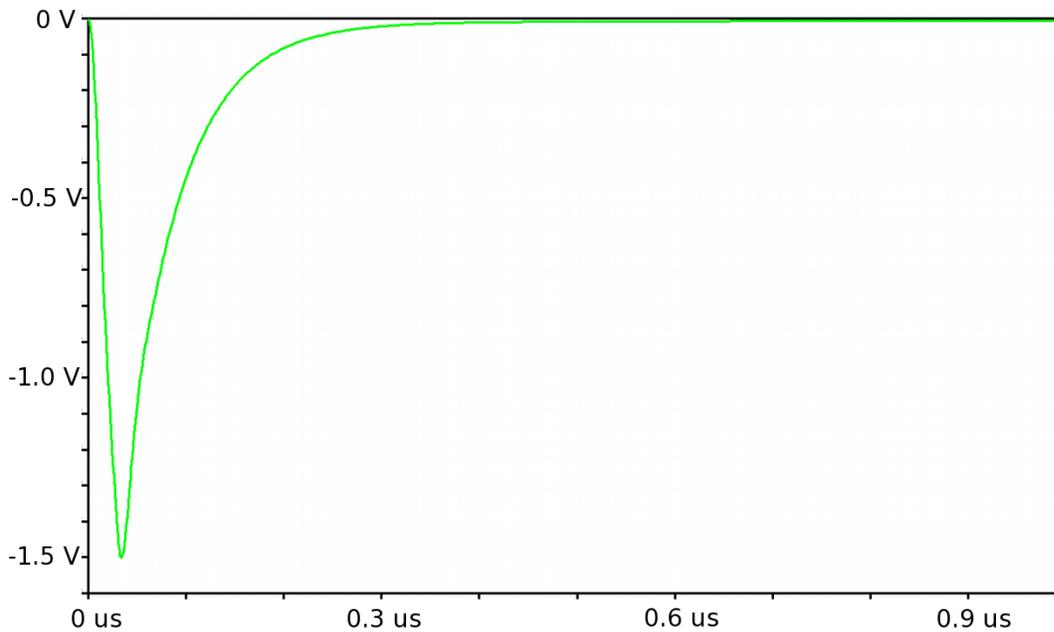


図 2.6: 1 pC 入力時のシミュレーションによる PZC の出力波形

2.2.3 シェイパー

PZC 後の信号は高周波成分を多く含むので、FADC でサンプリングしたときに正しく元の波形を再現できない。そのため、ローパスフィルタ (LPF) を通して高周波成分を取り除く必要がある。

ドリフト電子の拡散効果により、入力信号は典型的には 250 - 300 ns 程度の時間幅に広がる。ADC 入力信号もこの程度の幅を持つように整形する。この信号幅の波形を正しくサンプリングできるように、本 FADC ボードでは 40 MSPS (Mega samples per second) のサンプリングレートの FADC チップを用いる。Nyquist の標本化定理より、サンプリング周波数の 1/2 までの周波数成分からなる波形は正しく復元できることが知られているので、本 FADC ボードでは 20 MHz (50 ns の周期に対応) 以上の周波数成分を出来る限り取り除きたい。このため、LPF の時定数は 50 ns 以上に調整すべきである。LPF の時定数が大きすぎても信号のテイルが長くなってしまうので、本回路では時定数 60 ns の LPF を 3 段用いて、出力波形がガウス型に近づくようにしてある。

図 2.7 に、シェイパーを通す前、初段の LPF 後、次段の LPF 後、最終段の LPF 後の出力波形のシミュレーション結果を示す。信号幅は半値全幅でおよそ 260 ns 程度と、40 MSPS FADC で正しくサンプリングできる幅になっていることが確認できた。

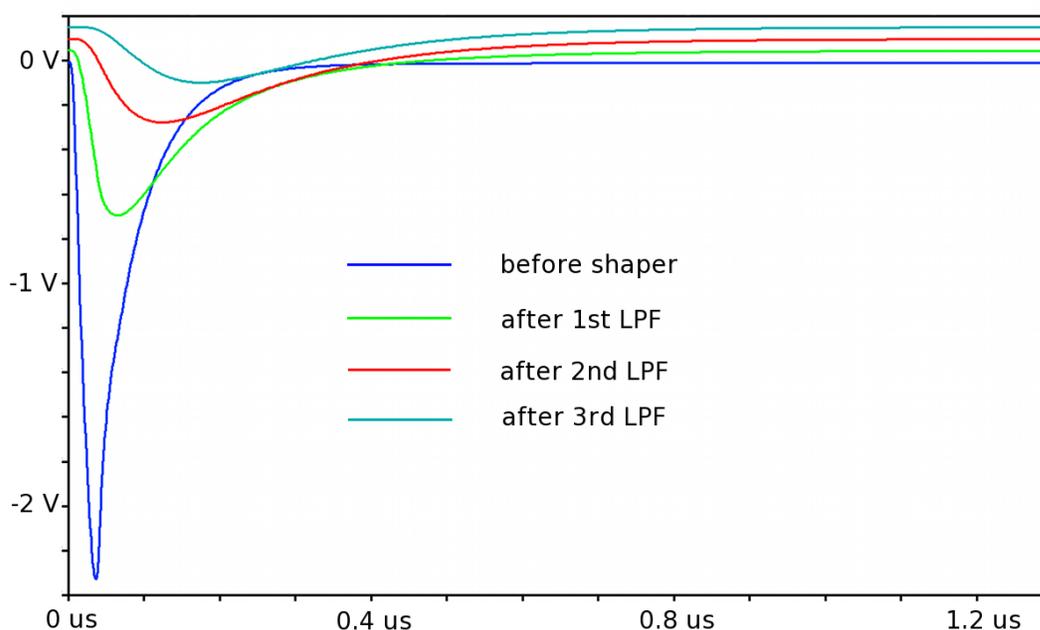


図 2.7: 1 pC 入力時のシミュレーションによるシェイパー部分の出力波形

2.2.4 差動出力バッファ

シェイパー後の信号は、差動出力バッファを通すことで、ADC 入力に合わせて差動信号に変換する。また TPC の分解能を最大限引き出すためにゲインが 1 V/pC になるよう、帰還抵抗値と入力抵抗値の比を調整してある。オフセット調整もここでできるようにして、可変抵抗を用いて

-0.4 V から +0.4 V まで変化させることができるようになっている。図 2.8 にシミュレーションによる差動出力バッファ後の出力波形を示す。

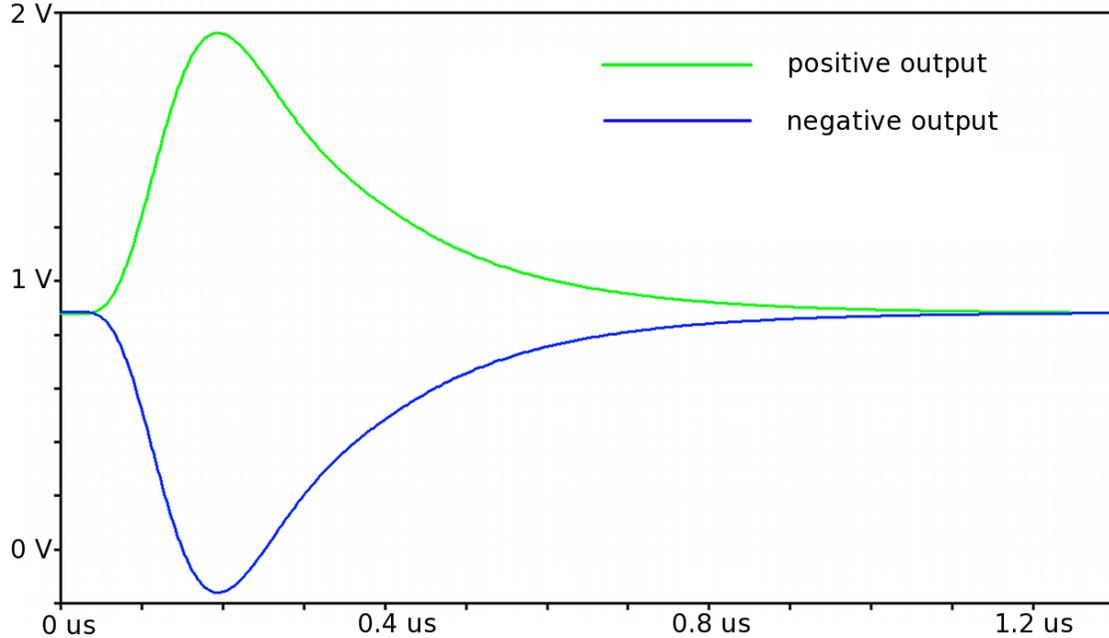


図 2.8: シミュレーションによる差動出力バッファの出力波形

2.3 A/D 変換部

TPC およびその読み出しが MIP に対して $150\mu\text{m}$ 以上の位置分解能を持つためには、1% 以上の電荷測定のパフォーマンスが必要である。このため FADC チップは 10-bit 以上の精度を持ち、できるだけ消費電流が少ない IC を使う。本 FADC では 8 ch/chip, 14-Bit, 40 MSPS の低消費電力 FADC チップ (Analog Devices 社の AD9257) を 2 つ使用する。この IC の主な仕様は表 2.2 のとおりである。

表 2.2: AD9257 の主な仕様

チャンネル数	8 ch/chip
サンプリング周波数	40 MSPS
精度	14 bit
入力電圧範囲	$2 V_{pp}$
出力仕様	シリアル LVDS
動作電圧	+1.8 V
消費電力	$\sim 55 \text{ mW/ch}$

2.4 FPGA 部分

FPGA とは何度でも書き換え可能なハードウェア（集積回路）であり、その内部回路構成はハードウェア記述言語（HDL）を用いて指定することができる。本 FADC ボードでは Altera 社の Cyclone IV という FPGA を用いてデータ処理、ADC のシリアルコントロールおよび PC との通信を行う。HDL としては主に VHDL を使用した。本 FADC ボードの FPGA 内の回路構成は図 2.9 のようになっている。

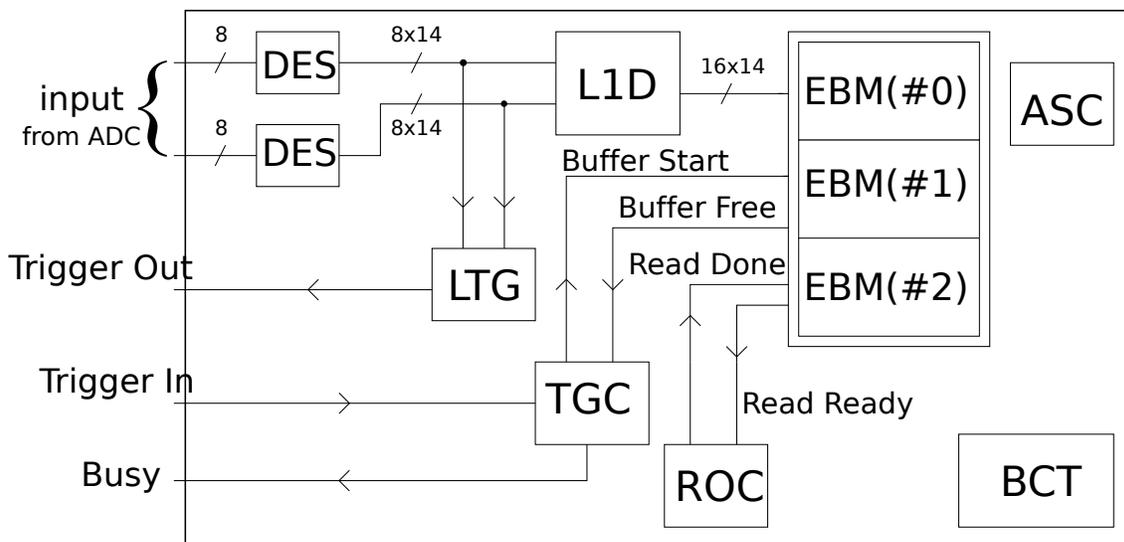


図 2.9: FPGA 内部図

それぞれのコンポーネントの詳細を次に述べる。

2.4.1 DES : Deserialize Converter

FADC から出力されるシリアルデータを 14 bit パラレルデータに変換するためのコンポーネント。本 FADC ボード上の ADC は 1 チャンネル 1 サンプルあたり、14 bit のシリアルデータを出力する。シリアルデータのままで扱いにくいので、これを FPGA 内で 14 bit のパラレルデータに変換するためにコンポーネント DES を使用する。

2.4.2 L1D : Level 1 Delay

コンポーネント DES から来るデータに遅延をかけるためのコンポーネント。内部トリガー生成やバッファに詰める前のデータ処理の遅延に合わせて、ADC からの出力データに delay をかける必要がある。コンポーネント L1D ではメモリを用意し、書き込み用ポインタのアドレスと読み出し用ポインタのアドレスをずらすことによりデータの書き込みと読み出しのタイミングをずらし、delay を実現している。コンポーネント L1D では delay 値の調節などデータの delay に関する処理を行う。

2.4.3 LTG : Local Trigger Controller

コンポーネント DES からの生データを受けて内部トリガーを生成するコンポーネント。内部トリガーは、データを取るかどうか判断に使用したり、他のモジュールとの同期を取るために利用する。内部トリガーは FADC ボードの外に出力したり、そのまま FPGA 内部コンポーネントの TGC に渡したりすることができる。

2.4.4 TGC : Trigger Controller

FADC ボードの外部から入力される外部トリガーや、LTG コンポーネントから出力される内部トリガーを受けて FPGA 内のバッファにデータを詰めるかどうか判断するためのコンポーネントが TGC である。典型的には、EBM コンポーネントからバッファが書き込み可能状態であることを示す Buffer Free 信号がでているときにトリガーを受けた時、EBM にデータを詰めさせるための Buffer Start 信号を出す。必要なら同時にデータ書き込み中であることを示す Busy 信号を外部に出力することも可能である。

2.4.5 EBM : Event Buffer Manager

FPGA 内バッファにデータを書き込んだり、読み出したりするためのコンポーネント。TGC からの信号を受けて、L1D から流れてくるデータを取得する。また ROC からの信号を受けて、保持しているデータをバスに流す。

FPGA 内には 32 Kbyte のバッファを 3 つ用意しており、各バッファ用に EBM も 3 つある。

2.4.6 ROC : Readout Controller

FPGA 内バッファからデータを読み出すためのコンポーネント。EBM からどのバッファが読み出し可能であることを示す Read Ready 信号を受け取る。これを受けて BCT からバッファのデータを読み出すことができる。

読み出し後は読み出しが完了したことをしめす Read Done 信号を対応する EBM に流す。EBM はこれを受けてそのバッファが書き込み可能になったことを示す Buffer Free 信号を TGC に流す。

2.4.7 ASC : ADC Serial Controller

ADC のシリアルコントロールのためのコンポーネント。ADC の内部設定を書き換えたり読み込んだりすることができる。

2.4.8 BCT : Bus Controller

バスを通して各コンポーネントを制御するためのコンポーネント。FPGA 内の各コンポーネントはバスを通して外部から制御することができる。具体的には各コンポーネントがもつレジスタの値を、バスを通じて読み込んだり書き換えたりすることができる。

BCT では FADC ボードと PC とのインターフェースの制御も行なっており、PC からの信号を受けて適切なコンポーネントのレジスタの読み書きを行う。

2.5 電源部

本 FADC ボードは 12 V 正電源で動作する。アナログ部は ± 2.5 V, FADC は +1.8 V デジタル電源および +1.8 V アナログ電源で動作する。また FPGA 部は、FPGA 以外にも様々な電源を必要とするドライバ IC からなり、+1.2 V, +2.5 V, +3.3 V の電源が必要である。

+12 V 電源からこれらの安定した電圧を作るために、レギュレータを用いて電源部を作った。レギュレータは大きく分けてスイッチングレギュレータとリニアレギュレータがある。

スイッチングレギュレータは、非安定な直流電力をトランジスタなどのスイッチング素子による高速スイッチングで高周波パルスに変換し、それを整流、平滑化することにより安定な直流電圧を得る電源安定化回路である。基本的には電力を保存する（電力効率が高い）素子だと考えて良い。

リニアレギュレータは、入力電圧を降圧させて整流、平滑化することで安定な直流電圧を得る電源安定化回路である。本 FADC で用いるのは LDO (Low Drop Out) と呼ばれる低損失リニアレギュレータで、基本的には電流を保存する素子だと考えて扱うことができる。

本 FADC ボードでは、デジタル電源には電力効率のよいスイッチングレギュレータを用い、アナログ電源にはノイズの少ない LDO リニアレギュレータを用いる。

レギュレータ選びでは、出力電流が各コンポーネントの消費電流を十分に上回り、かつ IC の大きさが小さく、必要外部素子数が少なく、ノイズレベルが低いものを選択することが重要である。

本 FADC ボードの電源トポロジーを図 2.10 に示す。

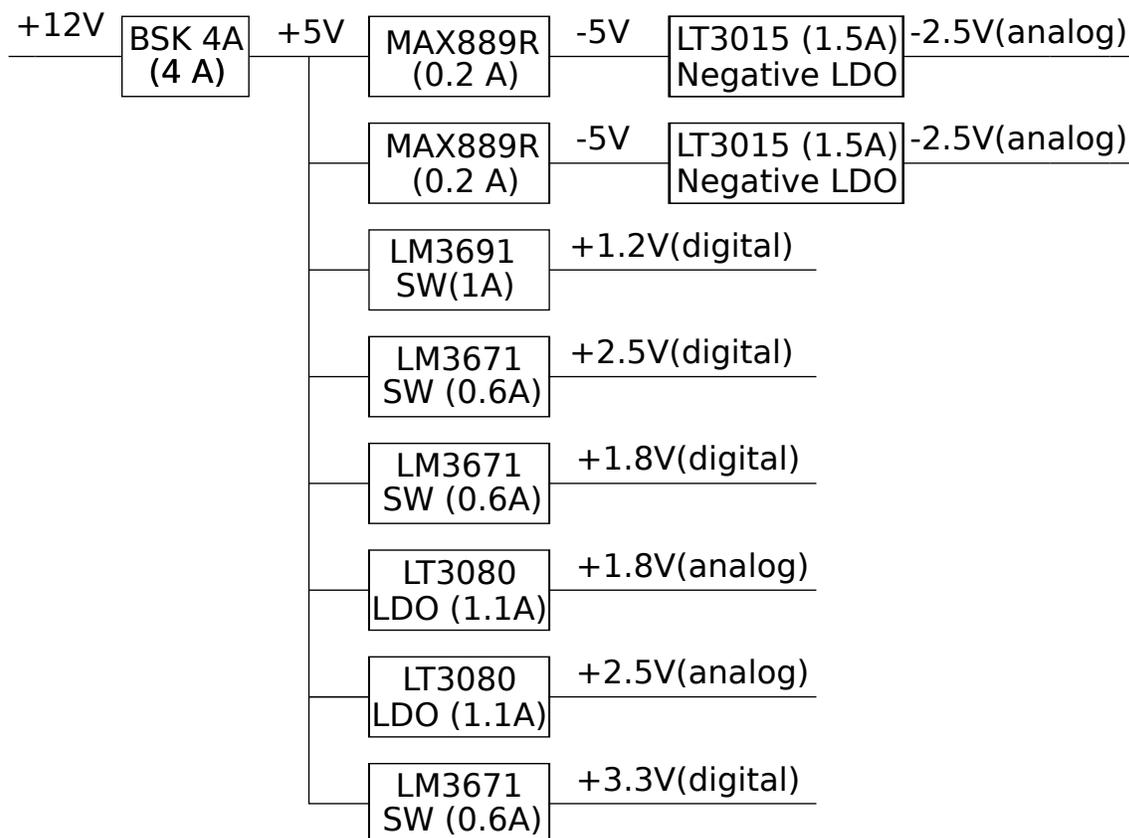


図 2.10: 電源トポロジー (IC の括弧内は最大出力電流値)

2.6 性能評価

FADC ボードの性能評価について述べる。オフセットレベル、信号幅、ゲイン、リニアリティ、ノイズレベルとそれらのチャンネル間ばらつきを測定した。また FADC ボード全体の消費電力も確認した。テスト入力パルスは、function generator で出力した矩形波を微分器 (1 pF) で電流信号に変換したものを使用した。

1 pC のテスト電荷を入力したときのアナログ部の出力波形を、プローブを通してオシロスコープで測定したもの、および FADC でサンプリングした波形を図 2.11、図 2.12 に示す。ADC 値のキャリブレーションは、プローブで測定した電圧をもとに行った。

図 2.11 には 25 ns 周期のノイズがのっている。これは FADC のサンプリング周波数と一致するので、FADC チップからのノイズを回路かプローブが拾っていると考えられる。どちらかはまだ分かっていないが、プローブ由来でない場合でもノイズが丁度打ち消し合ってサンプリング後の波形 (図 2.12) には 25 ns 周期のノイズはあらわれていない。

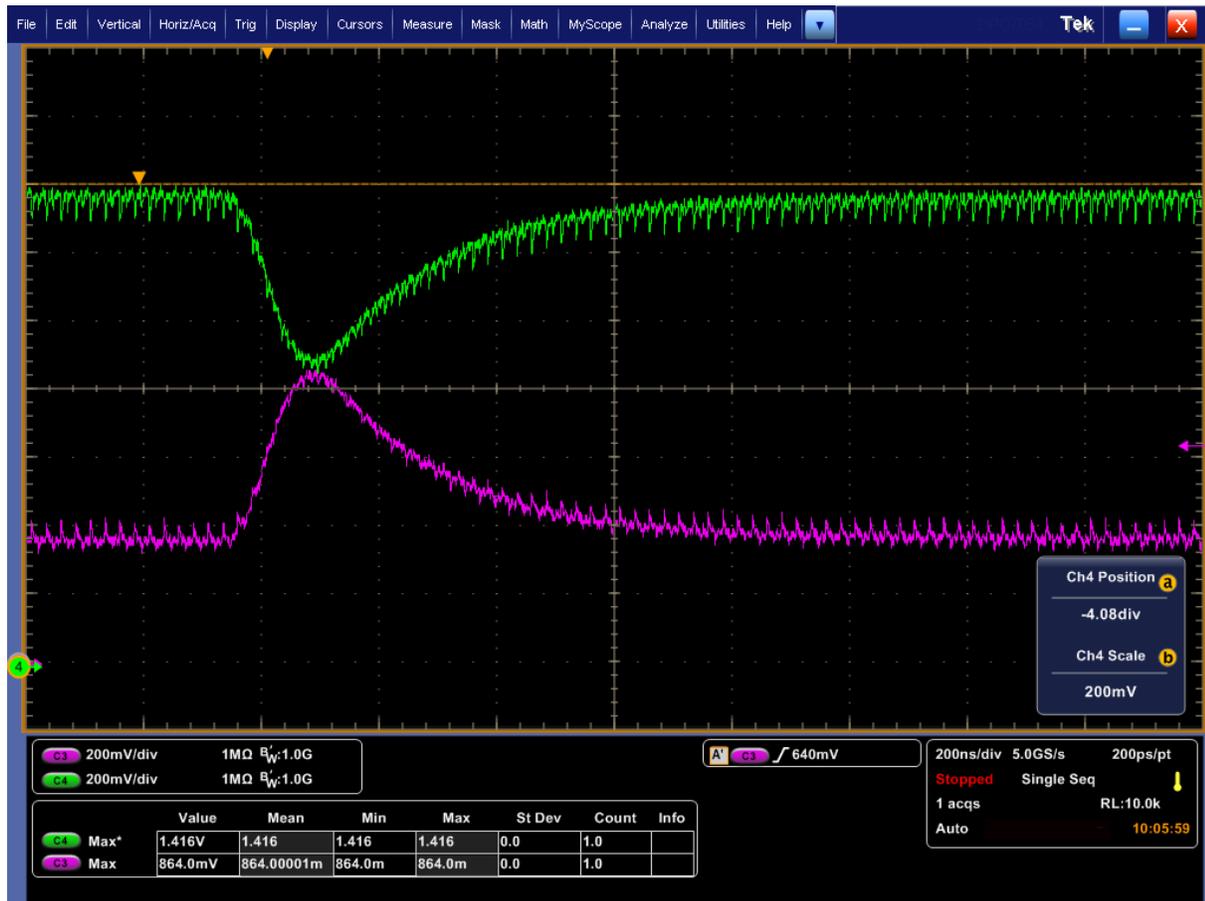


図 2.11: アナログ部の出力波形 (入力電荷: 1pC)。赤が正出力、緑が負出力を表す。ADC 由来の 25 ns 周期ノイズがのっているのが見える。

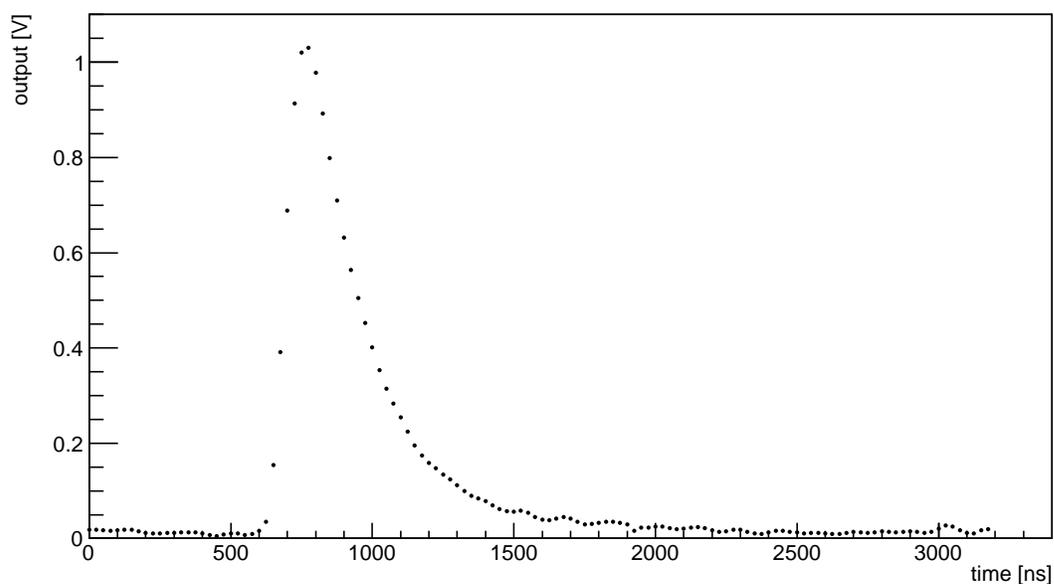


図 2.12: FADC でサンプリングした波形 (入力電荷: 1pC)

2.6.1 ゲインとリニアリティ

信号の波高には、ADC 値が最も高い 3 点を通るガウシアン の頂点の値を用いた。入力電荷を 0 pC から 2 pC まで変化させ、各入力電荷ごとに 150 イベントの波形を取得して波高を誤差付きで評価した。ベースラインから信号の頂点までの電圧を、各入力電圧に対してプロットしたグラフを図 2.13 に示す。

グラフを直線フィットすることで、ゲインは 1.006 V/pC とほぼ要求仕様通りであることを確認した。また、次式で定義される integral-non-linearity (INL) は 0.79 % であった。

$$\text{INL} = \frac{\text{直線フィットから最も外れた点とフィット直線との差 [V]}}{\text{出力電圧範囲 (本ボードでは 2V)}} \times 100(\%)$$

2.6.2 オフセットとノイズレベル

各チャンネルについて、入力信号を入れずに出力波形を見ることでオフセットレベルを測った。またオフセットの電圧値をヒストグラムに詰め (図 2.14)、ガウシアンでフィットして出力ノイズレベル (RMS) を求めた。

チャンネルごとのオフセットとノイズレベルを表 2.3 に示す。

ノイズレベルは出力ノイズレベルをコンバージョンゲインで割り、電子数になおした ENC (equivalent noise charge) で表している。

オフセット値は全チャンネル共通で調整できるため、オフセットのチャンネル間ばらつきを抑えることが重要である。オフセットのチャンネル間ばらつきは $\pm 20\text{mV}$ 程度でダイナミックレンジにはほとんど影響を及ぼさないことが確認できた。

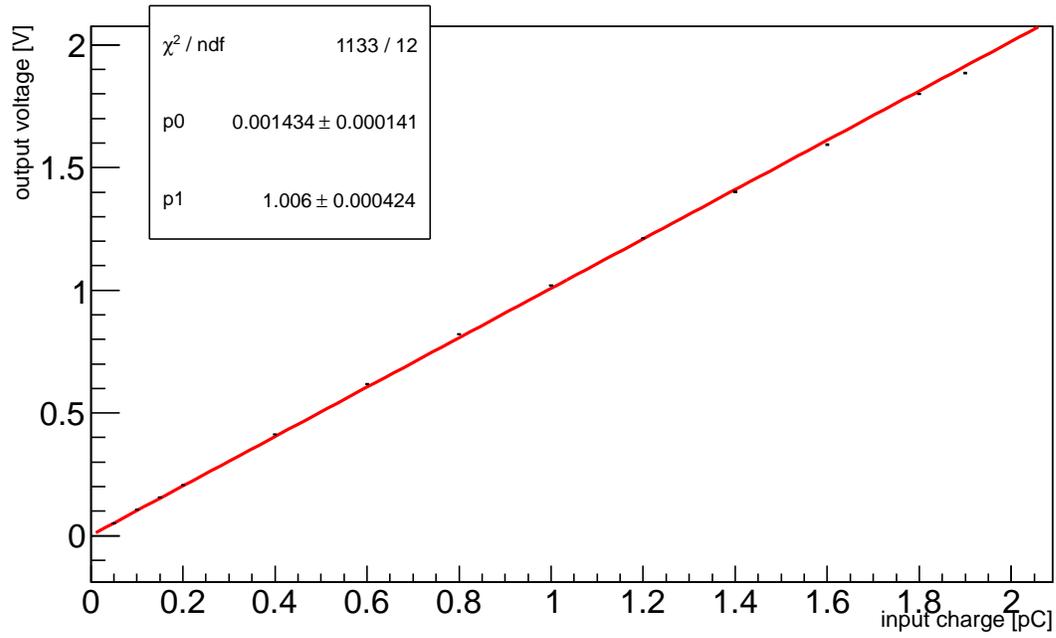


図 2.13: FADC ボードの入力電荷と出力電圧の関係

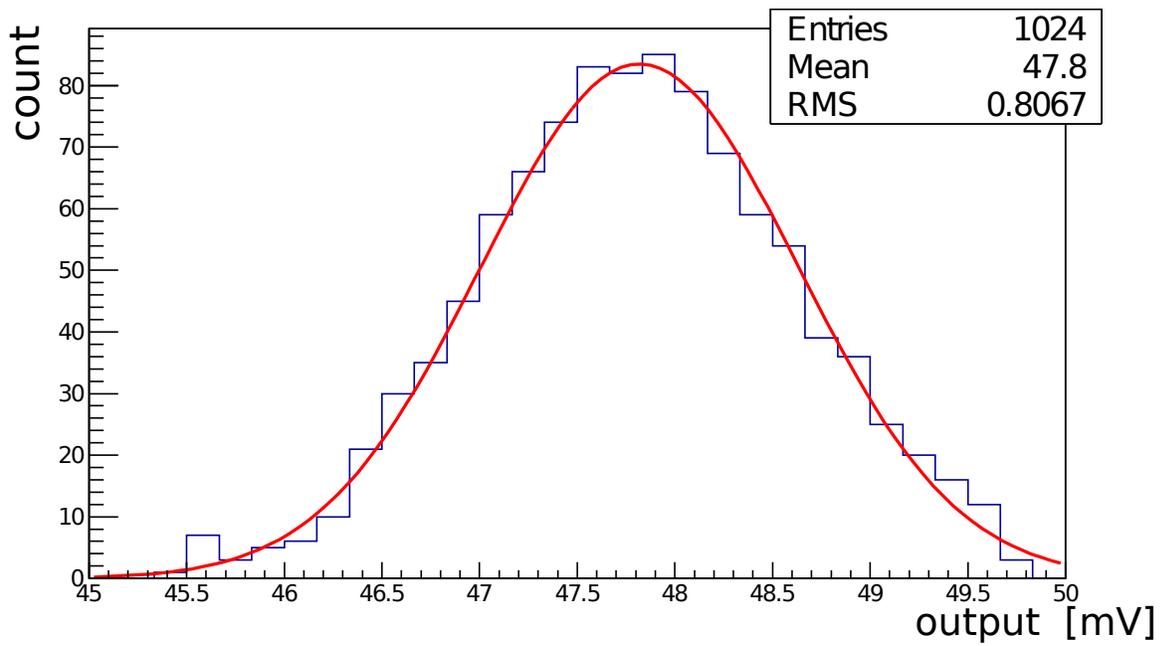


図 2.14: Ch 12 のオフセット分布

表 2.3: 各チャンネルのオフセットとノイズレベル (ENC)

チャンネル数	オフセット	ノイズレベル (ENC)
Ch 4	-29.0 mV	5102
Ch 5	-38.5 mV	5211
Ch 6	-46.5 mV	5049
Ch 7	-46.6 mV	5066
Ch 8	-47.8 mV	5702
Ch 9	-65.2 mV	5435
Ch 10	-49.0 mV	5290
Ch 11	-46.3 mV	5811
Ch 12	-47.8 mV	5035
Ch 13	-39.8 mV	5236
Ch 14	-47.6 mV	5428
Ch 15	-69.0 mV	5621
Ch 16	-68.8 mV	5374

2.6.3 性能評価のまとめ

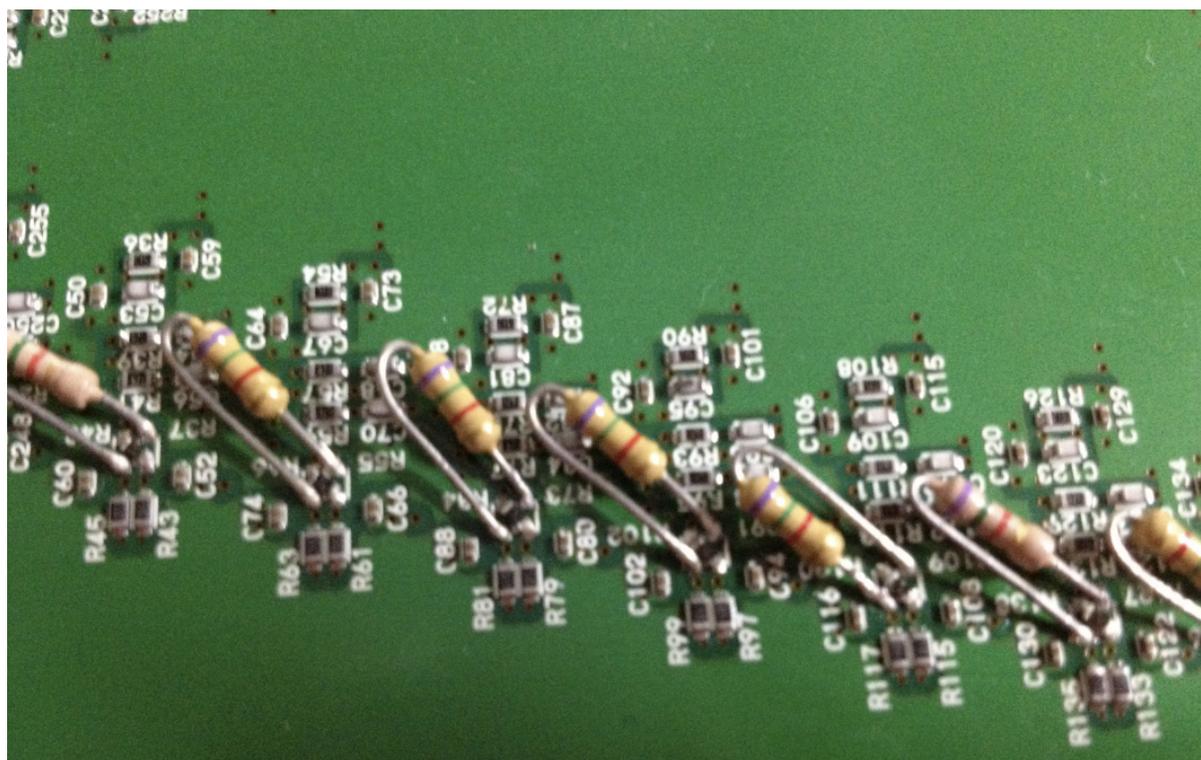
表 2.4 に FADC ボードの性能試験結果をまとめる。

表 2.4: FADC ボードの性能試験結果

ゲイン	(1.01 ± 0.01) V/pC
リニアリティ (INL)	(0.9 ± 0.2) %
信号幅 (1 pC 入力時の FWHM)	260 - 270 ns
オフセットばらつき	~ ± 20 mV
ノイズレベル (ENC)	~ 5000 electron
消費電力	~ 600 mW/ch

FADC ボードの消費電力は、FPGA の内部回路 (どんな VHDL コードをダウンロードするか) によって 20 % 程度変化する。またチャンネル間クロストークを調べたが、有意な波高の信号は確認できなかった。

ゲイン、リニアリティ、信号幅に関しては要求仕様を満たしたが、ノイズレベルが大きくなった。FADC ボードを発注するときに差動出力バッファ部分の配線を間違えてしまい、帰還抵抗部分をリード抵抗で使って配線しなおすことになってしまった (図 2.15)。このハンダ付け作業時にランドを取ってしまったチャンネルがあり、そのチャンネルは使えなくなってしまった (表 2.3)。この配線しなおしたリード抵抗部分でノイズを拾っている可能性があるため、正しく配線しなおした新しい FADC ボードでもう一度ノイズレベルを測定する必要がある。



第3章 TPC フロントエンド ASIC の開発

ASIC(Application Specific Integrated Circuit) とは、抵抗、キャパシタと MOSFET と呼ばれるトランジスタなどを組み合わせて、特定用途向けに集積回路を作る技術、またその集積回路自身のことである。一般に回路を ASIC 化することにより、小型化および低消費電力化を実現することができる。

LEPS2 では低消費電力かつ省スペースな読み出し回路を実現するため、TPC フロントエンドの波形整形アナログ部分を ASIC 化する予定である。我々はそのための ASIC テストチップを作製した。この章では本 ASIC 使用する主なデバイスである MOSFET, 抵抗、キャパシタについて述べた後、TPC フロントエンド ASIC の開発と性能評価について述べる。

3.1 ASIC で使用する主なデバイス

3.1.1 MOSFET

ASIC は主に MOSFET(metal oxide semiconductor field effect transistor) と呼ばれるユニポーラトランジスタを組み合わせて設計される。MOSFET にはキャリアが電子の nMOS と、キャリアがホールの pMOS がある。図 3.1 に n 型 MOSFET の構造を示す。

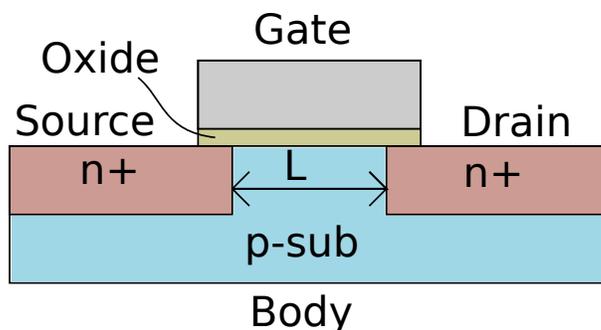


図 3.1: NMOS の構造 (断面図)[4]

このように MOSFET はソース、ドレイン、ゲートという端子を持っている。nMOS の場合は p 型半導体で作られた p-substrate 上に高濃度の不純物がイオン注入され、n 型半導体のソースおよびドレイン端子が作られる。ゲート端子と p-substrate の間には酸化膜があり、ゲート-ドレイン間およびゲート-ソース間にはほとんど電流が流れないようにになっている。ゲートに適当な電圧をかけるとソースとドレインの間にキャリアが通る道(チャネル)が形成され、ドレイン-ソース間にも適当な電圧をかけることにより、ドレイン-ソース間に電流(ドレイン電流)を流すことができる。

ソースに対するゲート電圧 V_{GS} がある閾値 V_T を超え、かつソースに対するドレイン電圧 V_{DS} が十分大きく $V_{DS} > V_{GS} - V_T$ を満たすときに MOSFET は飽和特性領域にあるといい、ドレイン電流 I_D およびゲート電圧 V_{GS} の間には近似的に次の関係が成り立つ [5]。

$$I_D = \frac{1}{2} \frac{W}{L} \mu C_{ox} (V_{GS} - V_T)^2$$

ここで μ はキャリアの移動度、 C_{ox} はゲート酸化膜の単位面積あたりのキャパシタンスで、 W および L は図 3.2 に示すようにゲートの幅および長さを表す。ASIC 製作においては基本的には全ての MOSFET は飽和領域で動作させる。

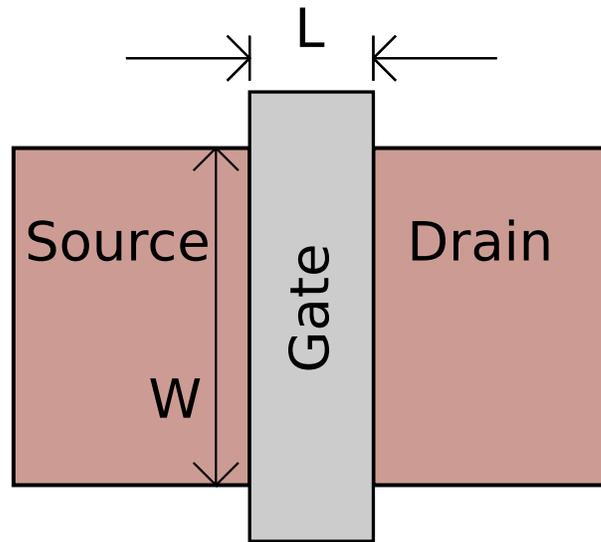


図 3.2: MOSFET を上から見た図。ゲート幅を W 値、ゲート長を L 値と呼ぶ。 W 値と L 値は MOSFET の最も基本的なパラメータである。

ASIC 製作においては、MOSFET の W 値および L 値 (図 3.2) をパラメータとして調整し、欲しい回路を製作することができる。近い範囲にいくつかの MOSFET を置くときは、 W 値と L 値を固定した MOSFET の最小単位を用意しておき、それを幾つか並列に並べたものを一つの FET として回路を構成することが多い。このときは W 値と L 値のかわりに、並列に並べた最小単位 FET の個数に対応する M 値の値をパラメータとして調節することで要求仕様を満たす回路を作る。たとえば MOSFET をソース-ドレイン間の抵抗とみなしたとき、抵抗値を減らす (=電流値を増やす) ためには、 W 値を大きくするか、 L 値を小さくするか、 M 値を大きくすれば良い。

図 3.3 に、実際に本 ASIC で使用した W 値 $10 \mu\text{m}$ 、 L 値 $3 \mu\text{m}$ 、 M 値 3 の NMOS のレイアウト図を示す。3 つの $(W, L) = (10 \mu\text{m}, 3 \mu\text{m})$ の NMOS を並べてソースとドレインを繋ぐことにより、 $(W, L) = (30 \mu\text{m}, 3 \mu\text{m})$ と等価な NMOS を実現している。

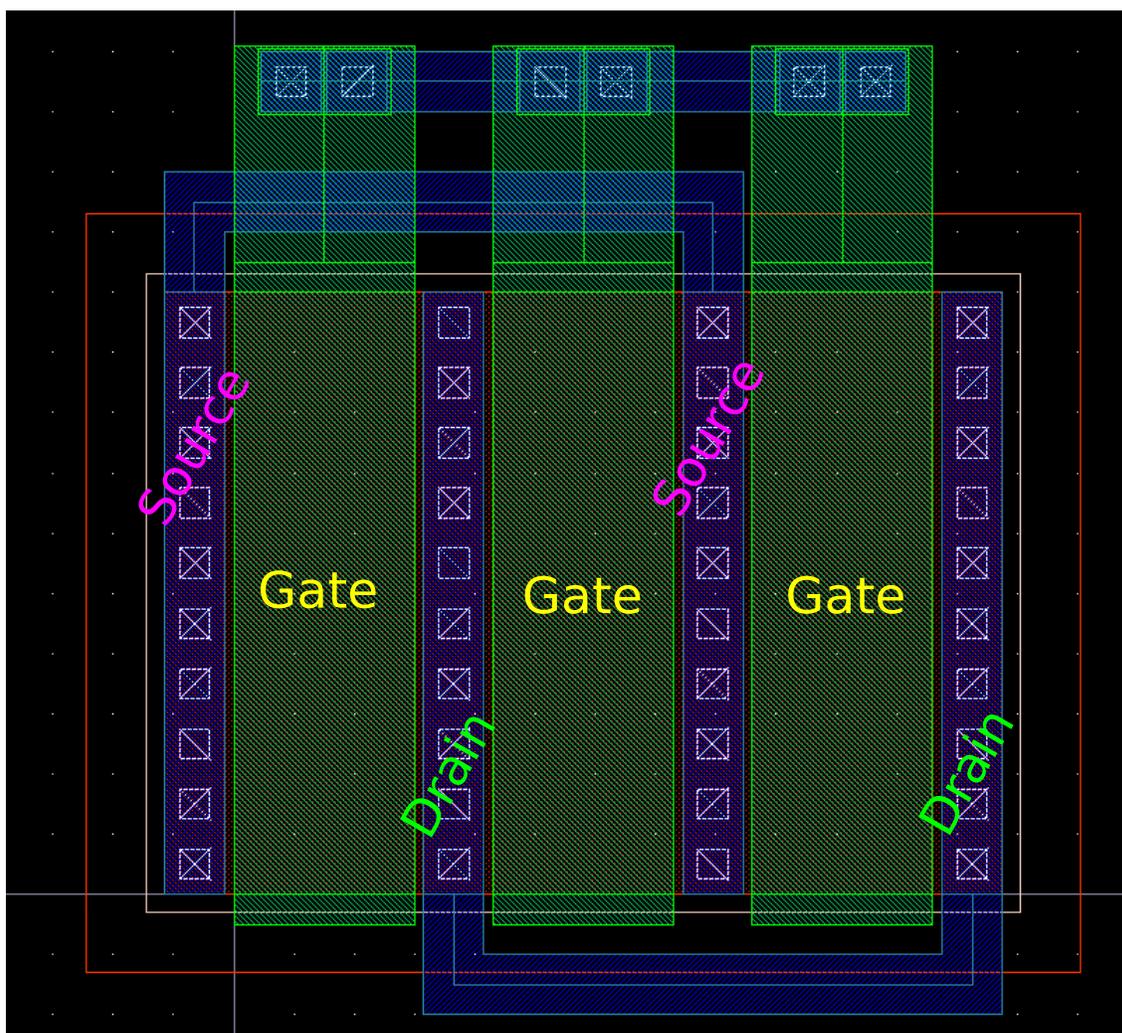


図 3.3: M 値 3 の NMOS レイアウト図: 紫色の部分ソースもしくはドレイン端子を表し、緑色の部分がゲート端子を表す。ゲート端子が 3 つあることから、 M 値が 3 だと判断できる。

3.1.2 抵抗とキャパシタ

本 ASIC では図 3.4 に示すポリシリコン抵抗と呼ばれるシート状の抵抗を使用する。設計者は長さ L および幅 W を調整して抵抗値を決めることができる。ASIC 製造時にポリシリコン抵抗の角などが削れて抵抗値が変わることがある。この抵抗値の変化をできるだけ少なくするために、何にも繋がっていないダミー抵抗を本抵抗の周りにいくつか配置することがある。またキャパシタは MIM (metal insulator metal) と呼ばれる金属と金属で絶縁膜を挟み込んだ構造をしたキャパシタを使用する。

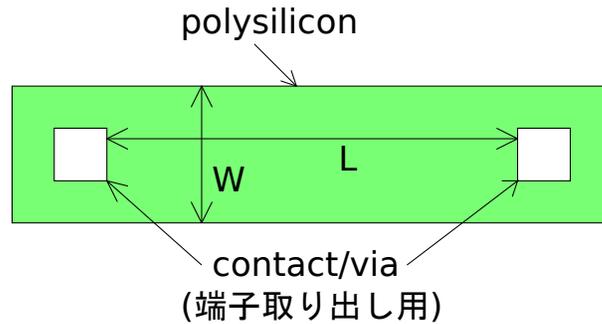


図 3.4: ポリシリコン抵抗の上面図。設計者は W および L を調整することで抵抗値を決める。

MOSFET を使って抵抗やキャパシタの役割を実現することもできる。利点は一般に MOSFET の方が実装面積が小さい場合が多いので、より小さい ASIC が作れることである。一方欠点は、能動素子なので消費電流が増え、かつ温度依存性が悪くなることである。本 ASIC では信号の形やゲインなどを決める抵抗やキャパシタは、主に MOSFET ではなくポリシリコン抵抗と MIM キャパシタで実装している。

図 3.5 に、実際に本 ASIC で使用したポリシリコン抵抗および MIM キャパシタのレイアウト図を示す。

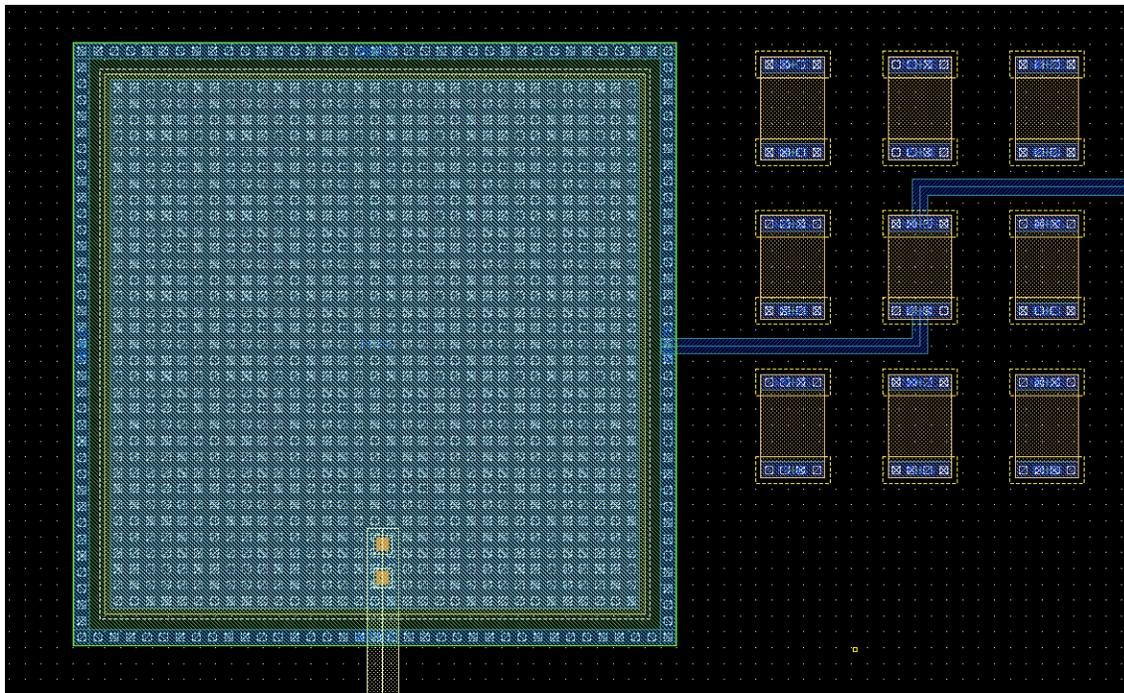


図 3.5: ポリシリコン抵抗 (右) および MIM キャパシタ (左) のレイアウト図: 配線されていない 8 つのポリシリコン抵抗は、真ん中の本抵抗を守るダミー抵抗である。

3.2 TPC フロントエンド ASIC の仕様

TPC フロントエンド ASIC の要求仕様を表 3.1 に示す。一般に ASIC に使用される MOSFET のゲート長の最小値をプロセスと呼ぶ。基本的に細かいプロセスほど MOSFET に流れる電流が少なく、消費電力も低くなる。本 ASIC は $0.25\mu\text{m}$ プロセスで製造した。本 ASIC のチップエリアは $2.8\text{ mm}\times 2.8\text{ mm}$ である。パッケージは LQFP64L を使用し、大きさは $10.0\text{ mm}\times 10.0\text{ mm}$ である。

表 3.1: TPC フロントエンド ASIC の仕様

チャンネル数	8 ch
入力電荷範囲	0-2 pC
出力仕様	single ended
電源電圧	$\pm 2.5\text{ V}$
動作温度範囲	$20 - 60\text{ }^\circ\text{C}$
ゲイン	1 V/pC
リニアリティ	$\sim 1\%$ (INL)
信号幅	200 - 400 ns (FWHM)
ノイズレベル	$\sim 1,000\text{ electron}$
消費電力	$< 20\text{ mW/ch}$

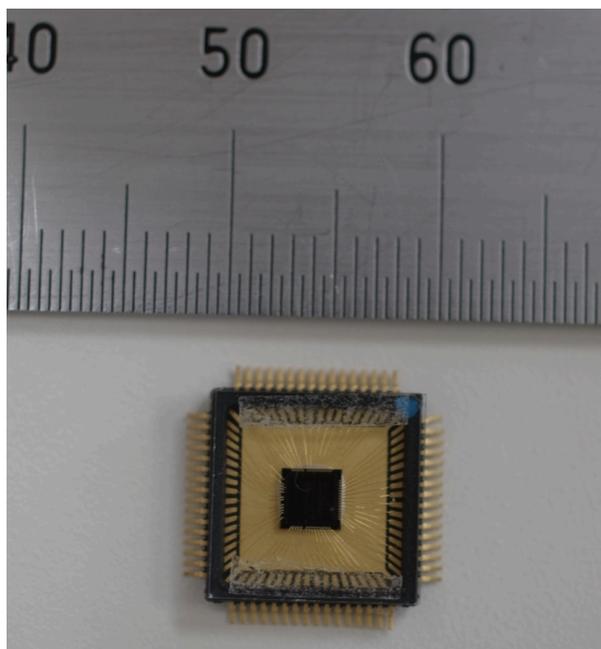


図 3.6: 今回開発した TPC フロントエンド ASIC

3.3 ASIC の内部構成

各チャンネルは図 3.7 に示すように Preamp & PZC, Shaper, ABUF のブロックから構成される。

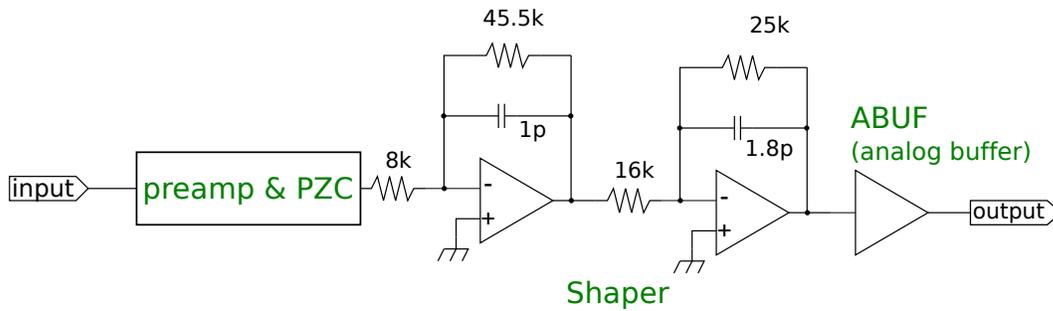


図 3.7: ASIC の内部構成 (1 ch 分)

各ブロックのシミュレーションの結果を示す。シミュレーションは Cadence 社の Virtuoso という統合環境を用いて行った [7]。

3.3.1 Preamp & PZC ブロック

Preamp 部分で TPC からの入力電荷を電圧信号に変換し、PZC を通して時定数を短くする。本 ASIC では、すでに他の ASIC でも使用されていて動作確認済の Preamp & PZC コンポーネントの内部パラメータを変更することで、要求使用を満たす回路を製作した。図 3.8 に Preamp & PZC コンポーネントの回路図を示す。

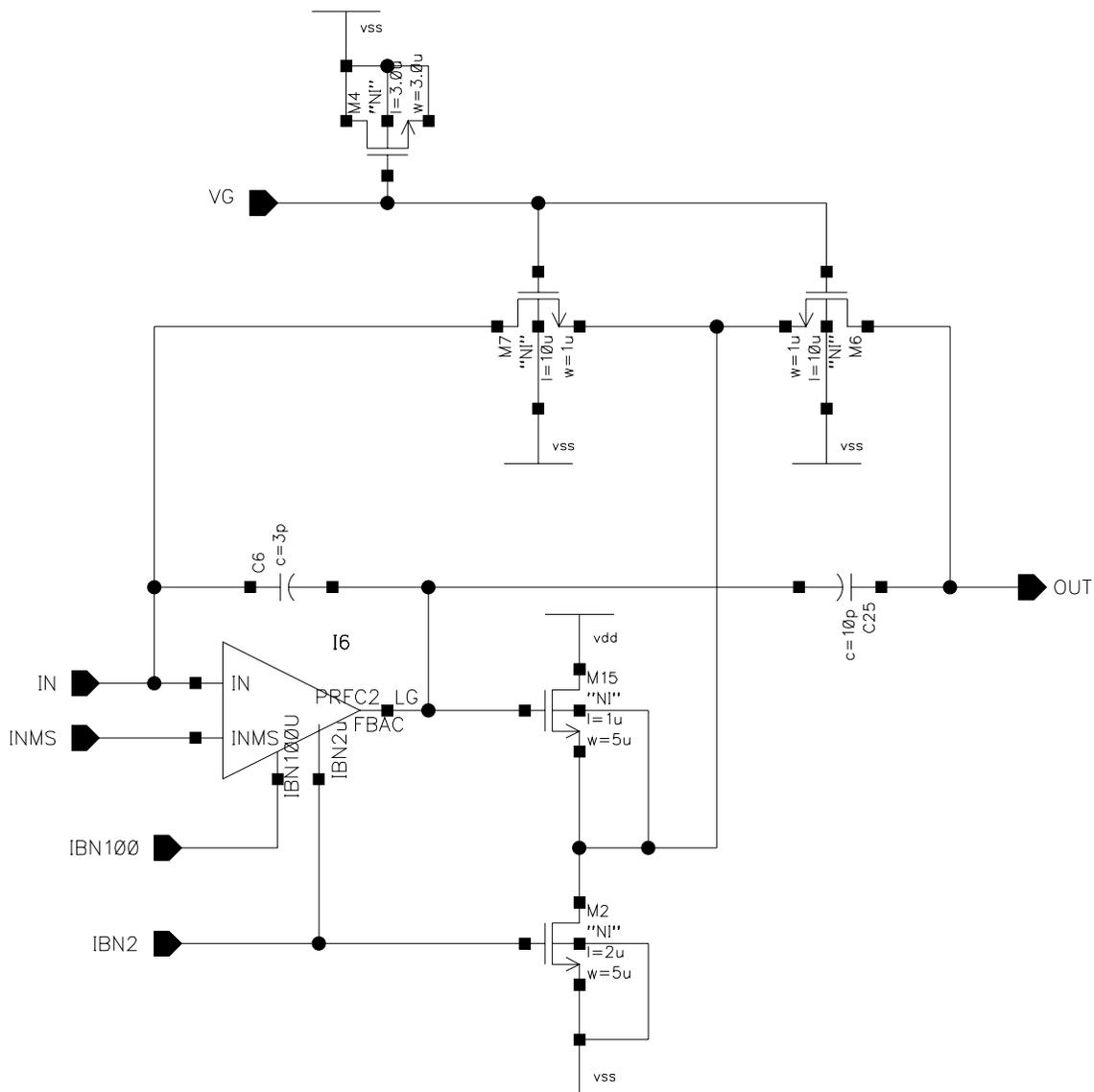


図 3.8: Preamp & PZC 部分の回路図: チャージアンプ部分および PZC 部分の帰還抵抗の役割を、NMOS で実現している [6]

この回路図は少し複雑なので、本質的な部分だけを抜き出して単純化した回路図を図 3.9 に示す。

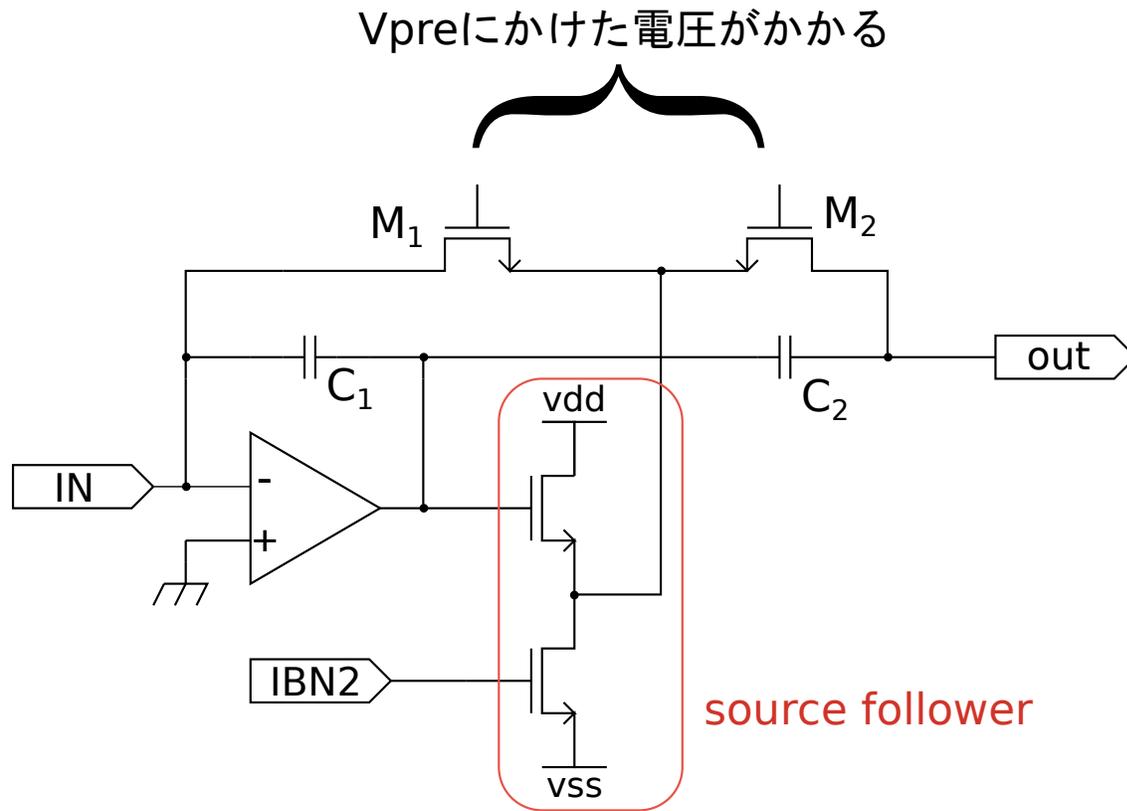


図 3.9: 図 3.8 を単純化したもの。ソースフォロワはボルテージフォロワやレベルシフタ、ドレイン接地回路などと呼ばれ、電位を変換し、交流成分はそのまま後段へ流す役割を果たす。IBN2 は電流源として使用する下の NMOS に流れる電流値を調整するパラメータ。

ゲートに V_{pre} がかけられた 2 つの NMOS が、それぞれチャージアンプの帰還抵抗と PZC の抵抗に相当する。 M 値は電流の流れやすさに相当するので、抵抗値に相当する量は $1/M$ である。チャージアンプの時定数と PZC の時定数を合わせるために、次の関係式が成り立っている必要がある。(ただし、2 つの MOSFET の W 値と L 値はそれぞれ等しいとする。)

$$C_1 \times \frac{1}{M_1} = C_2 \times \frac{1}{M_2}$$

本 ASIC では、この関係を保ったまま帰還容量および帰還抵抗相当の MOSFET の M 値を変えてシミュレーションを行い、 $(C_1, C_2, M_1, M_2) = (3 \text{ pF}, 10 \text{ pF}, 3, 10)$ とすることで目的の dynamic range 0 - 2 pC およびゲイン 1 V/pC が得られることを確認した。

ASIC チップの V_{pre} ピンの電圧値を調整することで、図 3.9 の上部の 2 つの NMOS に流れる電流値を調整し、オフセットレベルを設定することができる。

また、IPREB ピンおよび ICBIAS ピンも Preamp & PZC ブロックのパラメータである。これらはチャージアンプ用オペアンプコンポーネントの入力部および出力部の MOSFET に流れる電流値を決めていて、ある程度以上の電流を流すことでオペアンプコンポーネントを正しく動作させることができる。ICBIAS ピンは ASIC 内部で IBN2 ピンに接続されていて、図 3.9 にもある通りソースフォロワの電流源の電流値も決めている。これらのパラメータ値は、オペアンプコンポーネント

やソースフォロワ回路が正しく動作しかつ、消費電流が少なくなるような値をシミュレーションで探って設定した。本 ASIC 開発では、IPREB ピンと ICBIAS ピンにける電圧をそれぞれ -1.17 V, -1.58 V に調整してシミュレーションを行った。

入力電荷を 50 fC - 2 pC まで変化させたときの preamp 出力および PZC 出力のシミュレーションは以下のとおりである。

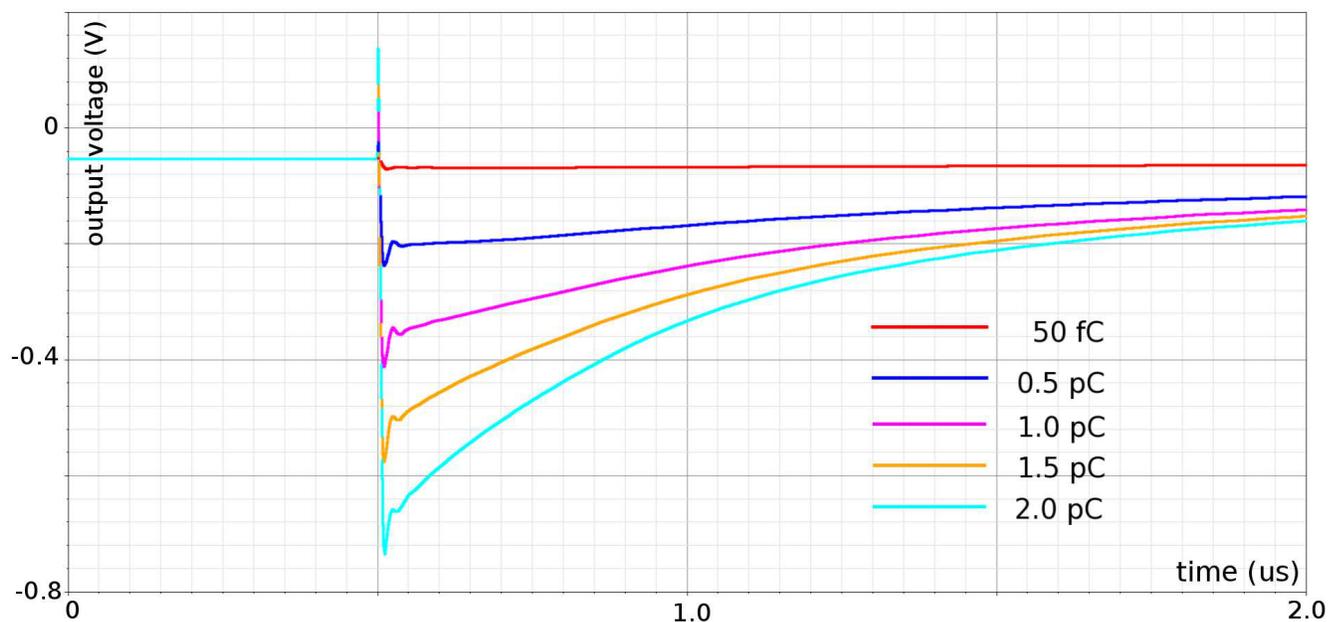


図 3.10: シミュレーションで得られた Preamp 出力波形

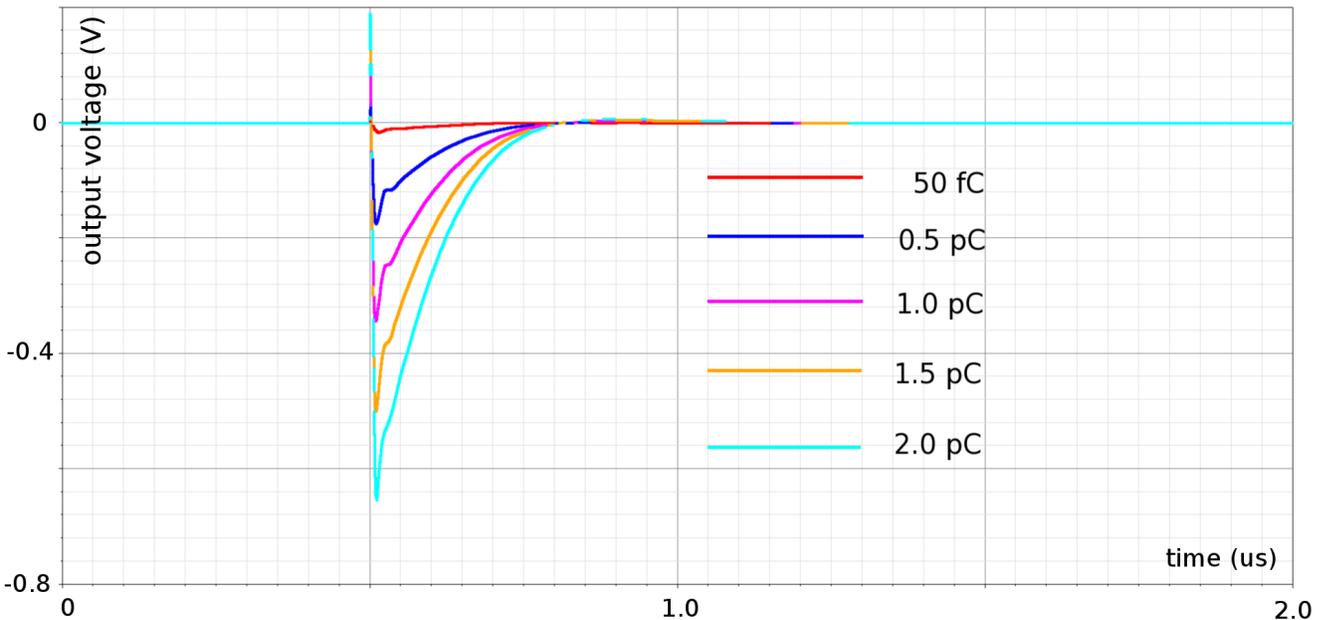


図 3.11: シミュレーションで得られた PZC 出力波形

3.3.2 Shaper ブロック

PZC 後の信号は、Shaper ブロックで 2 段の active LPF を通して高周波成分を落とす。LPF に使用するオペアンプコンポーネントはすでに他の ASIC でも使用され、動作確認されているものである。2 章の 2.2.3 でも述べたようにシェイパー部分で 50 ns 程度以下の周波数成分を落としたいので、本 ASIC の LPF の時定数は帰還抵抗と帰還容量によりおよそ 50 ns に設定してある。

ASIC チップの IBAMP ピンが Shaper ブロック繋がっており、IBAMP の電圧値を調整することでオペアンプコンポーネントの入力部に使用されているカレントミラー回路のバイアス電流値を変えることができる。カレントミラー回路のバイアス電流値はある程度 ($\sim 15\mu\text{A}$) 以上にすれば正しく動作するが、大きくし過ぎると消費電流が増える。本 ASIC ではオペアンプコンポーネントが正しく動作しつつ、消費電流が少なくなるように IBAMP の電圧値を +1.24 V にしてシミュレーションを行った。シミュレーションによる初段 LPF 出力波形および 2 段目 LPF 出力波形を図 3.12 および図 3.13 に示す。

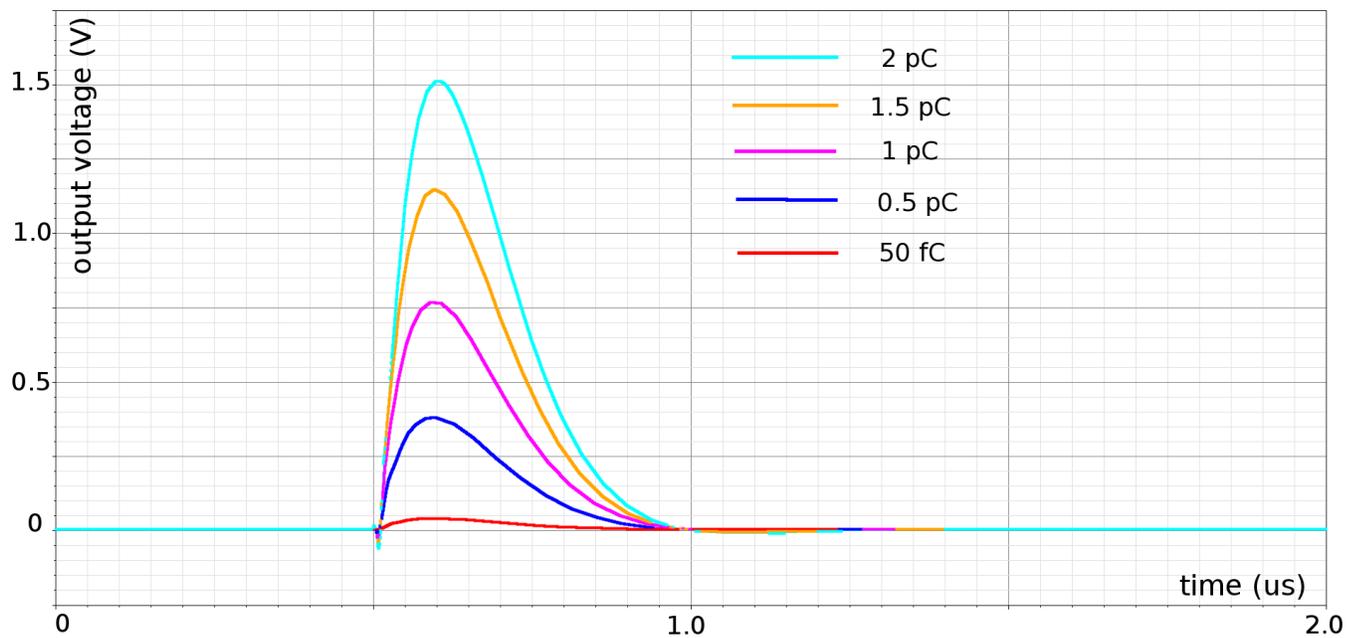


図 3.12: シミュレーションで得られた前段 LPF の出力波形

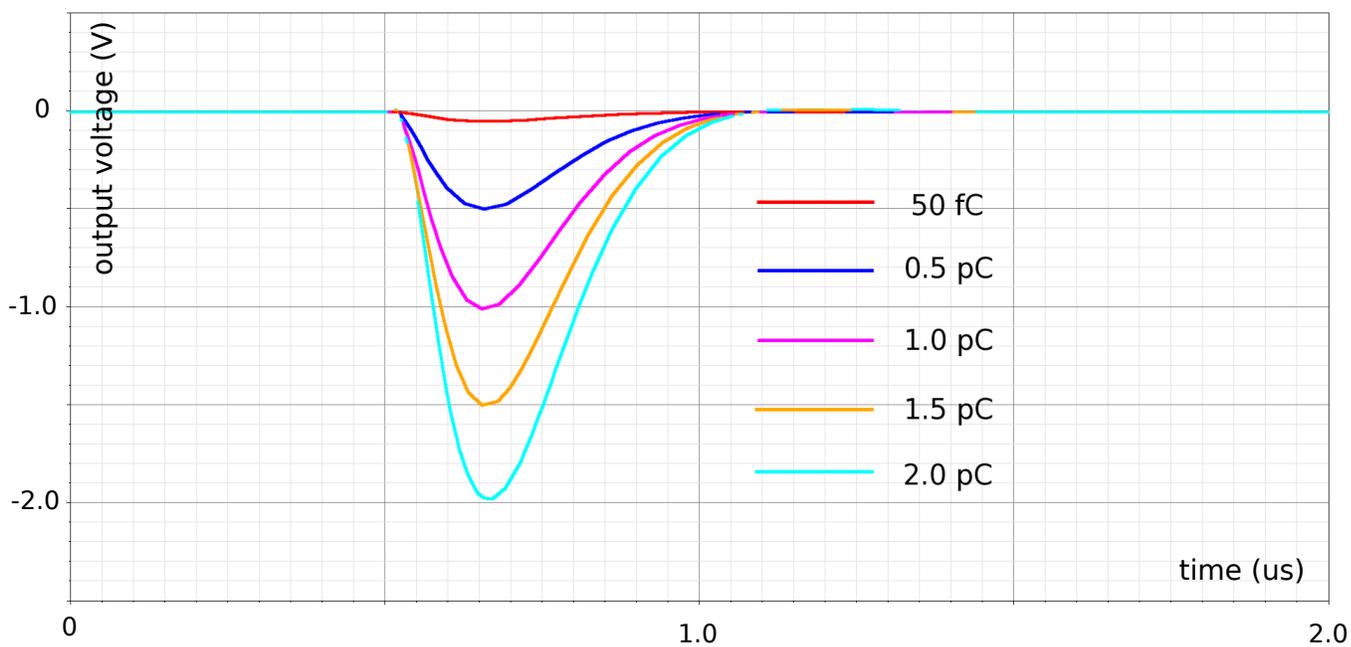


図 3.13: シミュレーションで得られた後段 LPF の出力波形

3.3.3 ABUF ブロック

電流のドライブ能力を上げるために、最終段にアナログバッファの ABUF ブロックを置く。ABUF ブロックは色々な ASIC で動作確認が済んでいるコンポーネントで、本 ASIC でもシミュレーションにより 2 pC 入力時に 10 pF の容量をドライブできることを確認した。

ASIC チップの OBIAS ピンが ASIC ブロックに繋がっており、OBIAS の電圧値を調整することで ABUF の入力部および出力部分に使用されているカレントミラー回路のバイアス電流値を変えることができる。カレントミラー回路のバイアス電流値はある程度 ($\sim 60\mu\text{A}$) 以上にすれば正しく動作するが、大きくし過ぎると消費電流量が増える。本 ASIC 製作では、波高が -2 V の shaper 出力信号を正しく voltage follow できることをシミュレーションにより確認した上で、消費電流ができるだけ小さくなるように OBIAS の電圧値を -1.49 V としてシミュレーションを行なった。シミュレーションによる ABUF 出力波形を図 3.14 に示す。

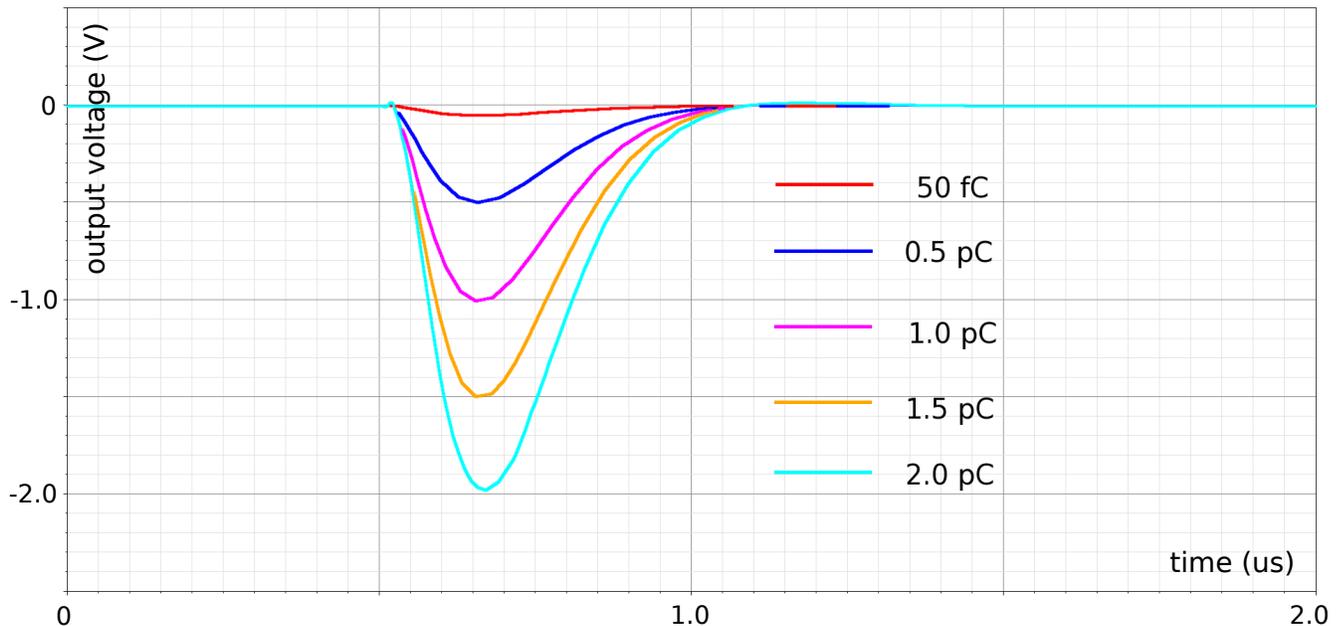


図 3.14: シミュレーションによる ABUF 出力

3.4 トランジスタの製造ばらつき

ASIC 設計では、トランジスタの製造ばらつきを考慮し、コーナーパラメータでのシミュレーションを行なってゲインなどのばらつきが許容範囲に収まっているかを確認する必要がある。

トランジスタのパラメータは T (typical) の他に S (slow) と F (fast) がある。コーナーパラメータシミュレーションでは、ASIC 内の nMOS と pMOS をそれぞれコーナーパラメータにして、FF, FS, SF, SS の 4 通りのパラメータ状態でシミュレーションを行う。本 ASIC ではコーナーパラメータでも波形、ゲインがほぼ変わらないことを確認した (表 3.2)。一例として、FF コーナーパラメータシミュレーションの結果を図 3.15 に示す。

表 3.2: 各コーナーパラメータでのゲインと信号幅 (FWHM)

チャンネル数	ゲイン	信号幅 (FWHM)
TT	1.00 V/pC	230 ns
SS	0.99 V/pC	231 ns
FS	1.01 V/pC	230 ns
FF	1.01 V/pC	228 ns
SF	0.99 V/pC	227 ns

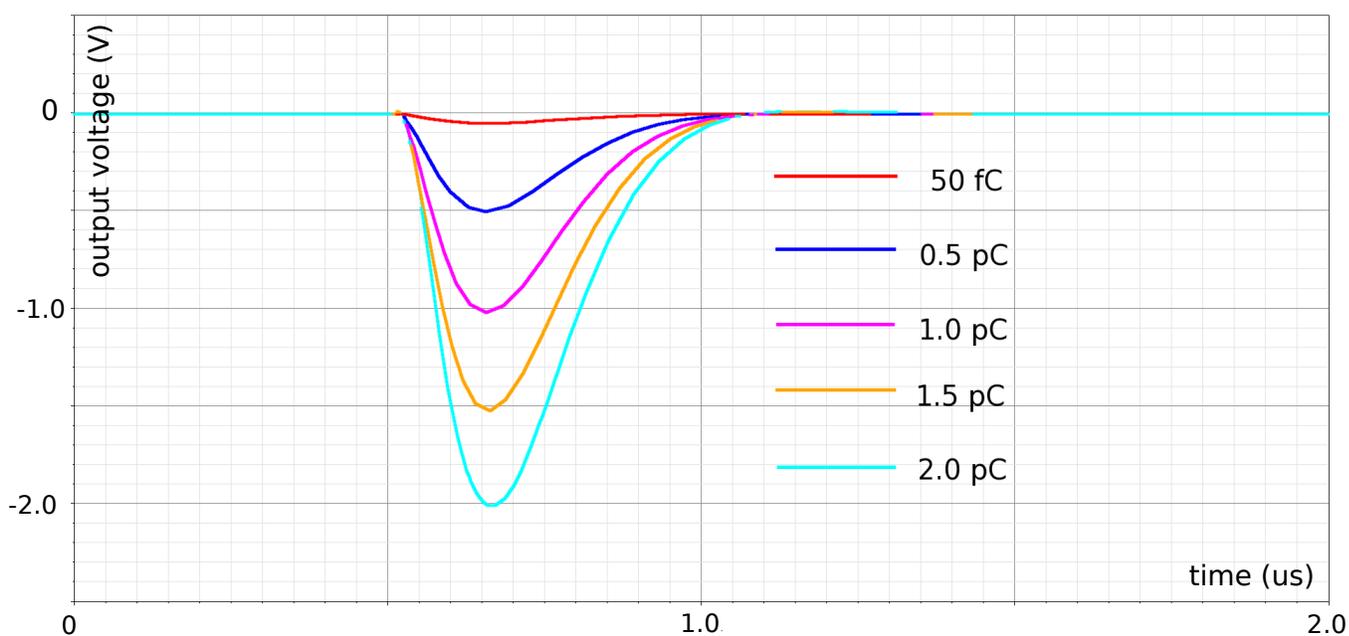


図 3.15: FF コーナーパラメータにおける ABUF 出力

3.5 レイアウト

シミュレーションが終わって回路図が決定すると、次に実際に抵抗、キャパシタ、MOSFET などの素子をどう配置、配線するかを決めるレイアウトを行う。レイアウトにおいては、素子間の距離が近すぎて製造不可能なレイアウトになっていないか等を確認する DRC (Design Rule Check) と、レイアウトの配線が回路図通りになっているかを確認する LVS (Layout versus Schematic) の 2 つのチェックを通るまで行う。

本 ASIC は 3 層メタル構造をしており、ノイズレベルを抑えるために、メタル間をつなぐコンタクト、ピアと呼ばれる層間接続用メタルをできるだけ多く打った。

図 3.16 に本 ASIC のレイアウト図を示す。

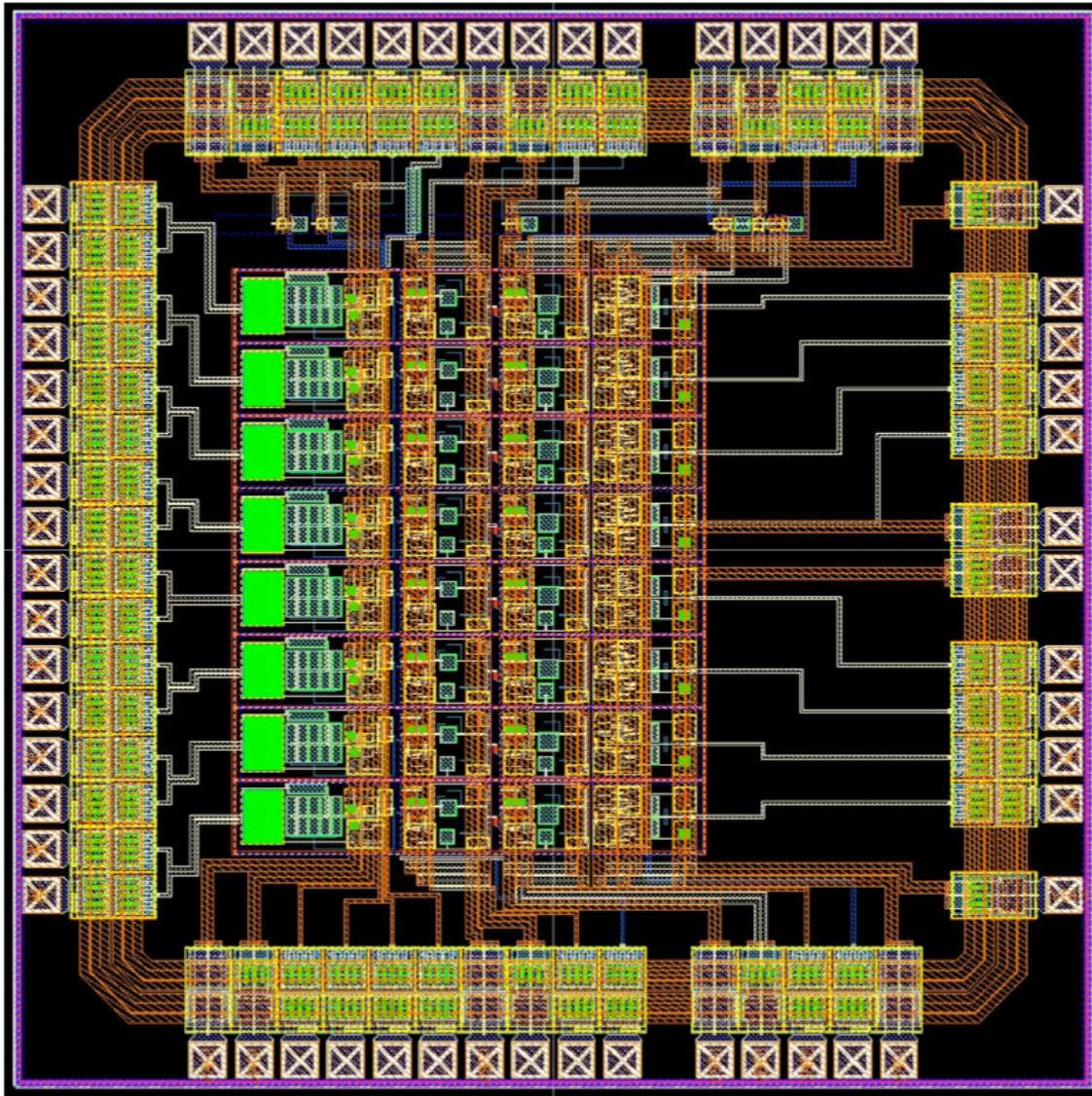


図 3.16: ASIC のレイアウト図 (左端が入力 8ch, 右端が出力)

3.6 ASIC の性能評価

製作した ASIC のテスト結果について述べる。本 ASIC の性能評価用に ASIC テストボードを製作し、オフセット、信号幅 (FWHM)、ゲインおよびリニアリティを測定し、それらのチャンネル、チップ間依存性も調べた。また、温度依存性についても調べ、 20°C から 60°C の範囲で ASIC が正常に動作することを確認した。

3.6.1 ASIC 評価用テストボード

ASIC の性能評価用にテストボードを 2 枚作製した。テストボードの写真を図 3.17 に示す。

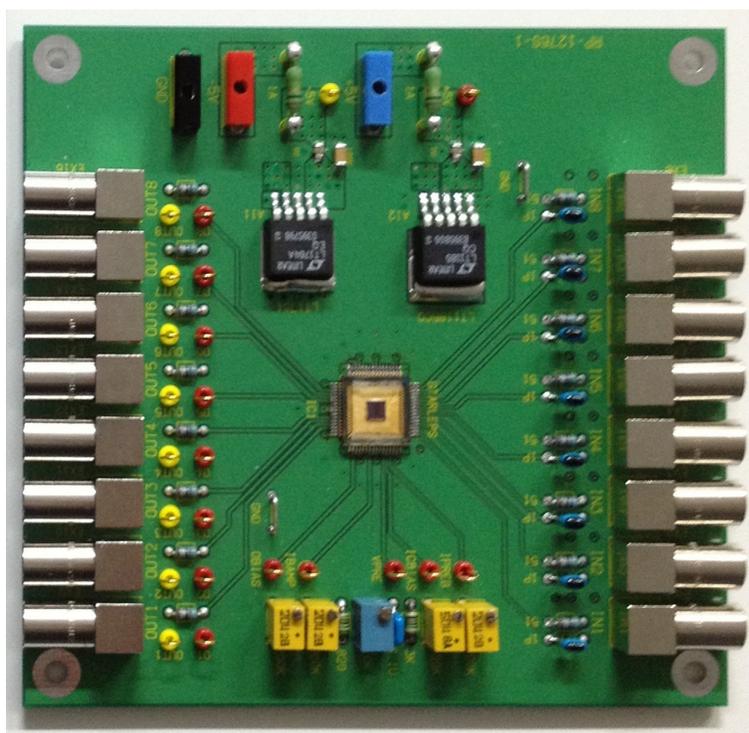


図 3.17: ASIC テストボード (右端が入力、左端が出力端子)

本 ASIC テストボードは $\pm 5\text{ V}$ 電源で動作し、正電圧用リニアレギュレータと負電圧用リニアレギュレータを使って ASIC に $\pm 2.5\text{ V}$ の安定電源電圧を与えている。また入力部には 1 pF の微分器が取り付けられており、function generator などで矩形波を lemo コネクタに入力することで、対応する電荷を ASIC に入力できるようになっている。

このテストボードには本 ASIC の 5 つのパラメータ V_{pre} , $IPREB$, $ICBIAS$, $IBAMP$, $OBIAS$ を調整するために可変抵抗器が使われている。テストボードは 2 枚あり、片方は V_{pre} 調整用可変抵抗の大きさが $10\text{ K}\Omega$ のテストボードで、もう一方は念のため V_{pre} の調整範囲が大きくなるように $20\text{ K}\Omega$ 可変抵抗を使ったテストボードである。以下ではそれぞれ $10\text{ K}\Omega$ テストボード、 $20\text{ K}\Omega$ テストボードと呼ぶ。

3.6.2 ASIC のパラメータ設定と出力波形

パラメータ $IPREB$, $ICBIAS$, $IBAMP$, $OBIAS$ の電圧値は、シミュレーション時に使った値 ($IPREB$: -1.17 V , $ICBIAS$: -1.58 V , $IBAMP$: $+1.24\text{ V}$, $OBIAS$: -1.49 V) で正しく出力波形が見えることを確認し、この値で固定してテストを行った。

1 pC 入力時の ASIC 出力波形を図 3.18 に示す。

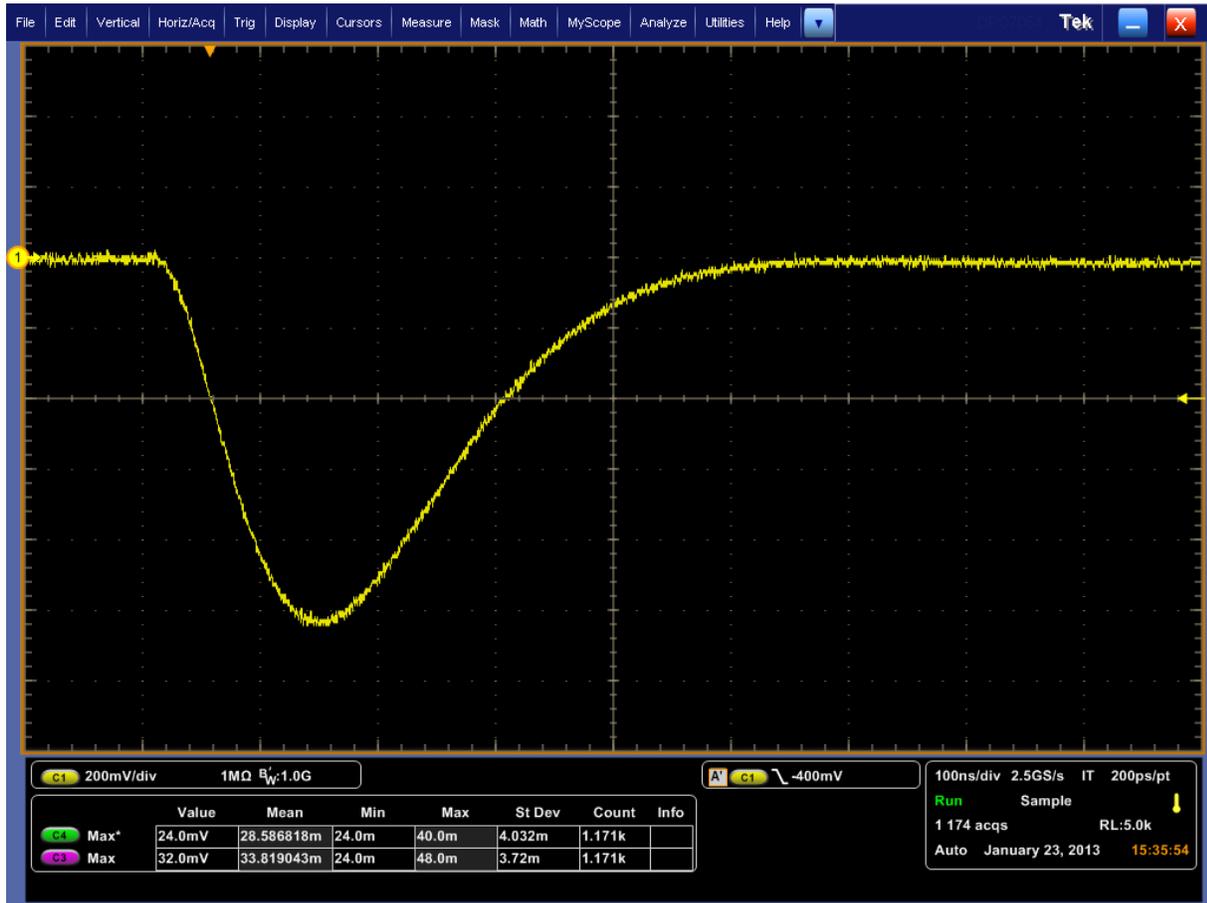


図 3.18: ASIC 出力波形

3.6.3 ゲインとリニアリティ

function generator で生成した矩形波をテストボードに入力し、1 pF の微分器を通した電荷信号を ASIC に与えオシロスコープで波高を調べた。入力矩形波の電圧を変化させ、入力電荷と ASIC の出力電圧との関係をプロットし、ゲインおよびリニアリティを求めた。各入力電荷に対し、150 イベント程度の出力波形を取得し、誤差つきで波高を測定した。

以下に 10 K Ω テストボードのチャンネル 1 における入力電荷と出力電圧の関係、およびその線形フィットの結果を示す。パラメータ V_{pre} の電圧値は 500 mV である。

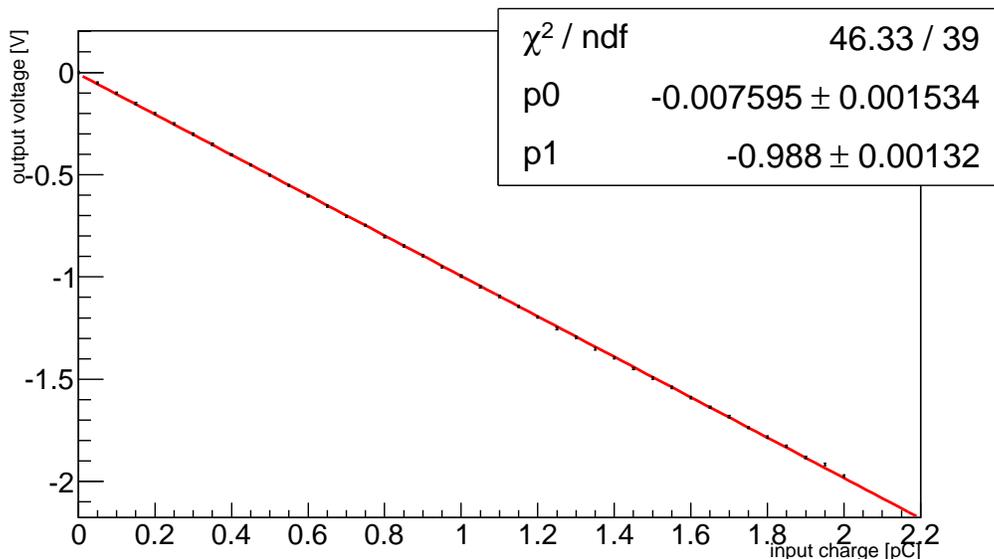


図 3.19: ゲインとリニアリティ

線形フィットの結果から、ゲインは 0.988 pC/V 、リニアリティ (INL) は 1.5% と求まった。
 $V_{\text{pre}} = 500 \text{ mV}$ 時の他のチャンネルのゲイン、リニアリティの測定結果は表 3.3 のとおりである。

表 3.3: 各チャンネルのゲインとリニアリティ

チャンネル数	10 K ver. ゲイン	10 K ver. INL	20 K ver. ゲイン	20 K ver. INL
Ch 1	0.988 V/pC	1.5%	0.992 V/pC	1.4%
Ch 2	1.006 V/pC	1.1%	0.967 V/pC	3.2%
Ch 3	1.019 V/pC	1.0%	0.993 V/pC	1.5%
Ch 4	1.007 V/pC	0.8%	0.983 V/pC	2.5%
Ch 5	1.008 V/pC	0.9%	0.985 V/pC	2.5%
Ch 6	1.011 V/pC	1.0%	1.000 V/pC	0.7%
Ch 7	1.013 V/pC	1.9%	0.997 V/pC	0.8%
Ch 8	1.012 V/pC	1.5%	0.961 V/pC	2.1%

各チャンネルでほぼシミュレーション通りのゲインが得られ、チャンネル間ばらつきも少ないことが確認できた。

3.6.4 オフセットとノイズレベル

ここではオフセットとノイズレベルの測定結果を述べる。全体のオフセットレベルはパラメータ V_{pre} の電圧値を変化させることによって調整することができるので、チャンネル間のばらつきを調

ることが大切である。表 3.4 に、 V_{pre} を 500 mV に設定したときの各チャンネルのオフセットレベルおよびボードごとの平均値を示す。

表 3.4: 各チャンネルのオフセットレベル

チャンネル数	10 K ver. オフセット	20 K ver. オフセット
Ch 1	-250 mV	-293 mV
Ch 2	-249 mV	-282 mV
Ch 3	-250 mV	-280 mV
Ch 4	-248 mV	-300 mV
Ch 5	-254 mV	-299 mV
Ch 6	-252 mV	-298 mV
Ch 7	-252 mV	-300 mV
Ch 8	-250 mV	-296 mV
平均	-251 mV	-294 mV

オフセットのチャンネル間のばらつきは 20 mV 以下で、 V_{pre} を調整することで、ほとんどダイナミックレンジに影響を及ぼさないことが分かった。

各チャンネルのノイズレベル (ENC) およびテストボードでの平均値は表 3.5 のとおりである。

表 3.5: 各チャンネルのノイズレベル

チャンネル数	10 K ver. ノイズレベル	20 K ver. ノイズレベル
Ch 1	2212	2144
Ch 2	1993	1794
Ch 3	2173	2027
Ch 4	2055	2123
Ch 5	1798	2038
Ch 6	2335	2276
Ch 7	2048	1814
Ch 8	1975	1975
平均	2074	2024

3.6.5 クロストーク

クロストークとはあるチャンネルに来た電荷信号によって、他のチャンネルにも電荷が誘起され、出力信号として現れることである。チャンネル A に検出器からの電荷信号が来たときのチャンネル B のクロストークは以下で定義される。

$$\text{cross talk} = \frac{\text{チャンネル B の出力波高 [mV]}}{\text{チャンネル A の出力波高 [mV]}} \times 100 (\%)$$

ASIC ではとなり合うチャンネル間の距離がとても短いので、クロストークを測定、評価することは重要である。

チャンネル n に 2 pC の電荷を入力した時のチャンネル ($n+1$) のクロストークの値を表 3.6 にまとめる。クロストークは 0.2 % 程度で十分小さいことが確認できた。

表 3.6: 各チャンネルのクロストーク

チャンネル数	10 K ver.	20 K ver.
Ch 2	0.20 %	0.22 %
Ch 3	0.22 %	0.18 %
Ch 4	0.20 %	0.16 %
Ch 5	0.20 %	0.18 %
Ch 6	0.20 %	0.20 %
Ch 7	0.19 %	0.16 %
Ch 8	0.20 %	0.18 %

3.6.6 温度依存性

LEPS2 TPC はチャンネル数が多く、消費電力も大きいので、ある程度読み出しボードの温度が上昇することが考えられる。そのため、ASIC の温度依存性を調べることは重要である。

本 ASIC の出力信号の形 (ゲイン、信号幅、オフセットレベル) を決める主要な素子は

- Preamp & PZC ブロックのチャージアンプ部帰還容量 (ゲインに直接関わる)
- Preamp & PZC ブロックのチャージアンプ部帰還 NMOS (オフセットと信号幅に関わる)
- Preamp & PZC ブロックの PZC 部の NMOS およびキャパシタ (信号幅に関わる)
- シェイパブロックの入力段抵抗および帰還回路 (ゲインや信号幅に関わる)

である。

基本的に受動素子は温度依存性が少なく、MOSFET のような能動素子は受動素子に比べて大きな温度依存性を持つ。3.1.2 で述べたように、本 ASIC では信号の形を決める素子は基本的に受動素子で実装している。特にゲインに直接かかわるチャージアンプ部分の帰還容量は、MOSFET ではなく MIM キャパシタで実現した。出力信号形を決める素子のうち、MOSFET で実装したのはオフセットレベルに直接かかわる Preamp & PZC ブロックの NMOS のみである。

我々は KEK の恒温槽 (図 3.20) を用いて、ASIC まわりの空気の温度を一定に保って ASIC の温度依存性を測定した。20 °C, 40 °C, 60 °C の 3 点でそれぞれ ASIC の出力波形が大きく変化しないことをオシロスコープで確認し、ゲイン、リニアリティ、信号幅、オフセットレベル、ノイズレベルの測定して変化を確認した。



図 3.20: KEK の恒温槽を用いて ASIC の温度依存性を調べた。

10 K Ω テストボードのチャンネル1 における各温度での入力電荷と出力波高の関係を図 3.21 に示す。

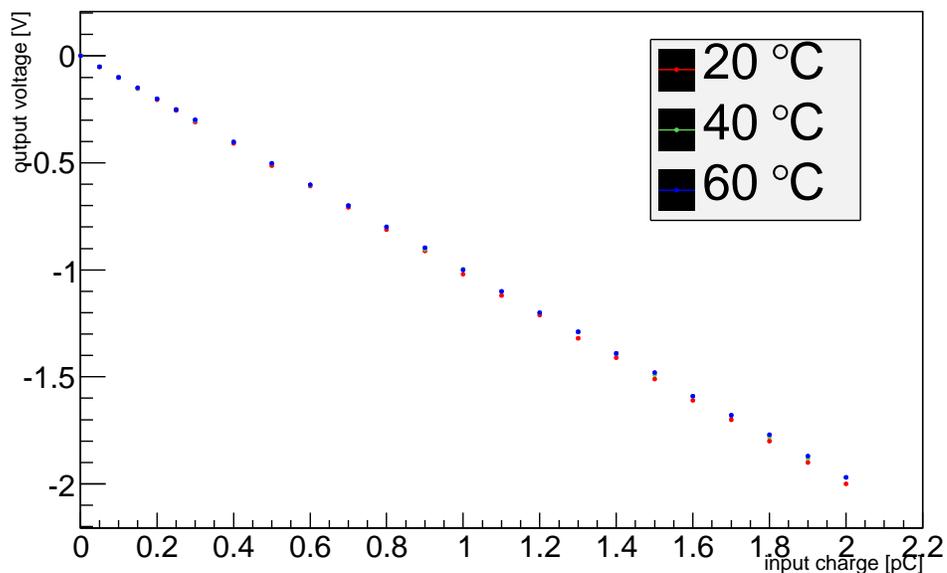


図 3.21: ASIC 出力波高の温度依存性

図 3.21 から求めたゲインおよびリニアリティと、信号幅、ノイズレベル、消費電力を次の表 3.7 に示す。この温度範囲ではこれらの量にはほとんど変化がないことが分かる。

表 3.7: 各温度でのゲインとリニアリティ

温度	ゲイン	INL	信号幅 (FWHM)	ENC	消費電力
20 °C	1.006 V/pC	1.2 %	212 ns	2050	7 mW/ch
40 °C	0.992 V/pC	1.2 %	214 ns	2005	7 mW/ch
60 °C	0.990 V/pC	1.4 %	214 ns	2100	7 mW/ch

$V_{pre} = 500 \text{ mV}$ のときの $10 \text{ K}\Omega$ テストボードにおける各温度、各チャンネルのオフセットレベルは表 3.8 に示す。また温度ごとの平均オフセットレベルの絶対値を図 3.22 に示す。

表 3.8: 各温度、各チャンネルにおけるオフセットレベル

チャンネル数	20 °C	40 °C	60 °C
Ch 1	-251 mV	-237 mV	-230 mV
Ch 2	-248 mV	-237 mV	-231 mV
Ch 3	-250 mV	-238 mV	-233 mV
Ch 4	-249 mV	-235 mV	-230 mV
Ch 5	-253 mV	-243 mV	-236 mV
Ch 6	-253 mV	-240 mV	-234 mV
Ch 7	-253 mV	-241 mV	-235 mV
Ch 8	-248 mV	-237 mV	-230 mV
平均	-251 mV	-238 mV	-232 mV

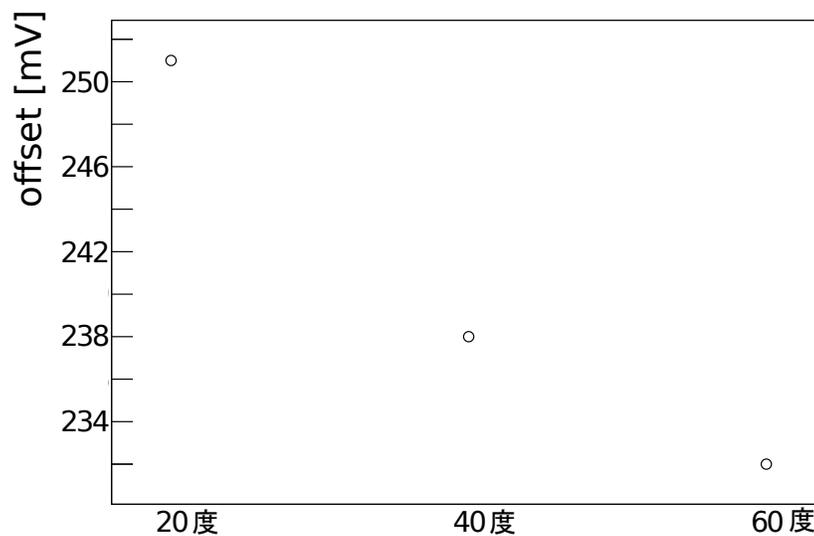


図 3.22: オフセットレベル (絶対値) の温度依存性

オフセットレベルの絶対値は温度が上がるほど小さくなることが確認できた。これは Preamp & PZC ブロックのオフセットレベルを決める 2 つの NMOS に流れるドレイン電流値が減少したためだと考えられる。(一般に MOSFET の温度が上がると、シリコン原子の格子振動によってキャリアの移動度が下がり、ドレイン電流値が下がる。) しかしオフセットレベルの温度による変化は、20 °C から 60 °C の範囲で 20 mV 程度で、この温度範囲で十分使用できることが確認できた。

3.6.7 消費電力

テストボードにはレギュレータが載っているので直接消費電力を測ることはできない。そこでレギュレータの効率を考慮して、電源に流れる電流値から、ASIC の V_{SS} および V_{DD} に流れる電流を計算し、電源電圧との積を取ることによって消費電力を計算する。

10 K Ω テストボードの消費電力は 70 mW, 20 K Ω テストボードの消費電力は 67.2 mW となり、両ボードともに 10 mW/ch 以下の消費電力を実現している。

3.6.8 テスト結果のまとめ

LEPS2 TPC フロントエンド用 ASIC のテスト結果を表 3.9 まとめる。

表 3.9: ASIC 性能試験結果

ゲイン	(0.996 ± 0.016) V/pC
リニアリティ (INL)	(1.5 ± 0.7) %
信号幅 (1 pC 入力時の FWHM)	220 - 230 ns
オフセットばらつき	$\sim \pm 10$ mV
ノイズレベル (ENC)	~ 2000 electron
消費電力	~ 7 mW/ch
動作温度範囲	外部温度が 20 - 60 °C のとき正常に動作

第4章 結論と今後の方針

4.1 結論

我々はLEPS2 TPC用フロントエンド回路の開発を行った。

4.1.1 FADC ボード

TPC読み出しのためのFADCボードを作製し、ゲイン、リニアリティ、信号幅、オフセットレベル、ノイズレベル、クロストーク、消費電力を測定した。

ゲイン、リニアリティ、信号幅に関しては要求仕様を満たし、オフセットレベルのばらつきおよびクロストークも十分小さいことを確認した。

ノイズレベルは大きく、原因としては配線ミス修正に使ったリード抵抗がノイズを拾っている可能性などが考えられる。ノイズレベルに関してはさらに調査を続ける必要がある。

4.1.2 ASIC

我々はFADCボードの小型化かつ省電力化のために、アナログ部分をASIC化するアップグレードプランを考えている。そのためにアナログ部波形整形用ASICのテストチップを作製し、ゲイン、リニアリティ、信号幅、オフセットレベル、ノイズレベル、クロストーク、消費電力およびそれらの温度依存性を測定した。

ゲイン、リニアリティ、信号幅、消費電力に関して要求性能を満たすことを確認し、オフセットレベルのばらつきとクロストークが十分小さいことを確認した。

ASICに関してもノイズレベルがやや大きい問題があるが、テストボードがノイズを拾っている可能性などが考えられる。実際のTPCにつけてのテストなど、ノイズレベルに関してはさらに調査を続ける必要がある。

4.2 今後の方針

トリガーレートが5 - 10 kHzであることと、TPCのドリフト時間が最大20 μsec 程度であることを考慮すると、TPC読み出しは不感時間のない高速読み出しである必要がある。そのためには、FPGAで波形処理を行い、分解能を損なわずにバックエンドPCへのデータ転送量を減らす必要がある。今回のテストではそこまでいけなかったため、今後FPGA部分での波形処理の研究を行い、作製したFADCボードで不感時間のない高速読み出しが実現できるかを調べていく必要がある。また図2.15のような配線ミスがあるため、修正箇所を確立させて新しいFADCボードを作る必要がある。

ASIC に関しては、TPC 実機につけてのノイズレベルの確認など、ノイズに関するより詳細な試験を行った上で次の ASIC をサブミットし、ASIC を載せた FADC ボードの作製をはじめます。

謝辞

本研究を行うにあたり、大変多くの方々にお世話になりました。

FADC ボード開発においては、阪大 RCNP の味村准教授と同研究室の新山助教に直接の指導をいただき、忙しい中多大な時間を割いて頂きました。味村准教授には、FADC ボード開発の全てに渡って指導をいただき、また休日の突然の電話による質問にも親身に対応していただきました。新山助教には、FADC ボード開発の指導に加え、本修士論文の執筆に関しても面倒を見て頂きました。同研究室の永江教授には、本論文の細かいところまで目を通して頂き、たくさんのアドバイスをいただきました。

ASIC 開発においては、KEK 素粒子原子核研究所の田中准教授に直接の指導をいただきました。レイアウトが完成したのは林崇精器の根岸さんのおかげです。KEK 素粒子原子核研究所の島崎技師には ASIC テストボードに ASIC チップをハンダ付けする作業を手伝って頂きました。同研究室の先輩の野沢さんには ASIC 開発ソフトウェアの使い方について詳しく教えて頂きました。

回路テストにおけるトラブルのときは、新山助教と野沢さんに一日中付き添ってもらった日が何日もありました。また味村准教授にも電話でトラブルに対応していただきました。FPGA と回路との通信がうまくいかずに悩んでいる時に、同研究室先輩の中村さんには何度も有用なアドバイスをいただきました。

解析ソフトウェアの使い方に関して同研究室の時安さんと江川くんに多くのアドバイスをいただき、本修論執筆に関しては同研究室の川畑准教授、村上講師、藤岡助教にも多くのアドバイスをいただきました。

上記の方々と、他にもお世話になったみなさまに感謝いたします。

付録 MOSFET の構造と動作

ASIC で使用する最も重要なデバイスである MOSFET の動作について述べる。
 図 1 は、p 型シリコン基板上に作った n チャンネル MOSFET の断面構造である。

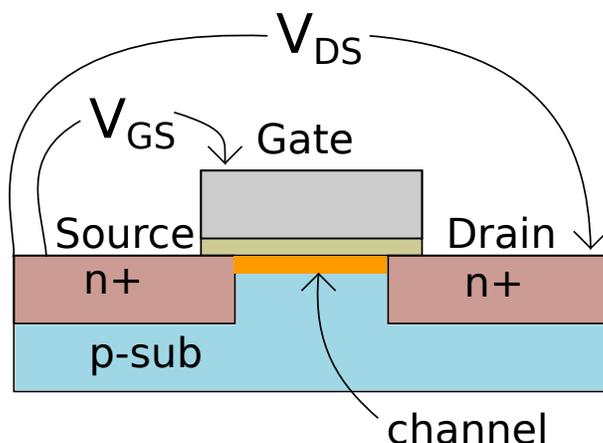


図 1: n チャンネル MOSFET の断面構造

n チャンネル MOSFET は NMOS とも呼ばれ、n 型不純物原子拡散層領域であるソース、ドレイン端子を持つ。また酸化膜（絶縁体）を介してゲート端子も持ち、ゲートに正電圧をかけることでソース-ドレイン間にチャンネル（p 型半導体上に作られた n 型の反転層）と呼ばれる電子の通り道を形成することができる。電子はこのチャンネルを通り抜けて、ソースからドレインに流れ出すことができる。MOSFET とは、ソースとドレインの間を流れる電流（ドレイン電流と呼ぶ）をゲート電圧 V_{GS} で制御する電圧-電流変換素子である。

ゲート電圧 V_{GS} がしきい値電圧 V_T より小さいと、十分なチャンネル領域が形成されず電流がほとんど流れない。この状態（ $V_{GS} < V_T$ ）を MOSFET が弱反転領域にあるといい、逆にゲート電圧 V_{GS} がしきい値電圧 V_T を超えているとき、MOSFET は強反転領域にあるという。特別な場合を除き、MOSFET は強反転領域で使用する。

強反転領域はドレイン電圧 V_{DS} の値によってさらに非飽和領域（線形領域）と飽和領域の 2 種類に分類することができる。

$V_{DS} < V_{GS} - V_T$ を満たす低ドレイン電圧領域では、図 2 のようにチャンネル（反転層）はソース-ドレイン間にまたがり、 V_{DS} に対して抵抗のようなはたらきをする。

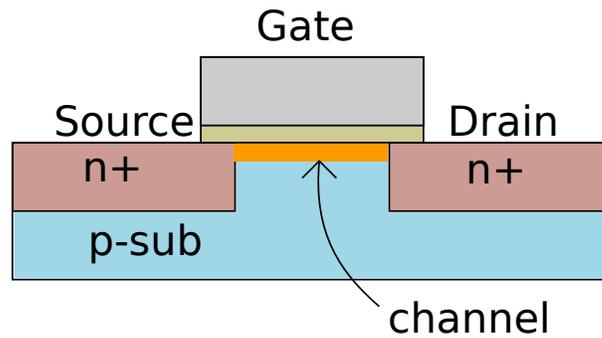


図 2: 線形領域におけるチャネルのようす

このときソース-ドレイン間に流れるドレイン電流 I_D と、ゲート電圧 V_{GS} およびドレイン電圧 V_{DS} の間には次の関係式が成り立つ。

$$I_D = \beta \left[(V_{GS} - V_T) - \frac{1}{2} V_{DS} \right] V_{DS}$$

ここで $\beta = \frac{W}{L} \mu C_{ox}$ は MOSFET ごとに決まる定数である。ドレイン電流 I_D がドレイン電圧 V_{DS} に依存することが分かる。この領域を線形領域もしくは非飽和領域と呼ぶ。この領域では MOSFET の増幅動作が期待できないので、アナログ回路では特殊な場合を除いて線形領域での MOSFET の使用は避けるのが普通である。

一方、 $V_{DS} > V_{GS} - V_T$ を満たす高ドレイン電圧領域では、チャネルは図 3 のようになり、ドレイン領域近傍には反転層が形成されなくなる。この領域を飽和領域と呼び、飽和領域ではドレイン電流 I_D は次式のように表すことができる。

$$I_D = \frac{\beta}{2} (V_{GS} - V_T)^2 (1 + \lambda V_{DS}) \approx \frac{\beta}{2} (V_{GS} - V_T)^2$$

λ はチャネル長変調係数と呼ばれる定数で、通常この項は無視できるほど小さい。そのため飽和領域ではドレイン電流 I_D はドレイン電圧 V_{DS} にほとんど依存せず、ゲート電圧 V_{GS} の値のみによって決定する。通常 ASIC に使う MOSFET は全て飽和領域で動作させる。LEPS2 TPC 用フロントエンド ASIC でも、MOSFET は全てこの飽和領域で動作させている。

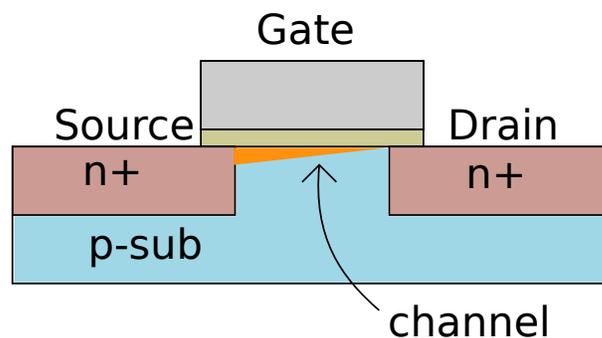


図 3: 飽和領域におけるチャネルのようす [8]

参考文献

- [1] H. Nagahiro *et al.*, Phys. Rev. C **74**, 045203 (2006).
- [2] Y.Nozawa, Kyoto Univ. Master thesis (2012)
- [3] LTspice <http://www.linear-tech.co.jp/designtools/software/>
- [4] Philip E. Allen and Douglas R. Holberg, CMOS Analog Circuit Design, Oxford University Press (2002)
- [5] 谷口 研二, CMOS アナログ回路入門, CQ 出版社 (2005)
- [6] David A. Johns and Ken Martin, Analog Integrated Circuit Design, John Wiley & Sons (1997)
- [7] Virtuoso <http://www.cadence.com/products/cic/pages/default.aspx>
- [8] R. Jacob Baker, CMOS Mixed Signal Circuit Design, John Wiley & Sons (2002)