

# 検出器のスマート化を目指した ネットワーク・アナログデジタルコンバータ (ADC-SiTCP)チップの開発

KEK素核研<sup>A</sup>, Open-It<sup>B</sup>, Bee Beans Technologies<sup>C</sup>

濱田英太郎<sup>A, B</sup>, 石綿将邦<sup>C</sup>, 岩瀬和也<sup>C</sup>, 岸下徹一<sup>A, B</sup>,  
佐藤一至<sup>C</sup>, 田中真伸<sup>A, B</sup>, 宮原正也<sup>A, B</sup>

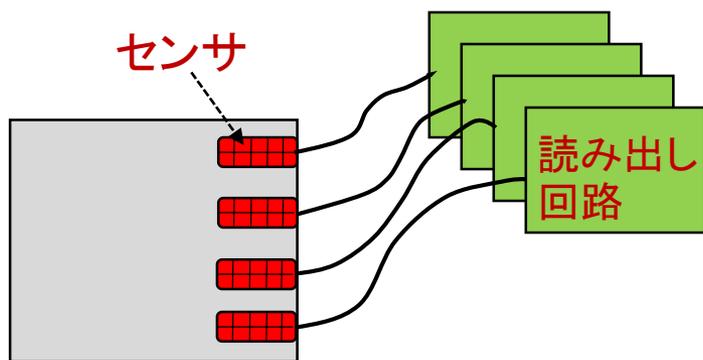
# 目次

- インTRODクシヨN
- ADC-SiTCPチップの概要
- ADC-SiTCPチップの設計
- 電力
- まとめ

# イントロダクション

## 読み出し回路を小型化・低消費電力化させ、 検出器のスマート化を目指す

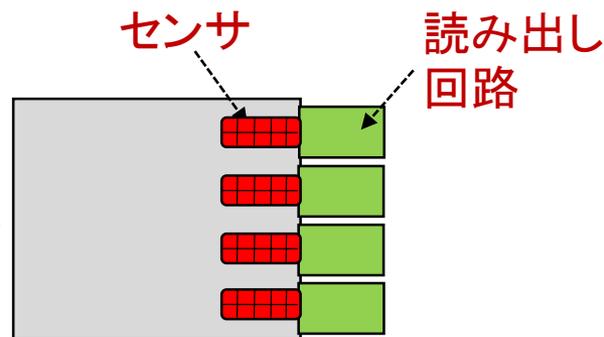
回路が小型で低消費電力でないと、  
読み出し回路が検出器に直結できない



高密度・多チャンネル化  
された検出器

読み出し回路を小型化・低消費電力化させ、  
検出器に直結できるようにする  
→ よりスマートな検出器システムに！

高密度・  
多チャンネル化  
された検出器



スマート化のメリット

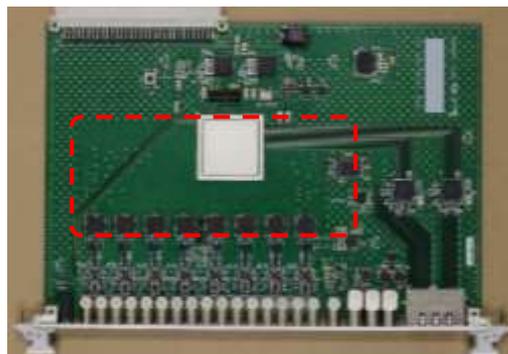
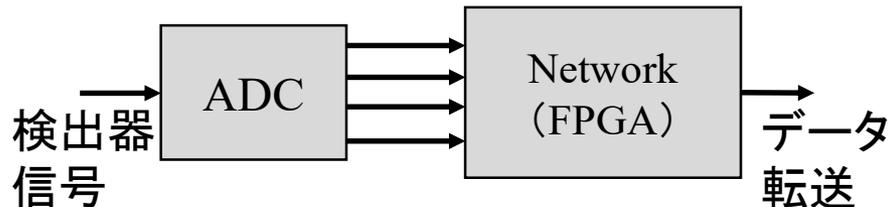
- スペースの有効化
- 信号の駆動電流が小さくなる
- 信号の質の向上
- 物質量が小さい

# ネットワーク・アナログデジタルコンバータ (ADC-SiTCP)チップ

ADCとネットワーク通信モジュールの一体化

→ 読み出し回路を小型化・低消費電力化

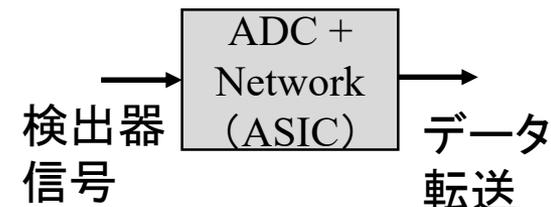
これまで多く利用されてきた回路



例) 過去に開発した16ch・12bit ADC回路  
(VMEサイズ)

赤い四角の中にADCとFPGA間の信号が  
206本ある(LVDSの103ペア)

新しい回路



メリット

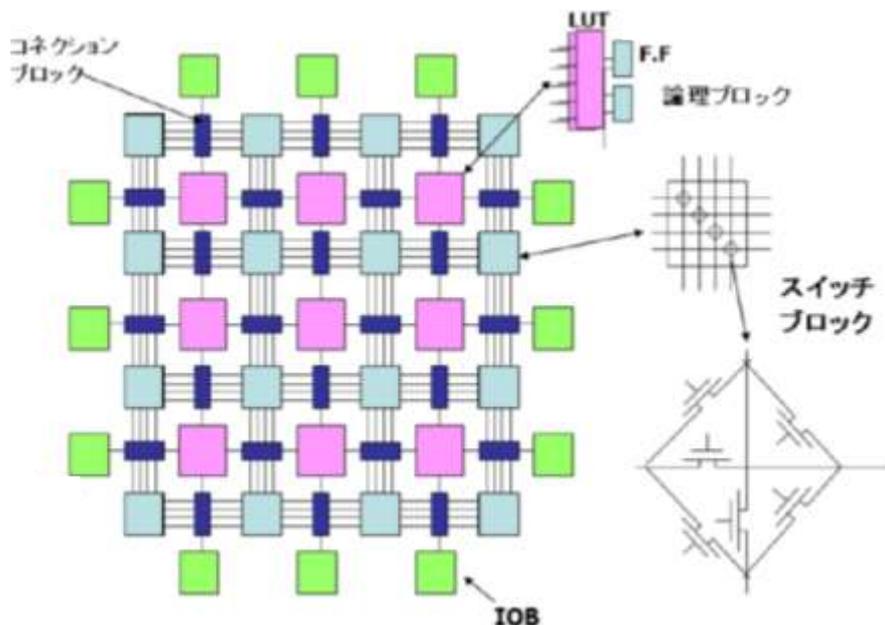
- チップ数が減るため小型化
- ADCとNetwork用チップ間の信号線がない  
→ 信号を駆動させる必要がないので  
低消費電力化  
信号線のスペースがなくなるので小型化

# ネットワークモジュールをFPGAからASICへ

ASICでネットワーク・アナログデジタルコンバータ(ADC-SiTCP)を最適化

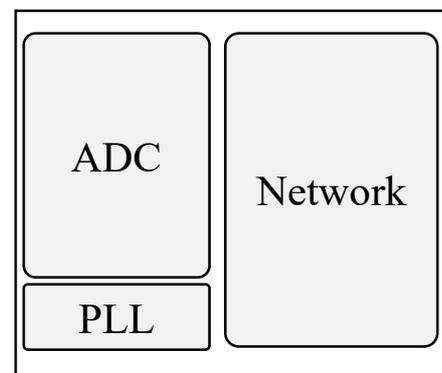
→ 読み出し回路を小型化・低消費電力化

FPGAの場合



- ゲート効率が悪い
- 実際には使用していない回路がある

ASICの場合



- 必要な回路のみで構成(最適化)

※今回はTSMC社 65nm CMOS  
プロセスを利用して開発

# ADC-SiTCP 仕様

## ADC

- チャンネル数 8ch
- サンプリング周波数 最大10MHz
- bit数 10bit

## ネットワーク通信

- データ最大転送速度 1Gbps

## デジタル部の処理

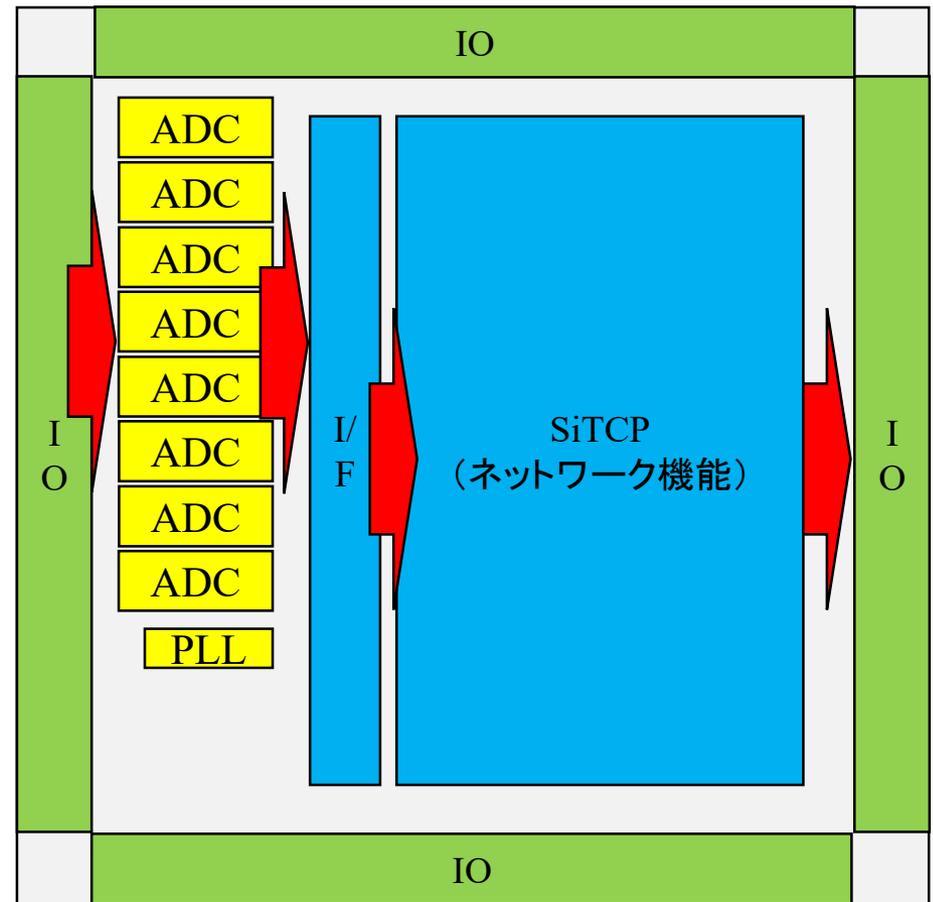
- ADCデータにタイムスタンプを追加したものを、イーサネットネットワーク通信する
- ADCデータを全て連続的に取得し、イーサネットネットワーク通信を行う

# ADC-SiTCP 設計

- IO → Input Output
- ADC → SAR ADC
- PLL → クロックジェネレータ
- SiTCP  
→ イーサネットに接続するモジュール
- I/F  
→ ・データ転送処理  
・スローコントロール処理

アナログ回路

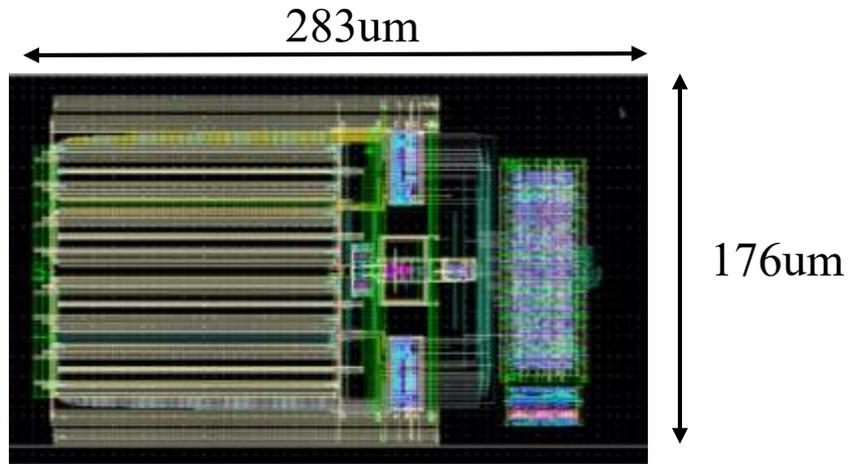
デジタル回路



ADC-SiTCP ブロック図

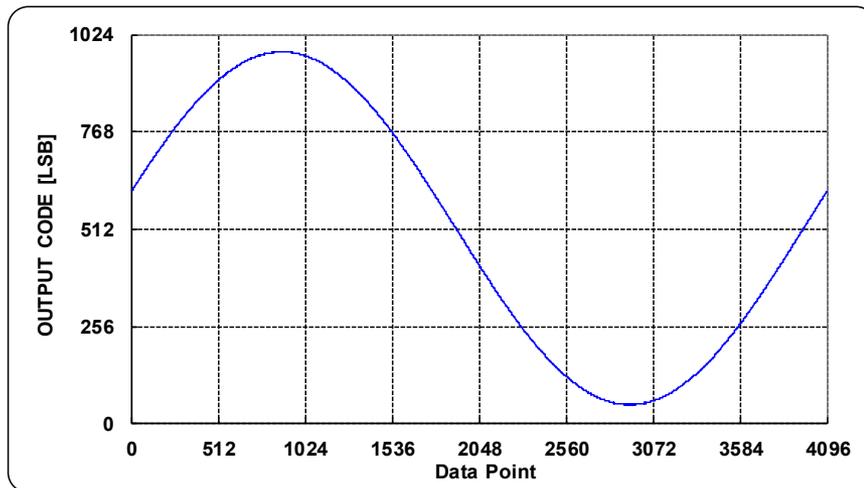
# ADC-SiTCP 設計

## 10bit, 10MS/s SAR ADC

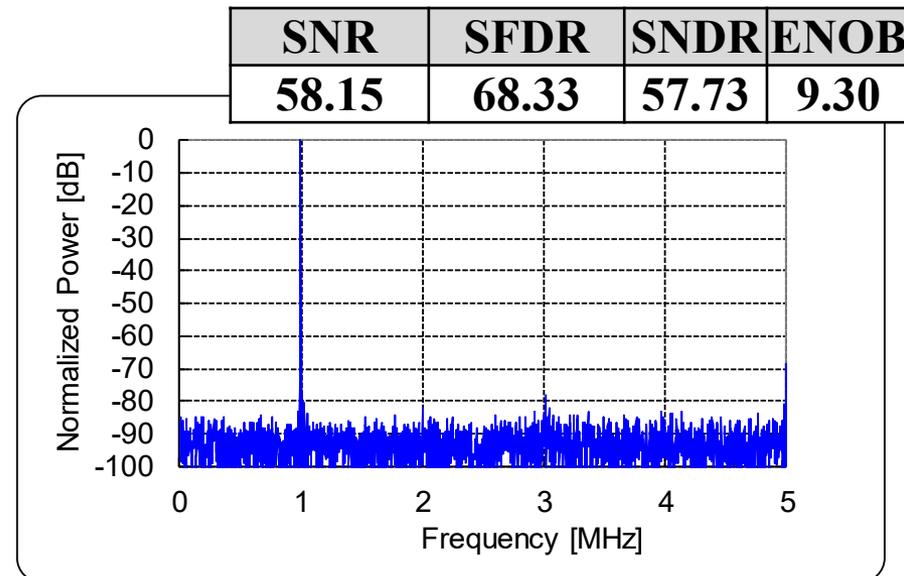


- 1chあたりの消費電力 1mW以下
- 有効分解能 9.3bit @ 10MS/s

※1chのADCを搭載したチップの開発及び評価は実施済み



サイン波を入れた時の出力データ

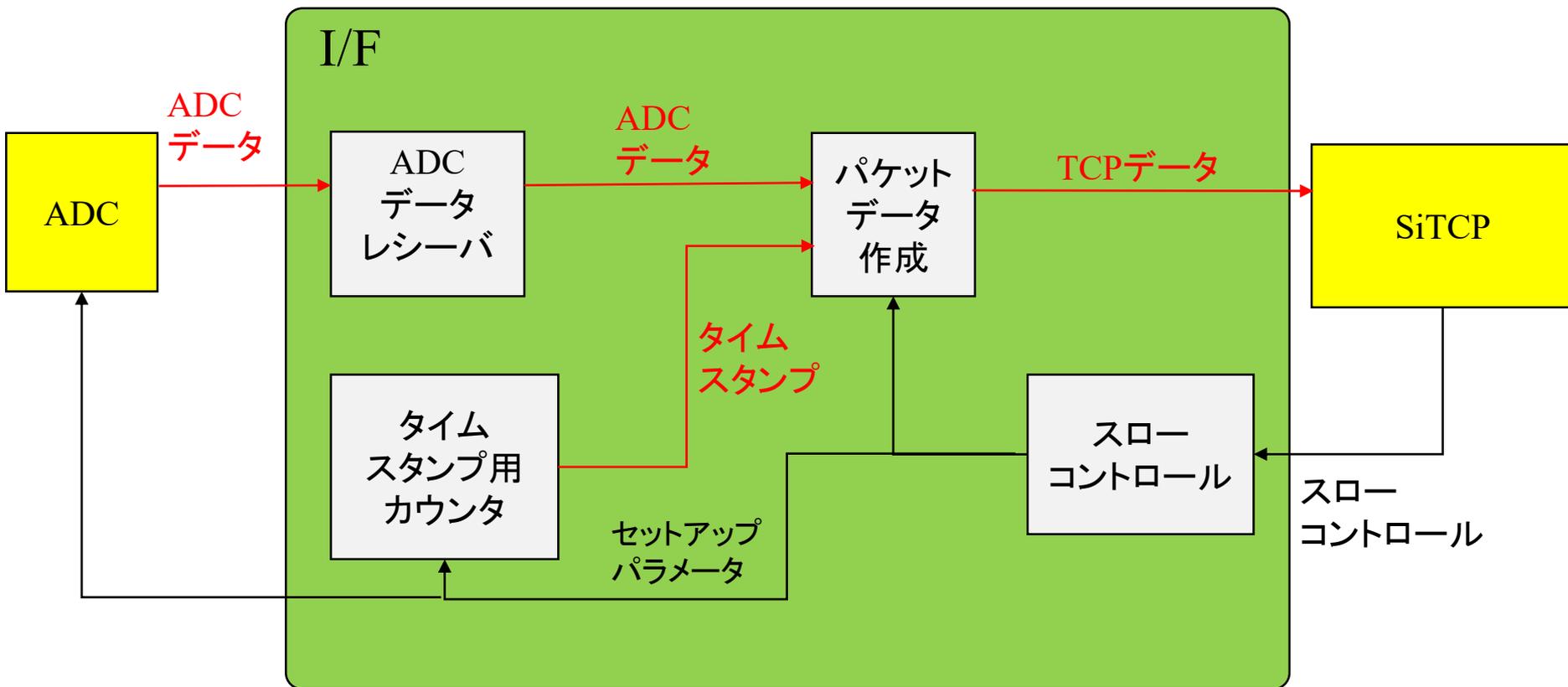


FFT解析の結果

# ADC-SiTCP 設計

## I/F

- ADCデータを受信し、タイムスタンプを追加したTCPデータに変換して送信
- SiTCPからスローコントロール信号を受け取り、セットアップパラメータの制御を行う

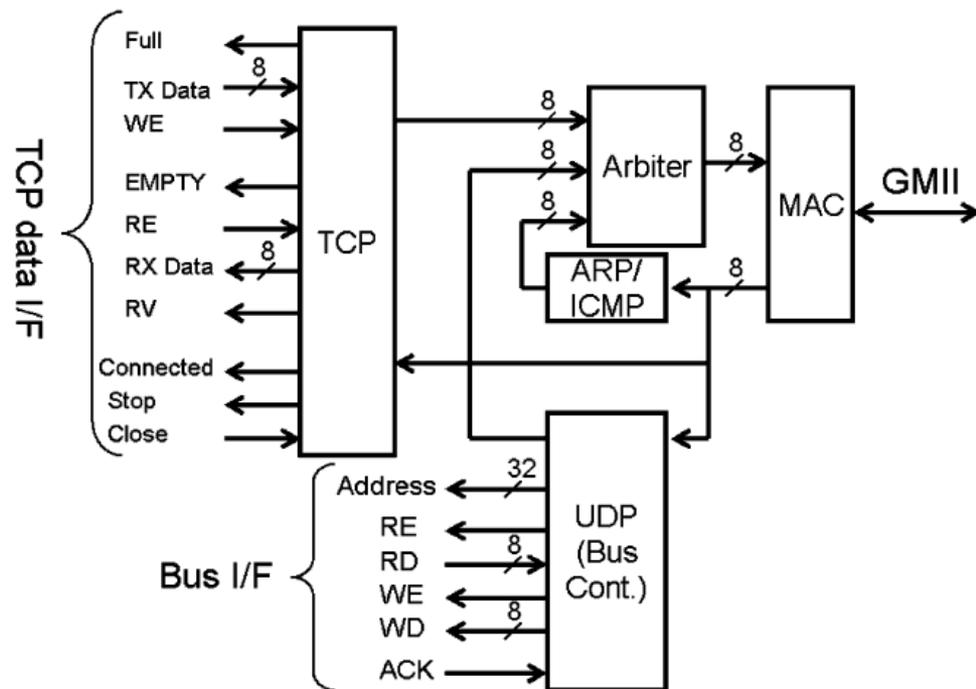


IF ブロック図

### 今回、初めてASICにSiTCPを組み込む

SiTCPとは

- イーサネットに接続させるモジュール
- 多くの実験でFPGAに組み込まれてきた
- 主な特徴
  - 高速TCPデータ転送 (1Gbps)
  - UDPを用いたスローコントロール機能
  - 小さな回路規模
  - 外付け部品が少ない  
(外付け部品はEthernet PHYチップとMACアドレス格納用EEPROMのみ)



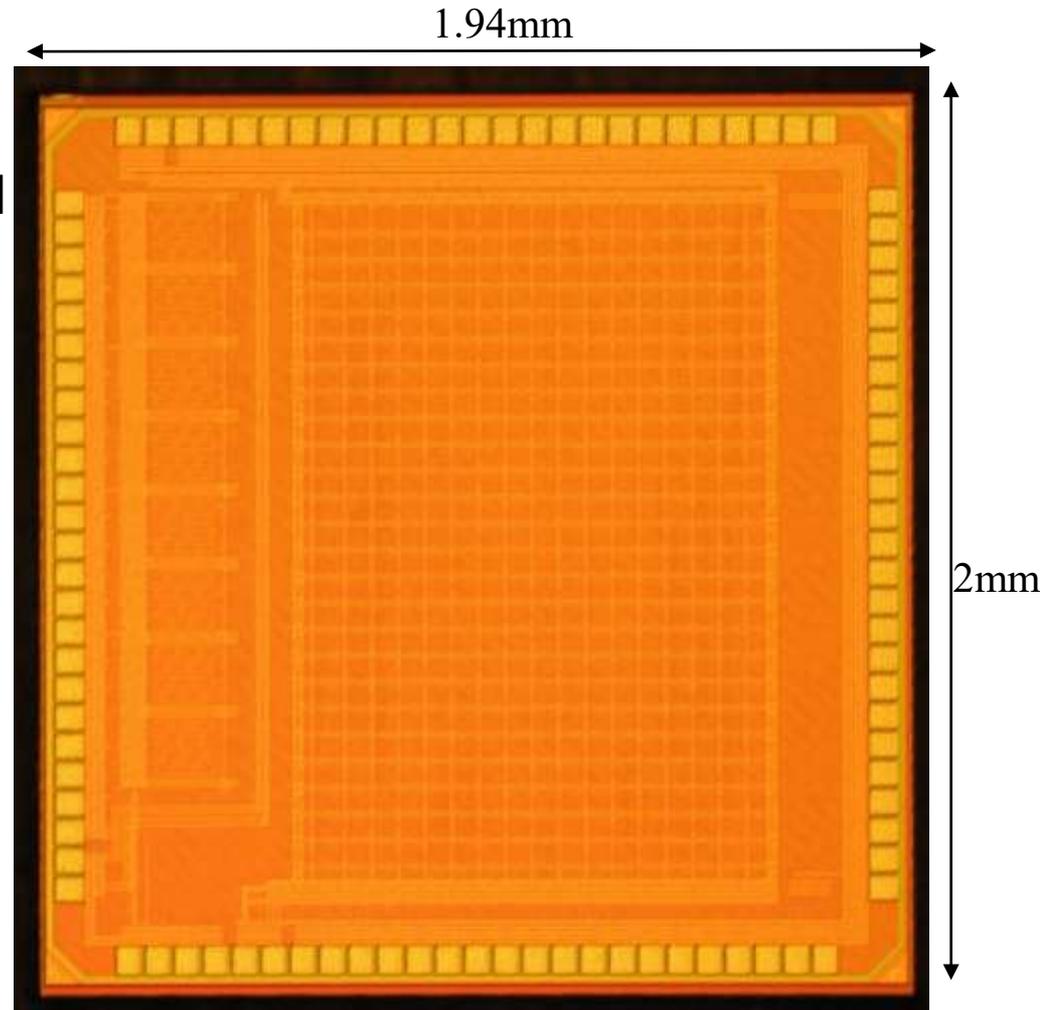
SiTCPのブロック図  
“Hardware-Based TCP Processor for Gigabit Ethernet” より

# ADC-SiTCP

## ○面積

**1.94mm × 2.00mm**

- ADC 0.283mm × 0.176mm × 8個
- I/F 0.04mm × 1.49mm
- SiTCP 0.95mm × 1.49mm



ADC-SiTCP 実物の写真

# ADC-SiTCP

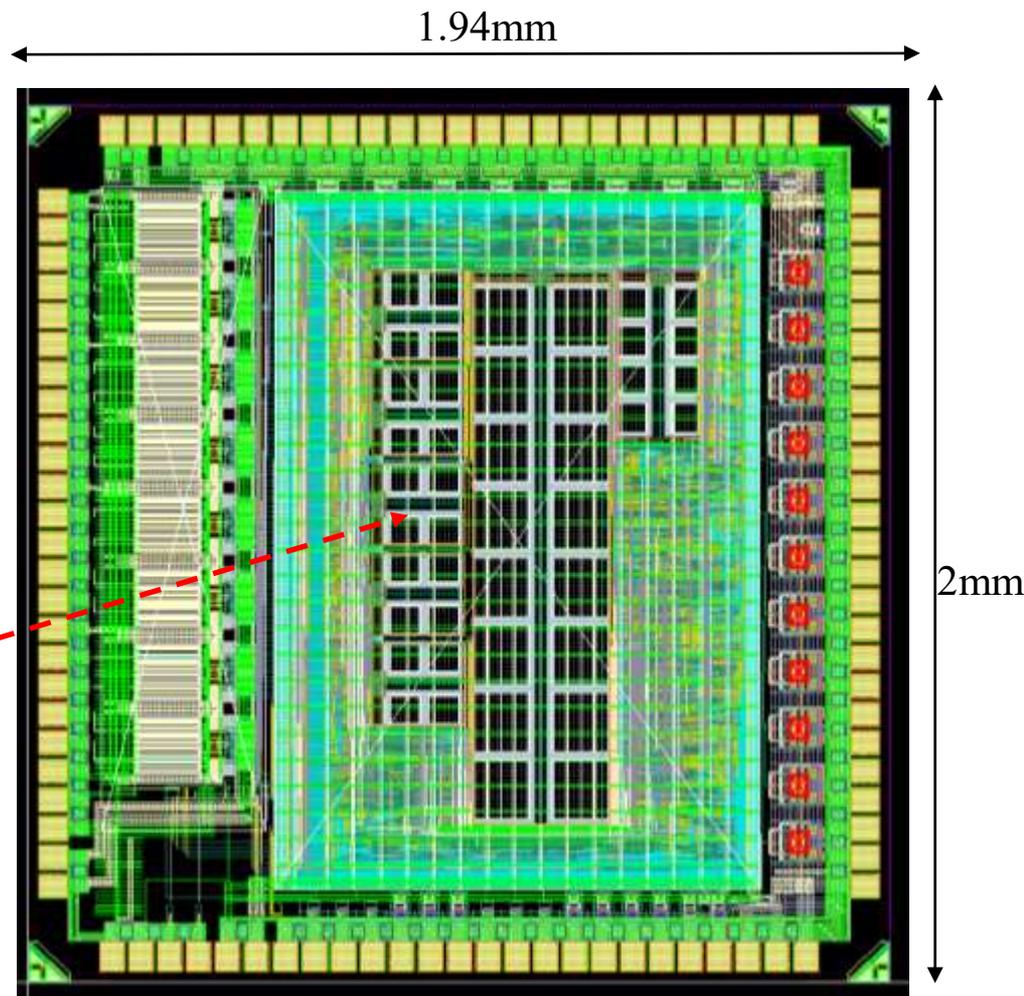
## ○面積

1.94mm × 2.00mm

- ADC 0.283mm × 0.176mm × 8個
- I/F 0.04mm × 1.49mm
- SiTCP 0.95mm × 1.49mm

## SiTCPのSRAM (372Kbit)

- 2048 × 8bit 3個
- 2048 × 9bit 2個
- 4096 × 8bit 1個
- 32768 × 8bit 1個



ADC-SiTCP 開発ツールの表示画面

# 電力の比較

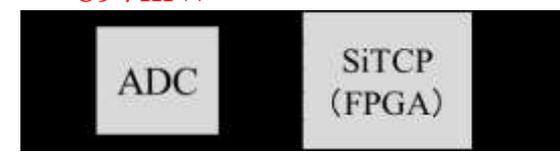
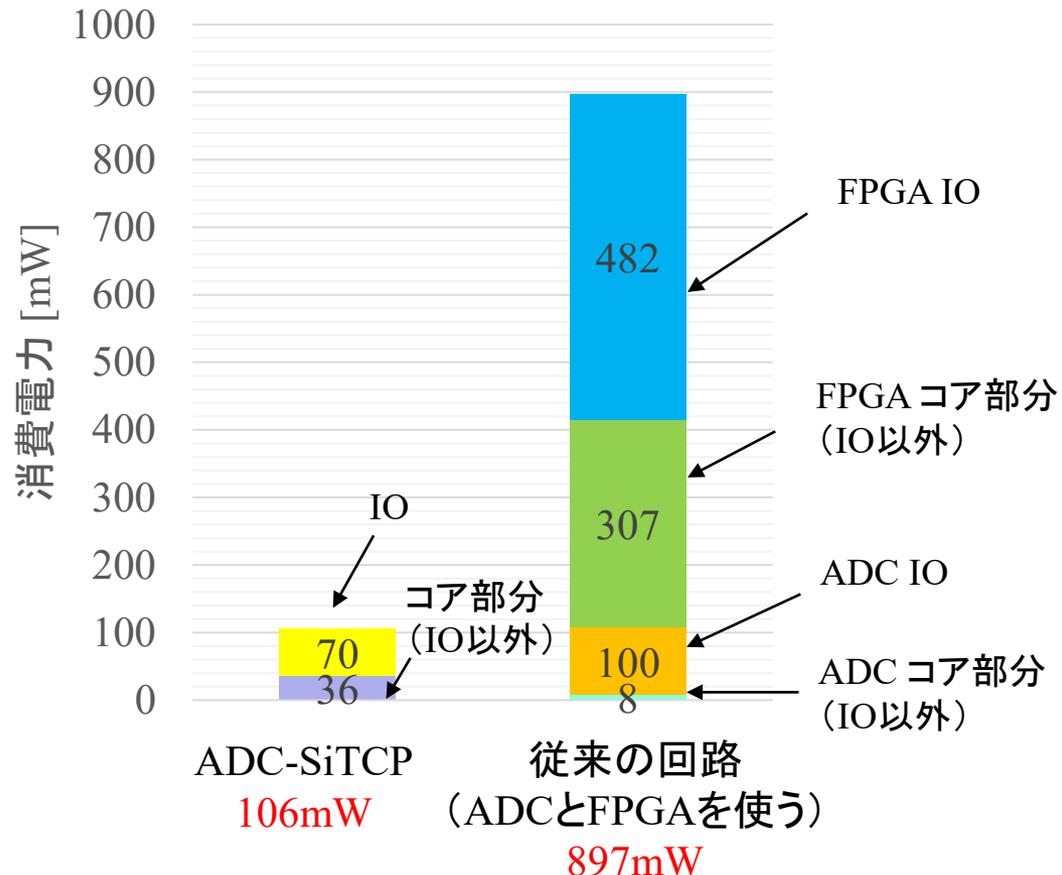
従来の回路(ADCとFPGAを使う)と比べて、消費電力が約1/10

## ○比較方法

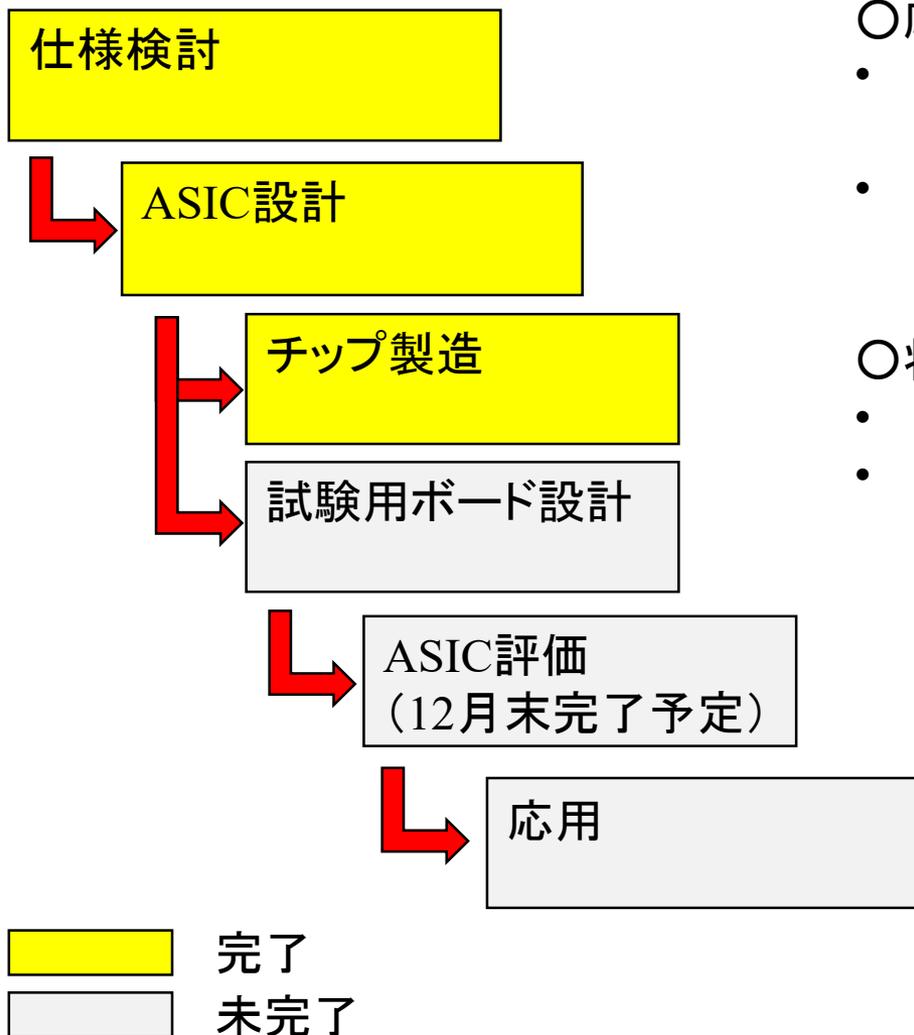
- 開発ツールによる計算値により比較
- 従来の回路(ADCとFPGAを使う)の設定
  - FPGAはArtix-7 xc7a200tffg1156-2で計算
  - ADCとFPGA間は8本のLVDSでシリアル通信していると仮定

## ○ADC-SiTCPの消費電力が低い理由

- ADCとSiTCPの間の信号を駆動する必要がない
- 必要な回路のみで構成(最適化)



# 開発状況と今後の予定



## ○応用例

- ピクセル検出器のような多チャンネル検出器の読み出し
- 検出器や加速器ビーム等モニタの読み出し

## ○将来展望

- 特定の実験用にカスタム化
- 新たな技術を組み込み、バージョンアップさせる

# まとめ

- 検出器のスマート化のためにADC-SiTCPを開発
- 読み出し回路を小型化・低消費電力化
  - ADCとネットワーク通信モジュールの一体化
  - ネットワークモジュールをFPGAからASICへ
- ADC-SiTCPの面積は1.97mm × 2mm
- 従来の回路(ADCとFPGAを使う)と比べて、消費電力が約1/10