

# 0.18プロセスPLL開発の現状

名古屋大学 高エネルギー素粒子物理学研究室

M1 臼井主紀

M1 小野木宏太

2013.10.10 Open-It 若手研究会

# モチベーション

---

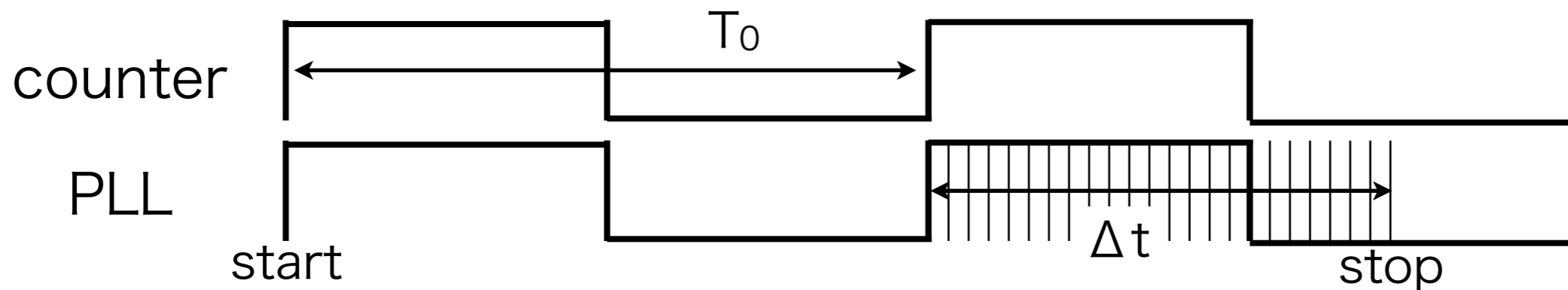
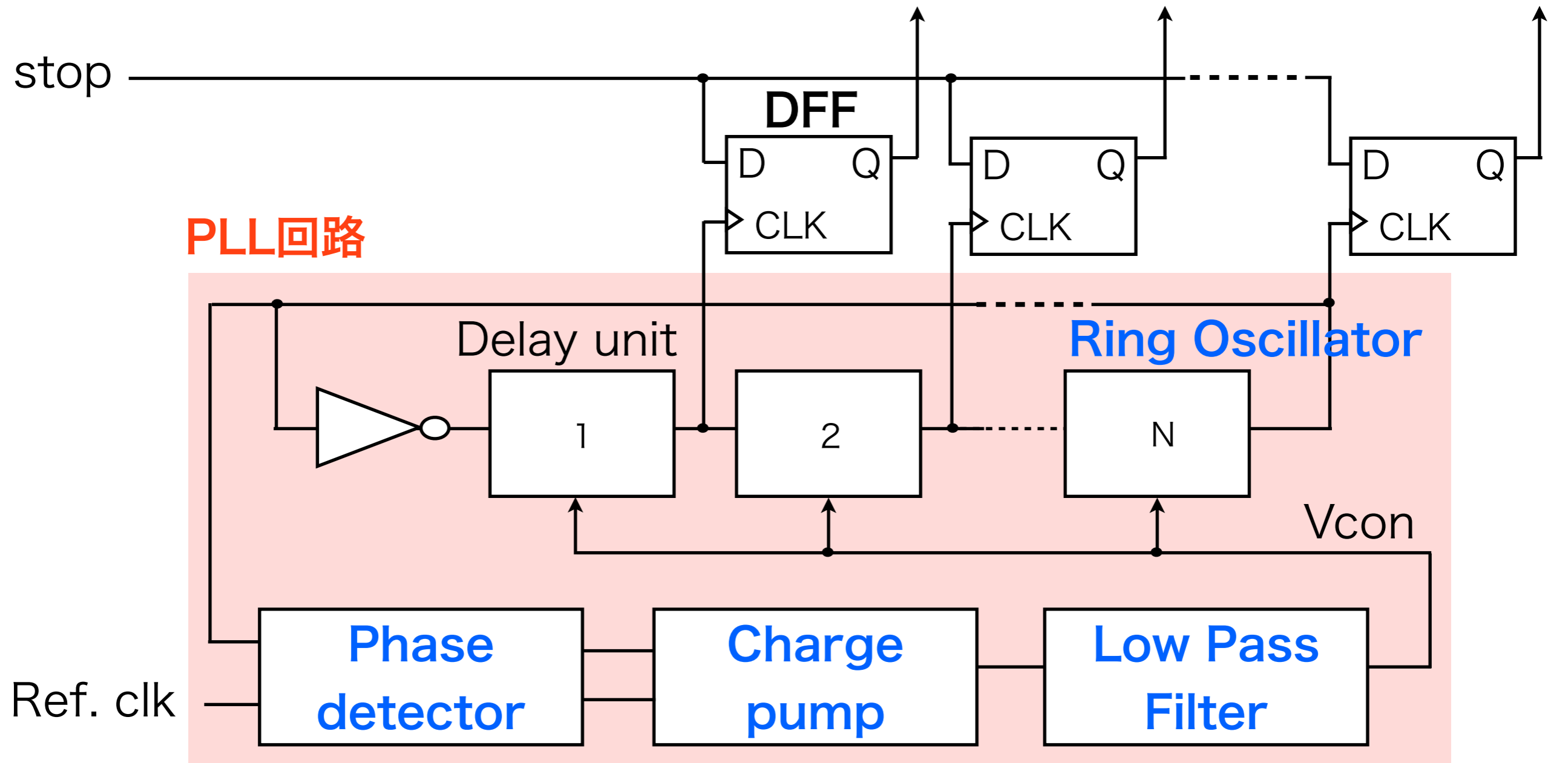
## 0.18プロセスのPLL回路を用いてTime to Digital Converterを開発する

目標：時間分解能  $< 100\text{ps}$

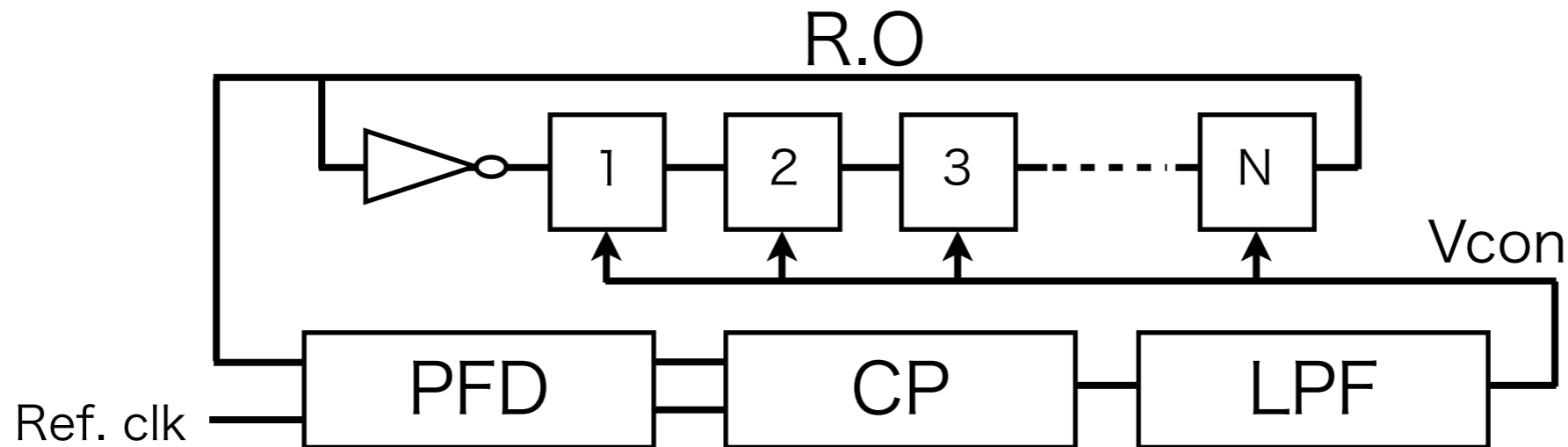
10%程度のジッター

-> 0.18プロセスでPLL回路を製作し、時間分解能とジッターが0.5プロセス、0.25プロセスと比べてどの程度改善されるのかを調べる

# PLL回路を用いたTDC



# PLL回路の動作検証



## 1. 各構成部

### - Ring Oscillator(R.O)

Vconを変えて刻み幅（時間分解能）を測定する

### - Phase detector(PFD)

位相差に応じた出力を出しているか？

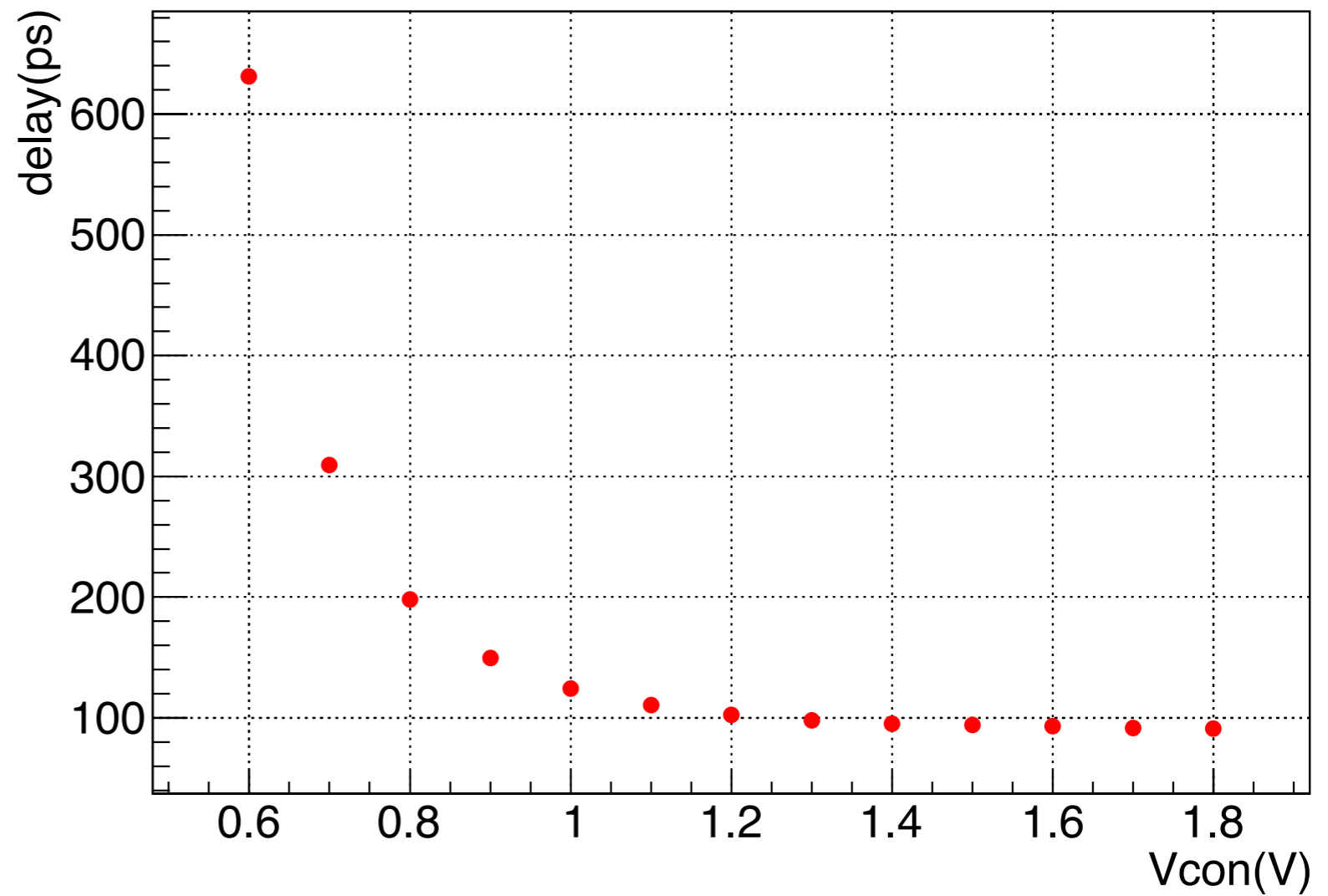
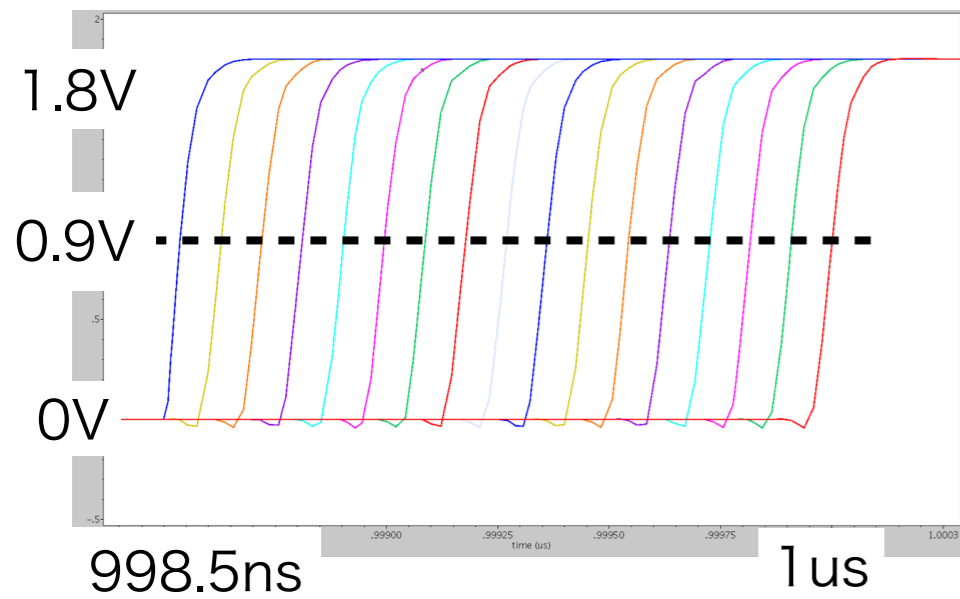
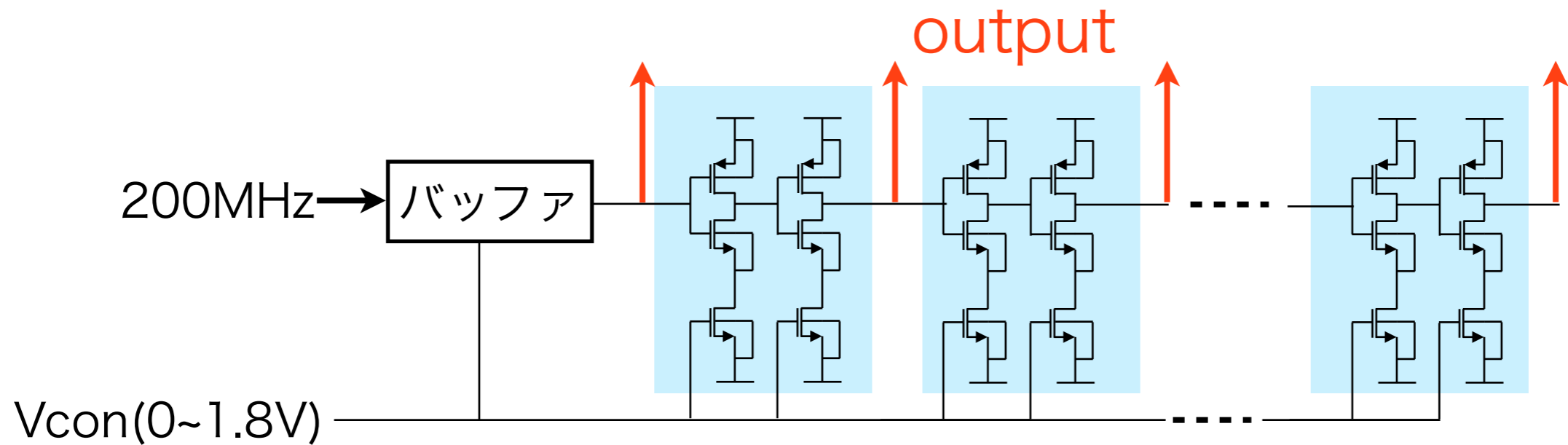
### - Charge pump(CP)

PFDからの信号に応じた電圧を出しているか？

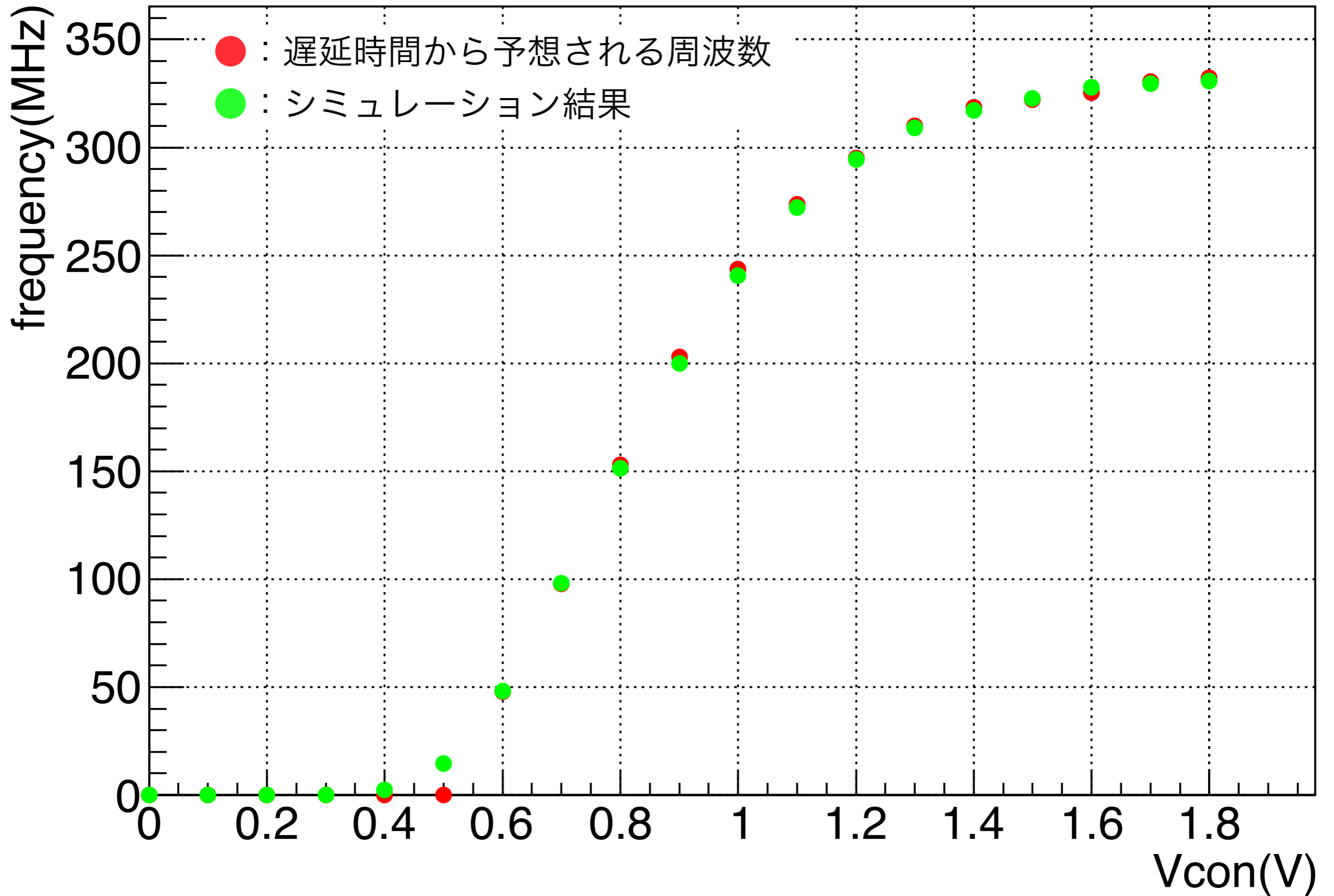
## 2. PLL全体

### - ロックする周波数帯

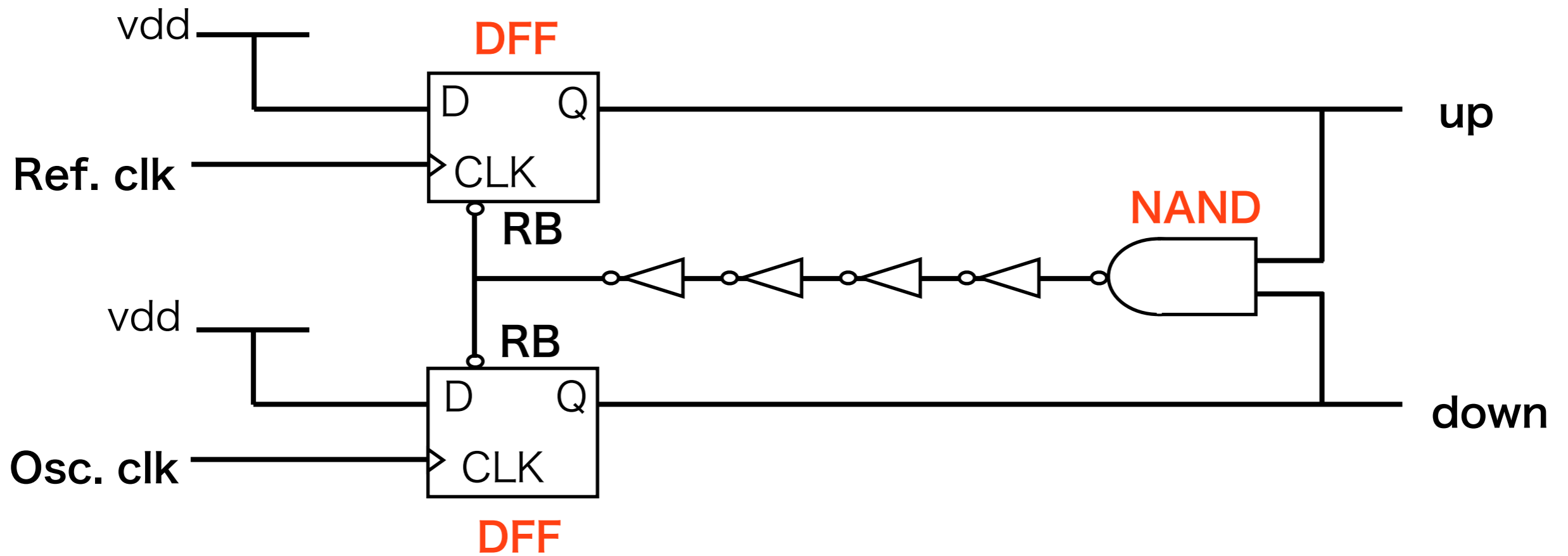
# Vcon - 遅延時間 (インバータペア)



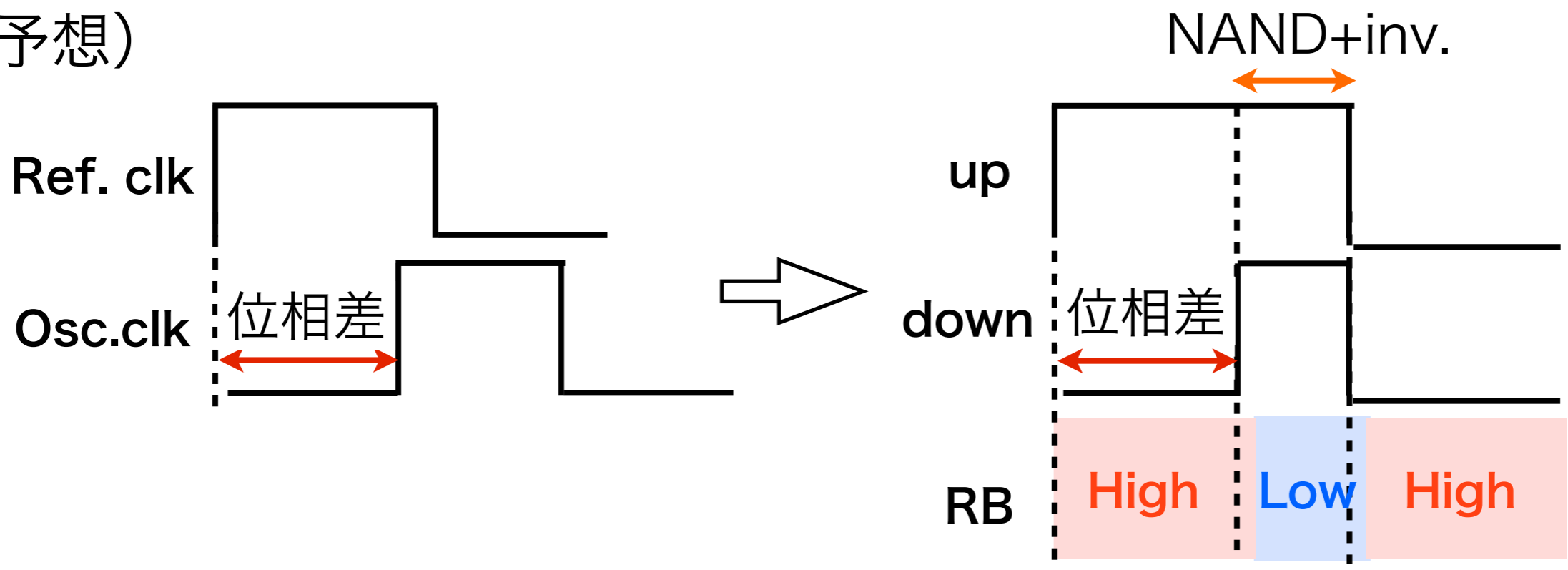
# Ring Oscillatorの動作確認



# Phase detectorの動作確認



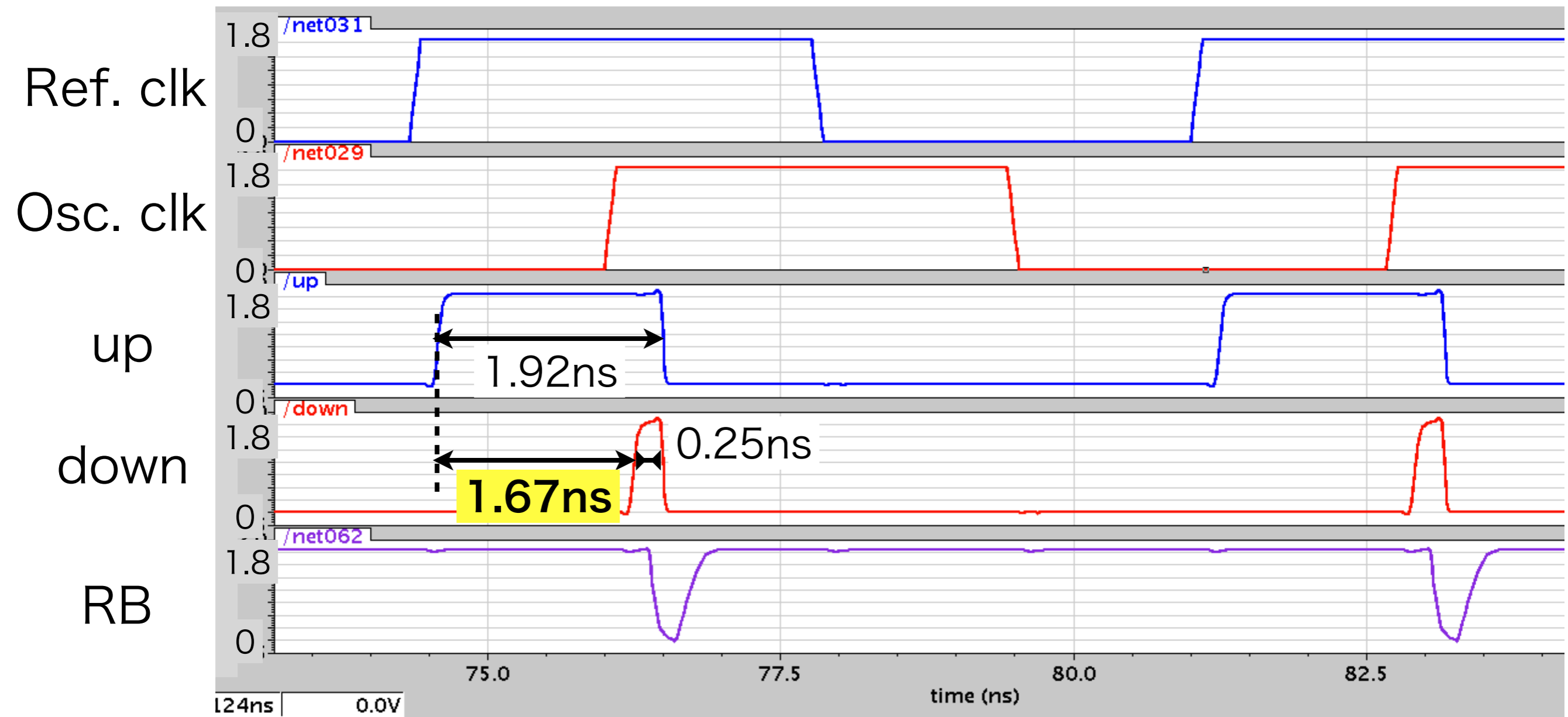
(予想)



# 結果：Phase detector

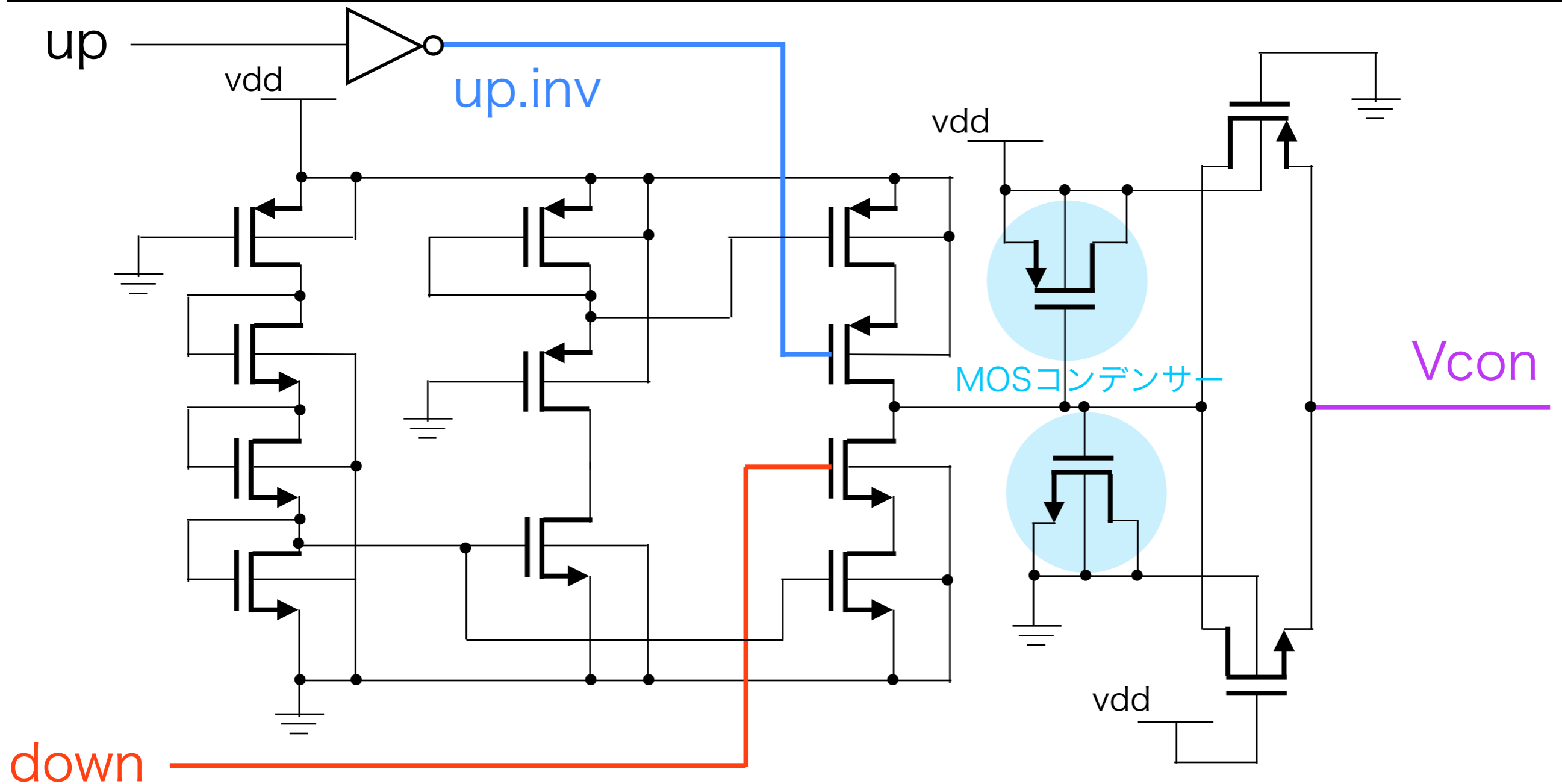
位相差のある信号を入れ、検出できるか検証

-> 150MHzでOsc.clkを1.67ns (1/4周期) ずらして入力





# Charge pumpの動作確認



(予想)

Vcon ↗ : up.inv=ON, down=OFF

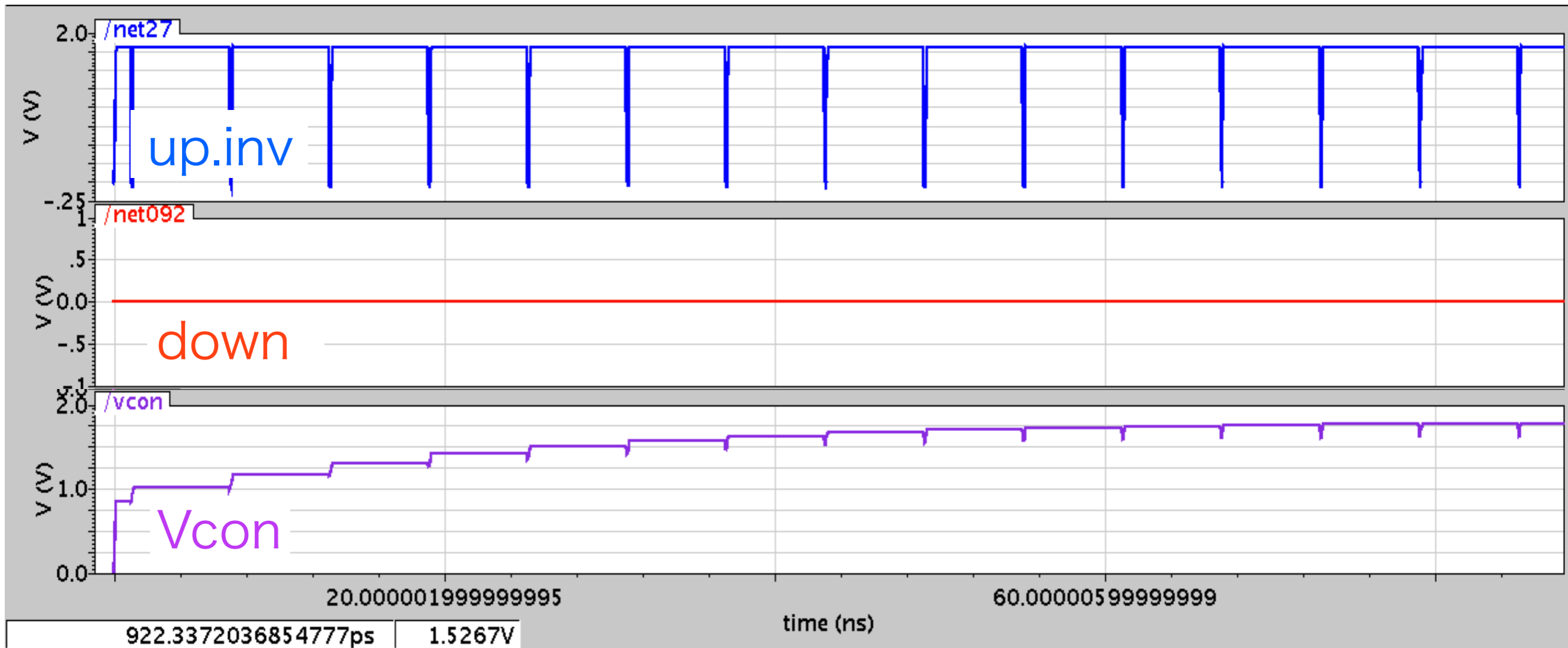
Vcon ↘ : up.inv=OFF, down=ON

一定値に収束 : それ以外

# 結果：Charge pump(1)

up.inv : パルス波 (幅=100ps, 周期=3ns)

down : OFF

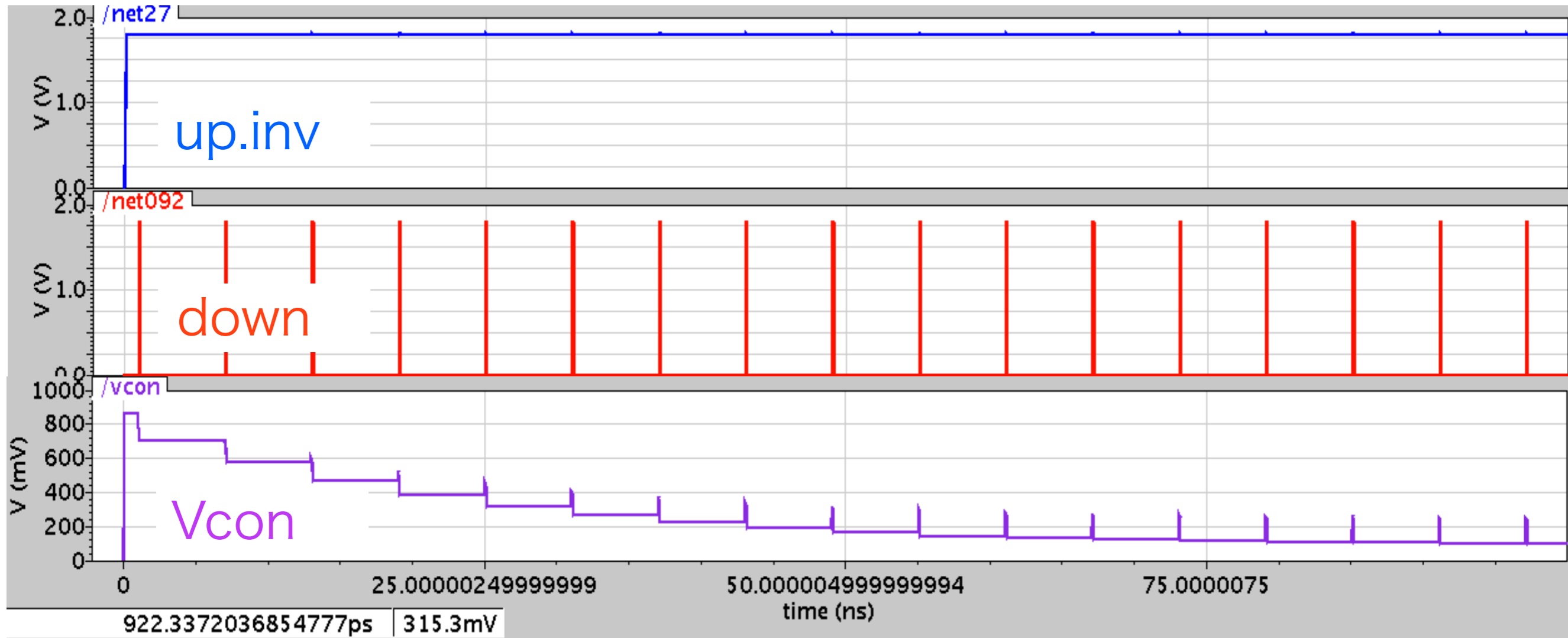


Vconが初期値(0.86V)から徐々に上昇

# 結果：Charge pump(2)

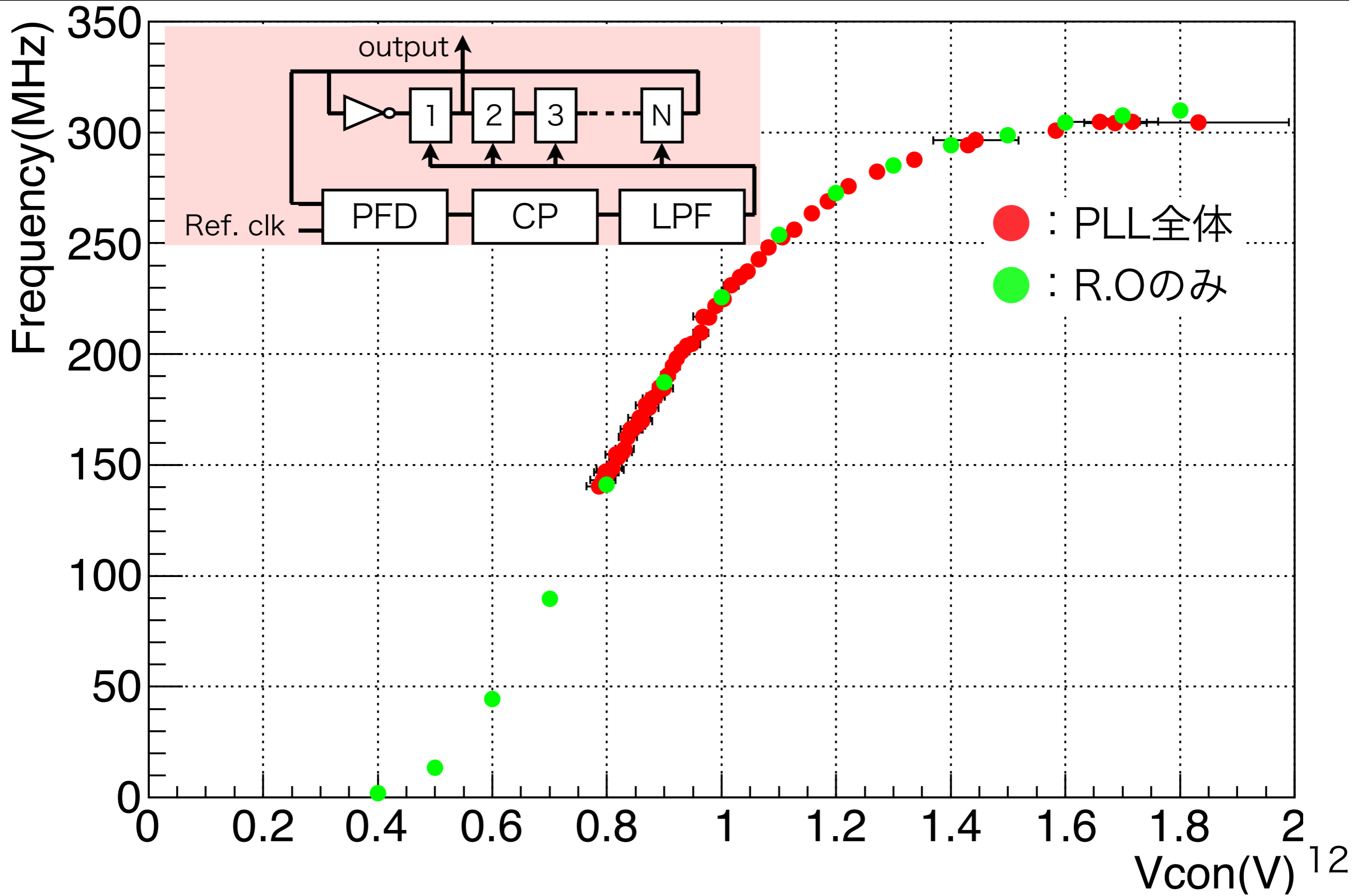
up.inv : OFF

down : パルス波 (幅=100ps, 周期=3ns)

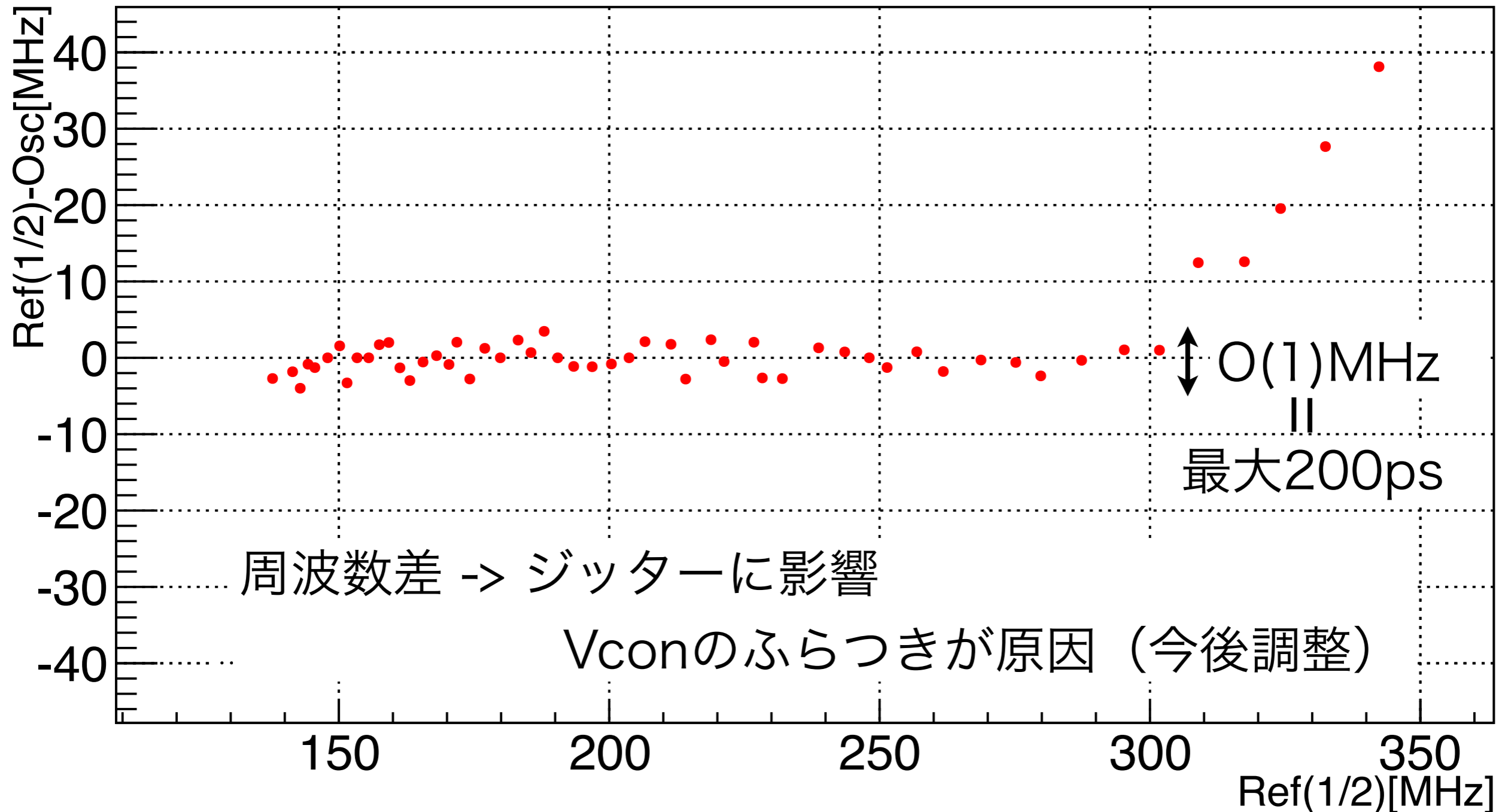


Vconが初期値(0.86V)から徐々に下降

# PLL回路の動作確認



# 周波数Ref.clk - 周波数Osc. clk

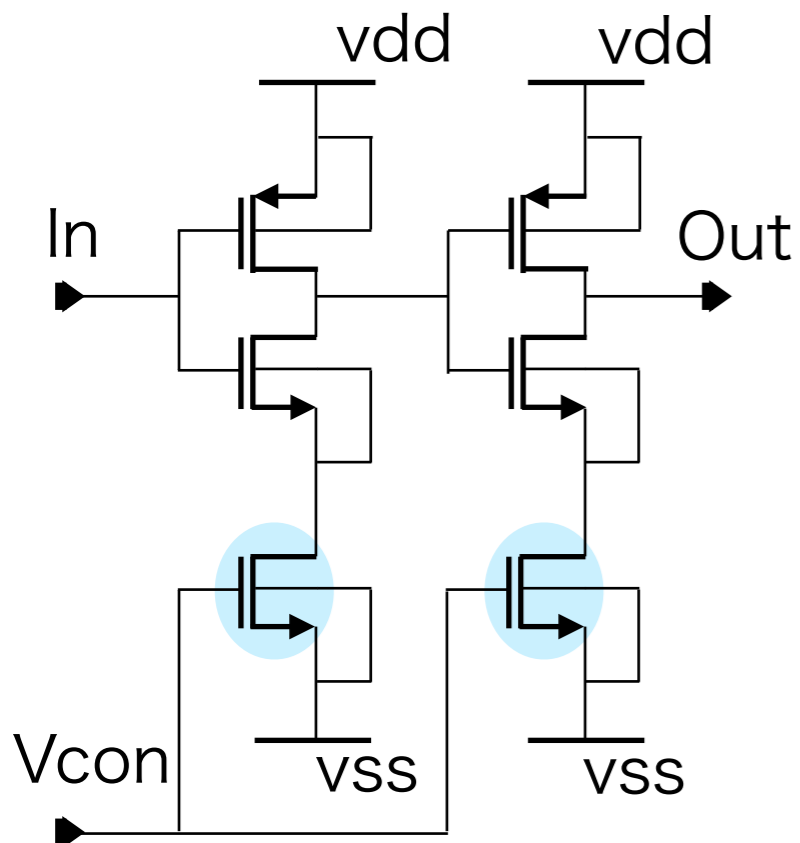


動作するPLLは構成した -> パラメータを最適化

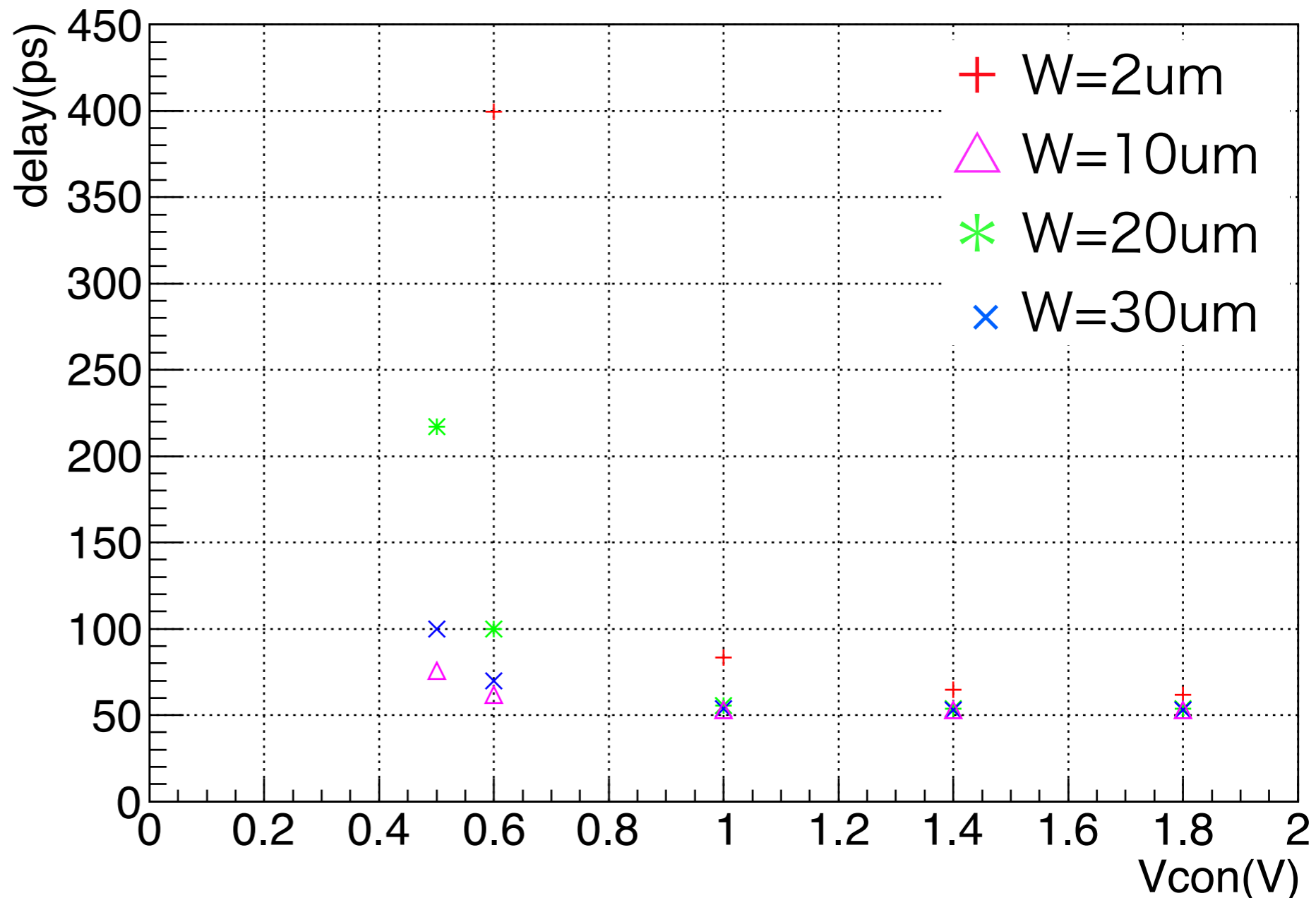
高時間分解能・低ジッター

# Vconの電流量を調整

MOSのW値を変更



125ps -> 60ps  
Vcon=1.0V  
(~500MHz)



# まとめと展望

---

0.18プロセスのPLL回路のシミュレーションを行った

- **各構成部(R.O, PFD, CP)とPLLの動作OK**

- ロック周波数帯

140MHz~300MHzと考えられる

**時間分解能：100ps以内**

(問題点)

・ 0(1)MHzの周波数差 -> ジッターに影響

今後の予定

- 刻み幅を小さくするために、インバータの応答速度を速める可能性を探る

- ジッターの原因となりうるVconのふらつきをなくす  
(Ref. clkとOsc. clkの位相差のゆらぎ)

- 12月頃にレイアウト依頼を目指す