

# Phase Locked Loop回路を用いたTDCの開発

名古屋大学 高エネルギー素粒子物理学研究室 白井 主紀, 小野木 宏太

## 目的

Time to Digital Converter(TDC)はPLL回路で開発可能であり、我々の最終目標は0.18 $\mu$ mプロセスのASICを用いたPLL回路の時間分解能の限界の研究と、それを基にしたTDCの開発である。

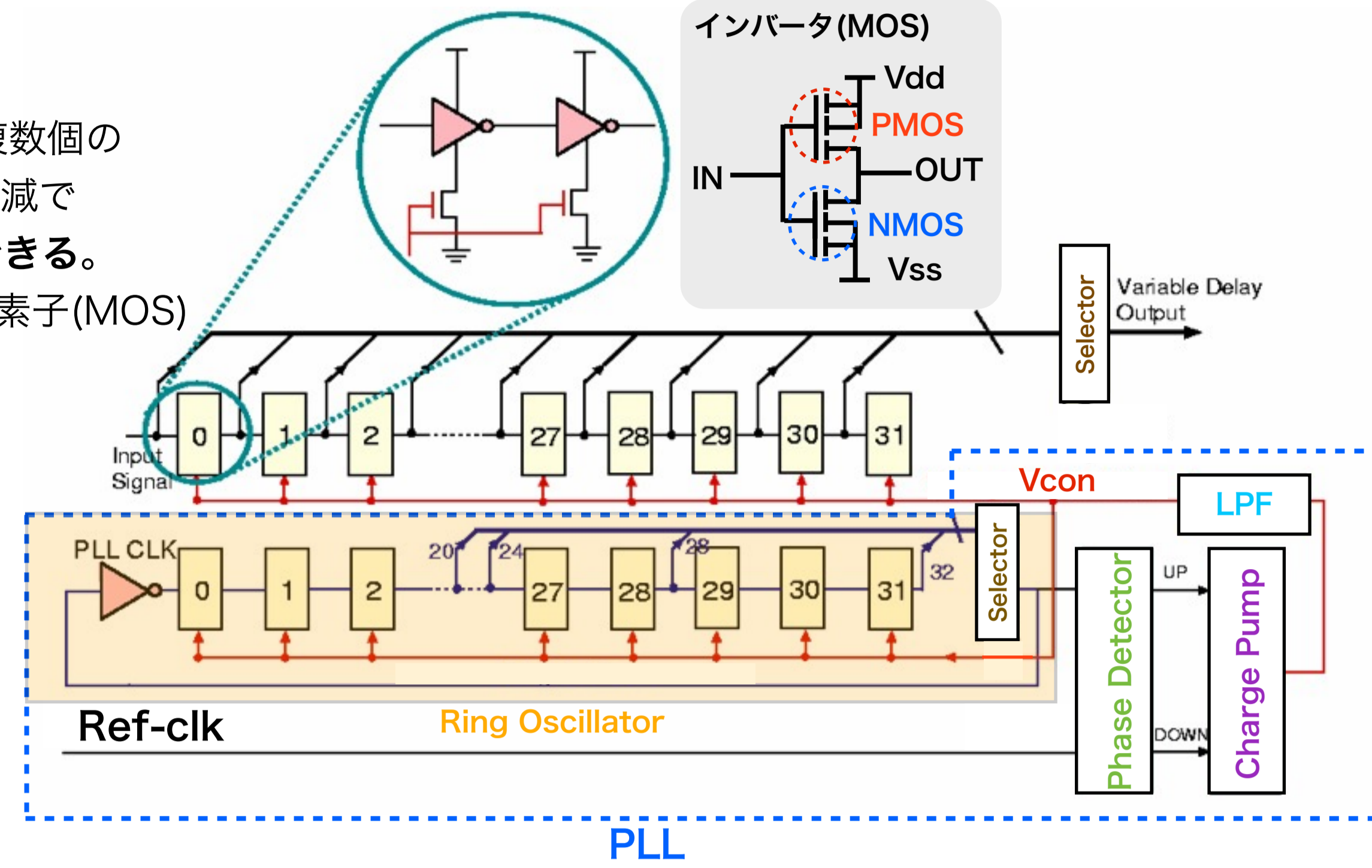
今回は、ATLASに使われているPLL回路を差動回路に改良した場合の動作確認と性能評価を行った。

## PLL : Phase Locked Loop(位相同期回路)

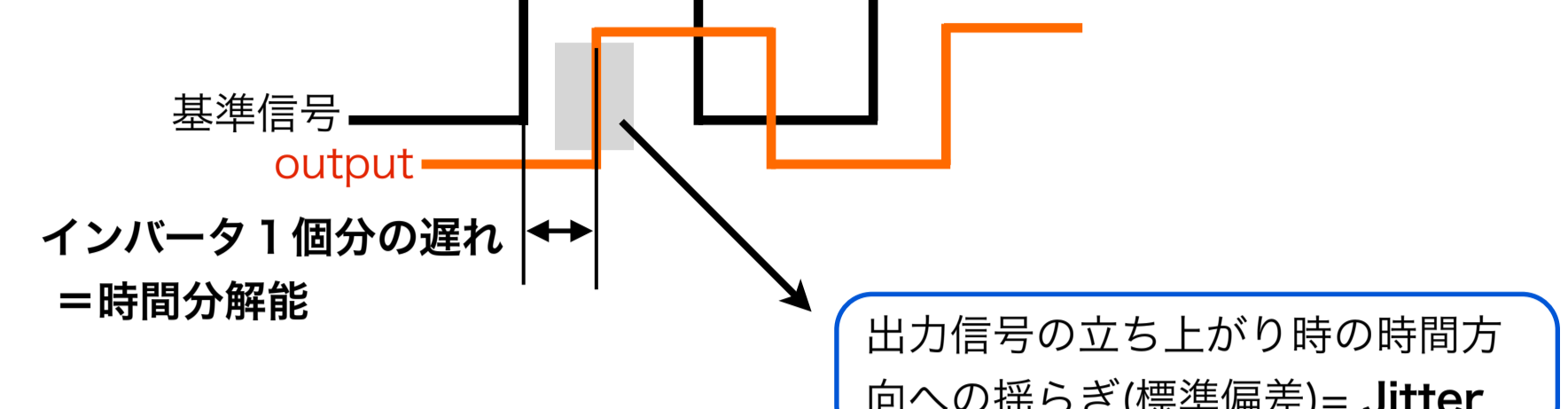
- 入力と位相が同期した出力を得られる回路。
- 現在ATLASのミュオン検出器で使用されている遅延回路は複数個の inverter pairで発振器を構成している。通過インバータ数の増減で遅延時間が選択できるため、任意の遅延時間をつくることができる。
- inverter pair1個の通過時間が時間分解能となり、内部の構成要素(MOS)に電圧(Vcon)を印加する事で制御できる。

### (制御方法)

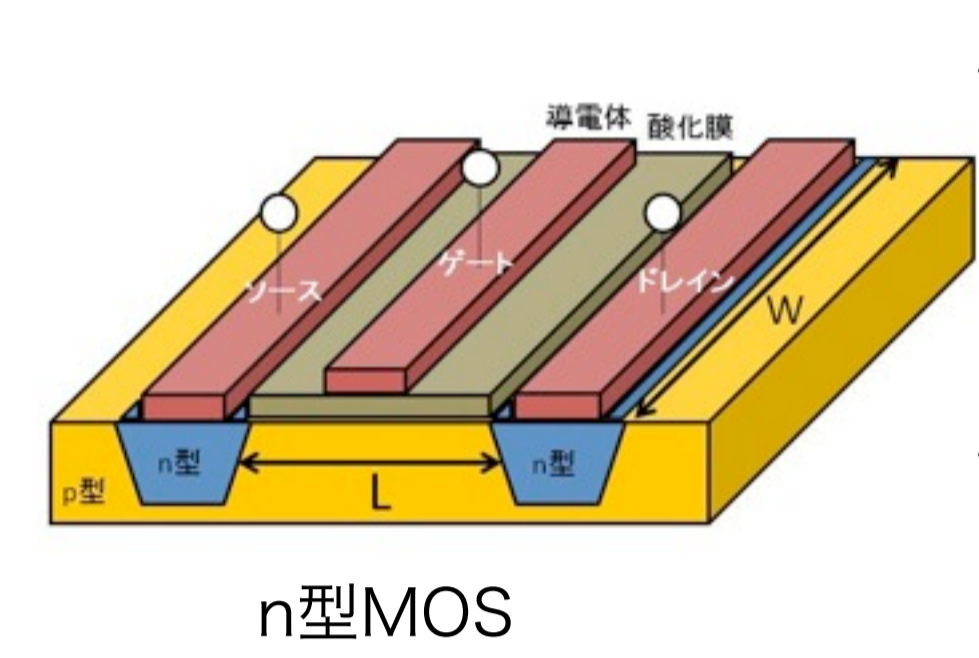
- Ring Oscillator(R.O.) : 発振回路として働く
  - Phase Detector(PD) : Reference clockとR.O.の信号の位相を比較する
  - Charge Pump(CP) : PDの信号をもとに、Vconを出力
  - Low Pass Filter(LPF) : Vconの時定数を調整
  - selector : 通過遅延素子数を選択
- Vconによるfeedbackをかけることで発振を安定させる



## 時間分解能の性能



## MOSの構造



- 製造プロセスによって、チャンネル長(L)、チャンネル幅(W)の下限値が決まる。
- W/Lが大きいほど相互コンダクタンスが大きく、応答速度が速い。

## ミュオン検出器の遅延回路: ASICで設計(プロセス: 0.35 $\mu$ m)

集積度が高く、1ns以下の遅延時間を実現できる

### よりプロセスが小さい回路を開発(0.25 $\mu$ m)

- 酸化膜厚を薄くして(5.5nm)、ATLASのアップグレードで使用可能な放射線耐性(10kGyまで動作保証)を持つことが確認
- Jitter: 100ps以内 (clock: 40MHz)
- 1nsの時間分解能を持つ回路では影響なし

### 発振回路によるJitterへの影響を調べる

- プロセスを小さくする
- 差動回路を用いる(コモンノイズを打ち消す)

高時間分解能を得れば、TDCとして使用できる



回路 (0.25 $\mu$ m)

## 研究内容

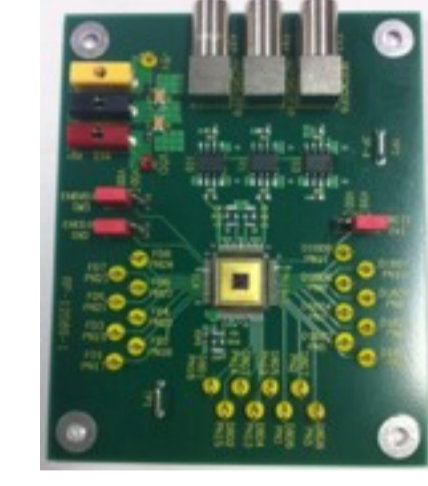
### 0.5 $\mu$ mのプロセスを用いたPLL回路

- プロセスは大きいので応答速度は劣る
- 差動化による効果を調べる

#### Single16(32)

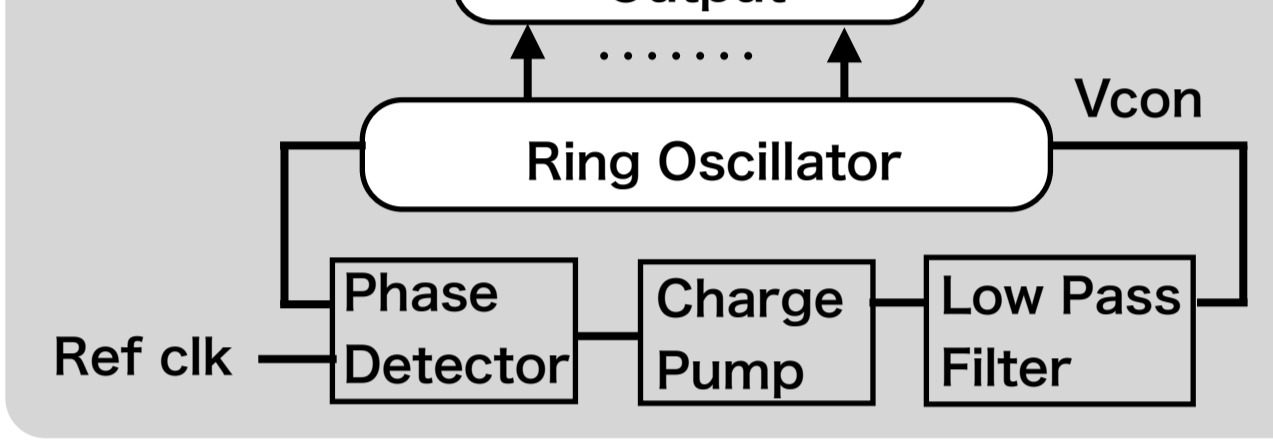


#### Differential fast8(DIFF)

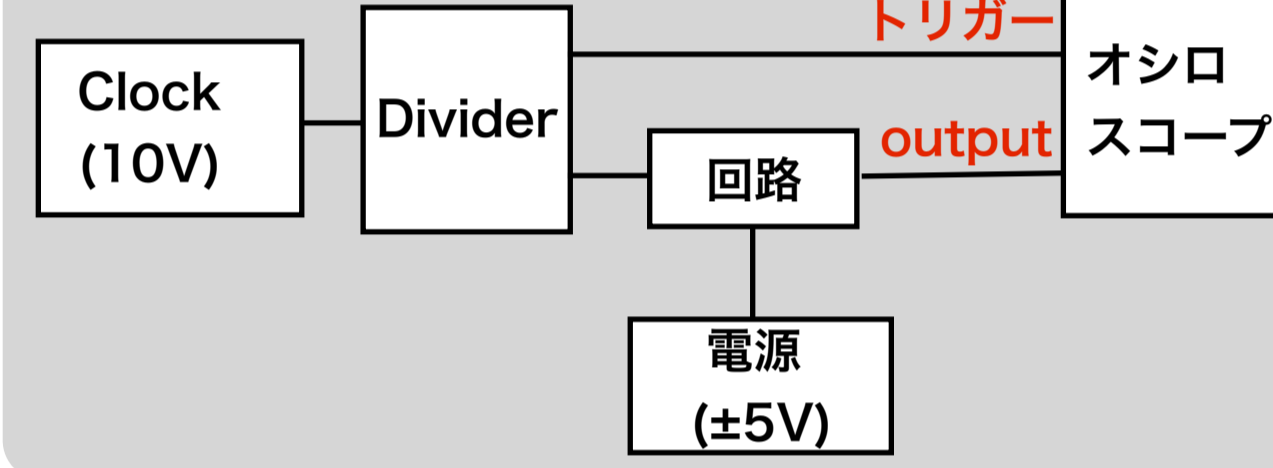


	インバータ数(個)	特徴
Single16(32)	16+1(32+1)	
DIFF	8	差動回路

## 回路



## Setup

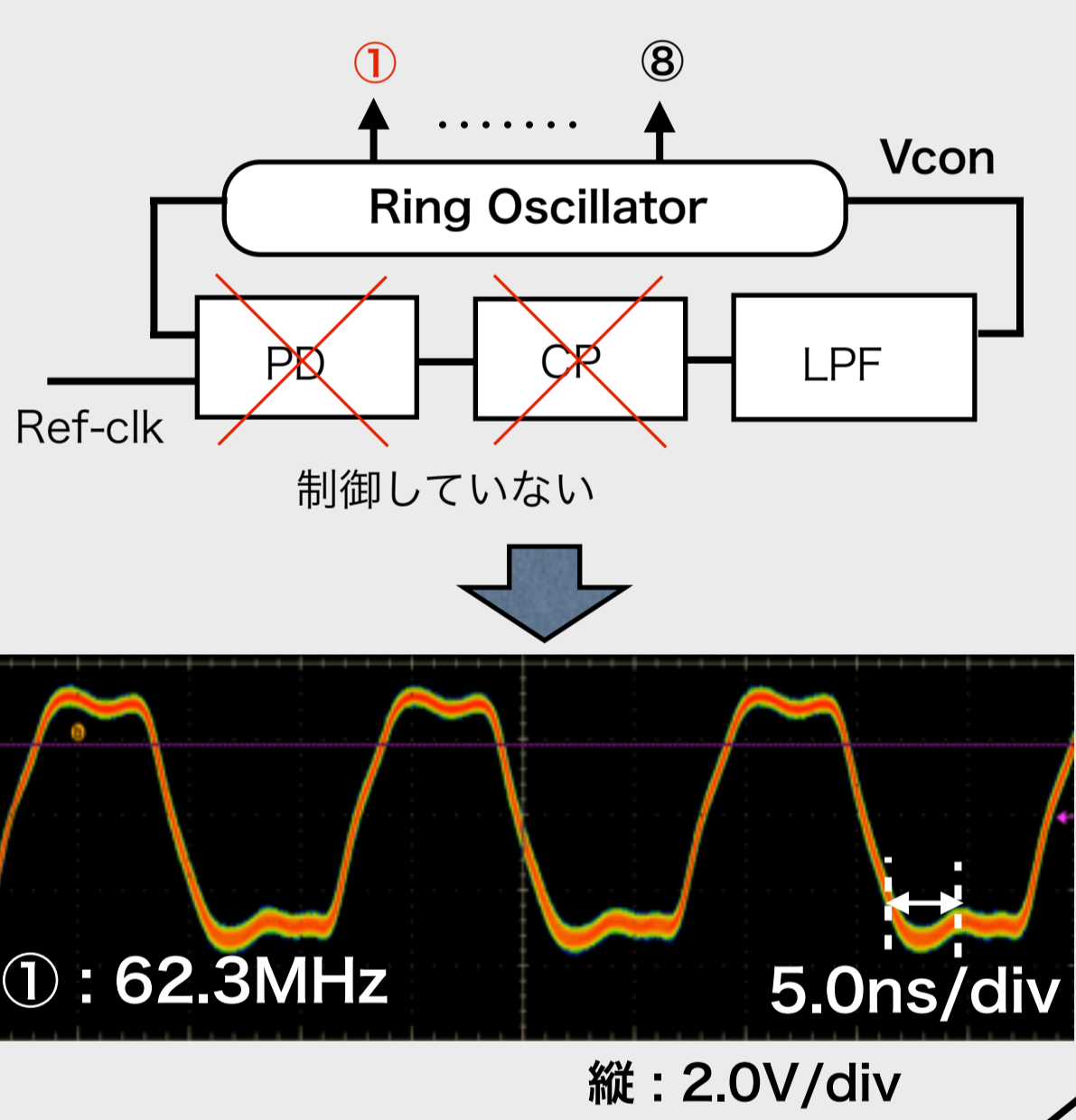


## Single回路とDifferential回路のJitterを比較

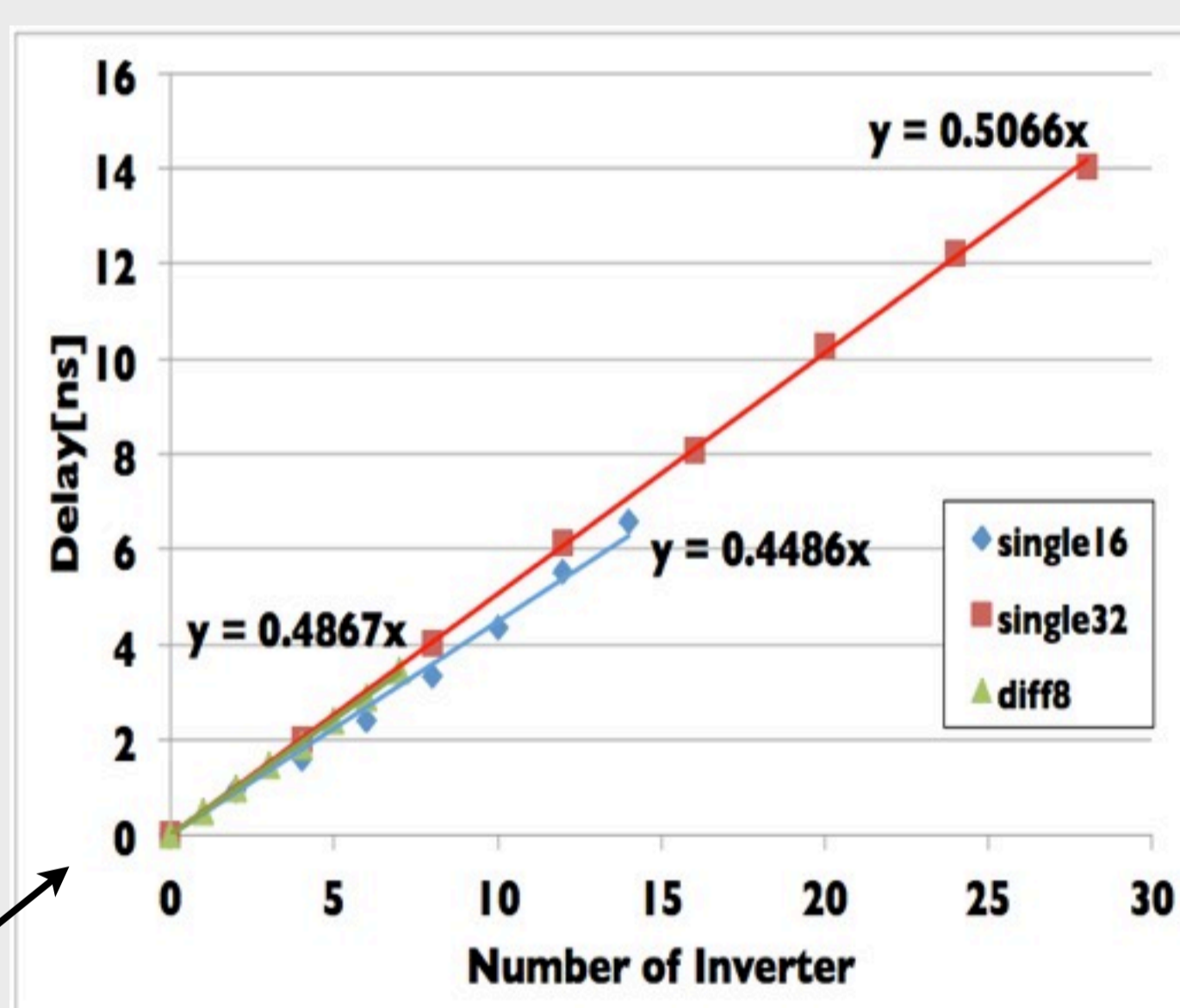
- Step1 Ring Oscillatorの発振を確認
  - Step2 PLLの動作確認
  - Step3 Jitterの測定と回路による比較を行うことが出来る
- ↓  
目標  
0.5 $\mu$ mのプロセス+差動を用いたPLL回路と0.25 $\mu$ mプロセスのPLL回路の時間分解能、Jitterの比較

## 解析結果

### Step1 : Ring Oscillatorの発振を確認



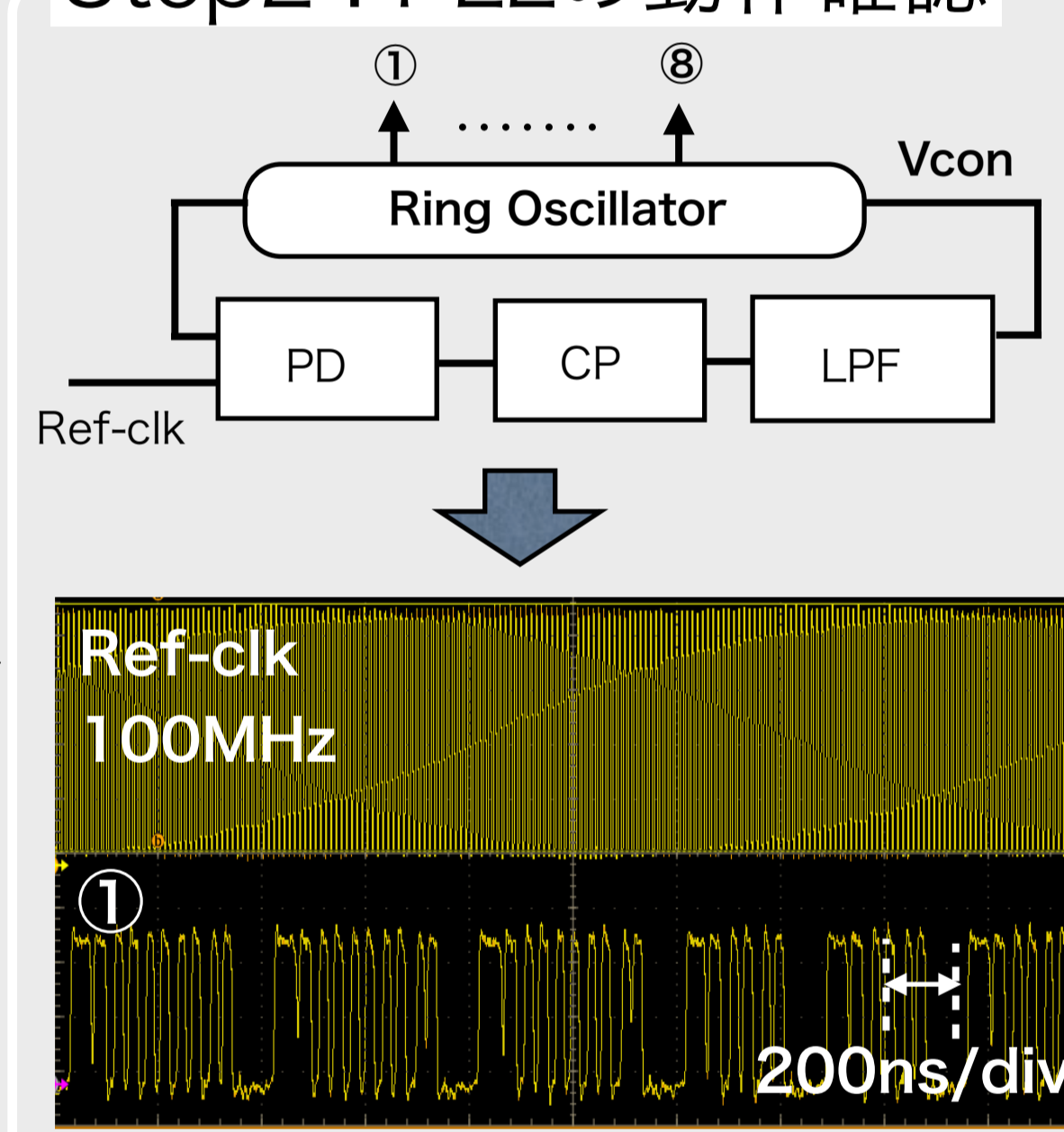
### インバータと遅延時間の関係



通過インバータ数と遅延時間が比例  
Single, DIFF回路のRing Oscillatorは正常に動いていることを示唆

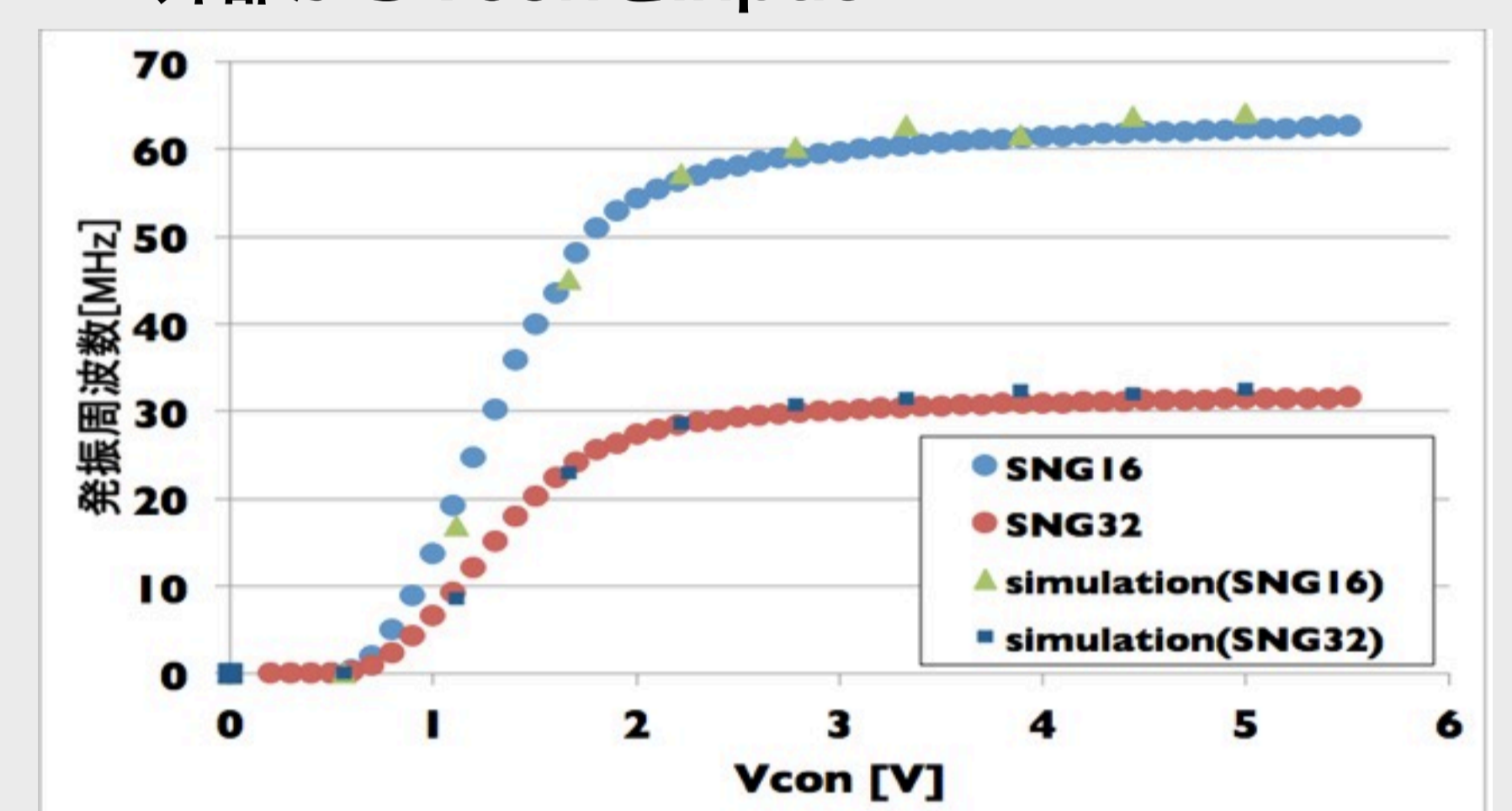
### Single回路

#### Step2 : PLLの動作確認



PLLとして動作していない  
→ Jitterの計測不可  
回路の問題点を探る

### Vconと発振周波数の関係

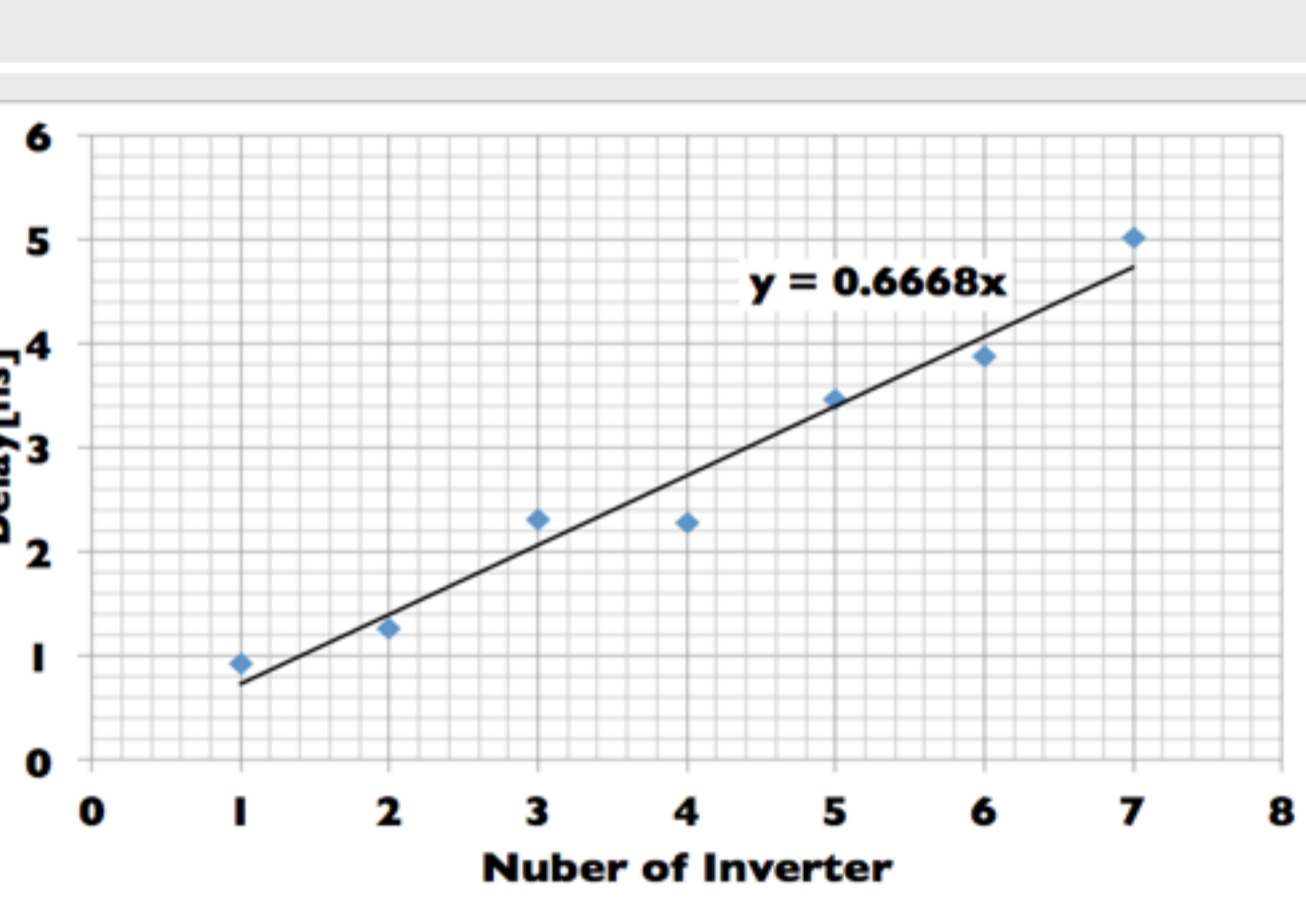
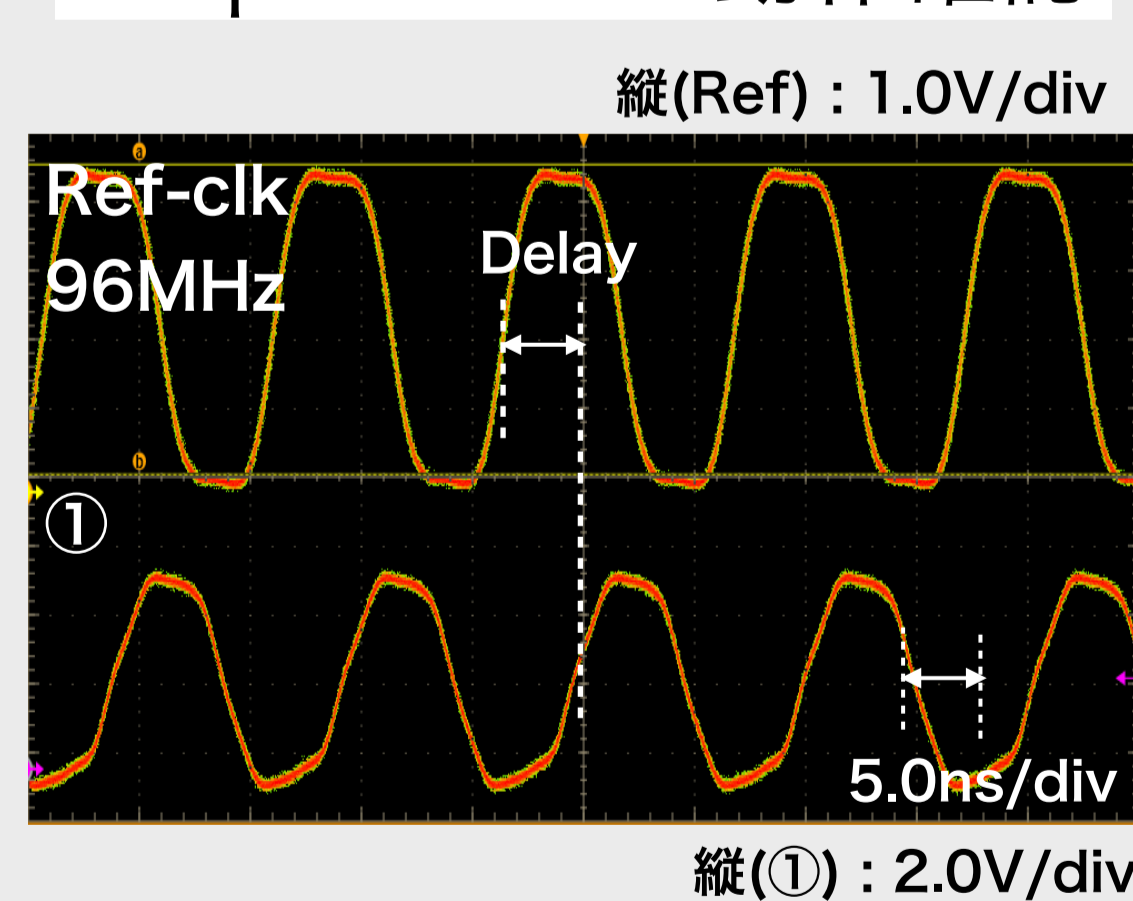


Vconでリングオシレータの制御を確認  
原因の推測  
トランジスタのプロセスが大きく応答速度が遅いため、リングオシレータを制御する回路(PD, CP, LPF)が高周波数の入力に対応できない可能性がある。

プロセスを小さくする(0.5→0.18)  
ことで解決と期待

## DIFF回路

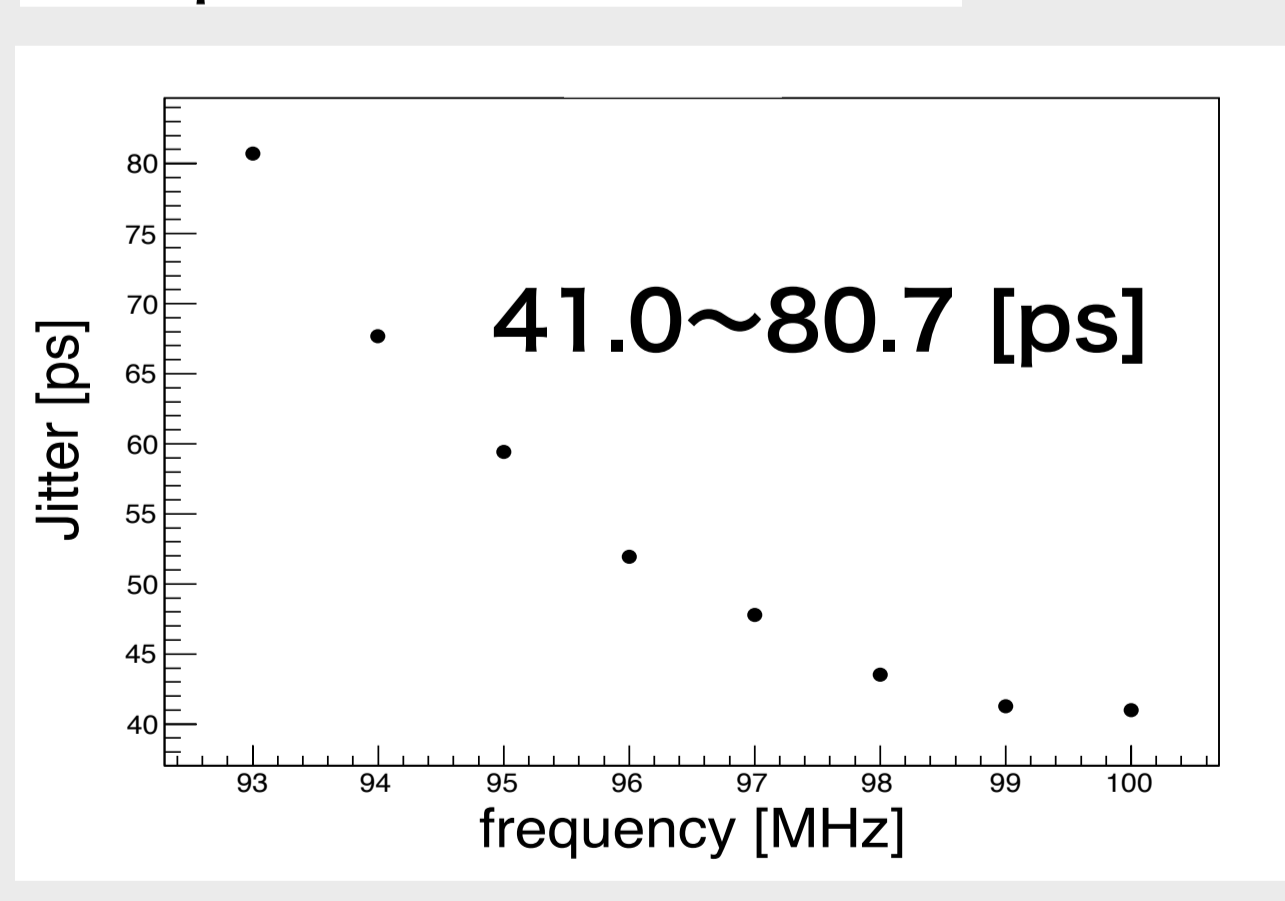
### Step2 : PLLの動作確認



通過インバータ数とDelayが比例  
傾きは1個あたりの通過時間  
実験値: 0.6668 ns  
理論値: 0.6510 ns  
PLLとして正常に動いている。

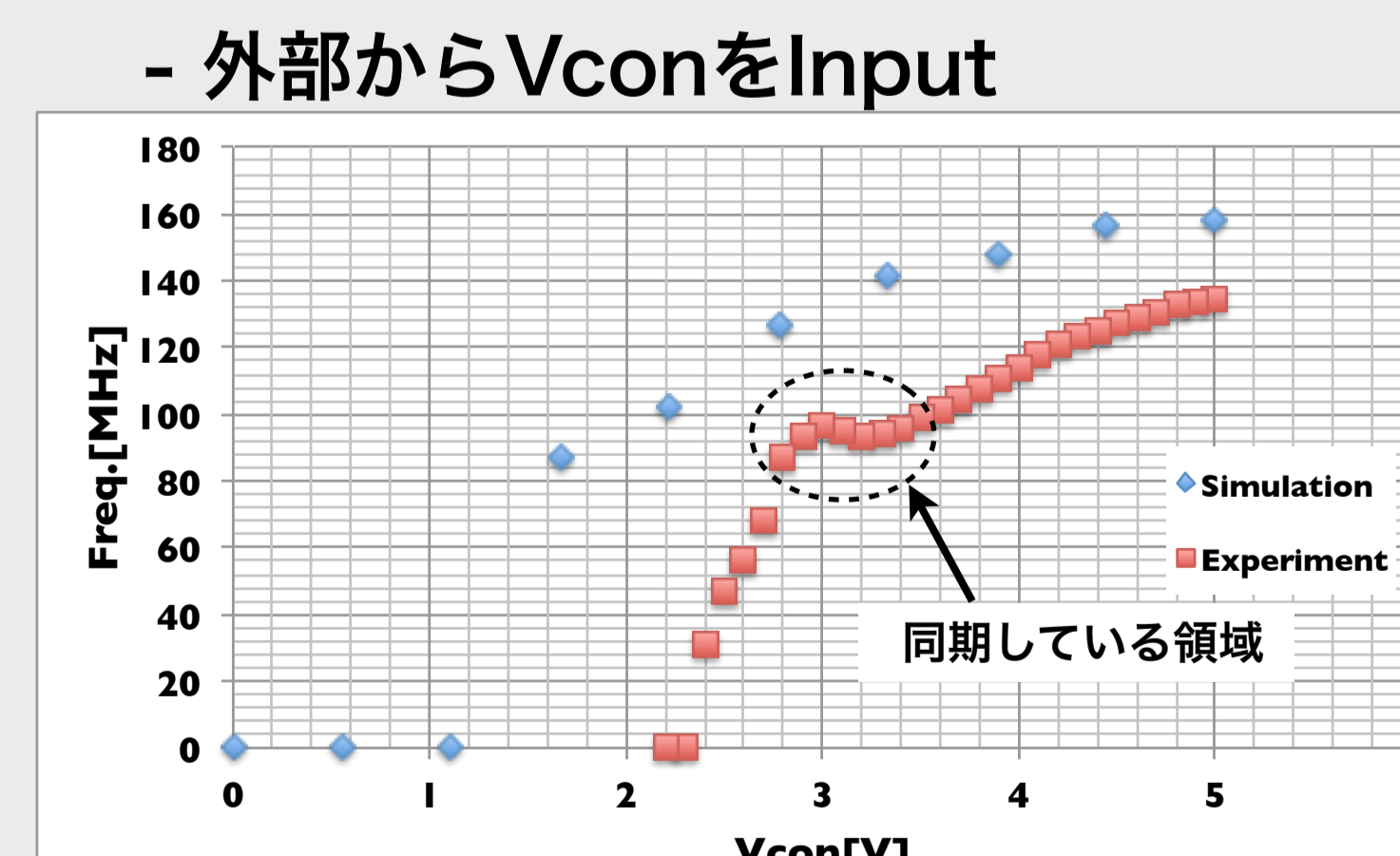
ただし、同期する周波数帯が限定  
(92.3MHz ~ 100MHz)  
→ 原因を探る(最後)。

### Step3 : Jitterの測定



プロセスは2倍だが、差動回路であることから回路(0.25 $\mu$ m)と同等(100ps以内)のJitterを達成。(Singleと比較できないため予測である)

### Vconと発振周波数の関係



実験結果とシミュレーション結果が一致しない。  
原因を追求している。

## まとめと展望

0.25 $\mu$ mプロセスのPLL回路と0.5 $\mu$ mプロセスの差動PLL回路の時間分解能とJitterの比較を行うために、Single16(32)回路とDIFF回路の動作確認を行った。双方でRing-Oscillatorの発振は確認することができたが、Single回路はPLLとして動作しなかった。予想としてRing Oscillatorの制御部分に原因があり、トランジスタの応答速度に関連していると考えられる。一方、DIFF回路は入力周波数が92.3MHz~100MHzの範囲でPLLとして動作することが確認できた。Jitterは0.25 $\mu$ mプロセスと同等の100ps以内を達成し、差動回路によりJitterを小さく出来たと推測できる。今後の目標は、差動回路+0.18 $\mu$ mプロセスのPLL回路の開発であり、回路のレイアウトの研究を行う予定である。