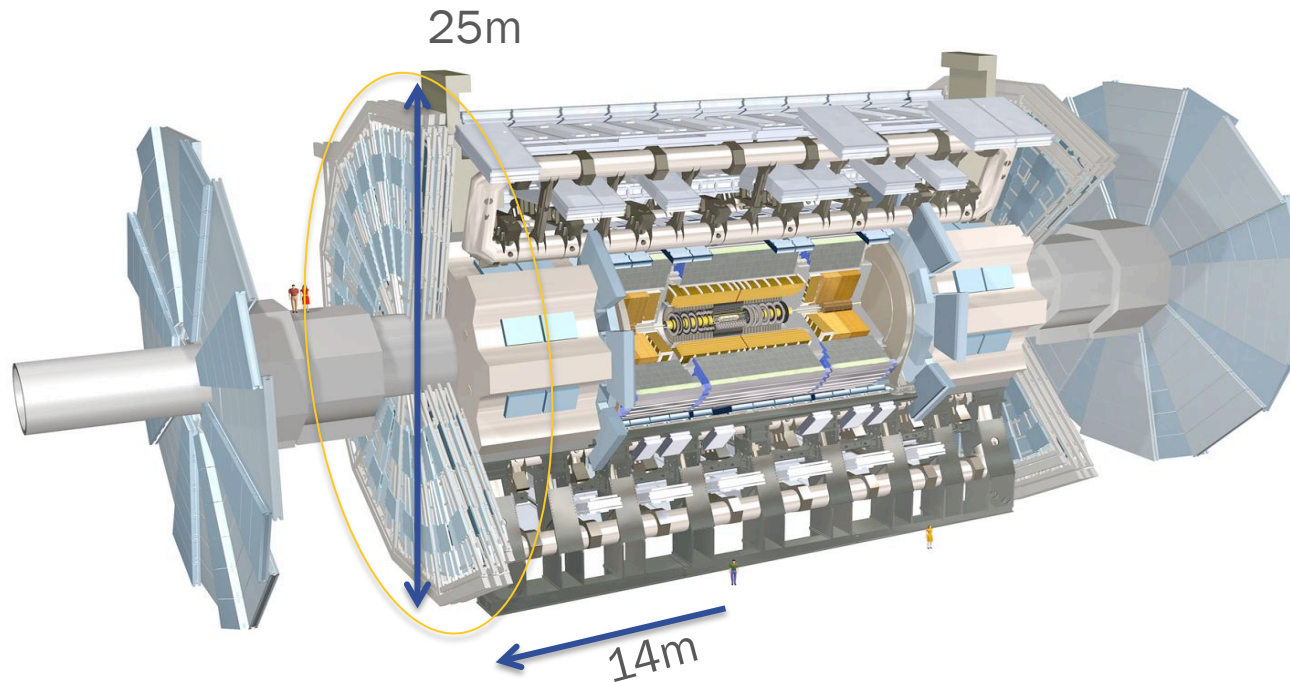


Phase Locked Loop回路を用いた TDCの開発

名古屋大学 高エネルギー物理学研究室

M1 小野木 宏太, 臼井 主紀

ATLAS ミューオン検出器



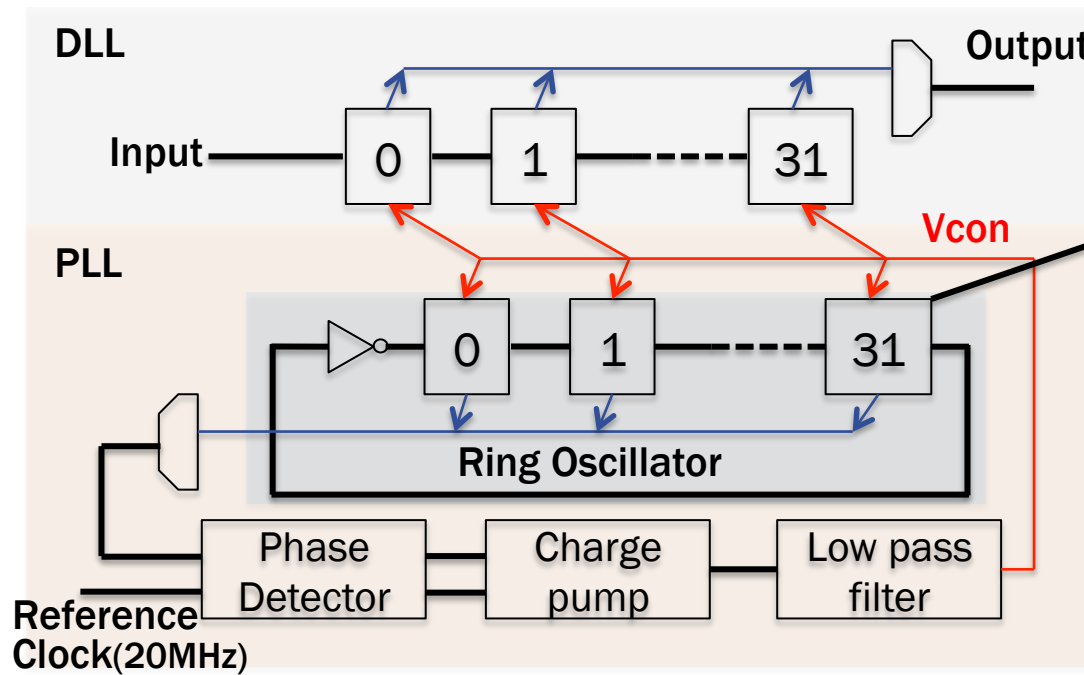
ATLASのミュオン検出器(Thin Gap Chamber)

ミュオントリガー発行 -> TOFの影響+ケーブル長
(7枚でcoincidenceをとる) (最大25nsの検出のばらつきが発生)

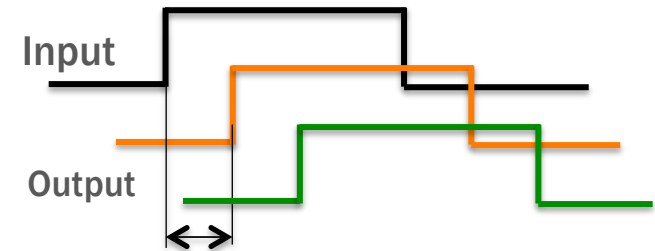


0.35プロセス(酸化膜 : 7nm, Rohm Co.)のASICを用いた遅延回路を使用

ASICを用いた遅延回路



インバーターペアの数により
遅延時間が線形的に変化



例 : $N_{PLL} \sim 32$ 段の時
時間分解能 = 0.76[ns]

PLL : Reference clockの周波数とRing Oscillator
の周波数を同期(**Vconにより制御**)

DLL : PLLで決定したVconにより 1段あたりの時間分解能を決定
-> 任意に遅延したInput波形をOutput

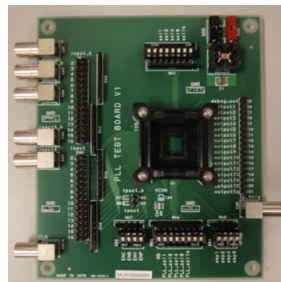
アップグレードに向けて遅延回路の開発

Phase 2 トリガーアップグレード
(2022年、ルミノシティ: 5倍)

*現在0.35プロセス(Rohm Co.)は存在しない



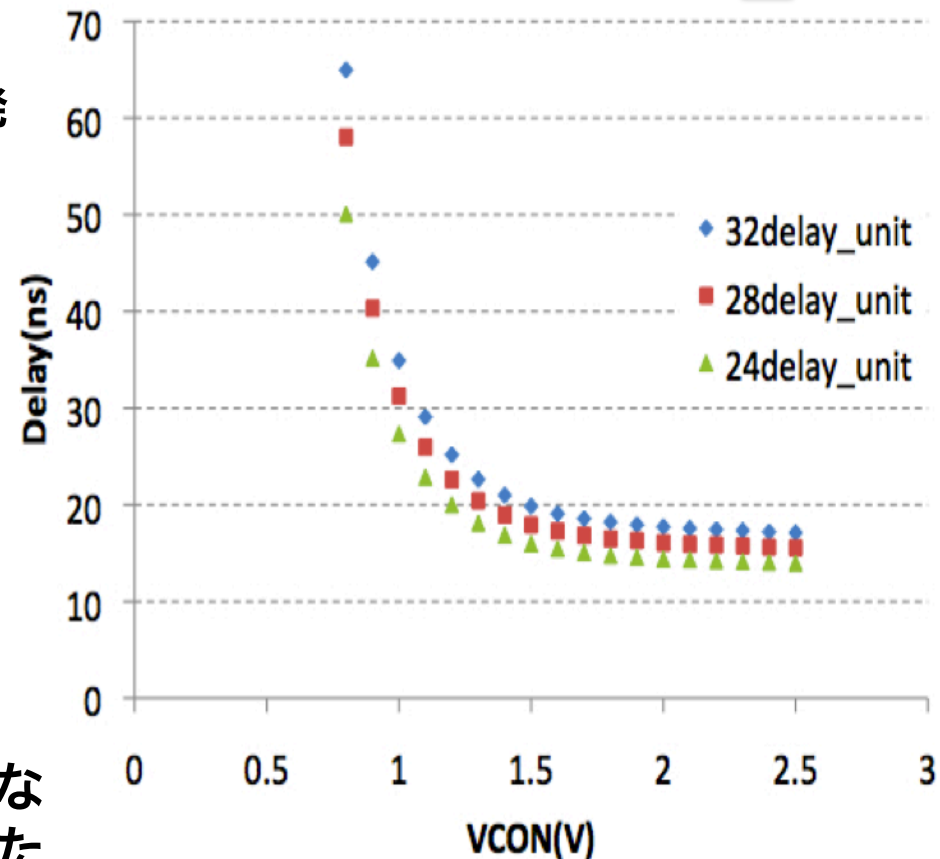
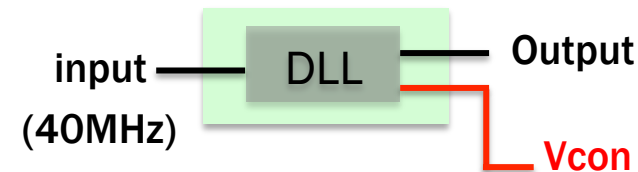
0.25プロセスの遅延回路を開発
(酸化膜 : 5nm, UMC Co.)



結果

- 25[ns]以上の遅延時間
- 1[ns]以下の時間分解能

ミューオントリガーに必要な遅延時間と時間分解能を満たしている



Vconと遅延時間(時間分解能)の関係

0.25プロセス遅延回路の放射線耐性

コバルト60を計10kGy照射する前後で遅延回路の動作を比較

*ATLASの耐放射線基準値

-> 1.1kGy/10years

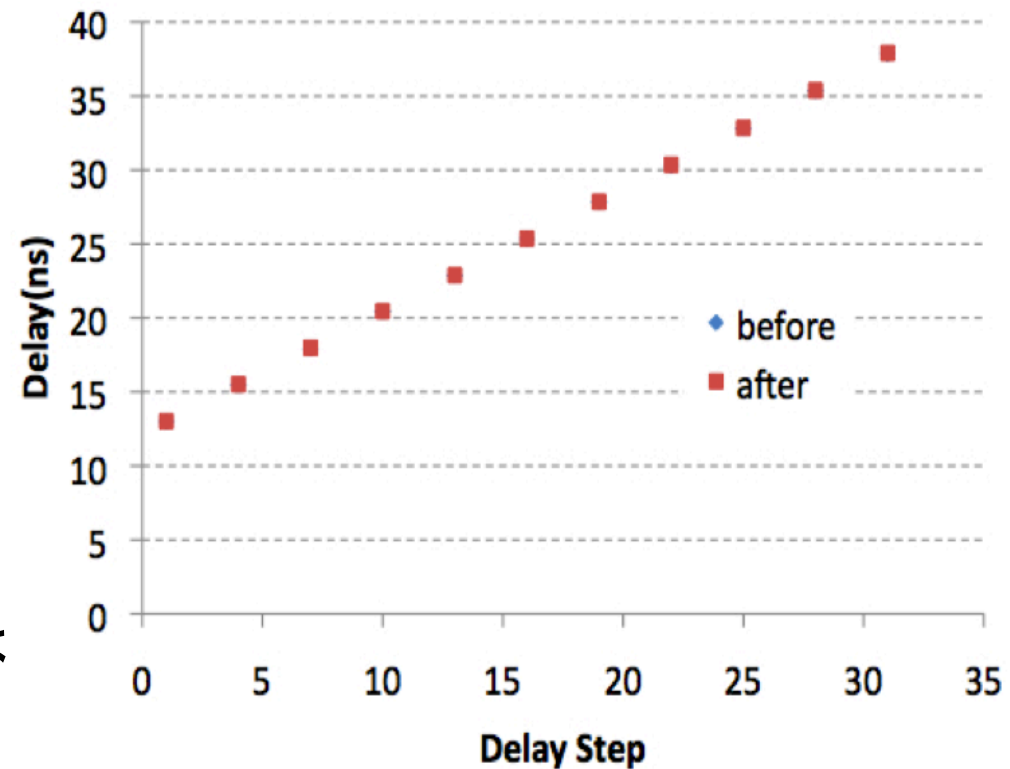
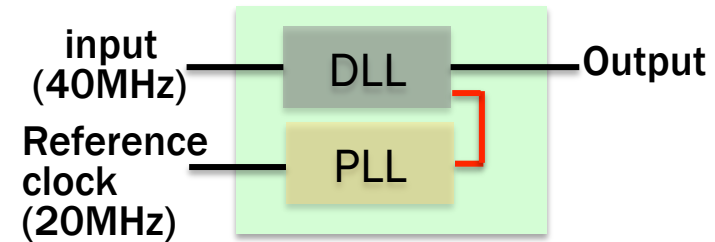
方法

- 1kGy/hを合計10回照射

結果

- 10kGyの放射線耐性

アップグレード後10年間は遅延回路として動作すると推測できる

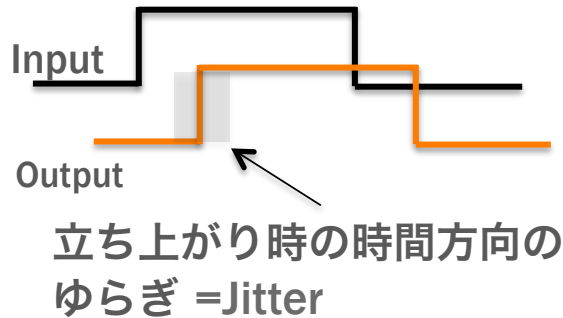
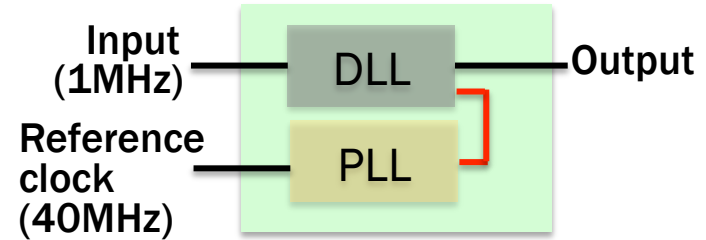


コバルト60を計10kGy照射時の遅延時間の比較

Jitterの測定

更に高時間分解能にする -> TDCの開発可能

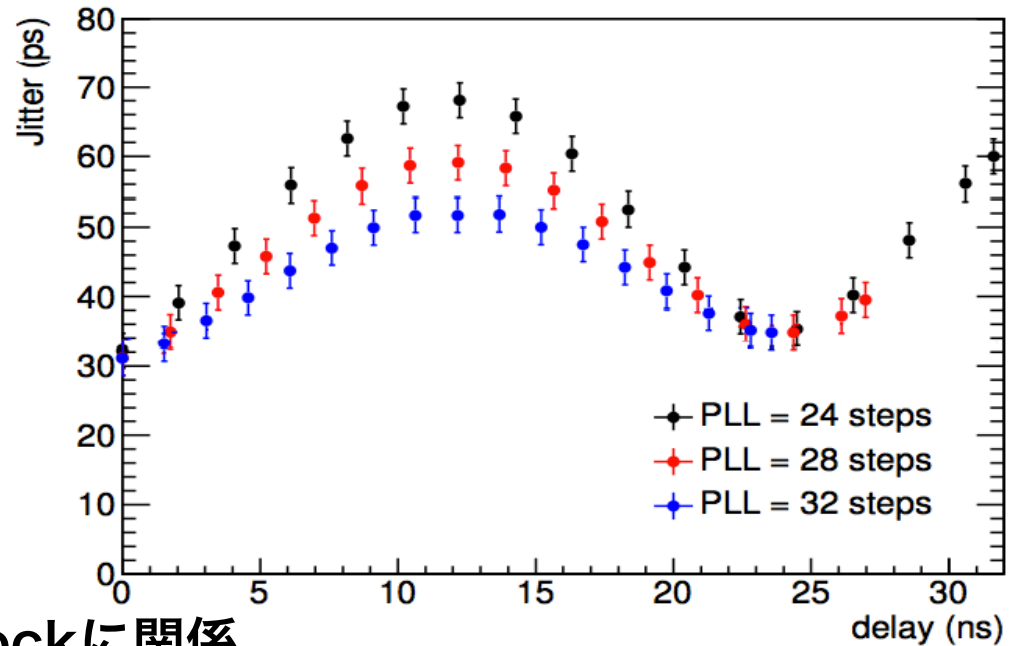
問題点 : Jitter



結果 -> 100ps以内

(Reference-clock : 40MHz時)

遅延時間とReference clockに関係

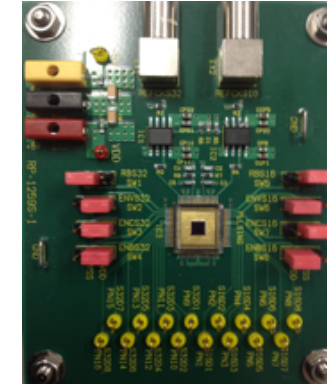
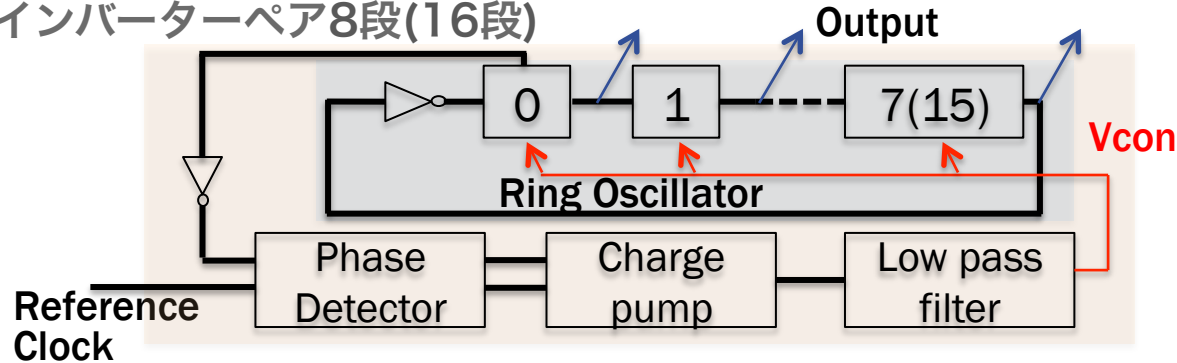


Jitterを理解し、Jitterを減少させることによりASICを用いた高時間分解能のTDCとして利用可能になる。

Jitter削減を目指した回路製作

PLLシングルエンド回路(0.5プロセス)

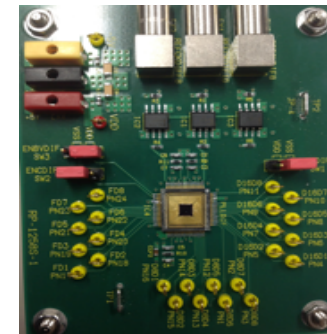
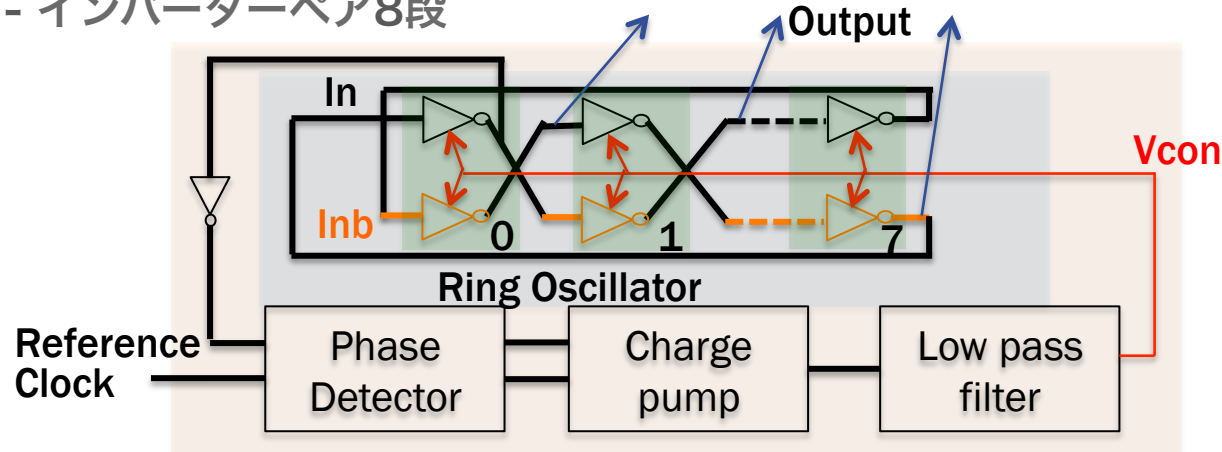
- インバーターペア8段(16段)



シングルエンド回路

PLL差動回路(0.5プロセス)

- インバーターペア8段

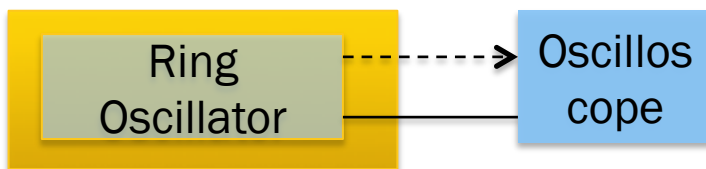


差動回路

目的

これまでのシングルエンド回路と差動回路を0.5プロセスで制作し、比較をすることでノイズ低減によるJitterの削減を評価する。

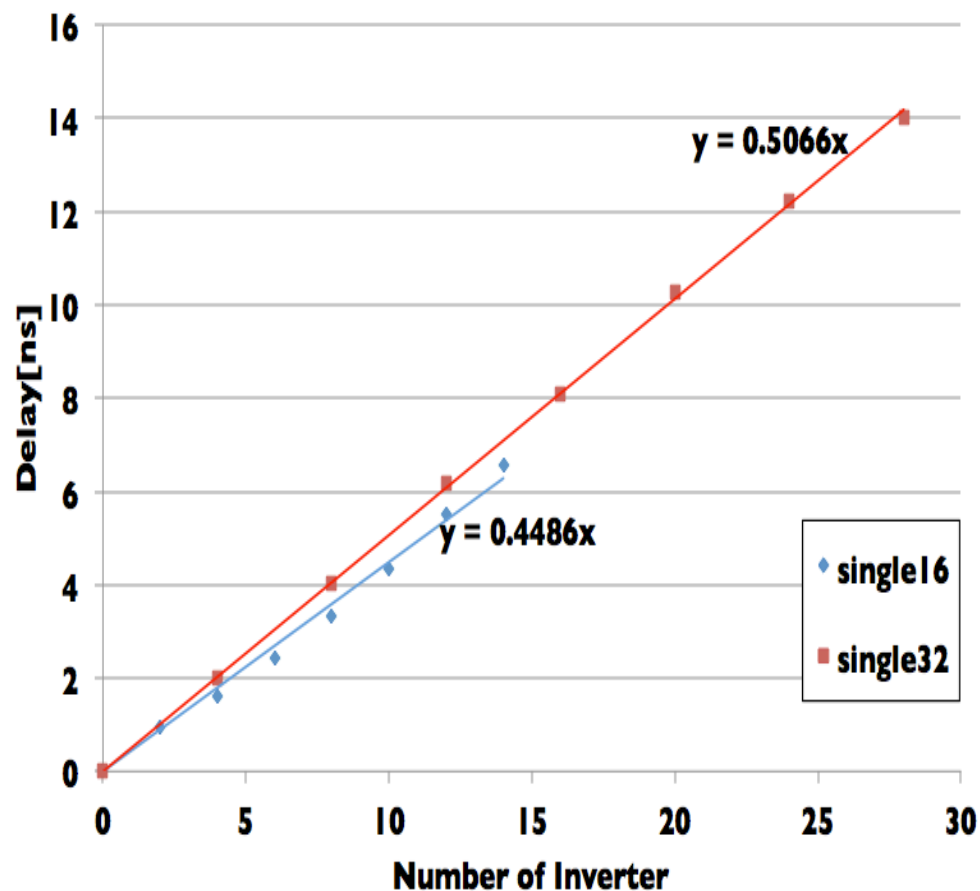
シングルエンド回路のリングオシレータ 動作確認



任意の出力波形を基準に取り,そこから相対的なインバーターペアの数による遅延時間を計測

結果

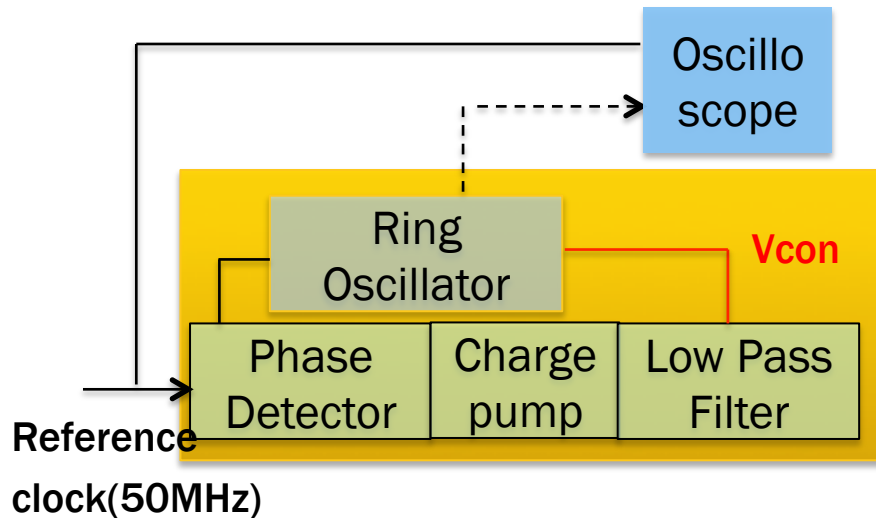
- シングルエンド8 (62.3MHz)
 - 予測値 : 0.47ns/Inverter
 - 実験値 : 0.51ns/Inverter
- シングルエンド16 (30.3MHz)
 - 予測値 : 0.50ns/Inverter
 - 実験値 : 0.49ns/Inverter



PLLの段数と遅延時間の関係

シングルエンドのリングオシレーターは発振回路として正常に動作

シングルエンド回路のPLL動作確認

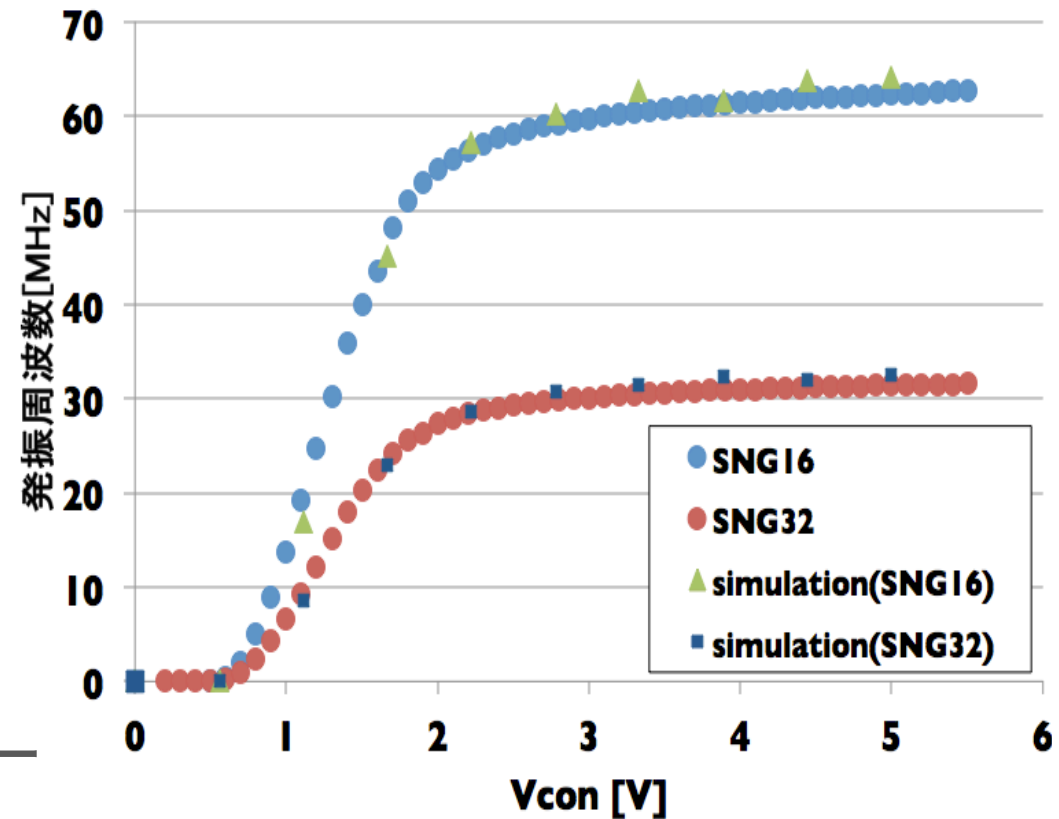
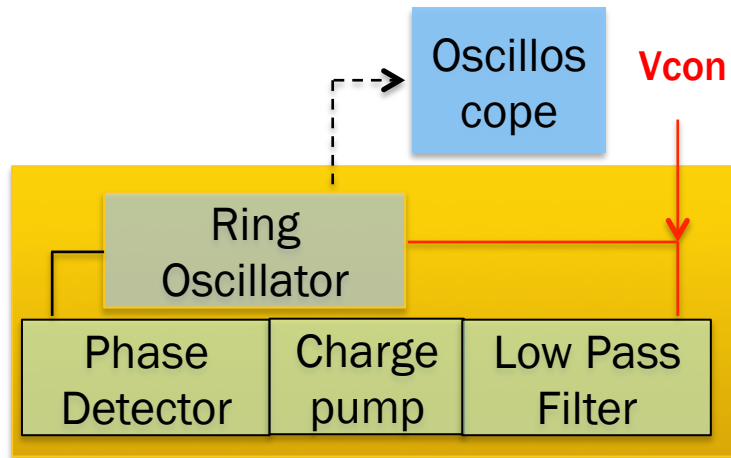


出力波形の確認

結果

- Reference clockと同期した出力波形が確認不可。
- Reference clockの周波数を5~75MHzまで変更して同様に行ったが、変化なし。
- Vconをプローブで確認すると常に0Vで変動しない。

Vcon値に依存したリングオシレータの 発振周波数測定



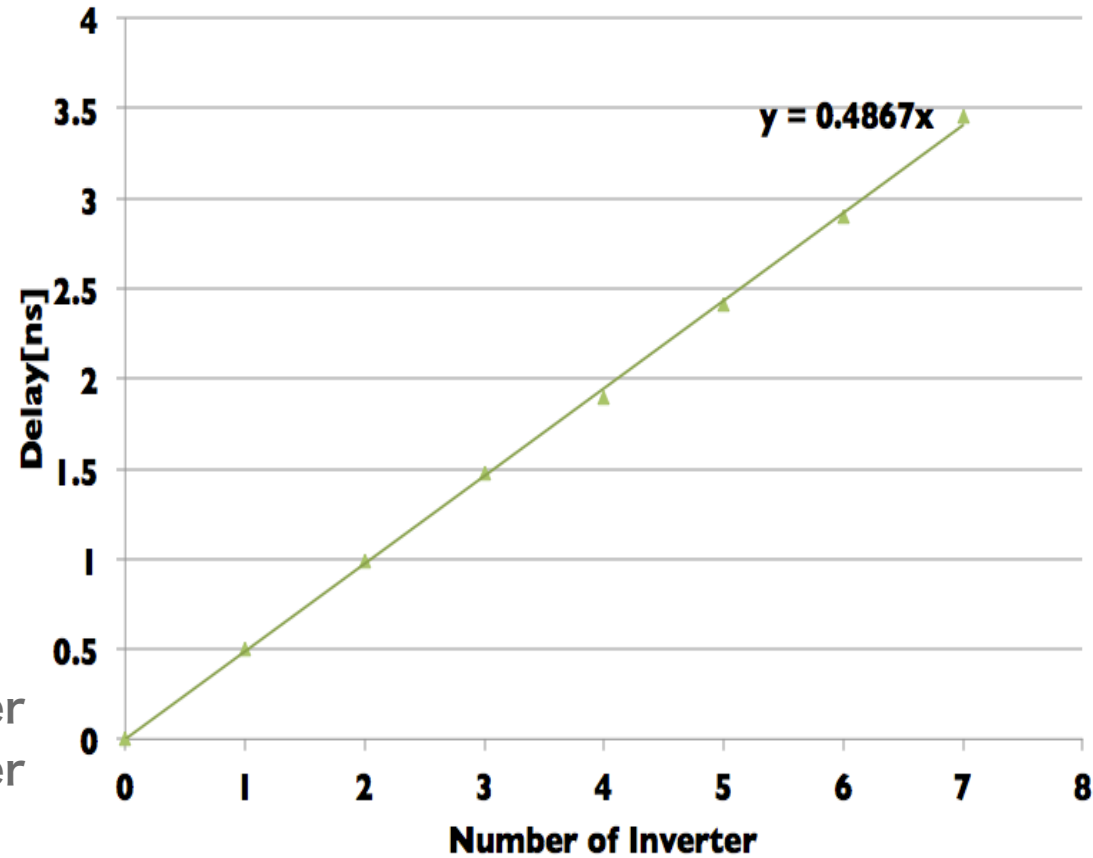
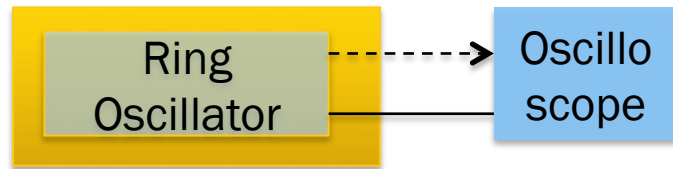
結果

Vconによるリングオシレータの制御が可能

Vconと発振周波数の関係

Vconを制御する回路部分(Phase Detector, Charge pump, Low Pass Filter)に原因があると予測

差動回路のリングオシレータ動作確認



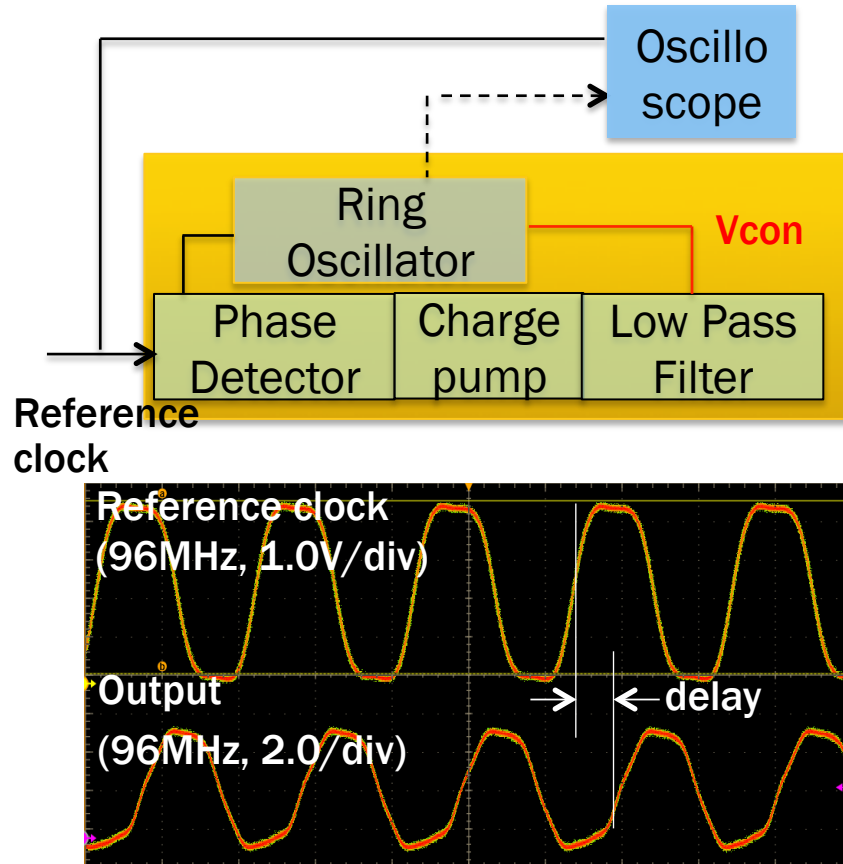
インバーターペアの数と遅延時間の関係

結果

- 差動回路 (127.6MHz)
 - 予測値 : 0.49ns/Inverter
 - 実験値 : 0.47ns/Inverter

差動回路のリングオシレータも発振回路として正常に動作

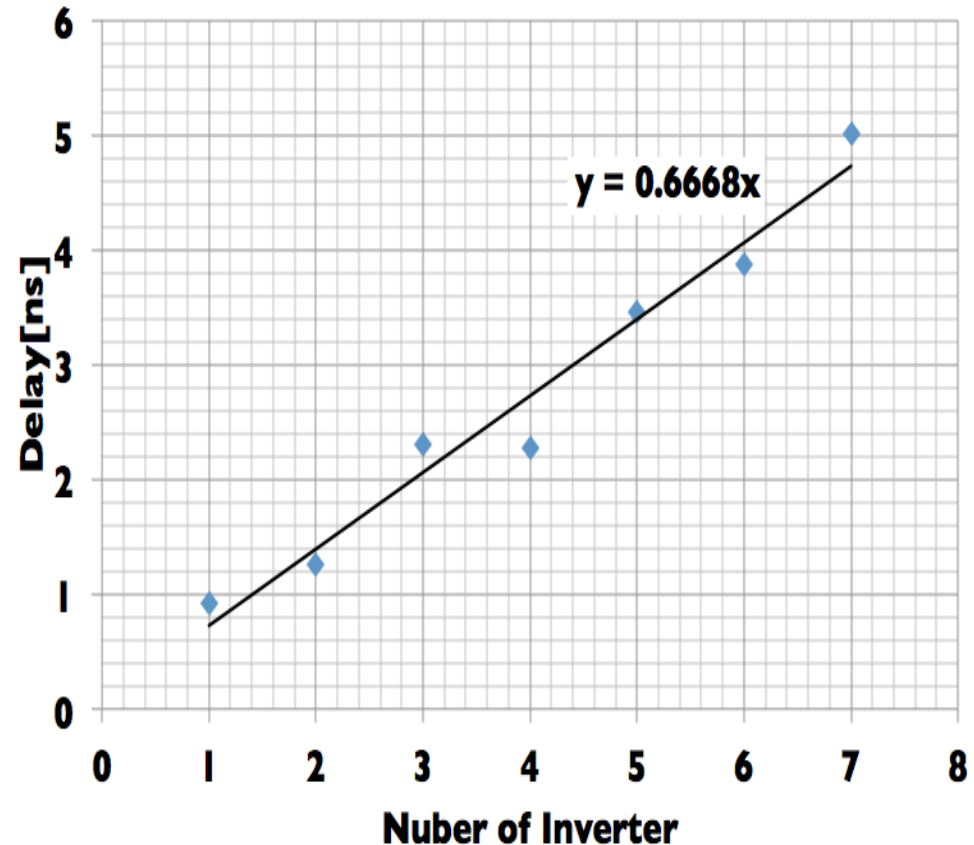
差動回路のPLL動作確認



PLL動作時の波形

結果(Reference-clock : 96MHz)

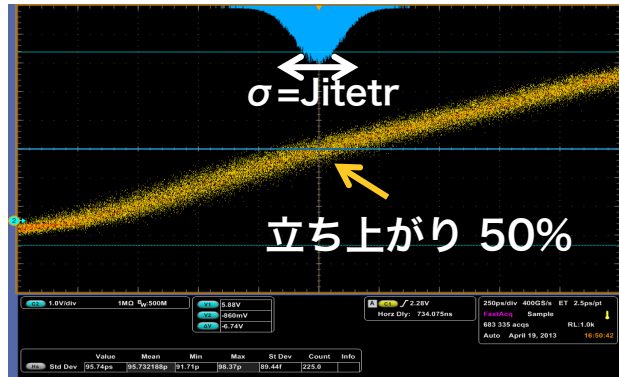
- 予測値 : 0.65ns/Inverter
- 実験値 : 0.67ns/Inverter



インバータ(差動)の段数と遅延時間の関係

差動回路はPLLとして動作
 (* PLLとして動作するReference-clockの範囲が93~100MHz)

差動回路のJitterの測定

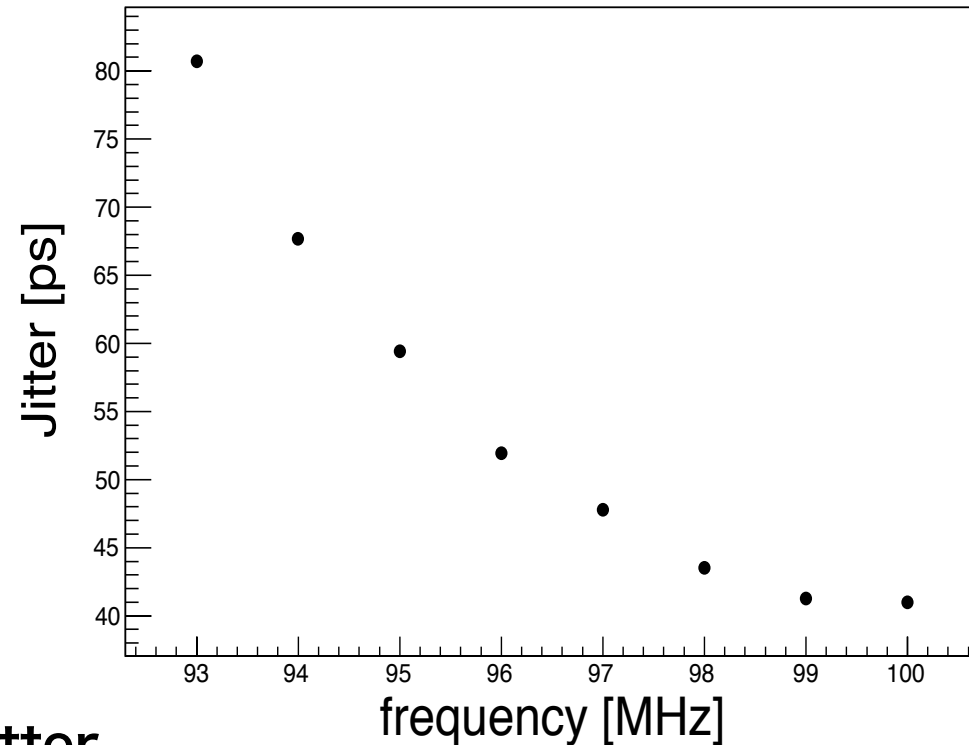


Outputの立ち上がり

結果

- 41.0~80.7[ps]

(* 狭い周波数領域に対してJitter
の変化が大きい)



Reference clockとJitterの関係

シングルエンドと比較できないが、差動回路(0.5プロセス)であることから遅延回路(0.25プロセス)と同等(100ps以内)のJitterと予測

まとめと今後の展望

0.25プロセス遅延回路

- 1 [ns]以下の時間分解能
- 10kGyの放射線耐性

PLLシングルエンド(0.5プロセス)

- リングオシレーターによる発振を確認
- PLL動作時の出力波形確認不可



Phase Detector, Charge Pump,
Low Pass Filterに原因があると推測

PLL差動回路(0.5プロセス)

- リングオシレーターによる発振を確認
- PLL動作時の出力波形を確認



- reference-clock: 93 ~100MHzのみ動作
- 1 [ns]以内の時間分解能, 100[ps]以内のjitter

今後の展望

- Simulationを用いて動作確認、ノイズ対策などを行う。プロセスの変更(0.5->0.18)を行い、動作するPLL回路を製作することを目標とする。

•

backup

まとめと今後の展望

- SNG : RO確認、PLL動作しない, 原因 : プロセスのせい?
- DIFF : RO確認、PLL確認、Jitter確認

- 今後の目標(process 0.18) の回路製作
->そのために…現在の回路研究と0.18用の回路の simulation checkを行って行く。

Contents

- 目的と目標
- 研究内容
- 研究結果
- まとめと今後の予定

実験方法(手順)

0.25プロセスの遅延回路のまとめと展望

トリガーアップグレードのために0.25プロセスの遅延回路開発

- 動作評価結果
 - VconによりDLLの遅延時間(10~70[ns]の間)が制御可能
 - ATLASで必要な25[ns]の遅延時間を達成できる
 - DLLの段数と遅延時間が線形の関係
 - 1[ns]以下の時間分解能を達成
 - コバルト60照射前後で、DLLの段数と遅延時間の関係は同等
 - 10k[Gray]までの放射線耐性

アップグレードに向けた遅延回路の開発に成功



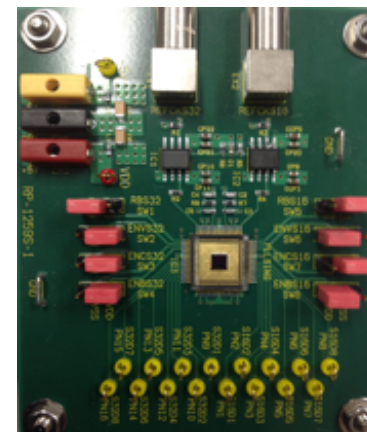
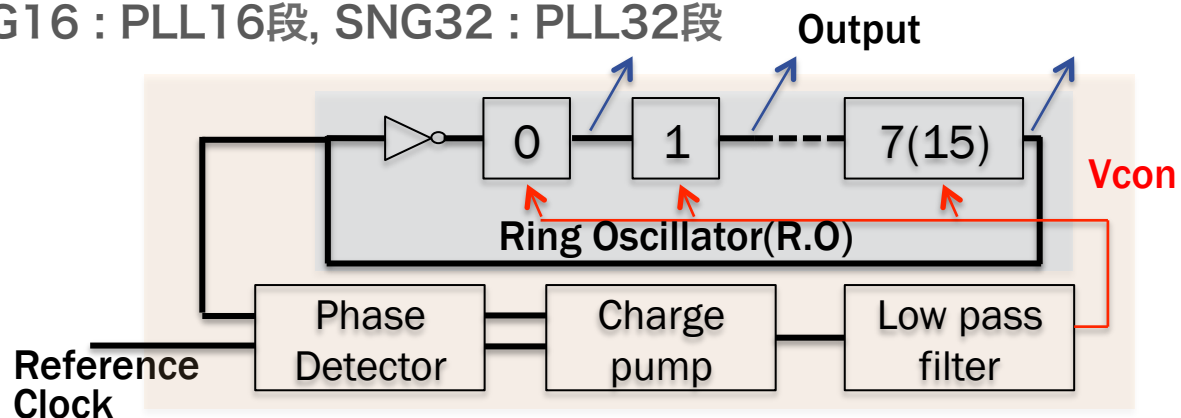
1[ns]以下の時間分解能 -> より高時間分解能にすることで、ASICを用いたTime to Digital Converterの開発が可能

- 高時間分解能の問題点 : Jitter

制作した回路

シングルエンド回路(SNG16(32))

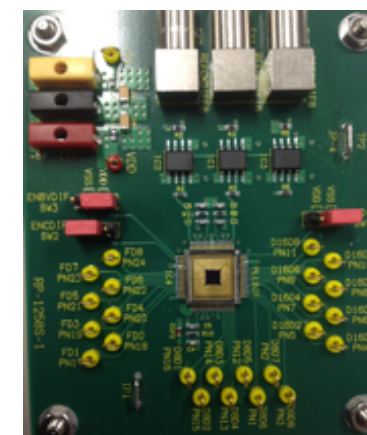
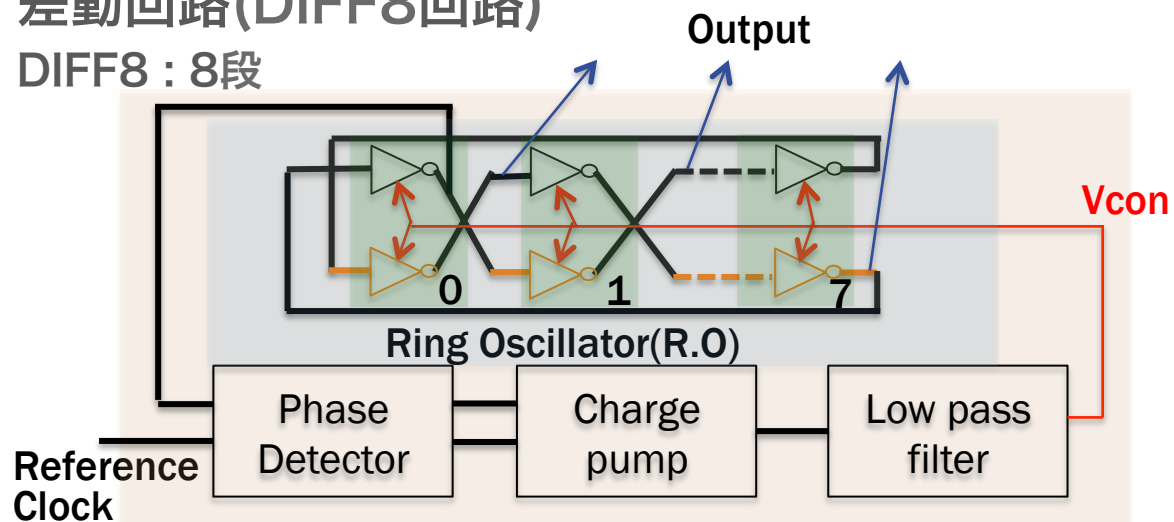
SNG16 : PLL16段, SNG32 : PLL32段



SNG16(32)

差動回路(DIFF8回路)

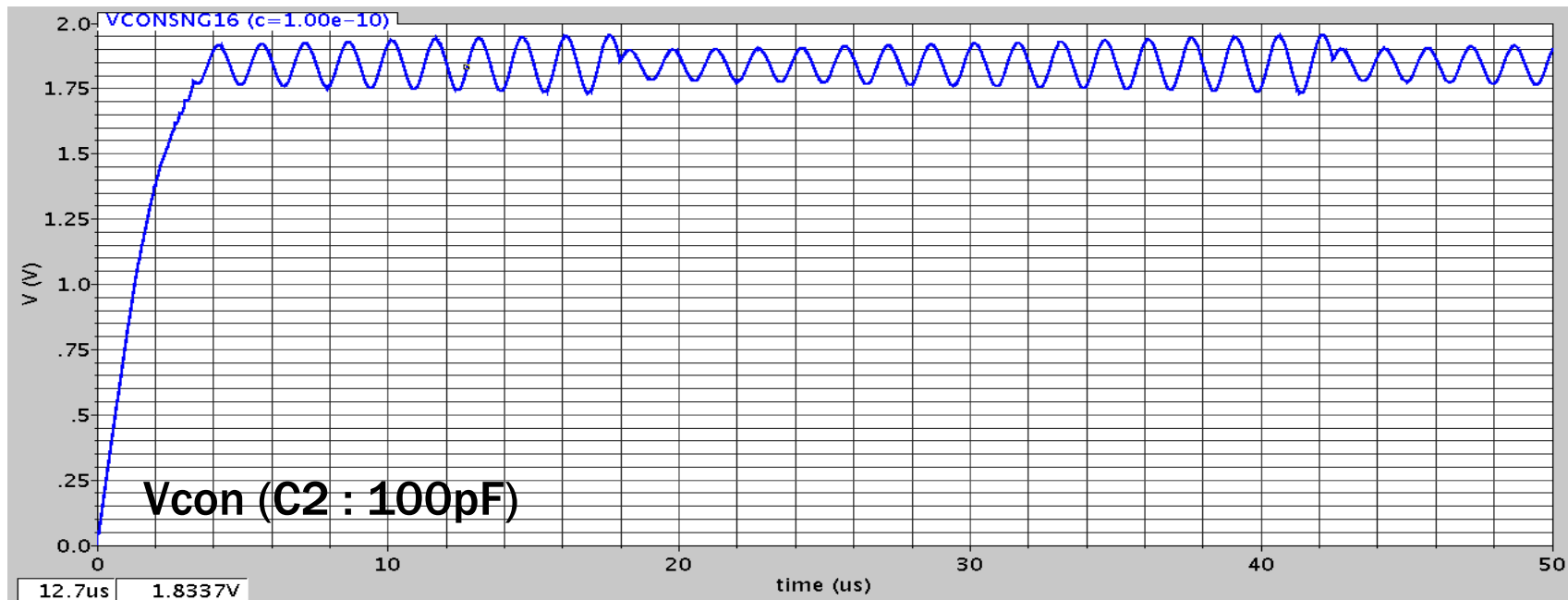
DIFF8 : 8段



DIFF8

SimulationによるVcon波形の確認

- Reference-clockに100MHzを入力した時のVconの波形をSimulationで確認を行う。

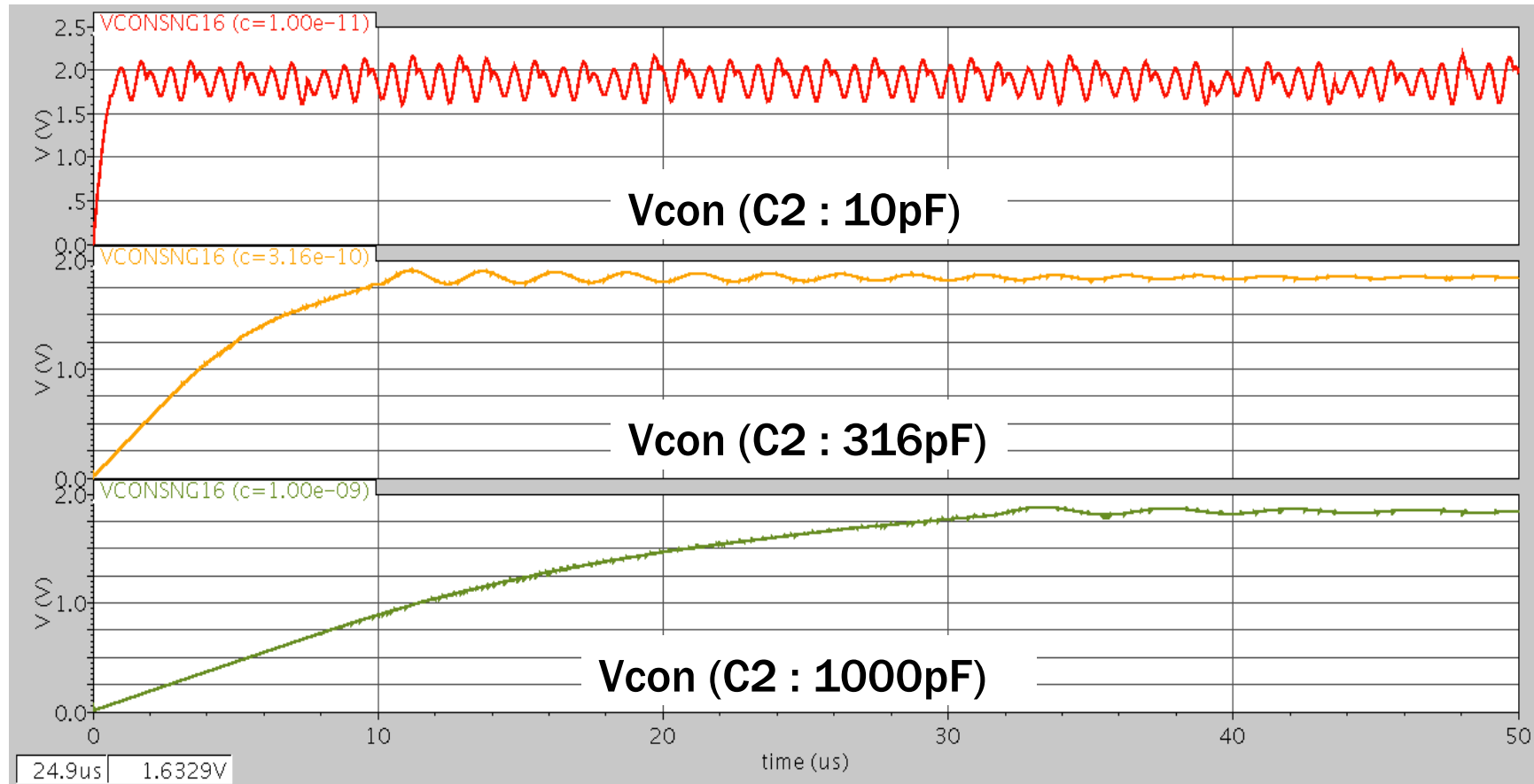


100MHzを入力した時、Vconが振動

-> リングオシレーターの波形の周波数がVconの振動により変化
Vconの振動を抑えるために、Low Pass Filterを調べる。

●

パラメータ解析結果

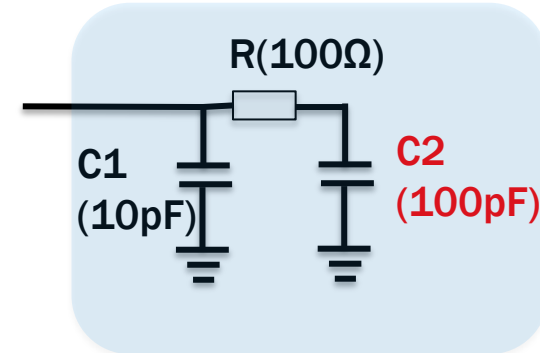


C2の値が大きくなる(316pF,1000pF)と、 V_{con} の振動が減少することが確認できた。

•

実機を用いたキャパシタ変更による PLL動作確認

C2を取り替え、再度PLL動作確認を行った。
使用したC2 : 12pF, 300pF, 1000pF



結果

- リングオシレータの発振は確認できた
- C2を大きく(小さく)しても、出力波形の確認不可

考察

- **ASIC内部**のPhase Detector, Charge Pump, Low pass Filter 部分に何らかの原因(ノイズによりVconが安定しない可能性)があると推測している。