

目次

- AXEL BOARDの概要
- 性能評価
-

AXEL BOARD概要

MPPC28ch×2

(60芯フラットケーブルコネクタ[XG4C-6031]×2)

**ADC×14
(5MSPS 4ch)**

[LTC2325CUKG-12]

**ADC
(40MSPS 8ch)**

[AD9637BCPZ-40]

FPGA

[XC7A200T-1FBG484C]

PROM

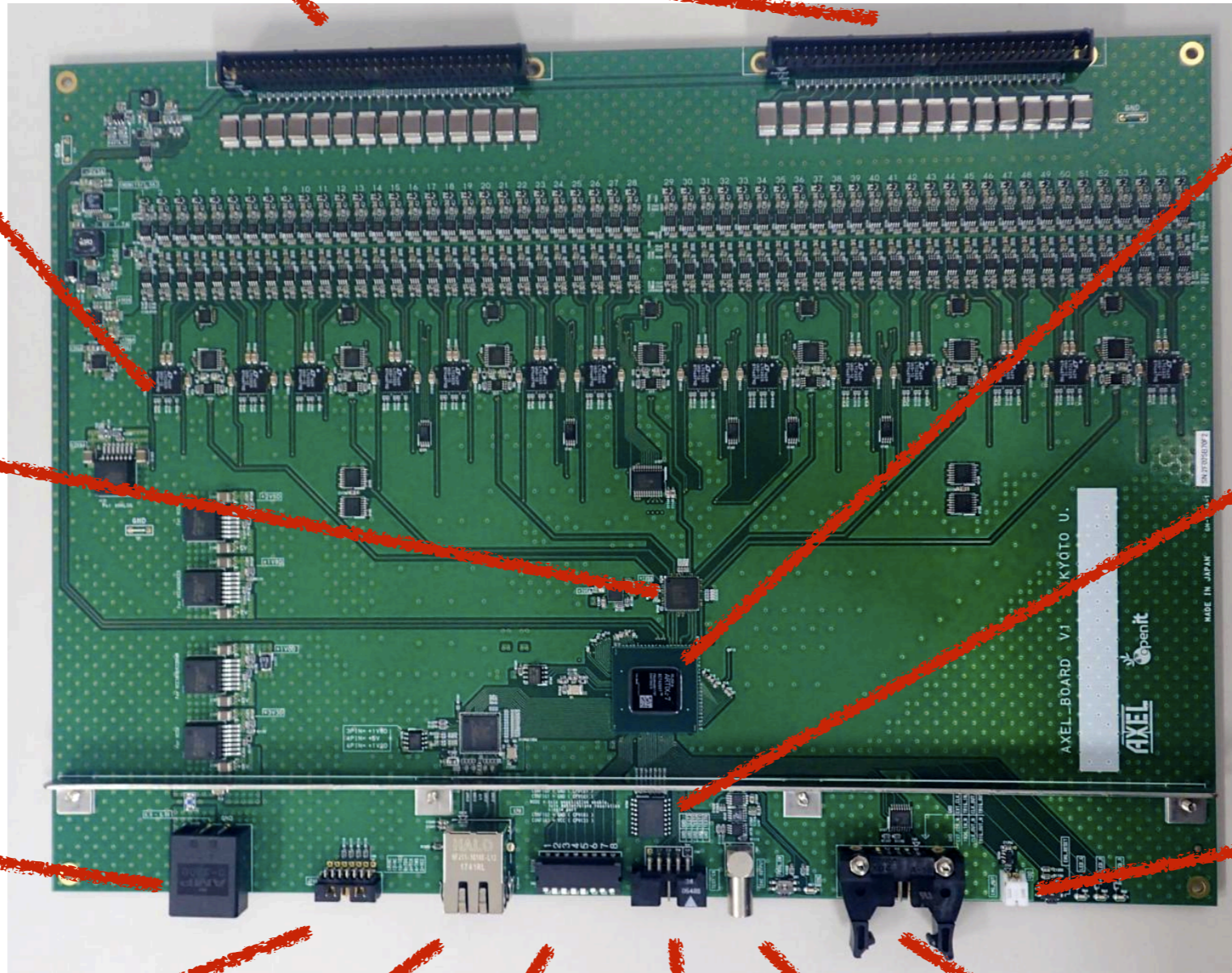
[S25FL128SDS
MFV000]

5V電源(最大3~4A)

[1-179276-5]

Open-Drain

[S2B-PH-K]



Jtag

[87833-1420]

DIP SW

[CFP-0811MC]

LEMO

[EPK.00.250.NTN]

LVDS(in×2ch, out×2ch)

[XG4A-1034]

Ethernet

[HFJ11-1G16E-L12RL]

TEST用3.3V出力

[XG4C-1034]

AXEL BOARDの機能

○概要

- MPPC56chへの電源供給 及び 長時間に渡る波形取得の可能な読み出しボード

○主な機能

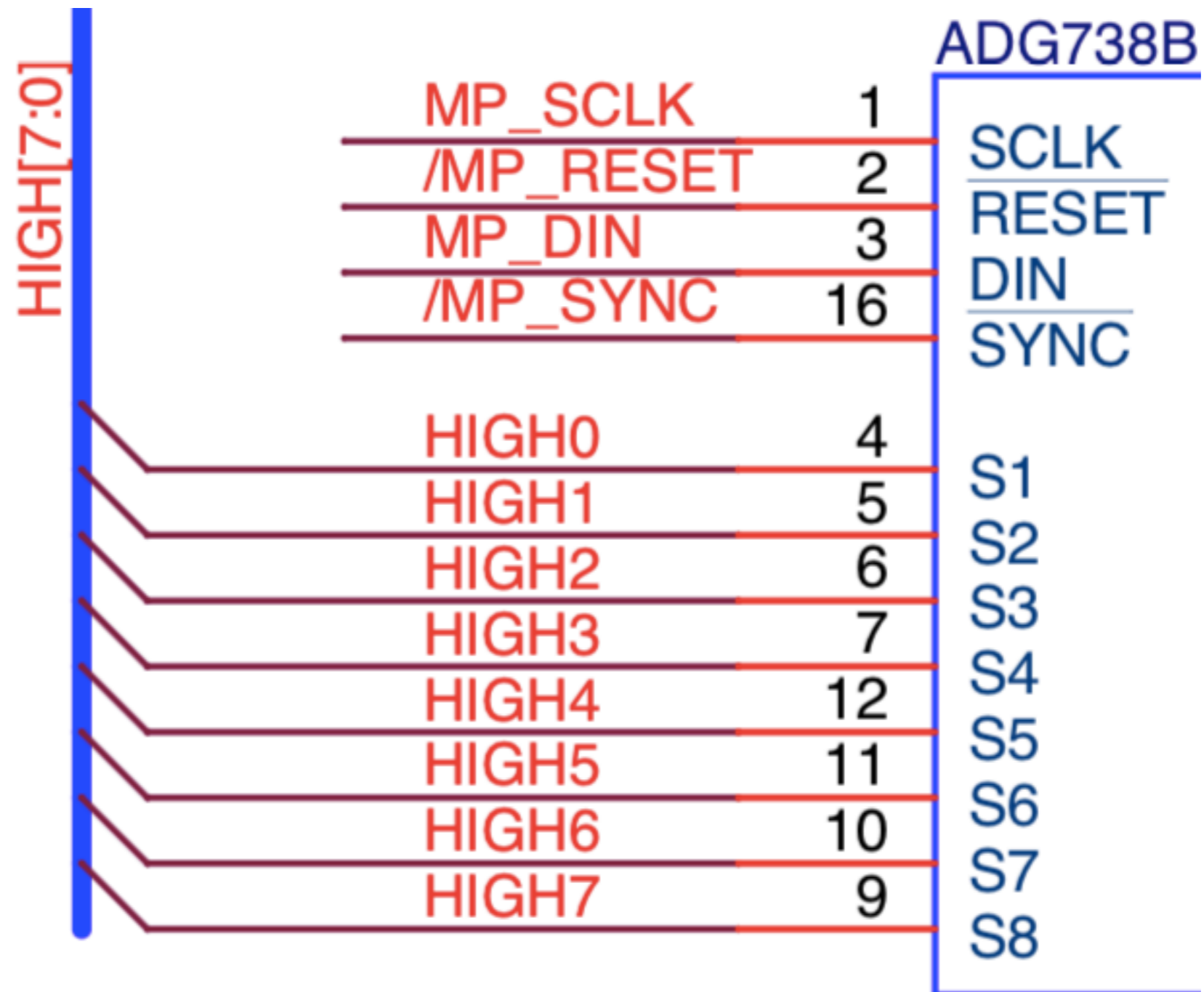
- **MPPCへの電源供給**(最大65V)
- **個々のMPPCの電源電圧の微調整**(10mV単位)
- **デッドタイムフリーなデータ取得**(5MSPS×56ch)
 - ・MPPCからの信号を5倍に増幅して読み出し。各ch 0~400mV(0~8mA)まで。
 - ・取得可能な深さの最大値は、現状で3072(約600us)。ファームウェアにより変更可能。
- **ダークカレントの監視**(40MSPS×7ch)
 - ・同時に7ch分のデータ取得可能。取得するchはマルチプレクサで切り替え。
 - ・MPPCからの信号を165倍に増幅して読み出し。各ch 0~12mV(0~0.24mA)まで。
- **SiTCP(GbE)によるデータ通信**、及びスローコントロール
- テスト用アナログ出力 (LEMOコネクタ, 1MHz, 0~3V)
- テスト用3.3Vデジタル出力×4ch (FPGAによる直接駆動)
- 8ch DIP switch(IPアドレスの変更)
- 緊急停止用OpenDrain端子(用途は変更可能)
- LVDSによる他ボードとの同期、通信(ファームウェア未実装)
- FPGA内蔵のXADCによる温度、電圧、電流モニタ

以下、

- ・データ取得用ADCを
ADCL (Low gain ADC)
- ・ダークカレント監視用ADCを
ADCH (High gain ADC) とする

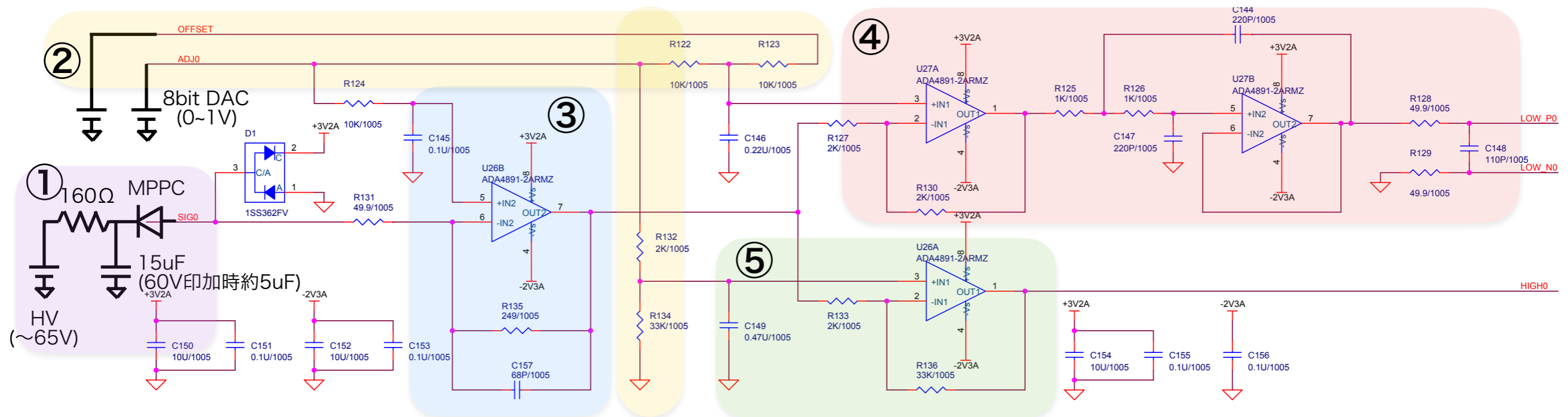
回路図の見方

- 信号名にバー、スラッシュがついていたりする信号はlowのときにenableとなる信号。
- 青い太い線はバス線。複数の信号線をまとめて扱っているもの。
 - バス線と単線は斜めの線で接続する



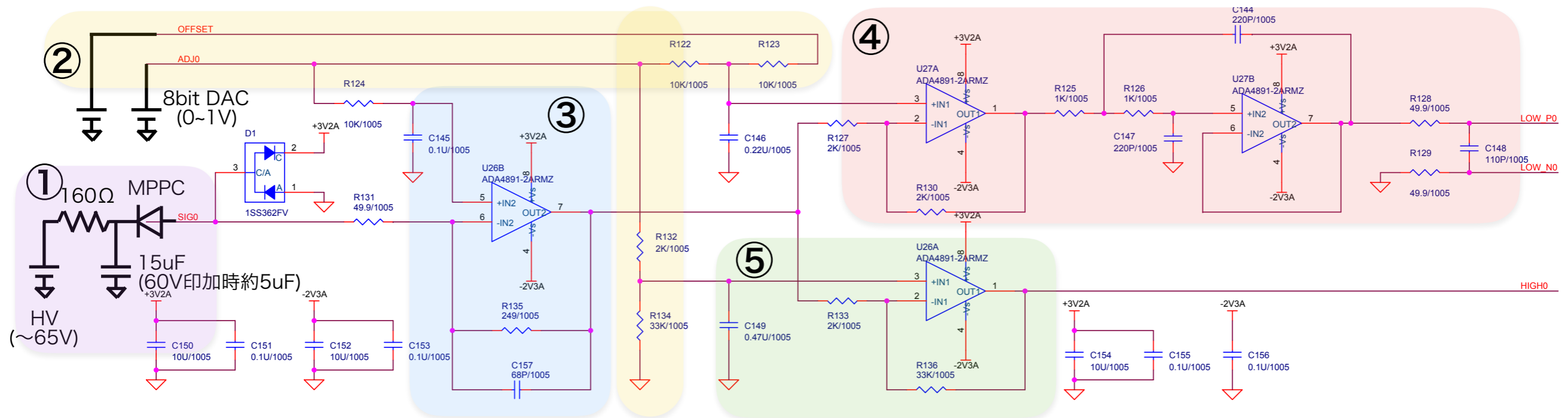
- 思ったより書くことなかった

アナログ回路



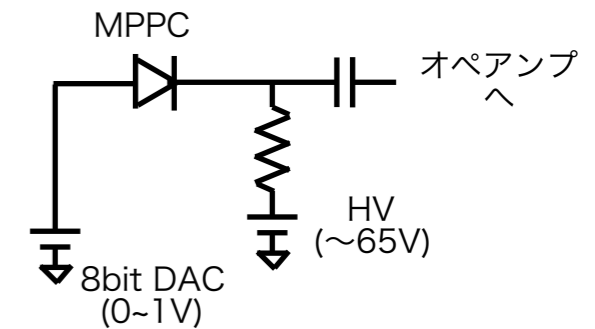
○MPPCの信号を増幅・整形し後段のADCへ伝達する部分。1つのボードに56ch。

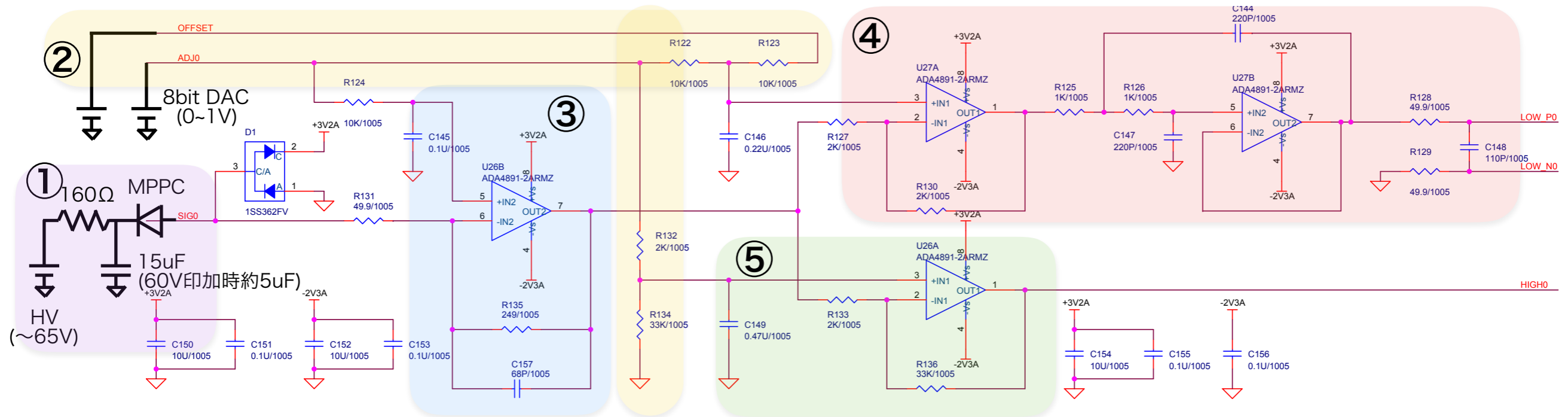
- ①全MPPCへの共通電源供給部
 - ・DC読み出しが特徴
- ②個別のMPPCへの電源電圧微調整 & Lowゲイン出力のオフセット設定
 - ・DC読み出し&電源電圧微調整を成立させている肝の部分
- ③初段増幅・波形整形アンプ
 - ・ゲイン5倍・時定数17ns
- ④Low用波形整形アンプ
 - ・2次のサレンキーフィルタ。(無理矢理時定数で表すと)400ns程度。
- ⑤High用増幅アンプ
 - ・16.5倍



○①&②：MPPCのDC読み出し

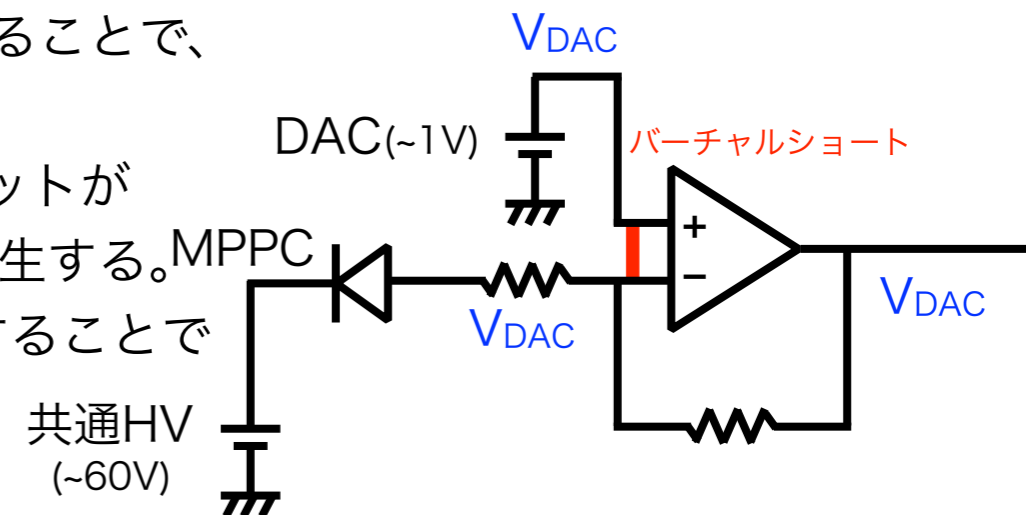
- MPPCの読み出しによく用いられる方法としてAC読み出し(右図)がある。1つの共通HVとMPPCごとのDACを用いることで、MPPCの電源電圧を個別に微調整できる。
- ただし、MPPC後段の抵抗とコンデンサがローパスフィルタを形成しており、信号波形を鈍らせてしまう。これにより同じ電荷量の信号が入力されても、信号波形の長さに依存して電荷の積分値が変化してしまう(長い信号では積分値が小さくなる)。
- [田中修論](#)の図3.6より信号の最大継続時間(10気圧時)は150us。150us継続する信号に対して0.5%以下の電荷損失に抑えるためにはざっと $150\text{us}/0.5\% = 30\text{ms}$ の時定数が必要となる。
- これでは許容レートが非常に低くなってしまいうため、高エネルギー分解能を求める検出器ではAC読み出しを用いることができない。



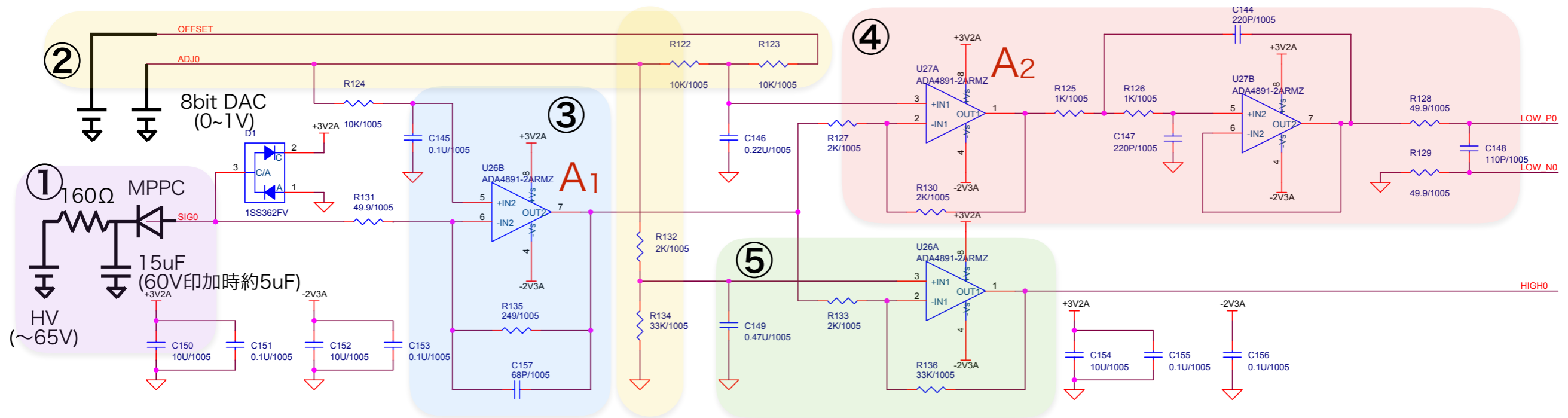


○①&②：MPPCのDC読み出し

- 一方、我々が用いているDC読み出しでは、MPPCの下流にローパスフィルタが存在しないため、時定数を800us(後述)と、AC読み出しに比べ桁違いに短く設定できている。
- しかしMPPCの出力が直接オペアンプに入力されるため、単純にMPPC個別に電圧を微調整することができない。(MPPCの出力側にDACで電圧を印加すると、そのオフセット電圧がオペアンプで増幅されるため、容易にダイナミックレンジを逸脱してしまう)
- そこで、我々の回路ではオペアンプのバーチャルショートを利用することで、間接的にMPPCの電源電圧微調整を行う手法を用いている。
- しかし結局、このオペアンプの出力には(増幅されていない)オフセットが乗ってしまうため、後段に通常の増幅回路があると同様の問題が発生する。
- そこで差動増幅回路(②の抵抗+④,⑤の1つ目のオペアンプ)を設置することでオフセットを打ち消している。



- 詳細な計算は次ページ



○②：OFFSET電圧(共通)とADJ電圧(MPPCごと)の設定

抵抗の値

- ②の抵抗は、④, ⑤のオペアンプと差動増幅回路を構成している。
- 抵抗比がオペアンプの増倍率と同じでなければならない。
- 抵抗値の絶対値に大きな意味はない。合成抵抗とコンデンサで構成されるローパスフィルタの時定数を信号波形(最大150us)と比べて十分に長くしている。

○LADCが正の信号しか受け付けられないため、OFFSET電圧を与えることで出力が負に振れることを防ぐ(微妙な抵抗値の違いでオペアンプの出力のベースラインがずれることはよく発生する)

○DACを用いてADJとOFFSETを設定できることの証明 (BIASはOFFSETと読み替えてください)

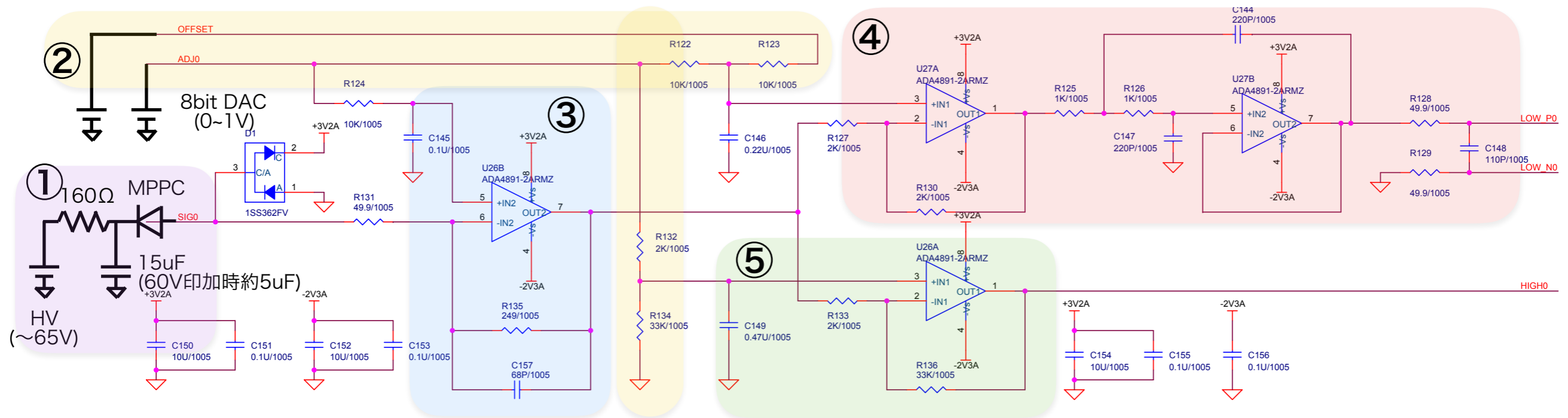
$$V_{out1} = -sig \cdot A_1 + V_{+in1}$$

$$V_{+in2} = (V_{+in1} - V_{BIAS}) \cdot \frac{A_2}{A_2 + 1} + V_{BIAS}$$

$$\begin{aligned} V_{out2} &= -(V_{out1} - V_{+in2})A_2 + V_{+in2} \\ &= sig \cdot A_1 A_2 - \left(1 - \frac{A_2}{A_2 + 1}\right)(V_{+in1} - V_{BIAS})A_2 \\ &\quad + (V_{+in1} - V_{BIAS}) \frac{A_2}{A_2 + 1} + V_{BIAS} \end{aligned}$$

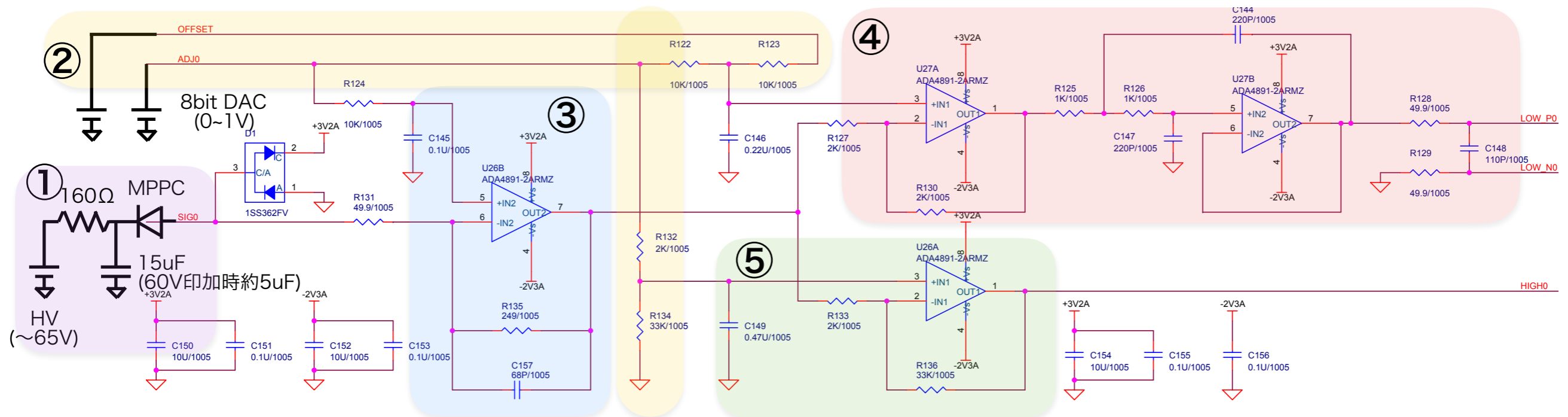
ただしA_{1,2}は1,2段目のアンプのゲイン
またV_{+in1} = V_{adj}であることに注意

$$\circ = sig \cdot A_1 A_2 + V_{BIAS}$$



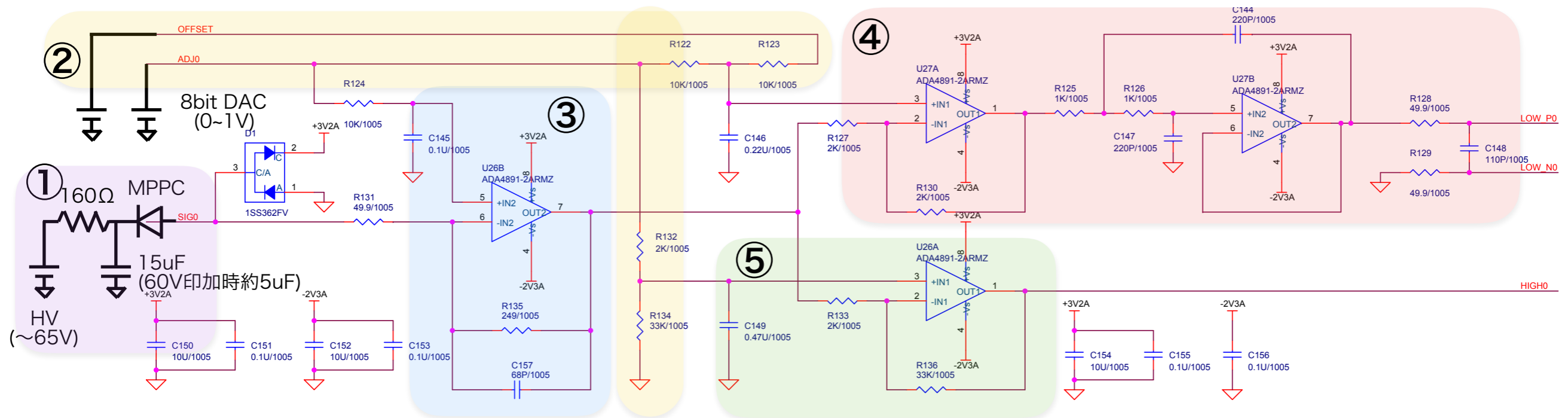
○①：MPPCへの電源供給部分
コンデンサの値

- [tanaka elog 1606-key](#)のp127より、
1MPPCに入射する最大光子数は 2×10^5 個
- ただしこれは四角形15mm pitchの際のシミュレーションであり、六角形10mm pitchに変換すると約0.4倍。
また、この際の想定ELゲインが6倍に対して、現在の想定は10倍である。
つまり1度の0nbbイベントで1MPPCに入射する最大光子数は約 1×10^5 個。
- その際、VUV4 MPPC(ゲイン 2.6×10^6)には $5 \times 10^{-8}C$ の電荷が流れる。
- コンデンサは一般に電圧がかかると静電容量が低下する。用いているコンデンサ(C5750X7S2A156M250KB)の場合、60Vで約5uF程度になる。
- つまり1度の0nbbイベントで、MPPCの電圧は最大10mV低下してしまう。
- Vover(4V)と比較すると約0.25%。十分とは言えないまでも、目標感度である0.5%に対しては小さい。
- ケーブルのインピーダンスを考えると、コンデンサは本来はMPPCの直近に置くべきであるが、今回は妥協してボード上に乗せている。



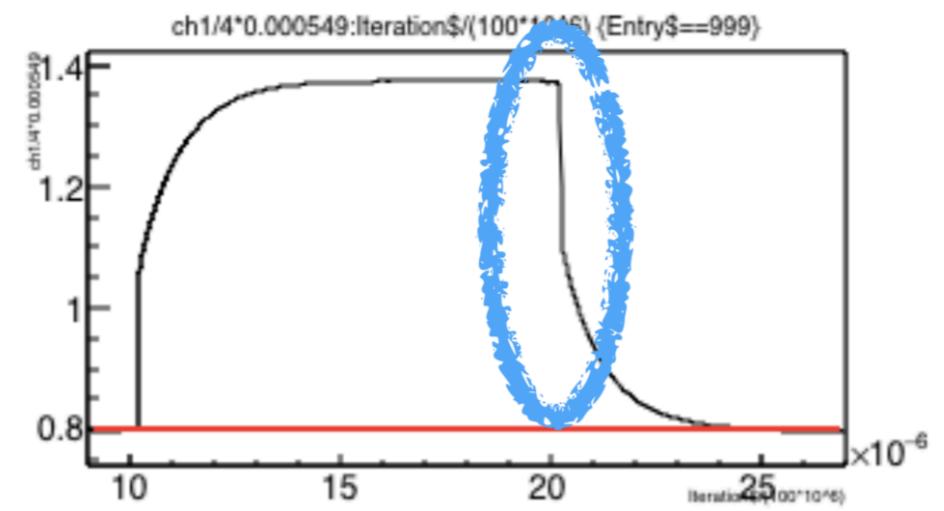
○①：MPPCへの電源供給部分
抵抗の値

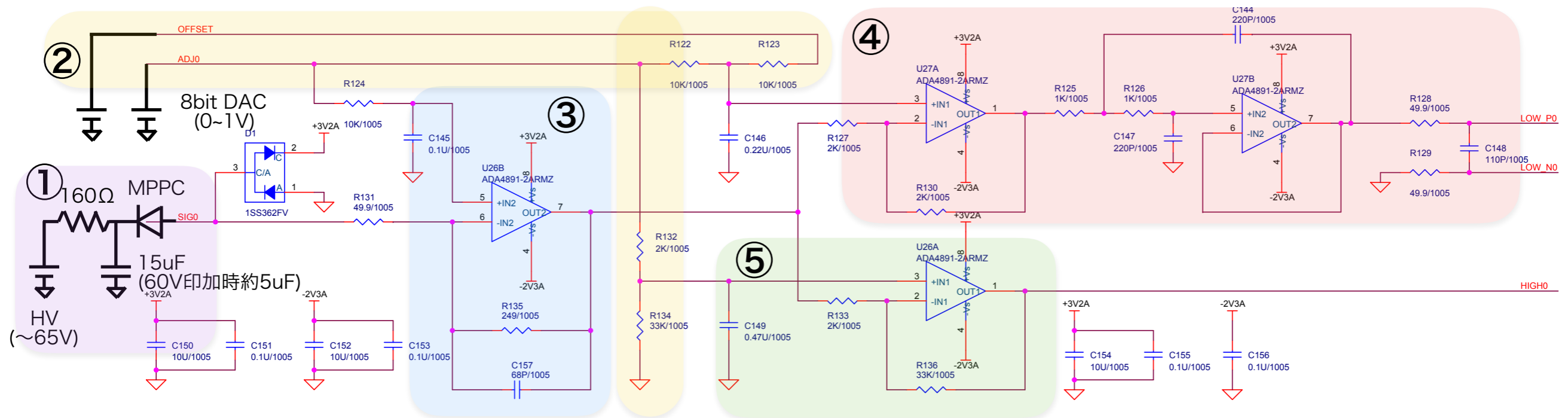
- コンデンサと共にローパスフィルタを形成。MPPCの充電速度を決めている。
時定数は $160\Omega \times 5\mu\text{F} = 800\mu\text{s}$ 。この時定数が短すぎると信号にノイズが乗りやすくなり、長すぎるとイベントレート増加時にMPPCの電圧降下が発生する。
- [田中修論](#)の図3.6より信号の最大継続時間(10気圧時)は**150us**。
- 許容イベントレートの上限はMPPCへのHV供給モジュールが決めている。
[tanaka_elog_1606-.key](#)のp155より、
ボード1枚あたりの最大許容イベントレートは200Hz。条件変更に伴う補正を前ページと同様に行うと、最大許容レートは400Hzとなり、逆数を取ると**2.5ms**となる。
- 800usは150usと2.5msの間であり、電源由来のノイズを落としつつ、高イベントレート時にもMPPCを充電できるような値となっている。



○③, ④, ⑤：増幅、整形
オペアンプの電源電圧

- 初段のアンプ(③)と2段目のアンプ(④の1つ目, ⑤)はいずれも反転増幅回路。
- 非反転増幅回路にすると③の時点で波形が歪んでしまう。右図は2倍の反転増幅回路にコンデンサを取り付けて波形を鈍らせた場合。
- 反転増幅を2回行うため、オペアンプは±どちらの信号も出力できる必要がある(オペアンプごとに電源電圧を変更する場合はその限りではないが、回路が複雑になる)
- ADCがちょうどサチる大きさの信号は、+400mV(+8mA)。その際③の出力は-2V。用いているオペアンプがrail to railではない(電源電圧よりも狭い範囲の電圧しか出力できない)ため負電源は-2.3Vとした。正電源は別の要請(ADCの電源電圧)により決まっている。

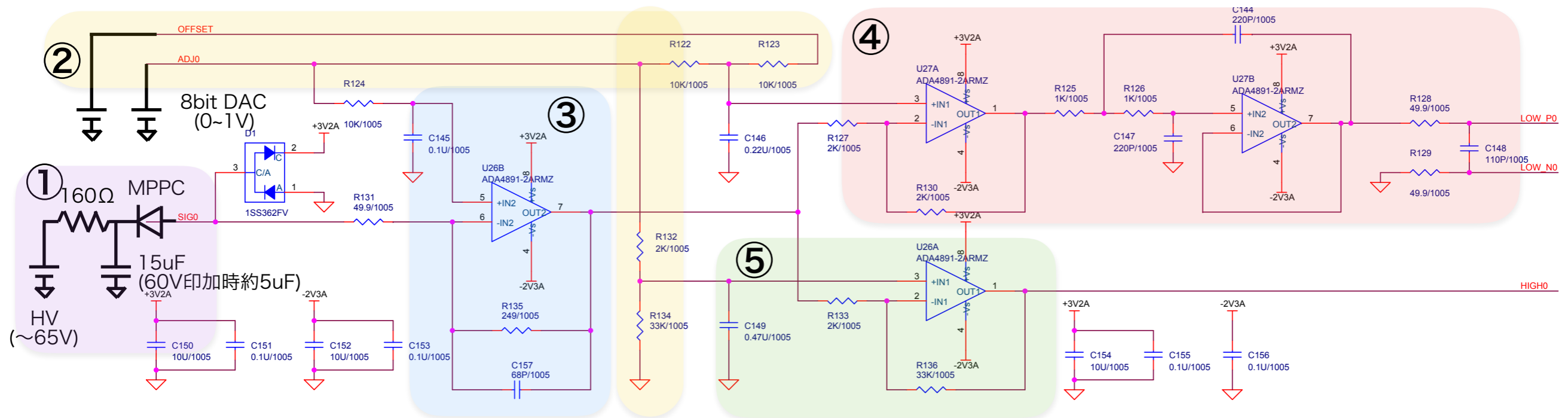




○③, ④, ⑤：増幅、整形

ADCLへの入力波形整形

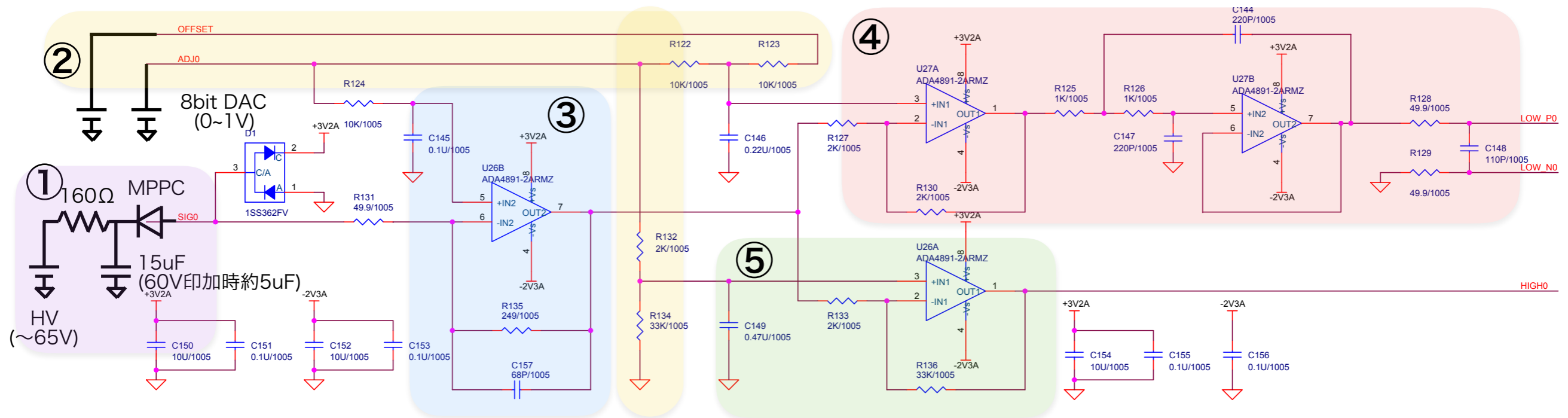
- ADCLのdynamic rangeは2V、sampling rateは5MSPS(Samples Per Sec)
- ADCLには③で5倍に増幅、④で400nsの時定数で鈍らされた信号が入力される
- 時定数は田中修論の5.2節で、1MSPSで十分な性能を発揮したもののちょうど1/5の値を用いている。
- ゲインはtanaka_elog_1802-.keyp90-92参照。8気圧、ELゲインが12倍という発光量の多い条件で0nbbが発生しても1割程度しかoverflowしない。このシミュレーションは拡散を小さく見積もっていることが判明したので、さらにoverflowは減るはず。



○③, ④, ⑤：増幅、整形

ADCHへの入力波形整形

- ADCHのdynamic rangeは差動入力で2Vpp、sampling rateは40MSPS
- ADCHには③で5倍に増幅、時定数17nsで整形された後、⑤で16.5倍、さらに後段で2倍に増幅された信号が入力される。つまりゲイン165倍、時定数17ns。
- 時定数・ゲインともに田中修論の5.3節で設定されたものと同値である。



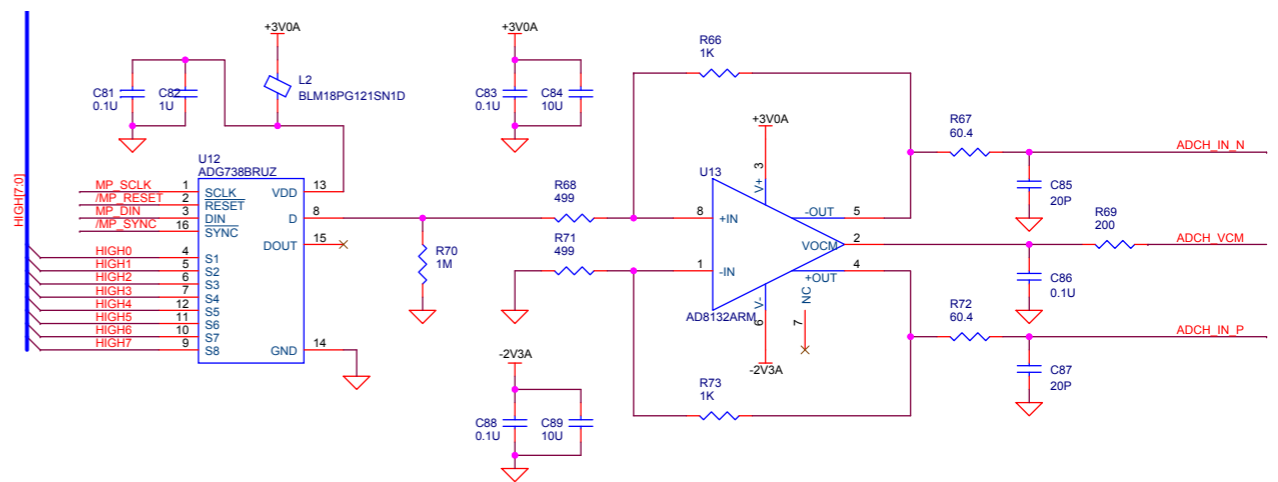
○③, ④, ⑤：増幅、整形

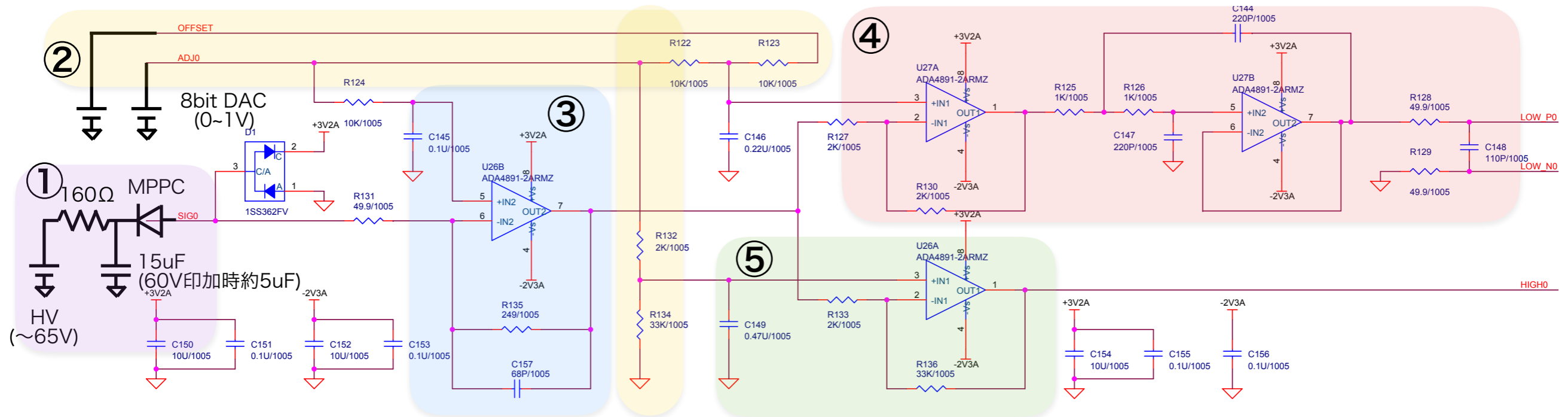
マルチプレクサ・差動アンプ

- ⑤から出力された信号は、その後8chまとめてマルチプレクサに入力され、選択された1chのみが差動アンプで2倍に増幅されてからADCHに入力される(右図)

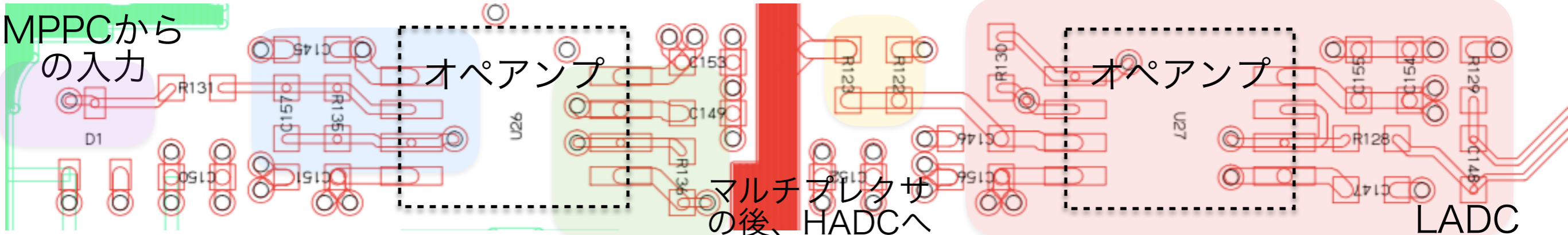
- ADCHの目的はMPPCの1p.e.の監視であり、常に全てのchを見る必要がない。
- 差動アンプの電源電圧は、ADCHの許容入力電圧(-0.3~2.0V)に合わせて設定している(特に正電源)。負電源は他のオペアンプと同一。

今回の条件では差動アンプの出力範囲は-0.1~2.0V([tanaka_elog_1606-key](#) p180参照)。





○アナログ部の配置図(色は上図と対応している。裏面、中面にもパターンはあるが省略)



○1chあたり4つのオペアンプを使用する。オペアンプ2個入りの素子を2つ使用している。

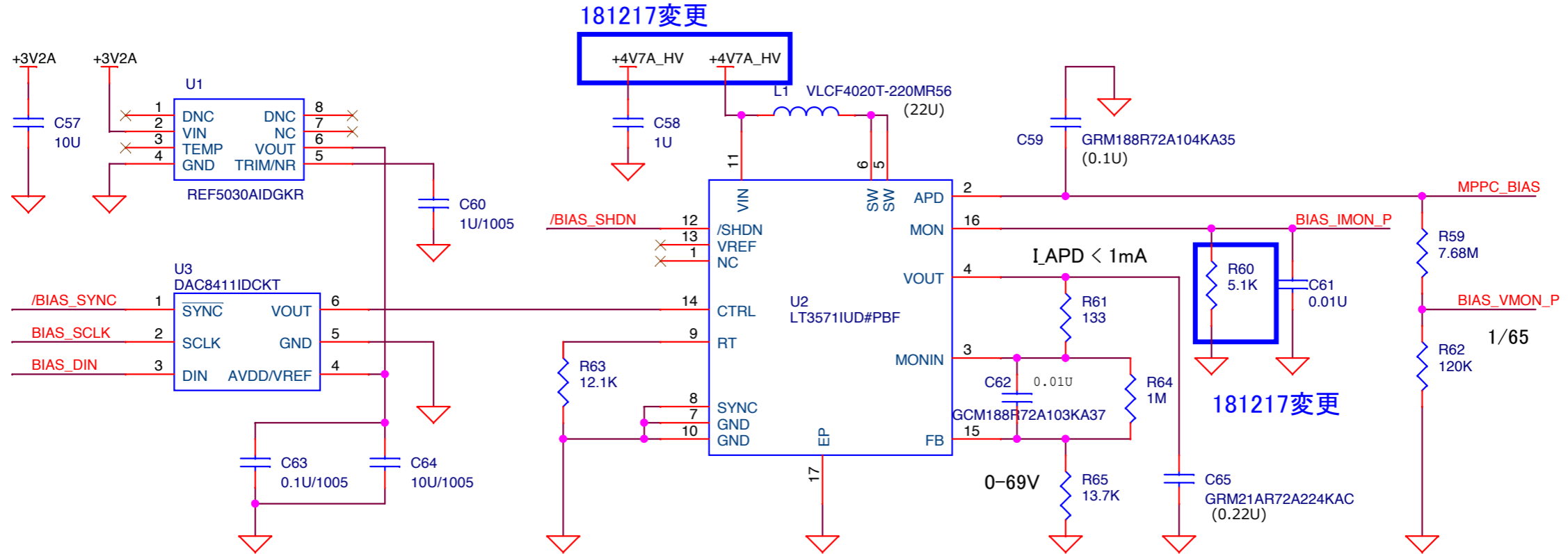
○配置の際に気をつけるべきは、(1)クロストークを防ぐことと、(2)専有面積を減らすこと。

- (1)オペアンプで増幅された信号を、未増幅の信号と並走させると非常にクロストークが乗りやすい。入力から出力まで折返し等なく配線できるとよい性能の回路ができる。

- (2)アナログ部は56個必要であり、わずかな専有面積の違いがボードの大きさを左右しかねない。抵抗やコンデンサを、オペアンプのパッケージからできる限りはみ出さないように注意して設計している。

○4個入りの素子も存在するが、折返しが多発してしまう。専有面積と価格では4個入りの素子の方が優れているが、クロストークが少ないという観点から2個入りの素子を選択した。

MPPPC電源 (BIAS)

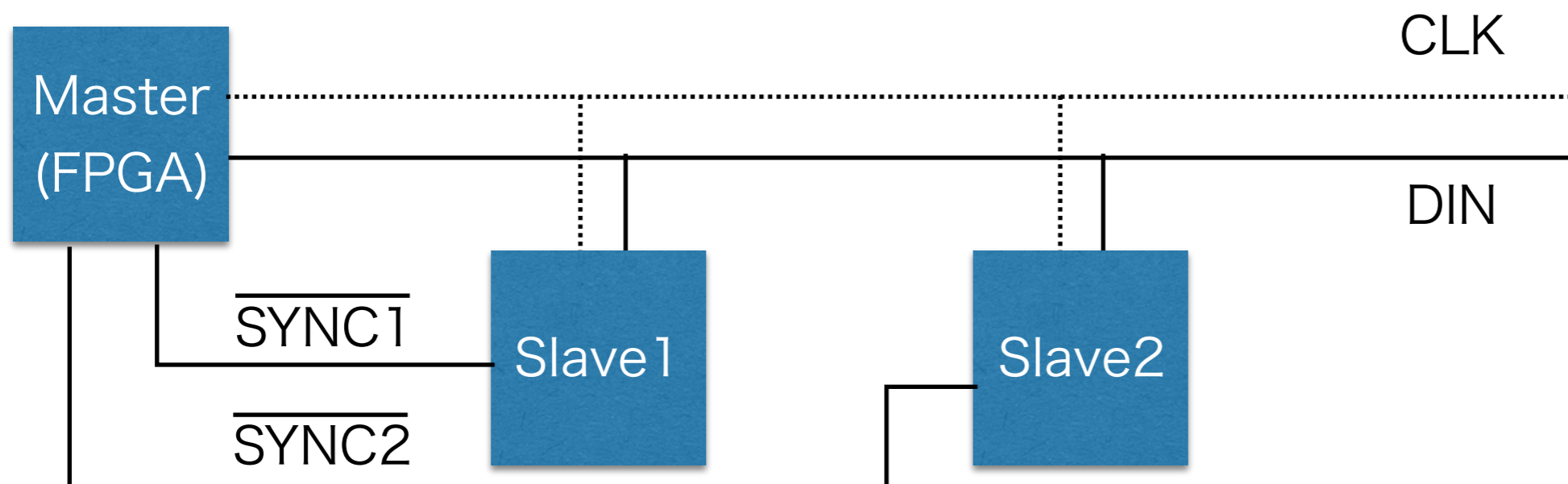


○昇圧素子

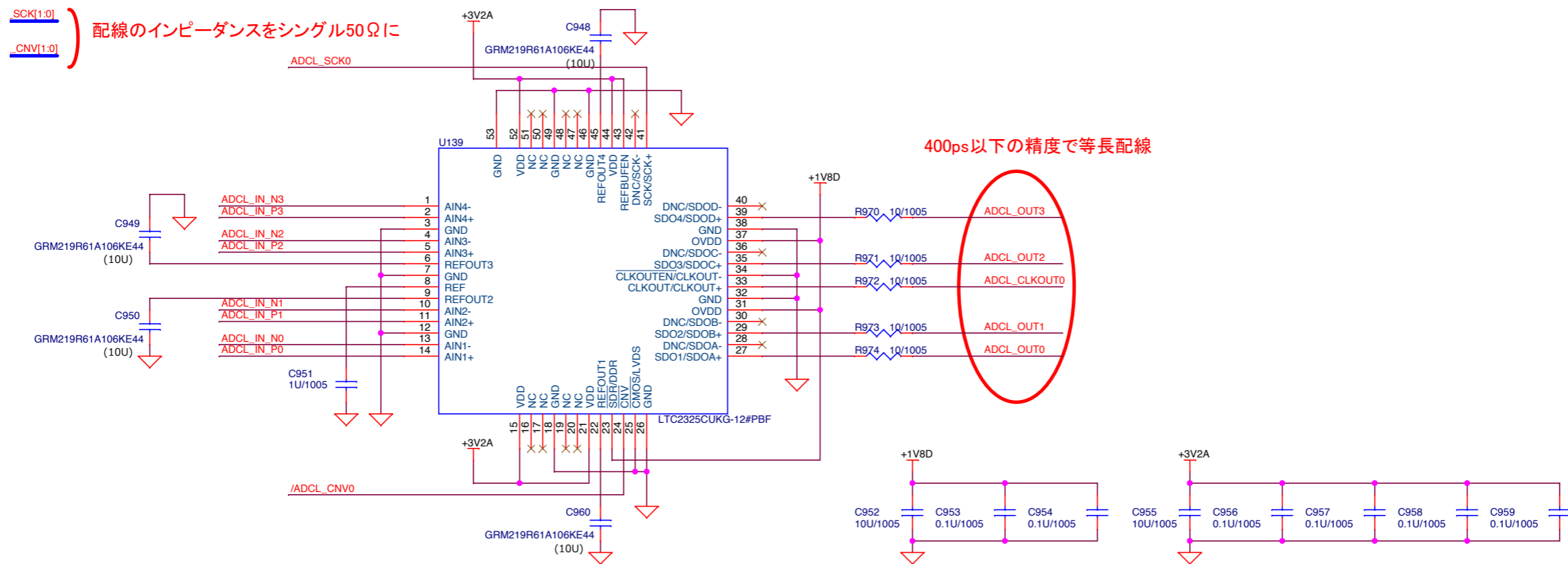
- DC4.7Vを最大65Vにまで昇圧。電流は0.2mA以下。
 - ・実は1mAまで出力可能であるが、電流モニタの値が不正確になる。
- 暗電流(約0.02mA)や0nbb信号の最大値(0.7uA)よりも十分に大きい
- MPPCを逆に接続しても、MPPCを壊すほどの電流を流すことができないので一応問題ない
- 出力電圧にはどうしてもリップルが乗ってしまうが、リップルの時定数を10ms程度と、信号よりも十分に長く設定している。
- 出力電圧はDAC(U3)でCTRLに印加する電圧を調整することで設定
- 詳細は[tanaka elog_1606-key](#) p155-158
- 出力電圧、電流はFPGAに内蔵されているADCで監視
 - ・ADCで測定された電圧をvとすると、真の電圧は65v[V]、電流はv[mA]

スロークォントロール

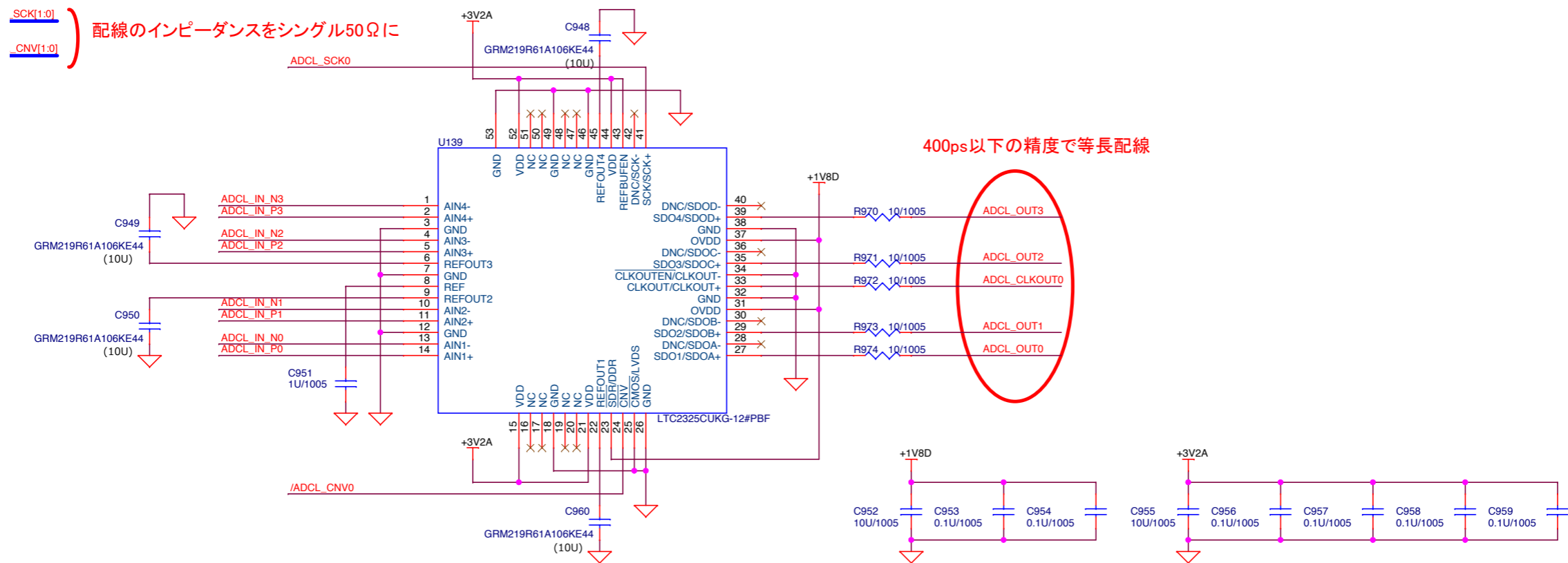
- 各種DAC(ADJ×56、OFFSET、BIAS調整用)、マルチプレクサ×7はFPGAからSPI通信で制御可能
- SPI通信とは共通のクロック線(CLK)、信号線(DIN)と、各素子に個別のイネーブル線(回路図ではSYNCやCSと表記されている。名前が違うだけで機能は同じ)を用いて通信する規格
- 模式図は以下の通り。SYNC1がlowのとき、slave1のみが信号を受け取り、その結果として例えば出力電圧が変更される。
- CLKやDINには多くの素子が接続されるため、FPGAの端子1つでは駆動能力が足りない。適宜FanOutを用いている(回路図のBUFFERページ)。
- 各種DACには個別にSYNCを用意しているが、マルチプレクサは7個全てで共通のSYNCを用いている。つまりマルチプレクサは全て同じ設定にしかできない。
-



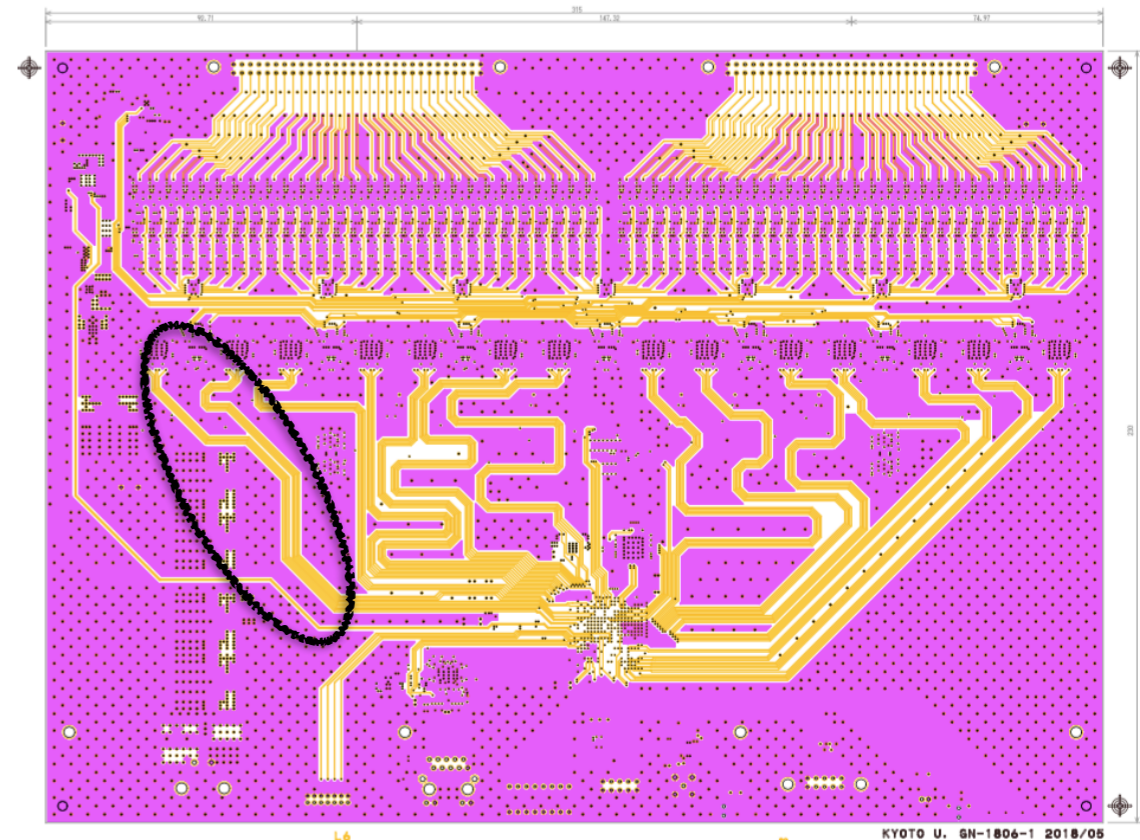
ADCL



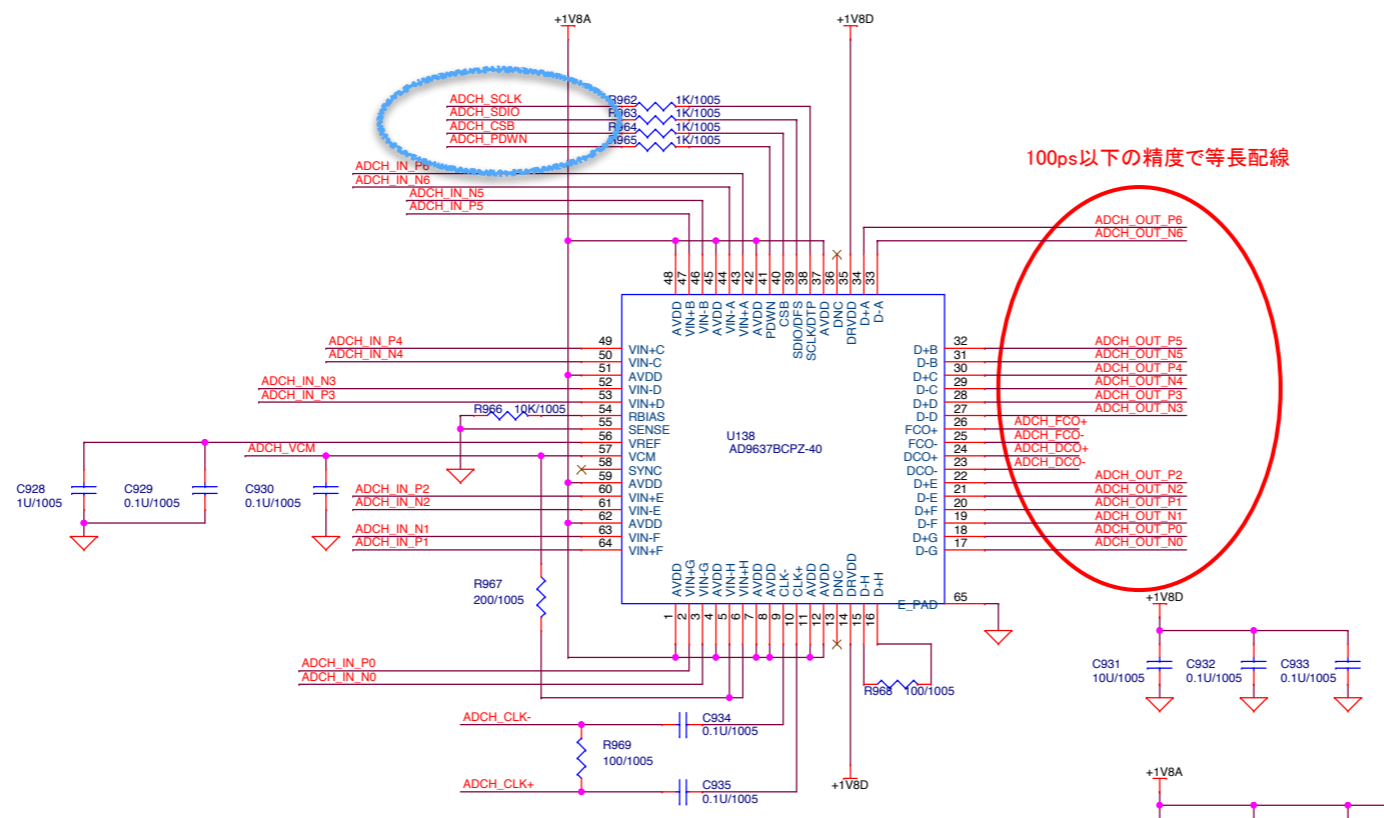
- 最大2Vpp(疑似差動信号)、5MSPSのADC。ボードには14個載っている。
 - 入力に負電圧は受け付けないため、アナログ部分でオフセットを調整する必要あり。
- 1素子に4つのADCが入っている。
 - 出力はCLK×1とデータ線×4。データはCLKに同期して出力されるため、配線を等長にしてFPGAまで伝達する。
- ADCの安定性のためには、REFOUTにつながるコンデンサが非常に重要。静電容量が温度などの外部要因によって変化しないよう、型番指定している。また静電容量のみの記載では、作成時期によってコンデンサが変更されてしまう恐れもある。
- アナログ部のゲインも考え合わせると、ボードへの入力が400mV程度であれば読み込むことが可能。MPPCのゲインを 2.6×10^6 とすると 2×10^4 個/usの光子の検出に耐えられる計算となる。ELゲインを10倍とすると、2000electron/us/cell程度までは読み込める。
 - 0nbb信号に対して、この値で十分であることは[tanaka_elog_1802.key](#)のp90-92参照。



- FPGAに存在するCLKピンの数が足りない(詳しくはFPGAのページ)ため、隣り合う2素子の信号は片方のCLKに同期させて読み込む。
- そのため、ペアとなる2素子の出力線は等長配線にしている。
 - 例えば図の黒丸部分。



ADCH



- 最大2Vpp(差動信号)、40MSPSのADC
 - ADCLとは違い、きちんと差動アンプを用いて波形整形しないと安定動作しないらしい。
- 1素子に8ADC搭載されているが、実際には7chしか用いていない。
 - 1つのADCにはマルチプレクサを通じて8個のMPPCが接続されている。計56ch。
- 出力はLVDS差動信号で、各ADCのデータ、データ読み出しタイミング、データフレームのタイミングを決めている。
- 図の青丸部分はFPGAからのスローコントロール。SPI通信であるが、他の素子とは独立に線を用意している。SPI通信により決まったデータを出力できるよう設定できるため、FPGA側でのタイミング調整に用いることが可能。詳細はADCHのデータシート、ファームウェアの説明書へ。
- 最大で、ボードへの入力が12mVの信号を読み込み可能。

FPGA

○FPGAへの要求は

- (1)データを数イベント保存できるだけの十分なロジック数
- (2)多くの配線を可能にするための十分に大きなパッケージ

○(1)に関して

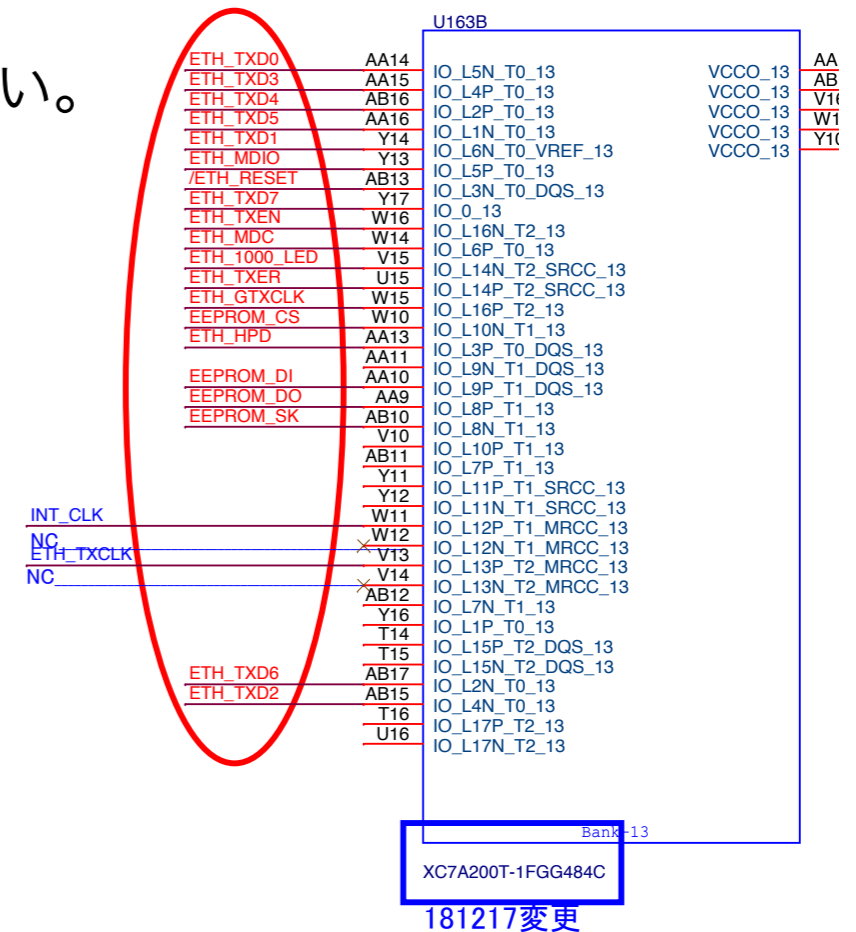
- 1イベントの最大値は12bit × 56ch × 3072sample(約600us) = 約2Mbit
- BlockRAMと呼ばれるFPGA内部の記憶容量は、現在用いている200Tでは13Mbit
1つ下のグレードである100Tでは5Mbit。100Tでは少し心もとないため、200Tを用いている。

○(2)に関して

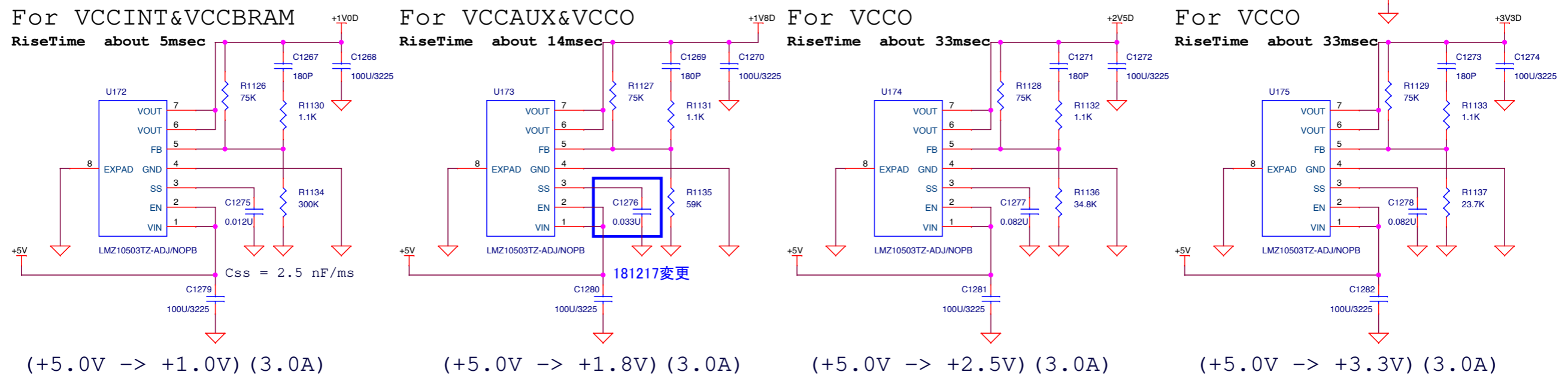
- FPGAはBall Grid Array(BGA)と呼ばれるパッケージを採用している。右図の色付きのマスが使用可能なピンを表している。
 - ・パッケージが大きいとピンの数も当然増える。
- ピンの間隔が狭く、ピン間に何本もの配線を通すことは不可能。内部のピンにアクセスするためには、多層基板の複数の層からビアを通じて接続する必要がある。
- そのため、実質利用可能なピンの数は周囲3~4ピンとなる。
 - ・それ以上内側のピンを用いようとする、歩留まりが悪くなったり層が多くなり基盤の値段が上昇したりする。
- 我々のボードでは4ピン+ α を用いているので結構ぎりぎり

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	
A	35			216		216		216		216			16	16	16	16		16	16	16	16		A
B	35	35		216		216		216		216			16	16	16	16	16		16	16	16		B
C		35		216		216		216		216			16	16	16		16	16	16	16		16	C
D	35	35		216		216		216		216			16	16	16	16		16	16	16	16		D
E	35	35	35		216					216			16	16		16	16	16	16		16	16	E
F	35		35	35		216		216		216			16	16	16	16		16	16	16	16		F
G	35	35	35	35									15	15	15	15	15		15	16	16		G
H		35	35	35	35								15	15	15		15	15	15	15		15	H
J	35	35		35	35	35							15	15	15	15		15	15	15	15		J
K	35	35	35	35		35							15	15		15	15	15	15		15	15	K
L	35		35	35	35	35							15	15	15	15		15	15	15	15		L
M	35	35	35		35	35							15	15	15	15	15		15	15	15		M
N		35	35	35	35								14	14	14		14	15	15	15		15	N
P	35	35		35	35	35							14	14	14	14		14	14	14	14		P
R	35	34	34	34		34							14		14	14	14	14		14	14		R
T	34		34	34	34	34							13	13	13		14	14	14	14			T
U	34	34	34		34	34	34							13	13	14	14		14	14	14		U
V		34	34	34	34		34	34	34	13			13	13	13		14	14	14	14		14	V
W	34	34		34	34	34	34		34	13	13	13		13	13	13	14		14	14	14	14	W
Y	34	34	34	34		34	34	34		13	13	13	13		13	13	14	14		14	14		Y
AA	34		34	34	34	34		34	13	13	13		13	13	13	13		14	14	14	14		AA
AB	34	34	34		34	34	34	34		13	13	13	13		13	13	13	14		14	14	14	AB

- FPGA内部では大きく2種類の信号が用いられている。
 - 1つはDATAで、ADCからの出力を保存したり、演算結果を保持したりする際に用いられる。ほとんどのピンはDATA線にしか接続されていない。
 - もう1方はCLKで、CLK信号の立ち上がり/下がりのタイミングで演算が実行される。CLK発信素子やADCからのCLKはこちらに接続する。ある特定のピン(MRCC, SRCC)のみがCLK線に接続可能。
 - 他にも特定の機能を持つピンが多数存在している。
- CLKや特定の機能を用いていることを明確にするために、回路図上では青色で配線する。逆に赤の線はどのピンに接続されても問題ないため、パターン作成の際にスワップされることが普通である。
 - このボードの場合はもう確定しており、入れ替わる心配はない。



- FPGAは揮発性であり、電源を切ると書き込んだファームウェアは消去されてしまう。
- そのため別にメモリを用意し、電源投入時にそのメモリからファームウェアを読み込むことが必要である。
- メモリに書き込むためのmcsファイルもvivadoで作成可能。メモリの種類により作成されるmcsファイルは変わる。基盤ごとにメモリの種類が違くと非常に面倒なので、最初に必要数を購入しておくべき。



- FPGAを動作させるためには多くの種類の電圧が必要となる。
 - FPGA内部で用いられる電圧(1.0V, 1.8V)、外部との通信に必要な電圧(1.8V, 2.5V, 3.3V)
- また、これらの電源は、入力するタイミングも決められている。適切な順番で電圧を印加しないと初期化がうまくいかないらしい？
 - これにはRegulatorの立ち上がりの時定数を調整することで対応している。

ボードのI/O

- SiTCP(GbE)によるデータ通信、及びスローコントロール
 - Open-itの他プロジェクトで用いた回路図を流用した。
- テスト用アナログ出力 (LEMOコネクタ, 1MHz, 0~3V)
 - 1MHzで値を更新可能。現在はADCLデータのデジタルsumが出力されている。
出力はそこまで正確ではない。特に0V付近や3V付近。大まかに波形を確認する用。
- テスト用3.3Vデジタル出力×4ch (FPGAによる直接駆動)
- 8ch DIP switch(IPアドレスの変更)
 - 8番のピンをOFFにするとIPアドレスはdefalut(192.168.10.16)に。
 - 8番ピンがONのとき、1~6番ピンの値を2進数で表してIPアドレスは192.168.10.XXになる。
- (緊急停止用)OpenDrain端子
 - 未実装
- LVDSによる他ボードとの同期、通信
 - DIP switchの7番ピンにより、ボード上のCLK素子を用いるか、HULからのCLKを用いるかを決定
 - ・ 7番ピンがONならHULから160MHz CLKを受信し、それを用いてFPGAを駆動させる。
 - データ取得時、FEBからは Fid内の全chの和の3sampleの和(の定数倍)、Veto領域の全chの和の3sampleの和(の定数倍)、Hit th.を超えたchのmapを送信。送信間隔は3sampleに一度。
 - HULからはトリガやヘッダ情報、ボードの制御用信号などが送信されてくる。
- FPGA内蔵のXADCによる温度、電圧、電流モニタ

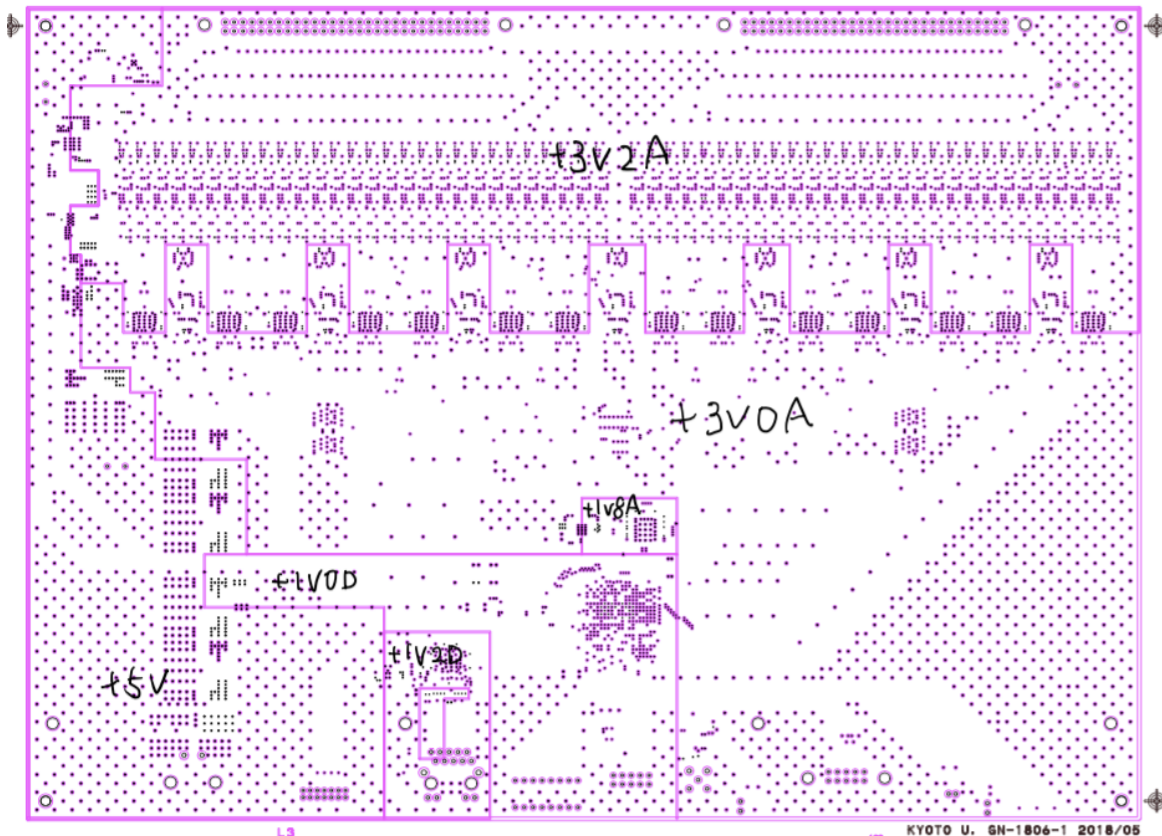
電源

- ボードへの入力はDC5V単電源。3~4A消費する。
- 内部で用いる電源は大きく2種類に分けられる
 - アナログ電源(-2V3A, +4V8A_HV, (+3V6A), +3V2A, +3V0A, +1V8A)
 - デジタル電源(+1V0D, +1V8D, +2V5D, +3V3D, 1V2D)
 - ・読み方：-2V3A = アナログ電源 -2.3V。+1V0D = デジタル電源 +1.8V。
- デジタル素子(FPGAなど、CMOS・LVDSを扱う素子)は一般に電源にノイズを載せてしまうため、アナログ部のOpAmpやADCなどと電源を分ける必要がある。
 - GNDも分けるべきだという説もあるが、GNDが小分けにされインピーダンスが大きくなることで安定性が悪くなる可能性が高いというのが、測定器開発室としての見解。
- デジタル電源はSwitching Regulatorを用いて、入力された5Vから直接生成。
- OpAmp用負電源(-2V3A)は5Vから反転コンバータ(少し特殊なSwitching Regulator)で-2.8Vを生成してから、Liner Regulatorで-2.3Vへ降圧(?)。
- MPPC電圧生成素子への入力用電源(+4V8A_HV)はLiner Regulatorで5Vから直接生成。
- OpAmp, ADC用電源(+3V2A, +3V0A, +1V8A)はSwitching Regulator で5Vから一度3.6Vに降圧した後、Liner Regulatorで再度降圧。
 - 一般にSwitching Regulatorは電力効率がよいが、ノイズが乗りやすい。一方Liner Regulatorは電力効率が悪いもののノイズが少ない。そのためこのような方式を用いている。

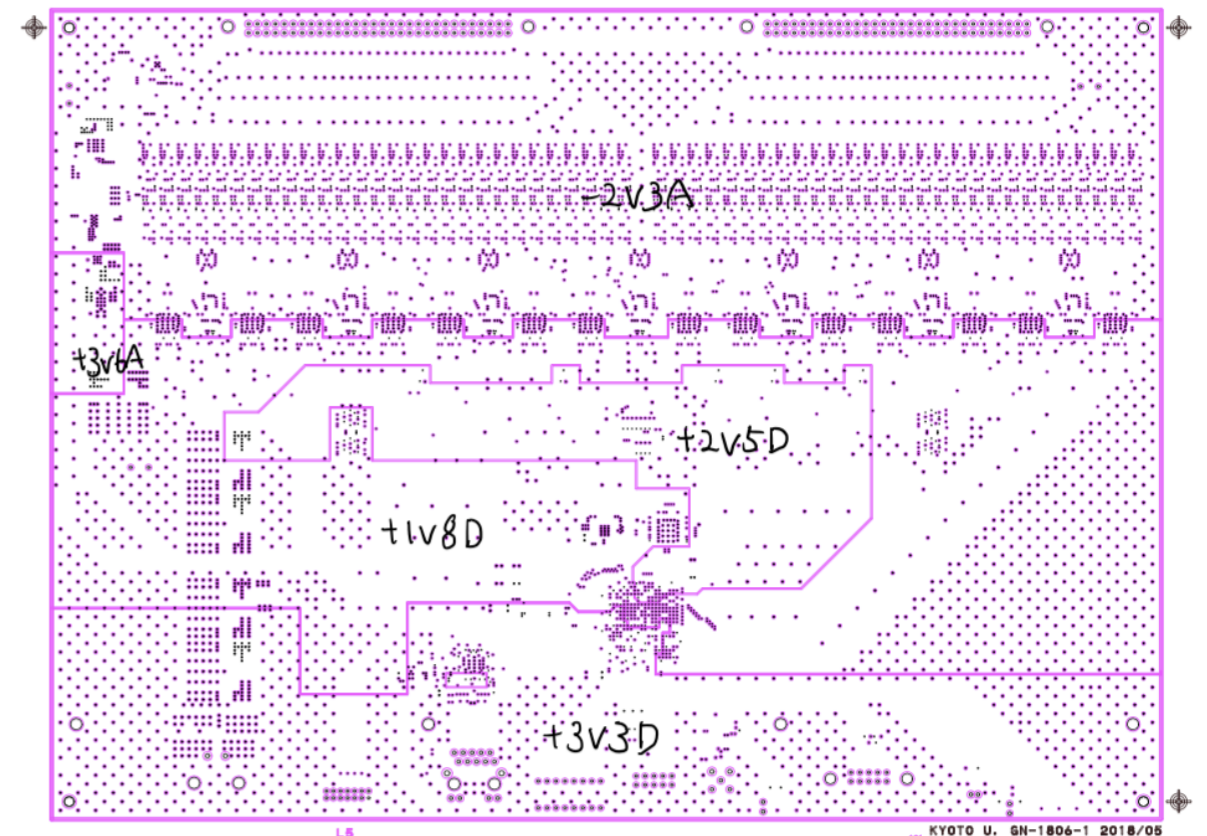
パターン図

- 全8層の多層基板(パターン図)
 - L1が表層、L8が裏の表層。L2, L4, L7がGND層。L3, L5が電源層。
 - 信号はL1, L6, L8を通っている。
- 大量にある黒点はvia hole。多くの層に存在するGNDを安定化するため。(放熱も?)
- 特に残せる情報はないが、素子の配置と使用する電源を決めるのは結構大変だった。

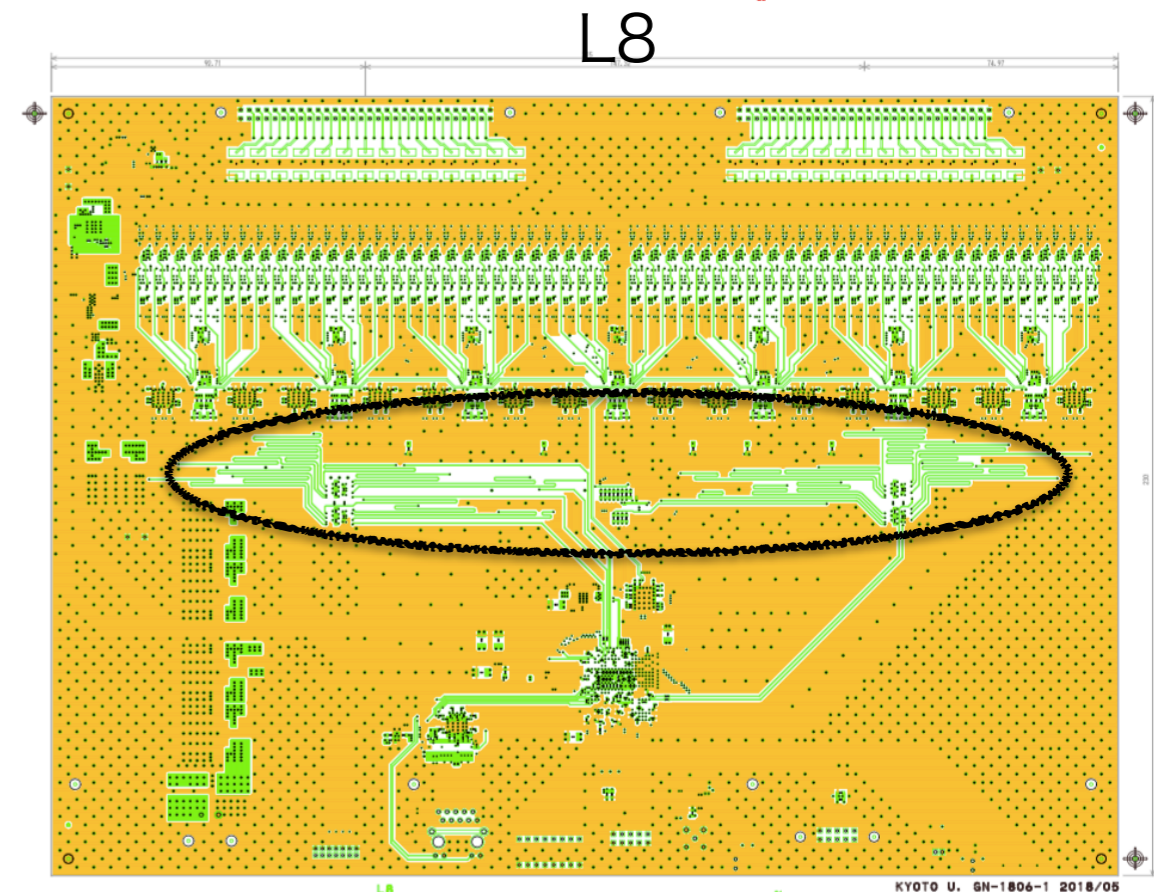
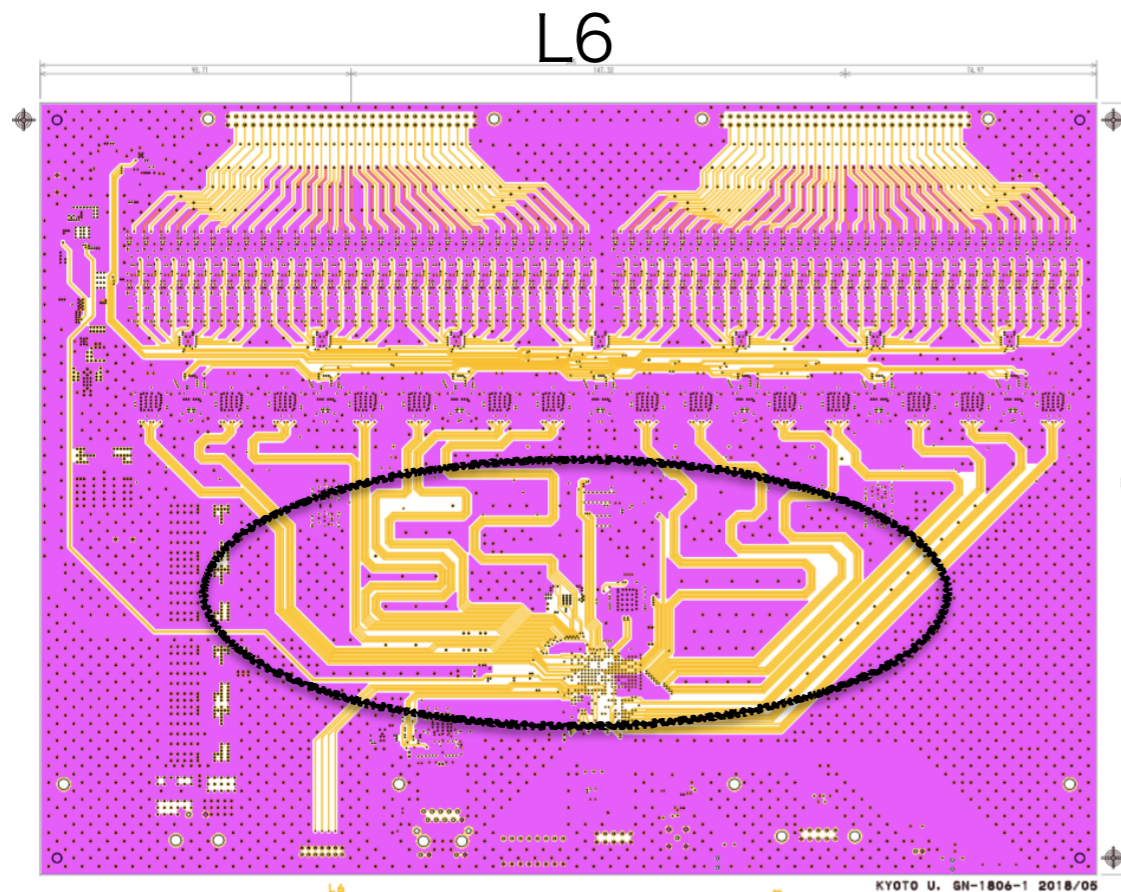
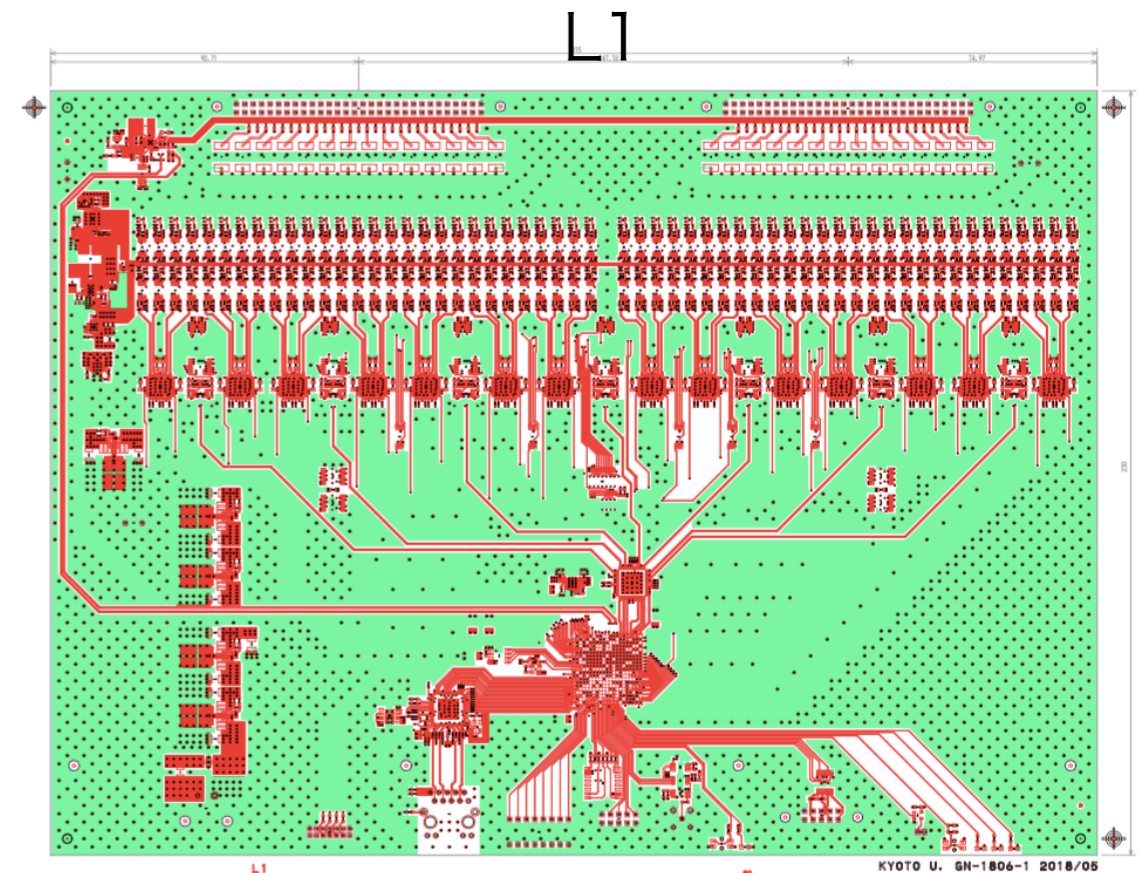
L3



L5



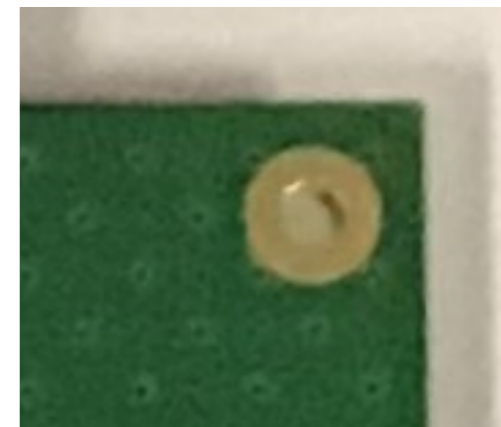
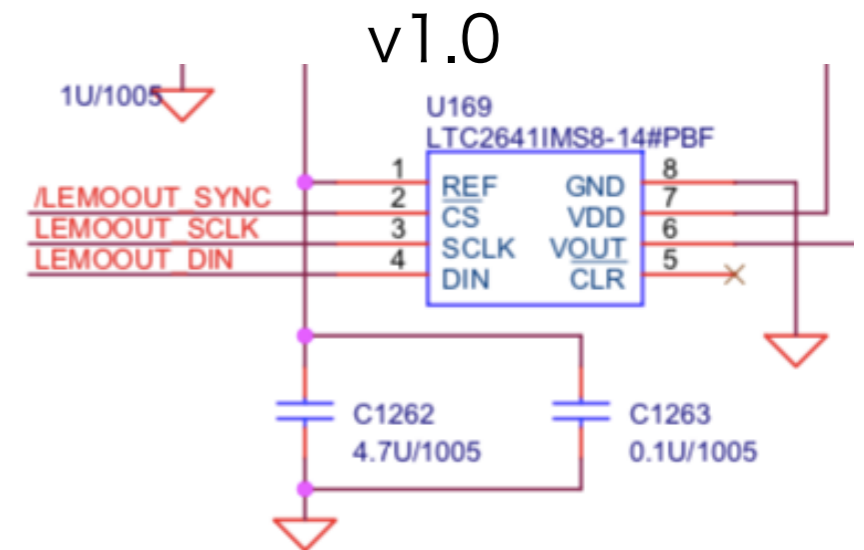
- 黒丸の部分がぐにゃぐにゃしているのは、等長配線にするため。
- L8はFPGAからADCLへ与えるCLK。
- L6はADCLのからFPGAへの出力。
- 隣り合う2素子の配線を400ps以内の精度で等長にしている。
- ・この値はADCLの出力CLKである100MHz(10ns)よりも十分に小さい値



v1.0からv1.5への 変更点

v1.0からv1.5への変更点

- U2のR60,57を5.1k Ω に変更
 - XADCでBIAS用ICが供給する電流を測定しているが、最大1mA流れるのに対し、現状では0.5mAまでしか測定できない
- R122,123(及びこれに対応する抵抗計112個)を51k Ω に変更(v1.0ではOffset DACへの電流流入が多すぎて、電圧の調整がうまくいかなかった)
- U169(アナログ出力用のDAC)の/CLRをHighに接続
- R1060, 1061, 1066, 1067を20 Ω に変更
 - FPGAからADCLへの矩形波がわずかに鈍っていたため
- U180のR1146を84.5k Ω にして、4V8A_HV を 4V7A_HV に
 - 5Vを電源に入力してもヒューズの抵抗等で電圧降下が発生してしまっていたため
- 四隅の穴の大きさを $\phi 3.2\text{mm}$ に



ボード (v1.0) の試験

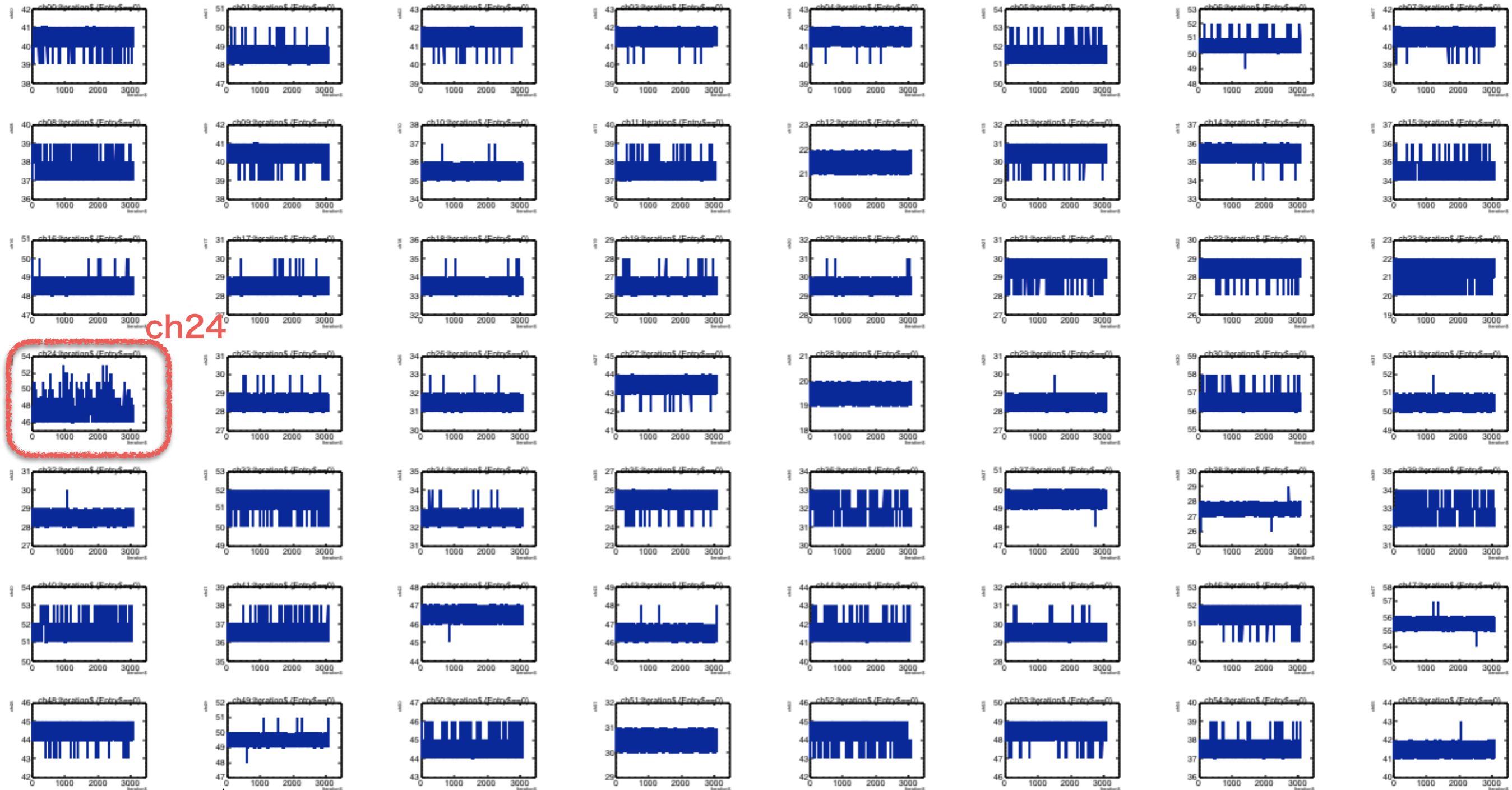
性能評価

○以下、簡単な性能評価の結果を記す

1. ADCL, ADCHのノイズ
2. ADJ DAC
3. Offset DAC
4. BIAS
5. ADCLの線形性
6. ADCLの周波数特性
7. ADCHでMPPC波形を取得。MPPC電圧の微調整。
8. ADCLのサンプリングタイミング依存性
9. ^{133}Ba での測定

1. ADCLのノイズ

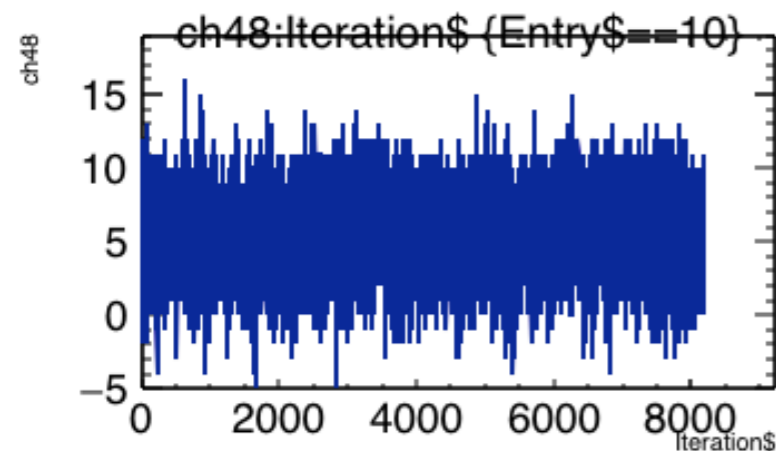
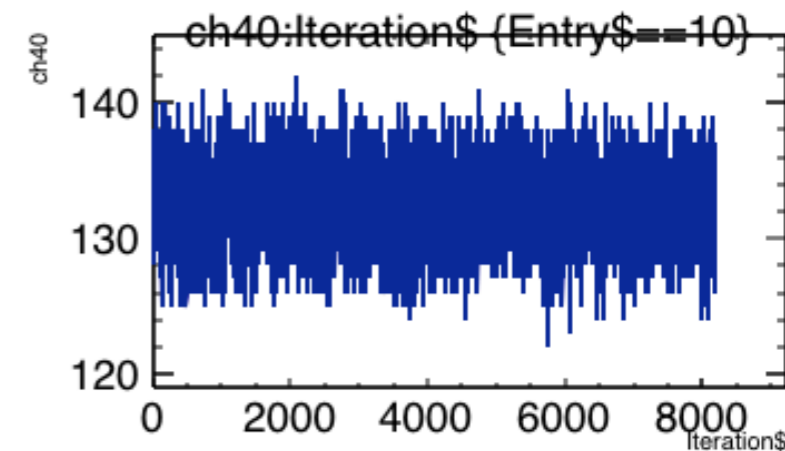
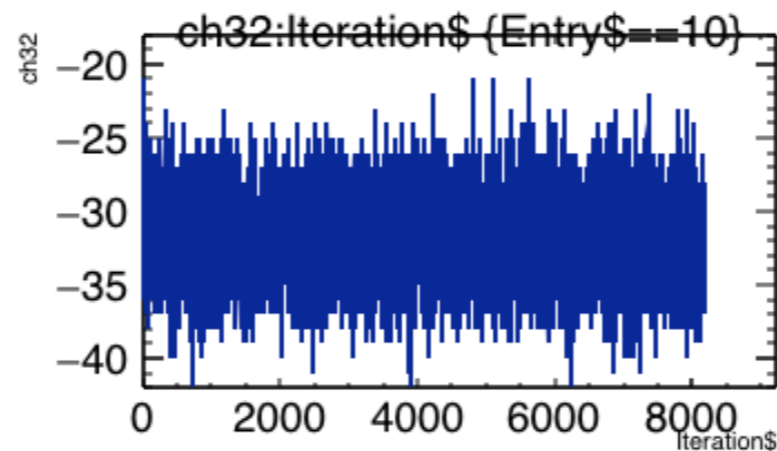
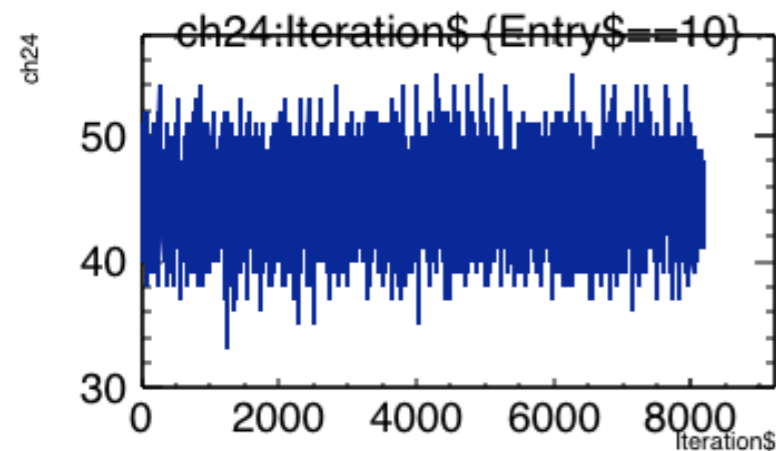
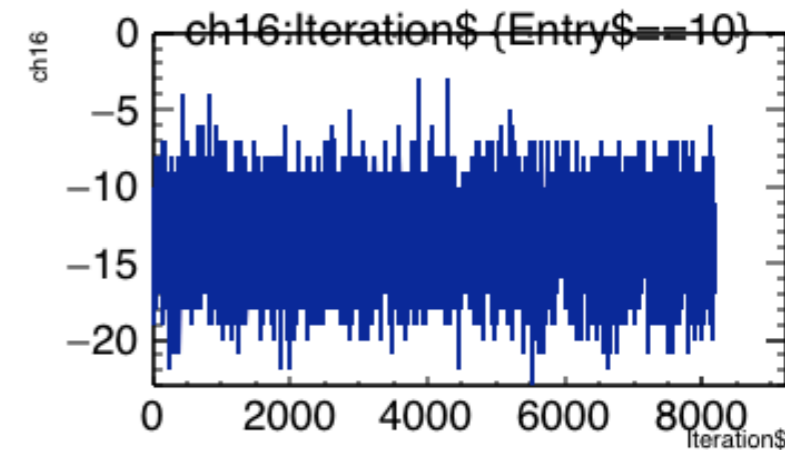
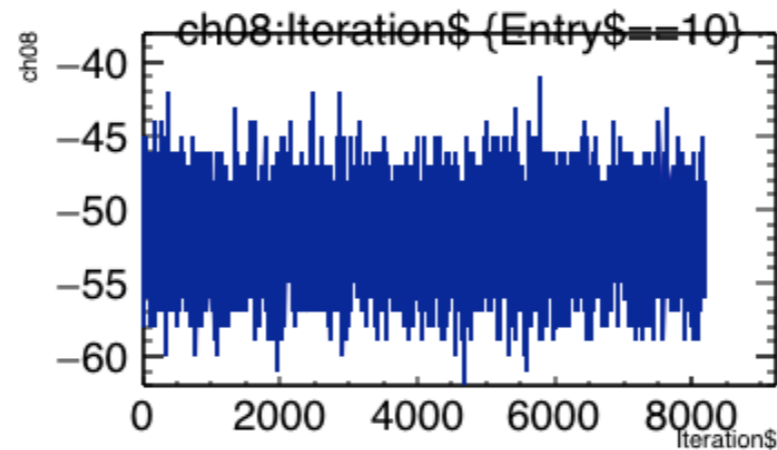
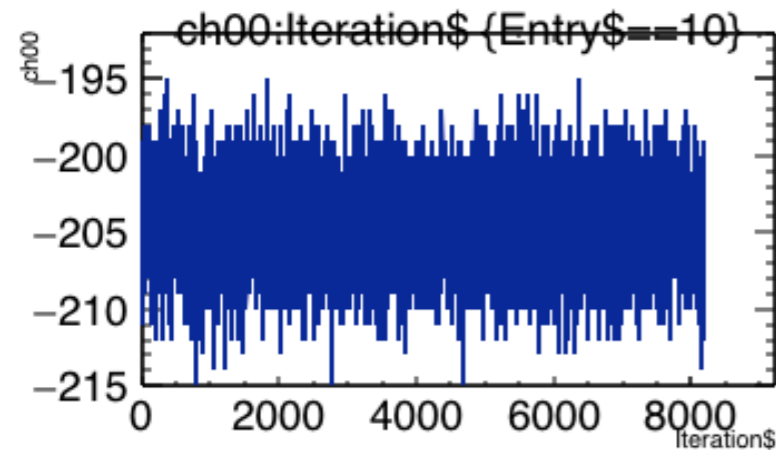
- ch24を除き、フラットケーブルコネクタを浮かせた状態で測定。データ取得時間は約600us。
 - ch24には68Vを印加したMPPCを接続。1p.e.は観測できないが反応している様子はわかる。
- ほとんどのchで、ノイズが2cnt(ボードへの入力換算で約0.2mVpp)に収まっている。



ADC値
↑
時間[x0.2us]
→

1. ADCHのノイズ

- 全て浮いた状態で測定。データ取得時間は約200us。
- どのchにも10-20cnt p-p程度のノイズが乗っている。ボードへの入力換算で0.03~0.06mVpp。
-

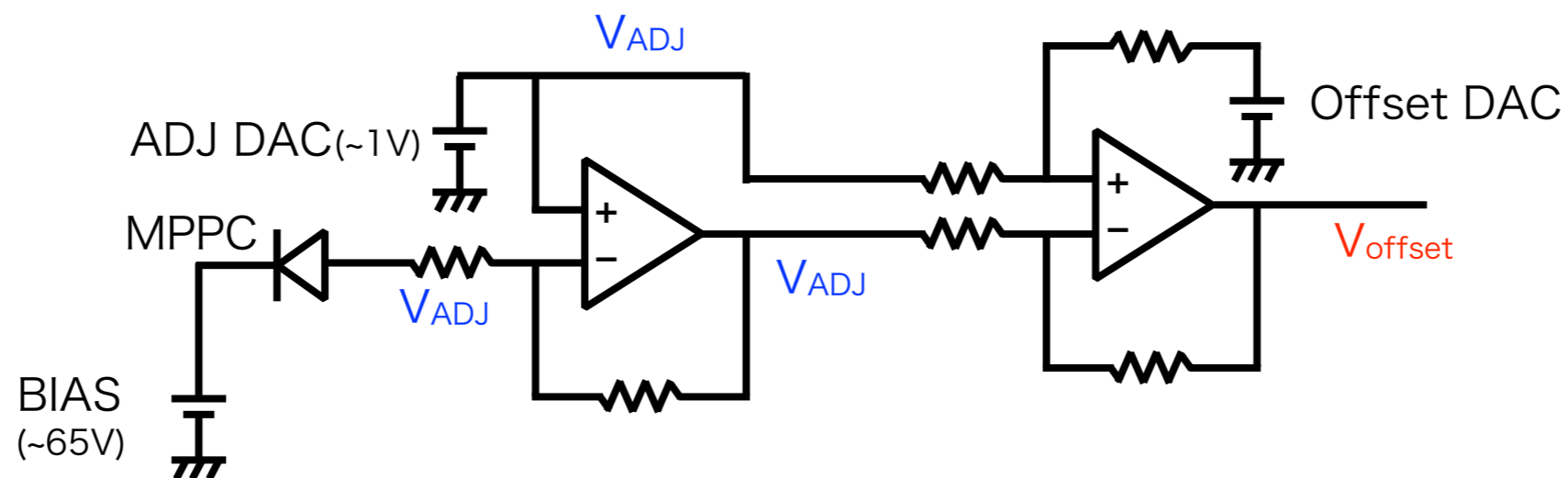


アナログ部のDACの概要

- MPPCの波形を加工するアナログ部には2種類のDACを用いている。
- 1つは個々のMPPCの電源電圧微調整用DAC (ADJ DAC) ×56ch [LTC2636CSC6-LZ8 × 7]
 - ADJ DACの出力を変化させることによって、ADCLやADCHの出力は変化しないのが理想
 - 2段目のオペアンプの抵抗比が揃っていないと、 V_{ADJ} につられてベースラインがずれる
- もう1つはADCLのベースライン微調整用DAC (Offset DAC) ×1ch [LTC2630CSC6-LZ8]
 - Offset DACの出力を変化させることによって、ADCHのベースラインは変化しないのが理想。
 - というか回路的に変化する理由がない。

○

DACとオペアンプの接続



2. ADJ用DACの確認

○MPPC印加電圧微調整用のDACを変化させた際の、ADCLのベースラインの動きを測定

- ADCLもADCHもベースラインが全く動かないのが理想

○ V_{ADJ} を高くすると、ベースラインを一定に保てなくなることが判明(右下図)

- offset用のDACへの電流流入が大きくなると V_{offset} が変化してしまう

- データシートを見ると、流入電流 $\times 50\Omega$ 程度以下の電圧は出力不可能だった…(右図)

○現在のボードではoffsetを20mV程度で運用している

- 電圧を変化させずに受け入れ可能な電流量は約0.4mA

- 各chに印加している電圧の和が約8Vを超えたくらいで調整が効かなくなる?

- 現状でも、MPPC56chのbd電圧が $\pm 0.2V$ 程度に収まるなら問題ない

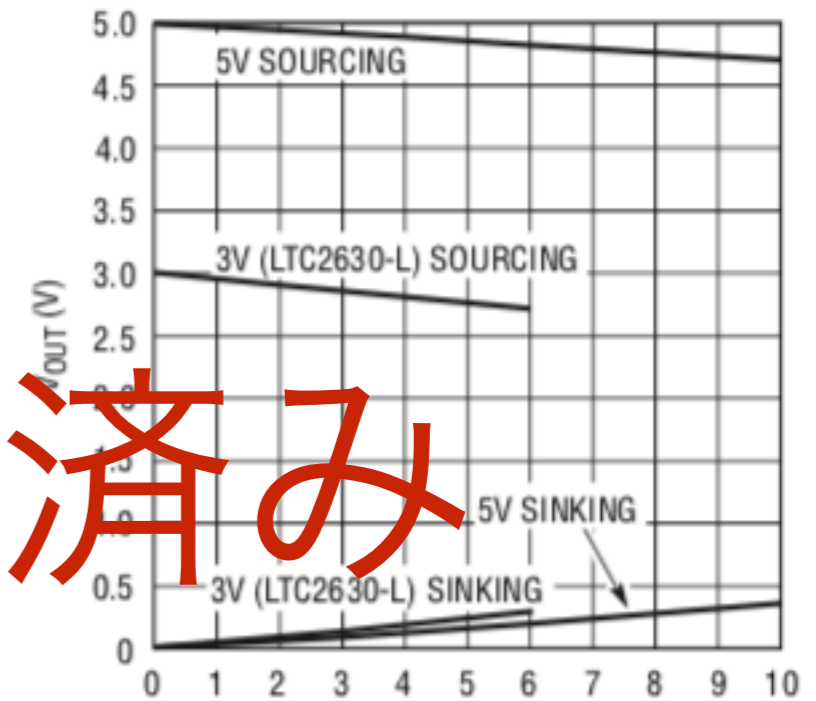
○ADJ DACとoffset DAC間の抵抗を大きくする

だけで解決できる

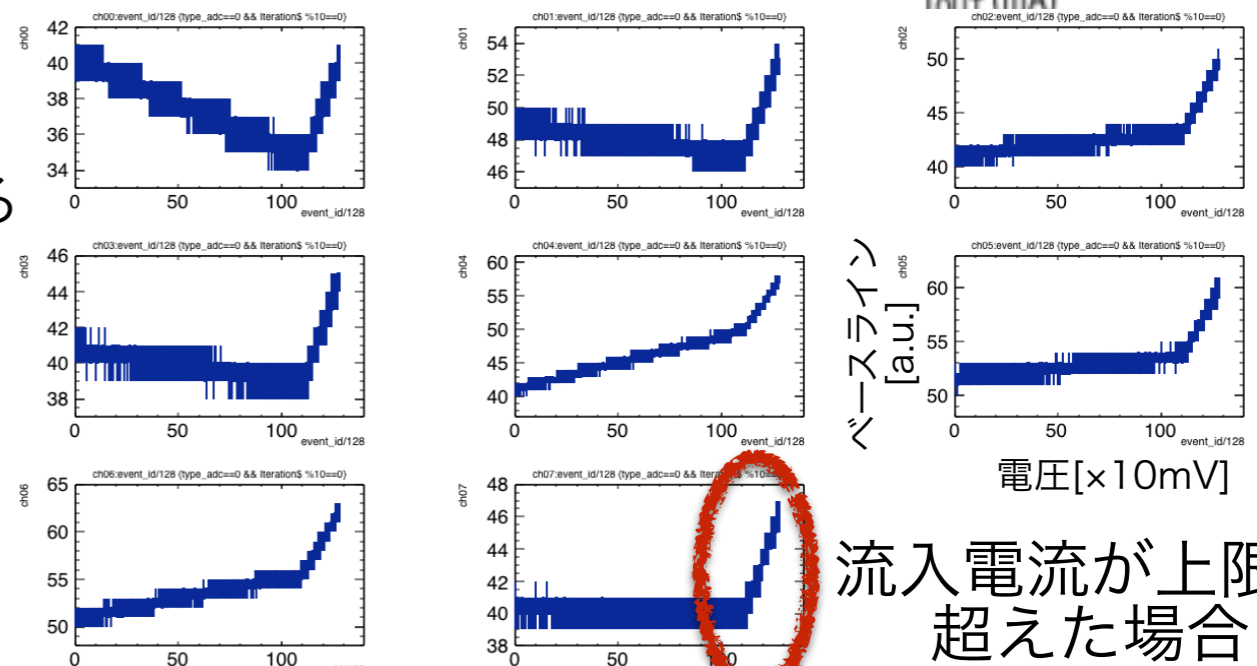
- 現在は $10k\Omega \times 2$

- 例えば抵抗を5倍にしてしまえば、この問題はほとんど気にならなくなる

レールの空き高と出力電流



V1.5では解決済み



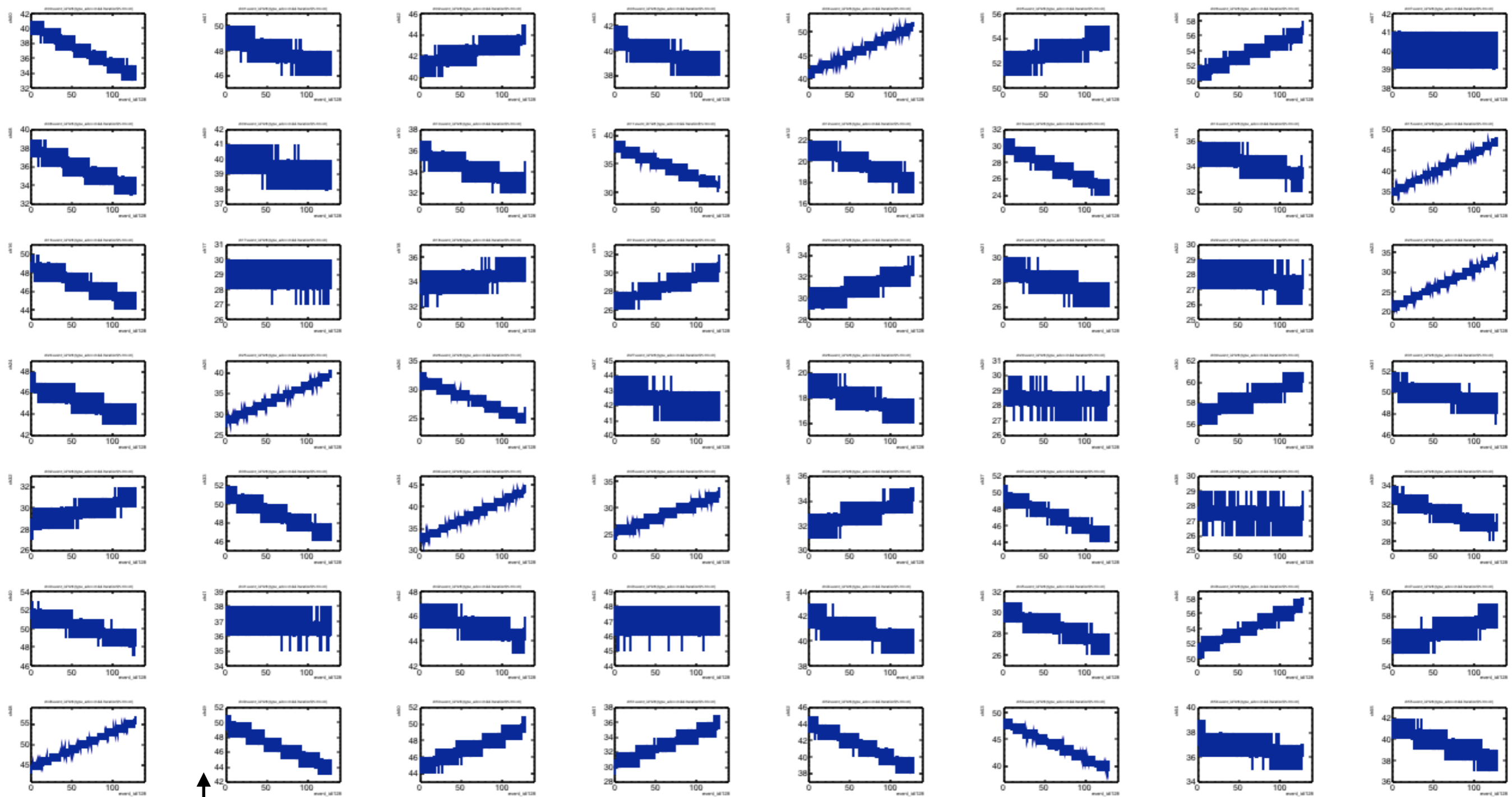
流入電流が上限を超えた場合

2. ADJ用DACの確認

○ Vadjを0~1Vまで変化させた際のADCLのベースラインの変化

- 最大でも11cntの変化。まずまず。この変化は2段目のオペアンプの抵抗比が揃っていないため

○ (offset DACへの電流流入の制限のため、実際にはDACへの電圧印加は7chごとに行なった)



ベースライン
電圧[x0.5mV]

↑

印加電圧[x10mV]

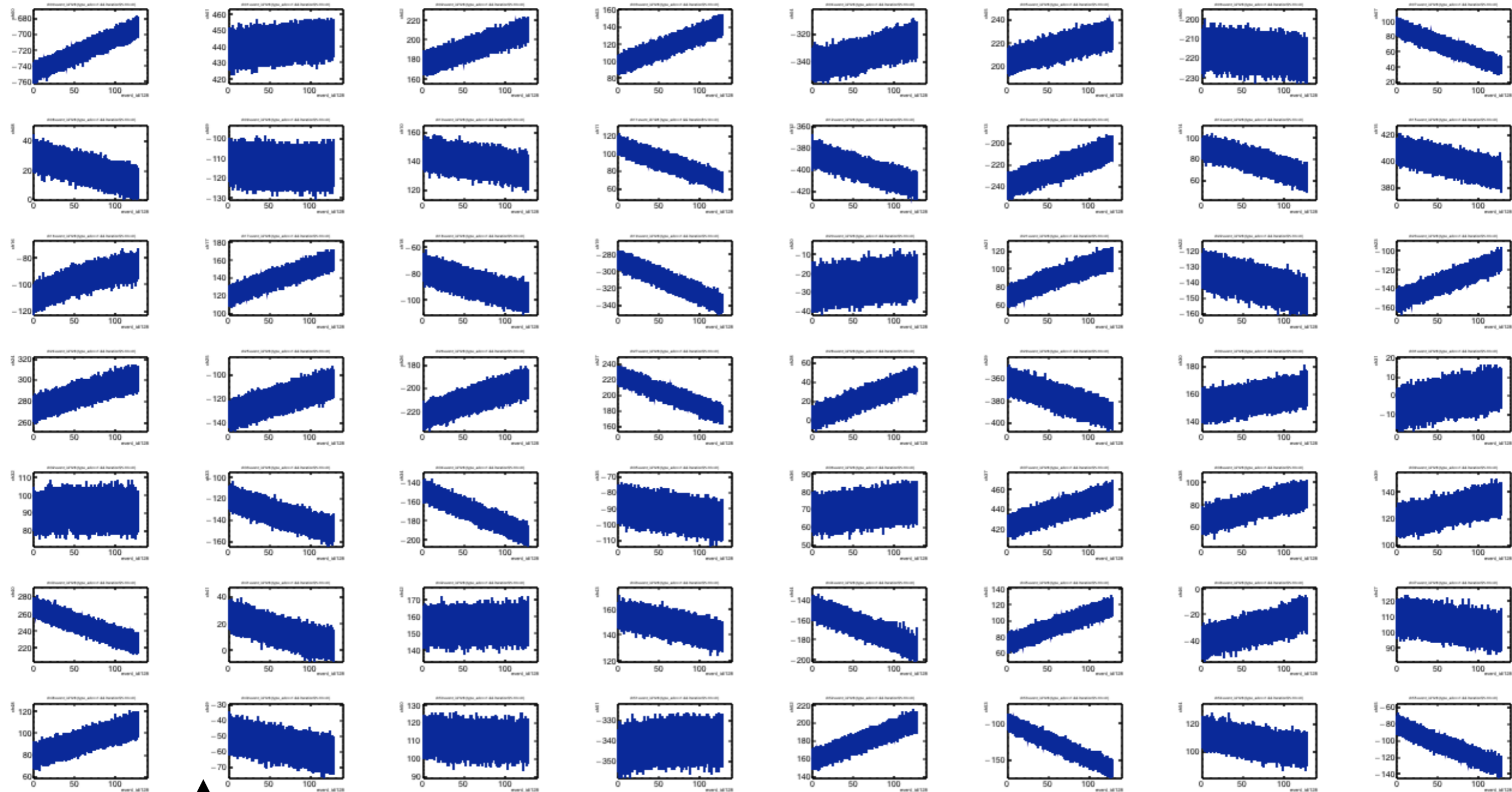
→

2. ADJ用DACの確認

○ V_{adj} を0~1Vまで変化させた際のADCHのベースラインの変化

- ベースラインの変化は最大で50cnt程度。

○ (offset DACへの電流流入の制限のため、実際にはDACへの電圧印加は7chごとに行なった)



ベースライン
電圧[$\times 0.5\text{mV}$]

印加電圧[$\times 10\text{mV}$]

3. offset用DACの確認

○ offset用DACを変化させながら、ADCLやADCHのベースラインを測定

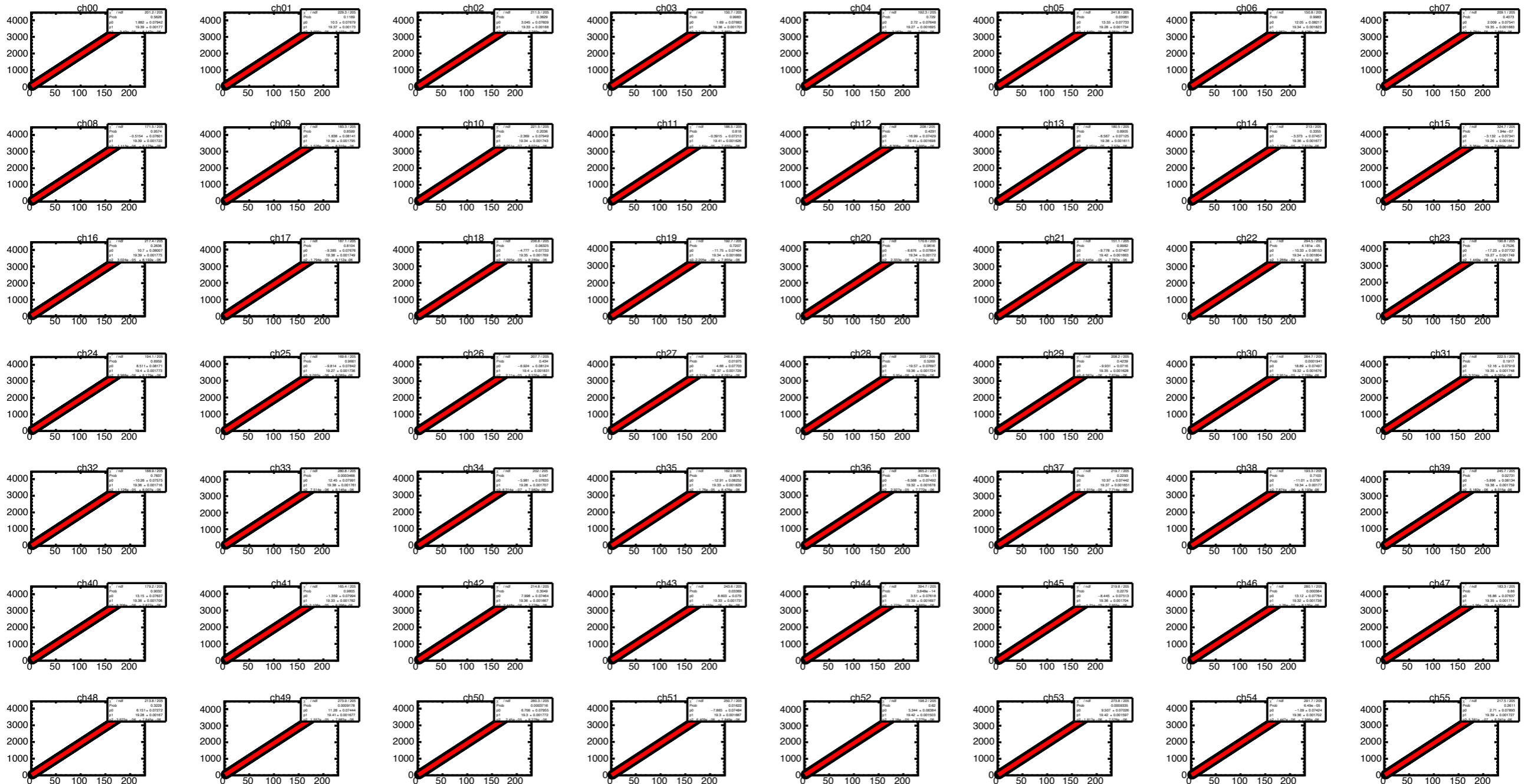
- ADCLのベースラインはVoffsetと同じ値になり、ADCHは影響されないのが理想

○ 下図はADCLを2次関数でFitした際の様子。2次の項は1次の項のおよそ 10^{-7} と十分に小さい。

うまくベースラインのオフセットの調整ができています

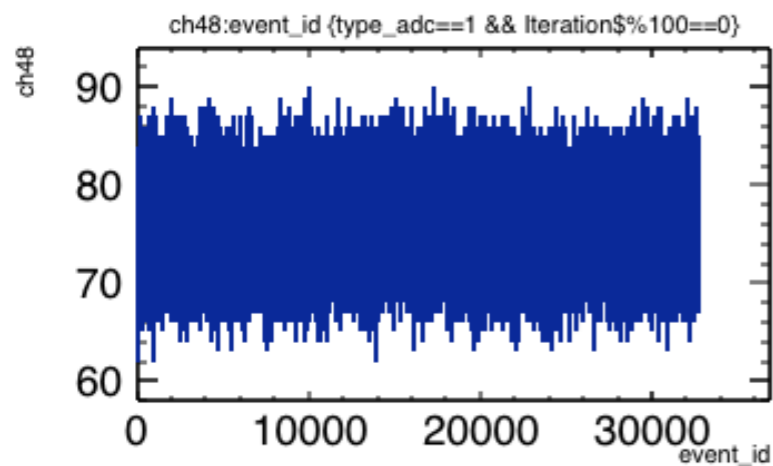
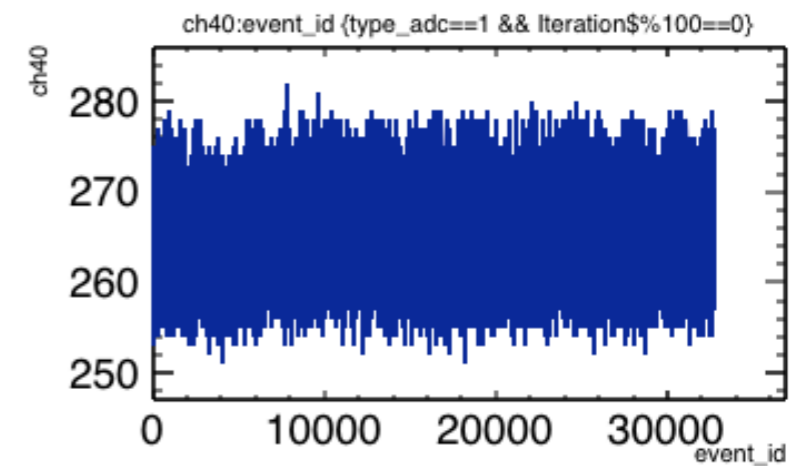
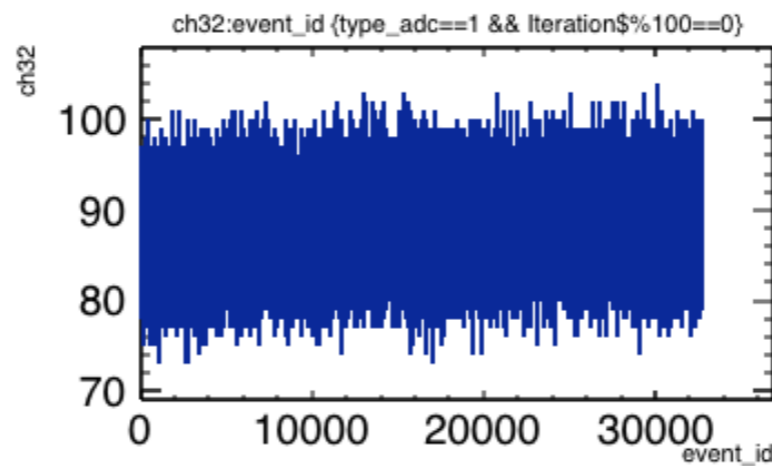
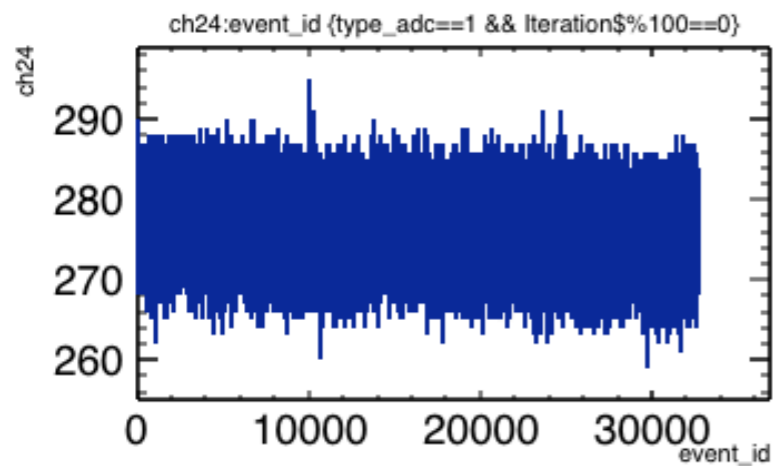
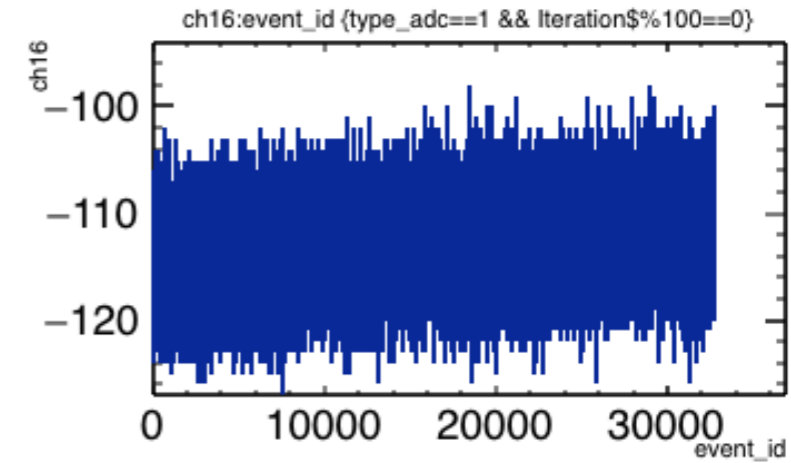
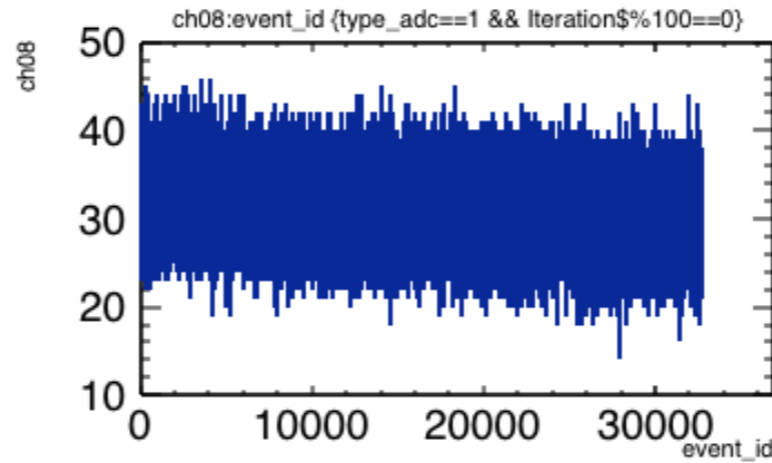
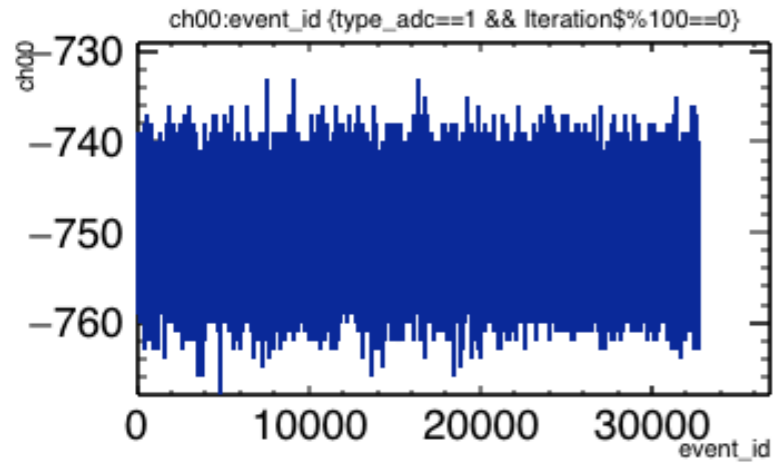
ベースライン
電圧[$\times 0.5\text{mV}$]

印加電圧[$\times 10\text{mV}$]



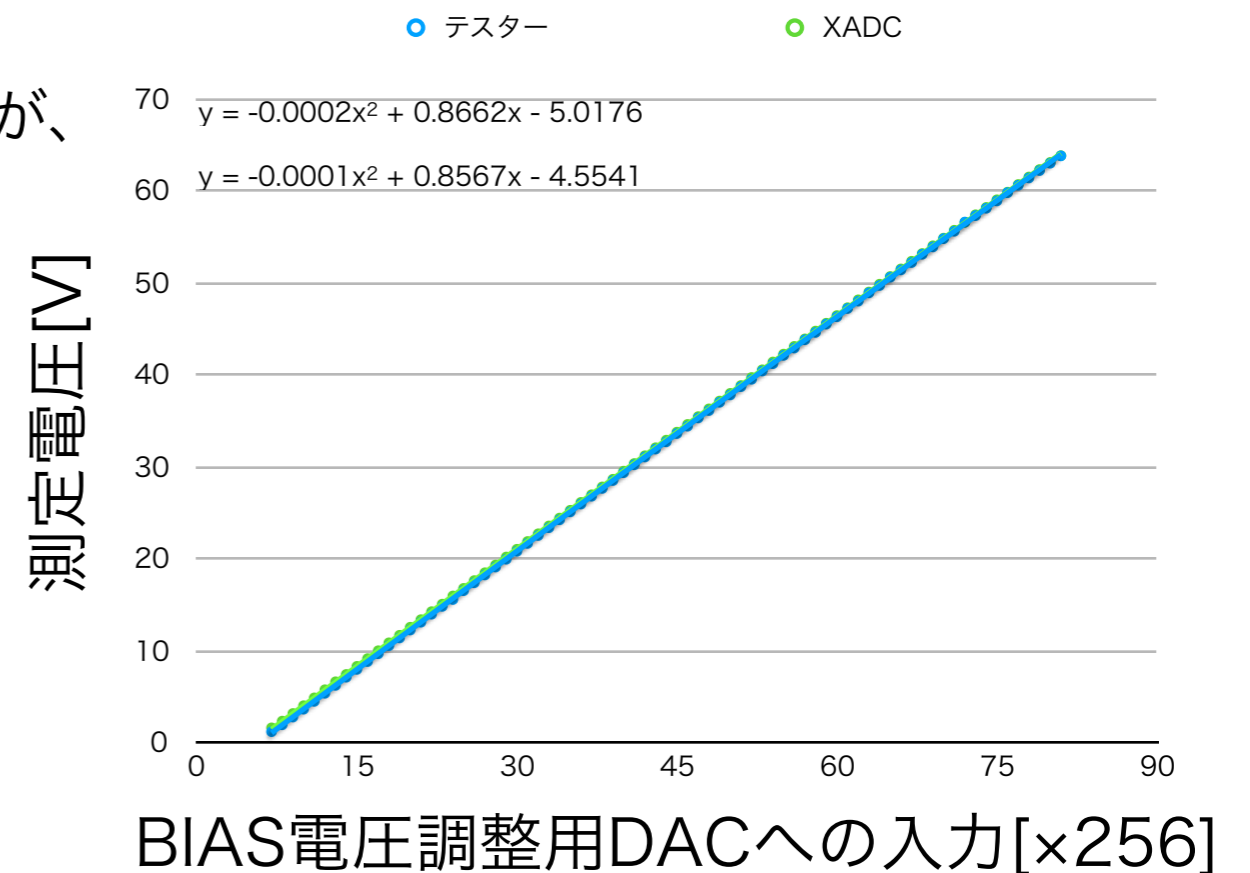
3. offset用DACの確認

- offset用DACを変化させた際のADCHのベースラインの変化
- ch08(ADCHの2チャンネル目)だけ若干の相関?が見られるが、大きな問題ではない。
-



4. BIASの確認

- BIAS出力用D/Dコンバータ[LT3571IUD]を用いて、65Vまで電圧を出力
 - BIAS電圧の調整は16bit DAC[DAC8411IDCK]を用いている
- テスターとXADC(FPGA内蔵のADC。BIAS出力用ICのモニターピンの電圧を測定)で電圧を測定
 - MPPC等は接続していない。
 - 実際に56chのMPPCを接続すると、流れる電流の影響で状況が変わるかも？
- とりあえず現状では、2~65Vの範囲で、よい線形性を持ってBIASを出力可能
 - 2次の項は1次の 10^{-4} 程度
- 適当に補正した結果、テスターの値とXADCの値のずれを平均0.03V程度にできた
 - そもそもXADCの出力は0.05V程度ゆらぐので、こんなもんか。
- 今回はBIASを約0.8Vずつ上昇させながら測定したが、実際にはその1/256の調整が可能
 - 実際の値がそこまで細かく変化するかまでは確認していない。測定も難しい。



ADCLの性能評価

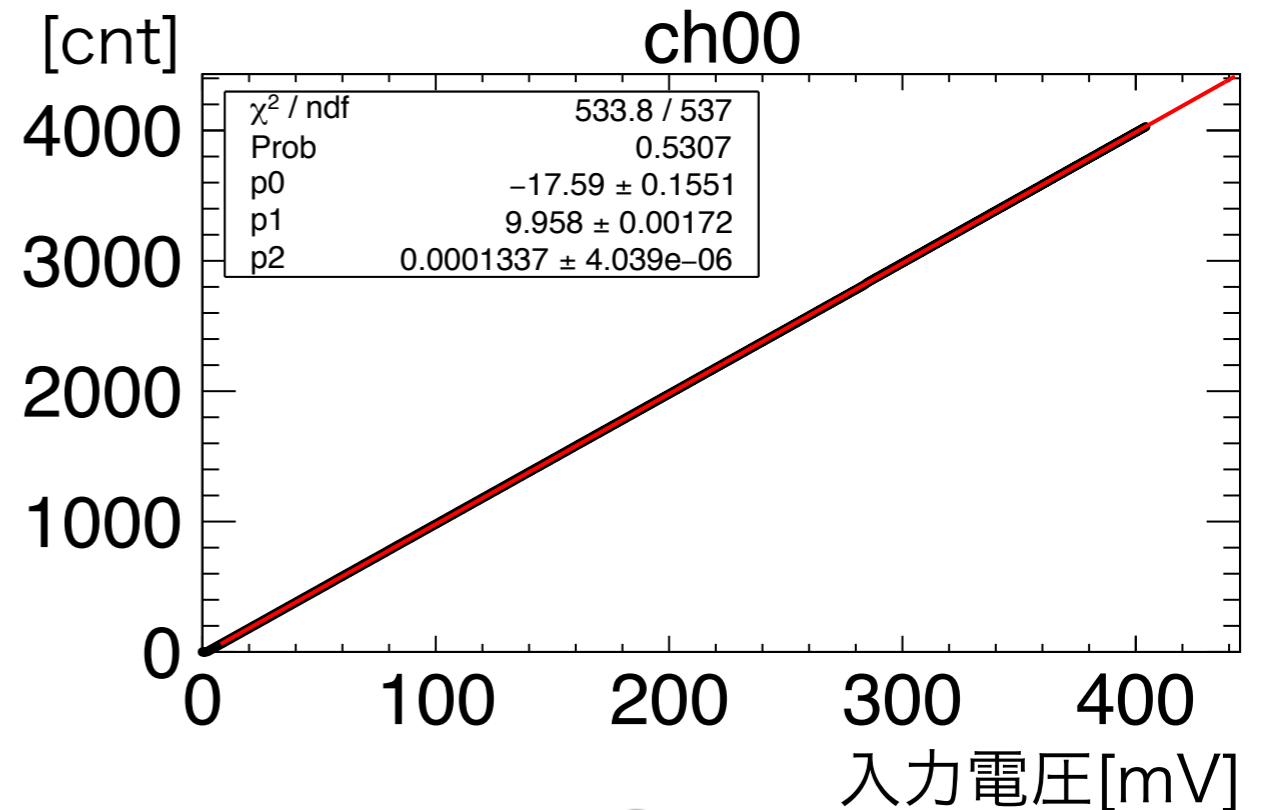
- 入力端子に定電圧や正弦波を入力するため、LEMO to フラットケーブルを作成
 - 1 : 56
 - インピーダンス等は特に考えていない
 - 正弦波の測定に、もしかしたら影響があるかも…?
- 定電圧源(yokogawa gs610)やファンクションジェネレータ(iwatsu sg4105)を接続し、それぞれ測定
 - /daq/shellsript/ 内のscriptを用いて操作可能
 - 機器との接続にはシリアル通信を用いる



5. ADCLの線形性

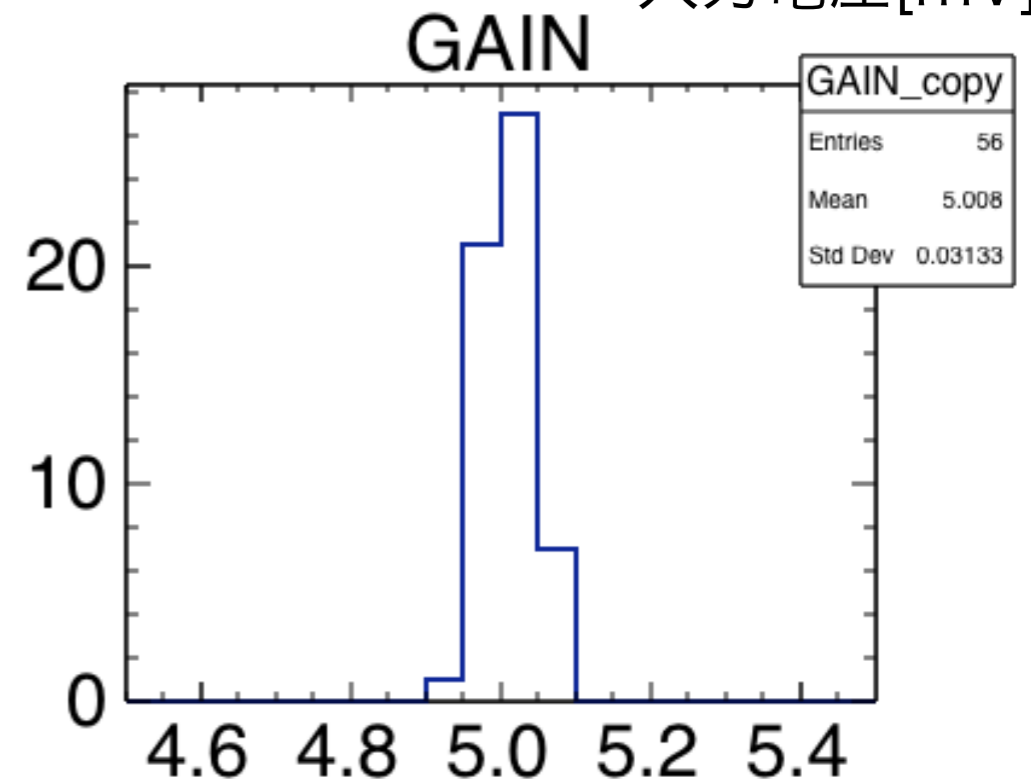
- 0~547mVまで、1mV間隔で定電圧を入力(gs610を使用)。
 - この装置は0.01mV間隔で出力可能であるが、ノイズが数mV存在しているため断念
- 線形性を確かめたければ、1bit以下の電圧制御が必要?? このままでも問題ない?

- 1chを取り出したものが右上図
 - 0V付近でアンダーフローが見られる
 - ・オフセット電圧を調整することで対処可能
 - 少し計算を間違えて上端はサチっていない
- サチっている部分を除いて、2次関数でFit
 - 2次の項は1次の項の 10^{-5} 程度と十分に小さい



- 56chで同じ解析を行い、直線の傾きからアナログ部のゲインを計算したものが右下図
- 設計通りの値が出ている。

- 実際には、データ取得後にケーブル等で電圧降下が発生していることが判明したため、入力電圧には電圧源の設定値に0.74をかけた値を使用している。そのためゲインの絶対値も多少ズレている可能性がある。



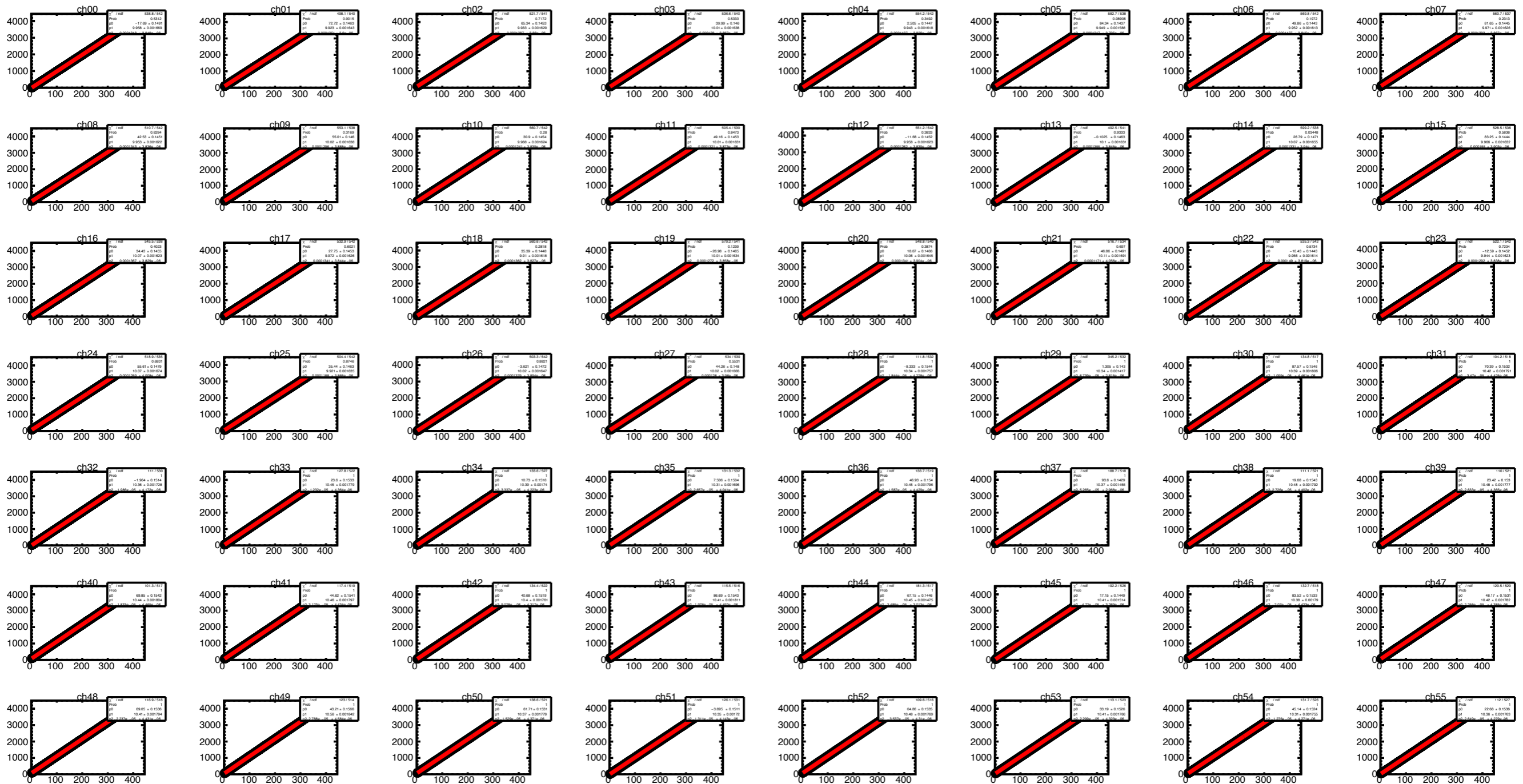
5. ADCLの線形性

○ 3~547mVのデータ

○ いずれも2次の項は1次の項の 10^{-5} 程度と十分に小さい

ADC出力
[cnt]

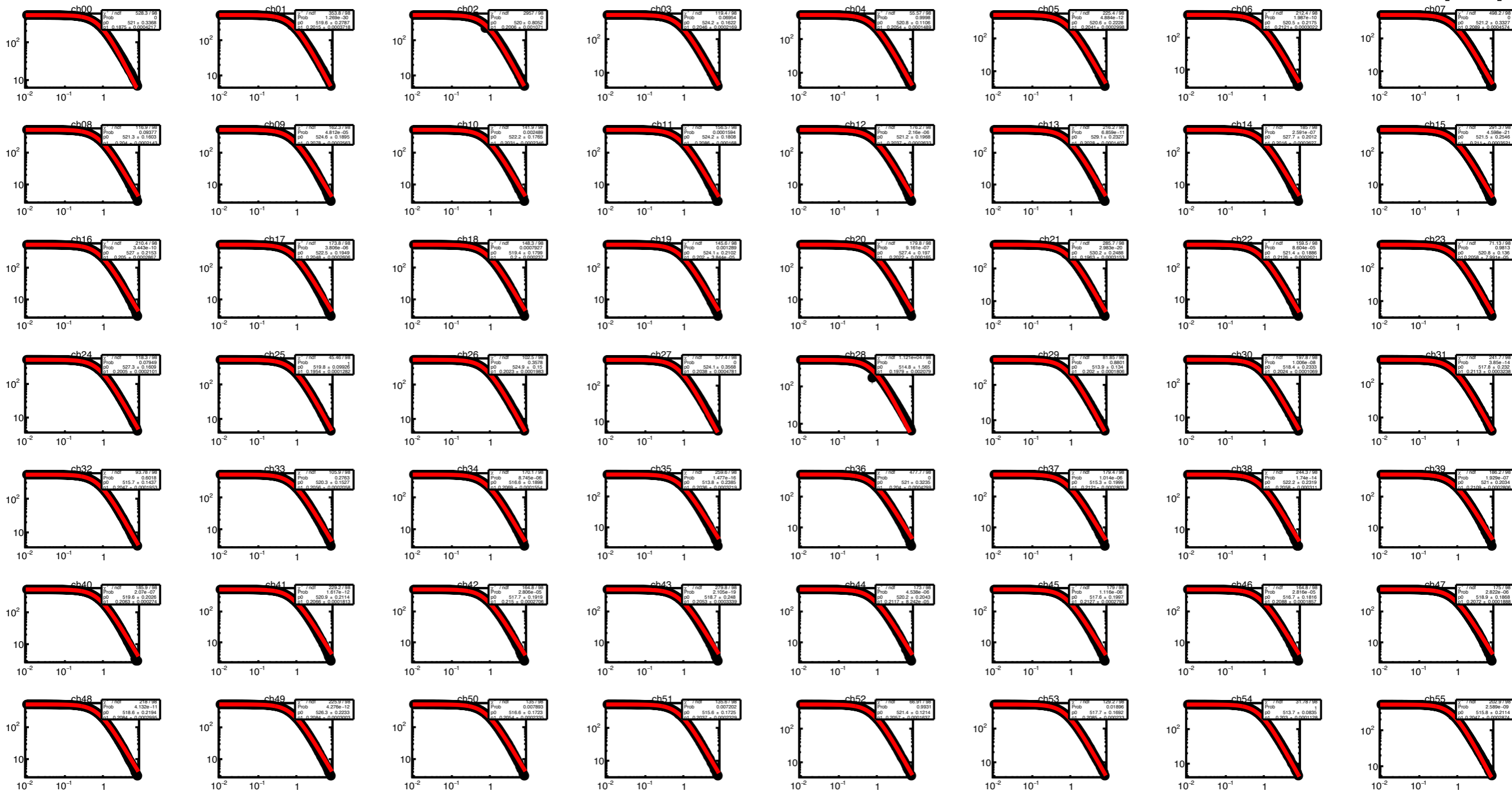
印加電圧[mV]



6. ADCLの周波数特性

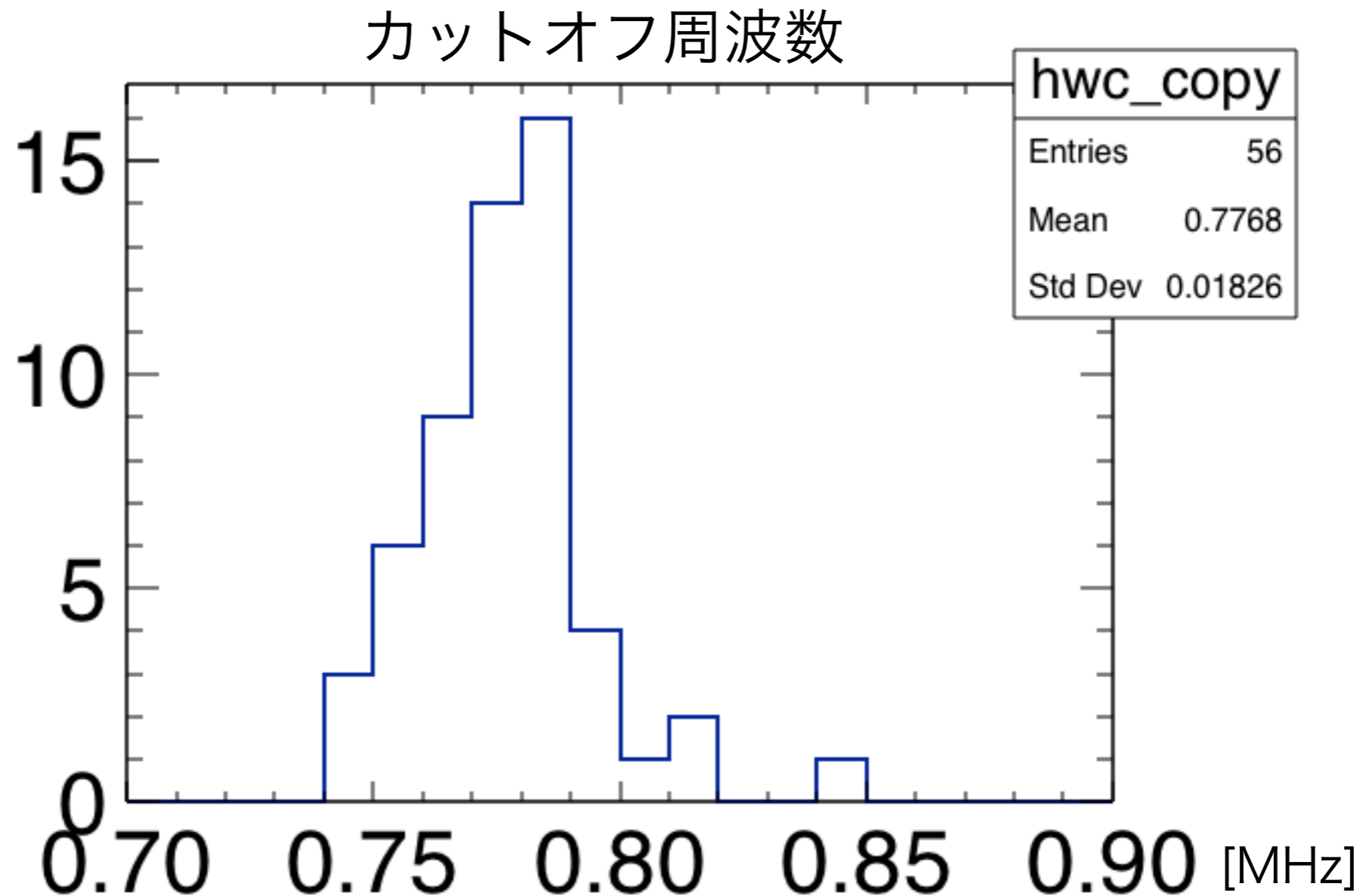
- sg4106を用いて、回路に正弦波(10kHz~8MHz)を入力。
- 取得された正弦波の最大値と最小値の差を振幅とし、回路の周波数特性を調べる
 - 確認のため、周波数が低い範囲では正弦波でFitしての振幅も取得したが、今回用いた方法とほぼ同じ値が得られた。

ADC出力 [cnt] ↑
周波数 [MHz] →



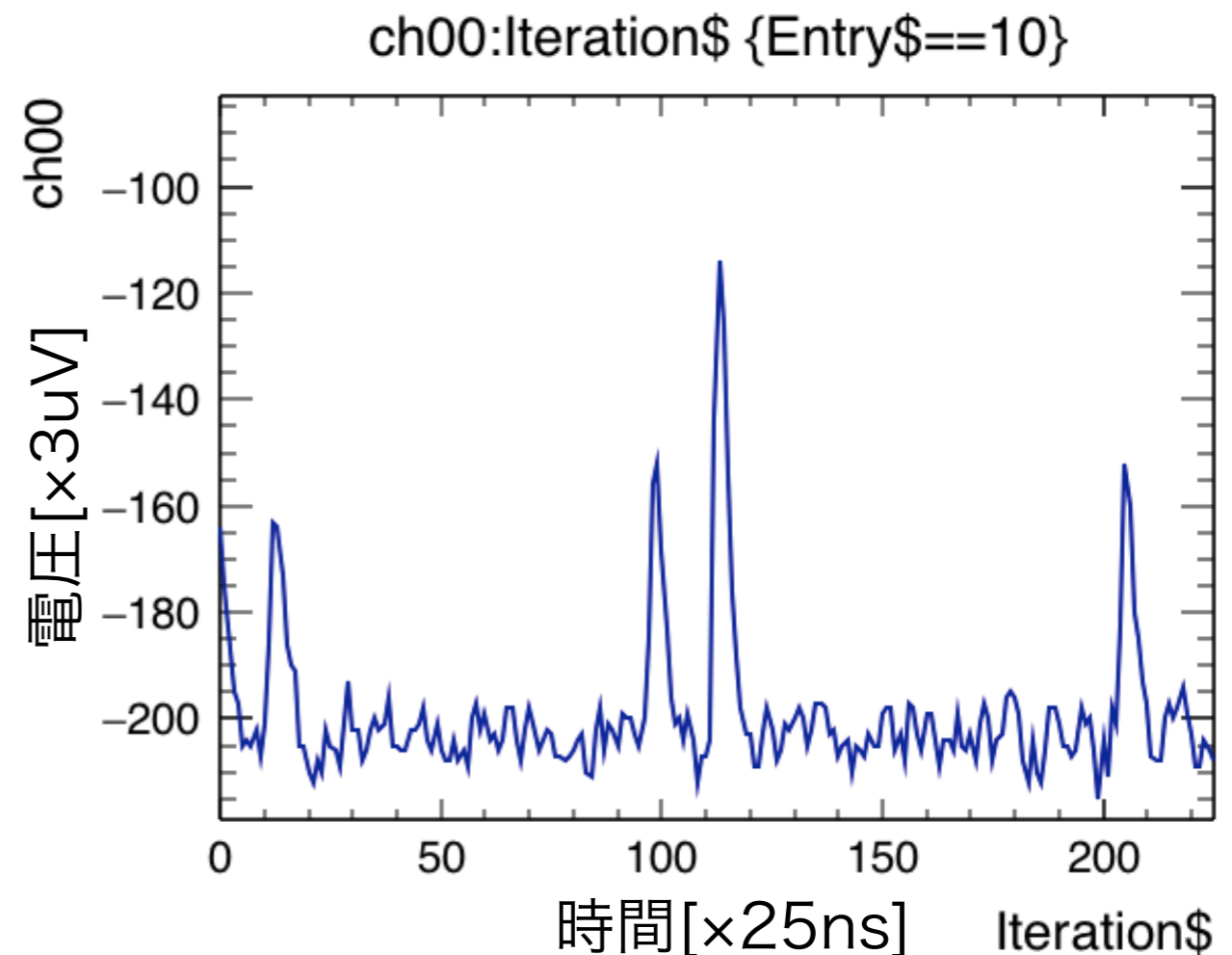
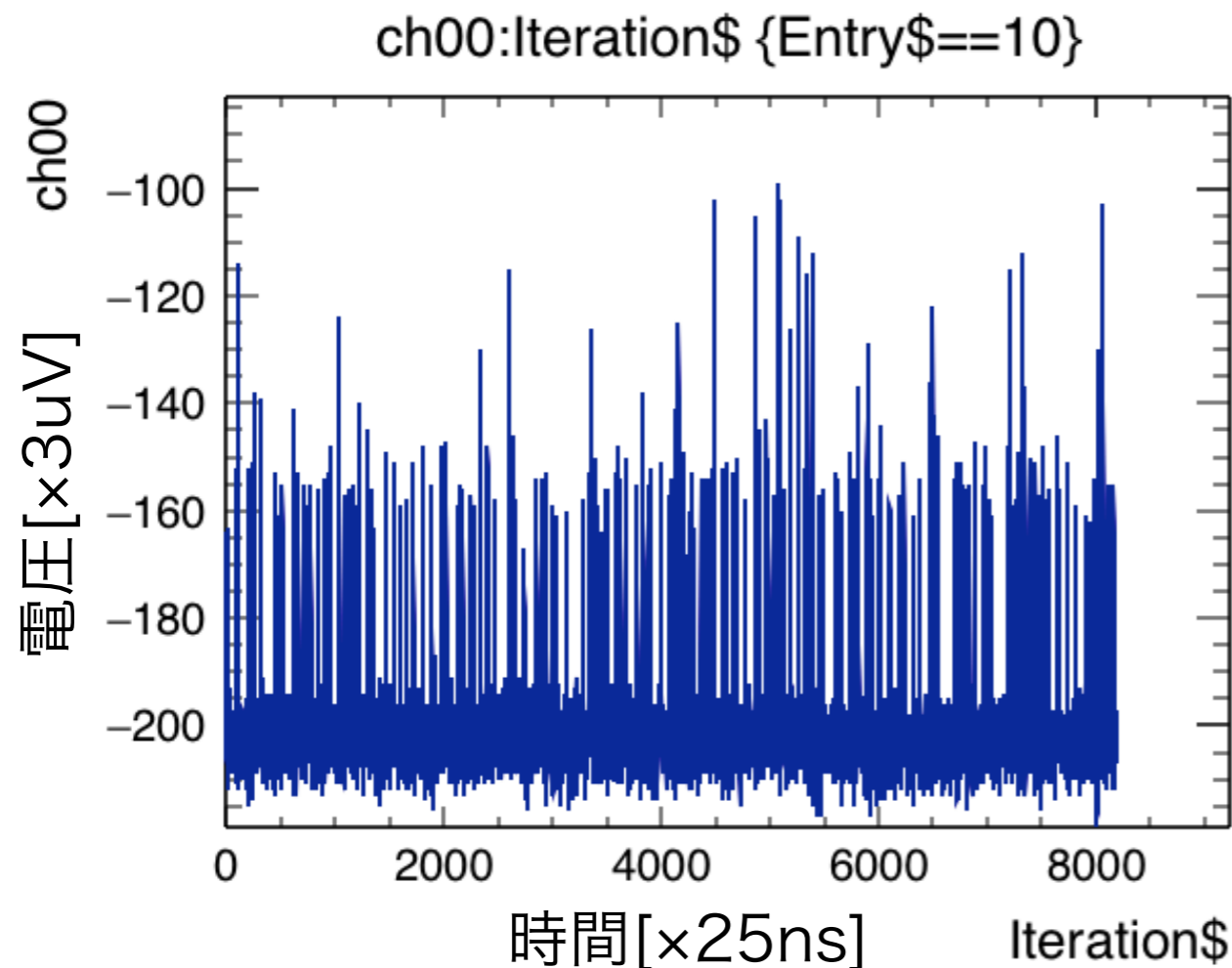
6. ADCLの周波数特性

- カットオフ周波数の分布
- 前ページの周波数特性をサレンキーフィルタの伝達関数を用いてFitし、カットオフ周波数を導出
- 設計値は0.72MHz程度なので若干高い。が、大きな問題はない。



7. ADCHで取得したMPPCの波形

- 実際に使用予定のMPPC(VUV4)を接続して波形を測定
 - 印加電圧は55.3V
- 横軸は25ns/cnt、縦軸は0.5mV/cnt(ADC入力)、3uV/cnt(MPPCの出力換算)
- 非常にきれいに波形取得ができています
- 1 photonの波形(整形後)は、ざっと200ns、20mV
-



7. ADCHで取得したMPPCの波形

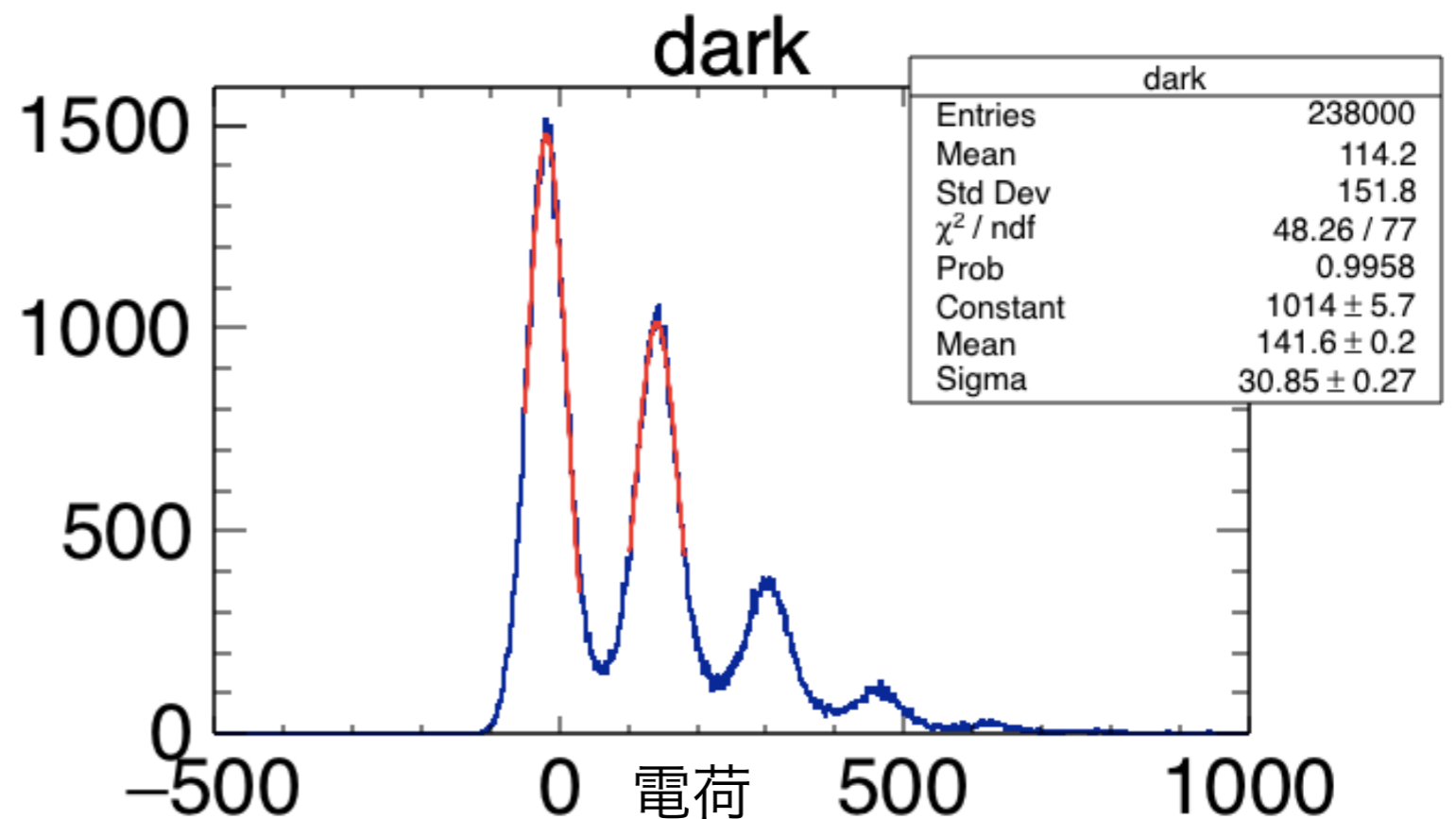
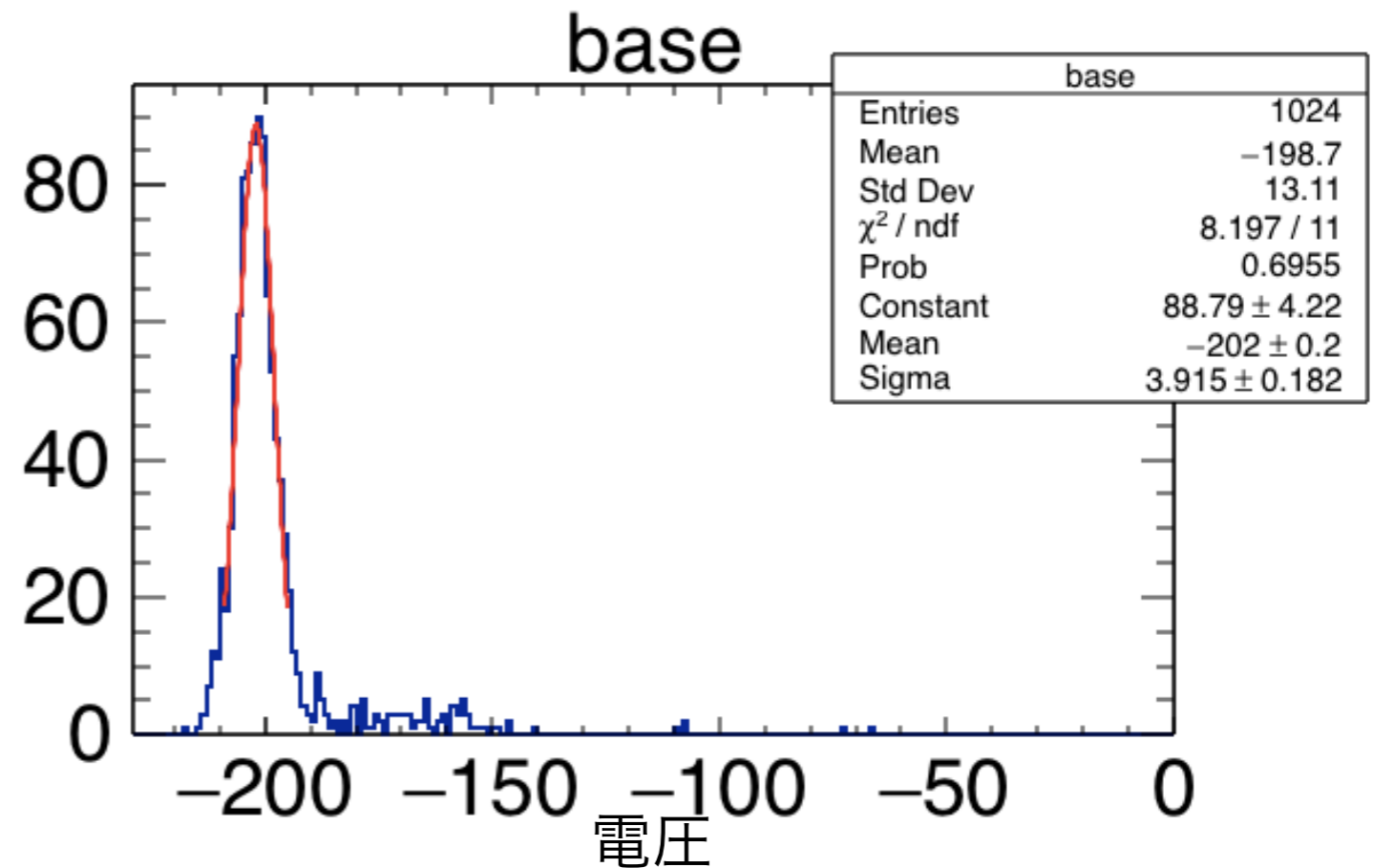
○MPPCのゲインを算出してみる

- 1イベント8192点のデータ点のうち、初めの1024点でベースラインを算出(上図)
- 残りのデータ点を幅30cnt(750ns)ごとに積分してHistに詰める(下図)
- 1p.e.と2p.e.の差をゲインとする

○MPPCのゲインは1.5M

- 以前同じMPPCを測定した際は2.4Mだった。
- なぜ低いのか…?

○



7. MPPCのゲインの微調整

- BIASやADJ用DACの値を変化させて、MPPCのゲインの変化を測定
- 青は、BIASを直接55.3~54.9Vまで変化させたときのゲインの変化
- 緑は、BIASを55.3Vに固定した上でVadjを変化させ、印加電圧を調整した際のゲイン変化

- 各々ゲインは変化しているが値がずれている

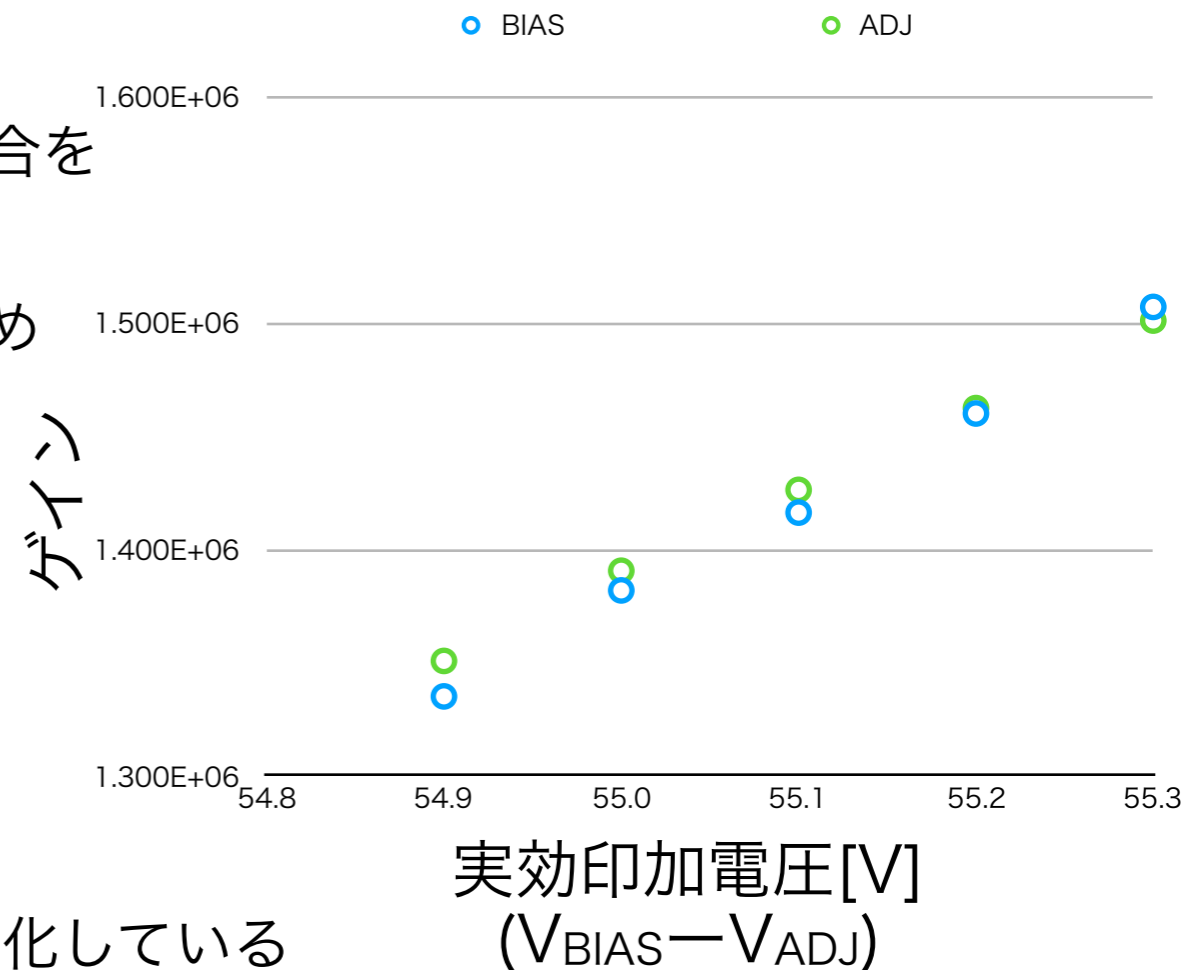
- 緑と青での傾きの違いは、BIASとVadjの変化の具合を統一できていないせいだと思われる
- 特にBIASは0.1V単位のテスターで測定しているため電圧変化を正確には求められていない

- 55.3Vの2点は全く同じ条件であるが

- 0.4%ほどのずれが見られる。
- これは解析か時間変化のせいだと思われる

- 印加電圧0.1Vの変化で、ゲインはおよそ2.5%ほど変化している

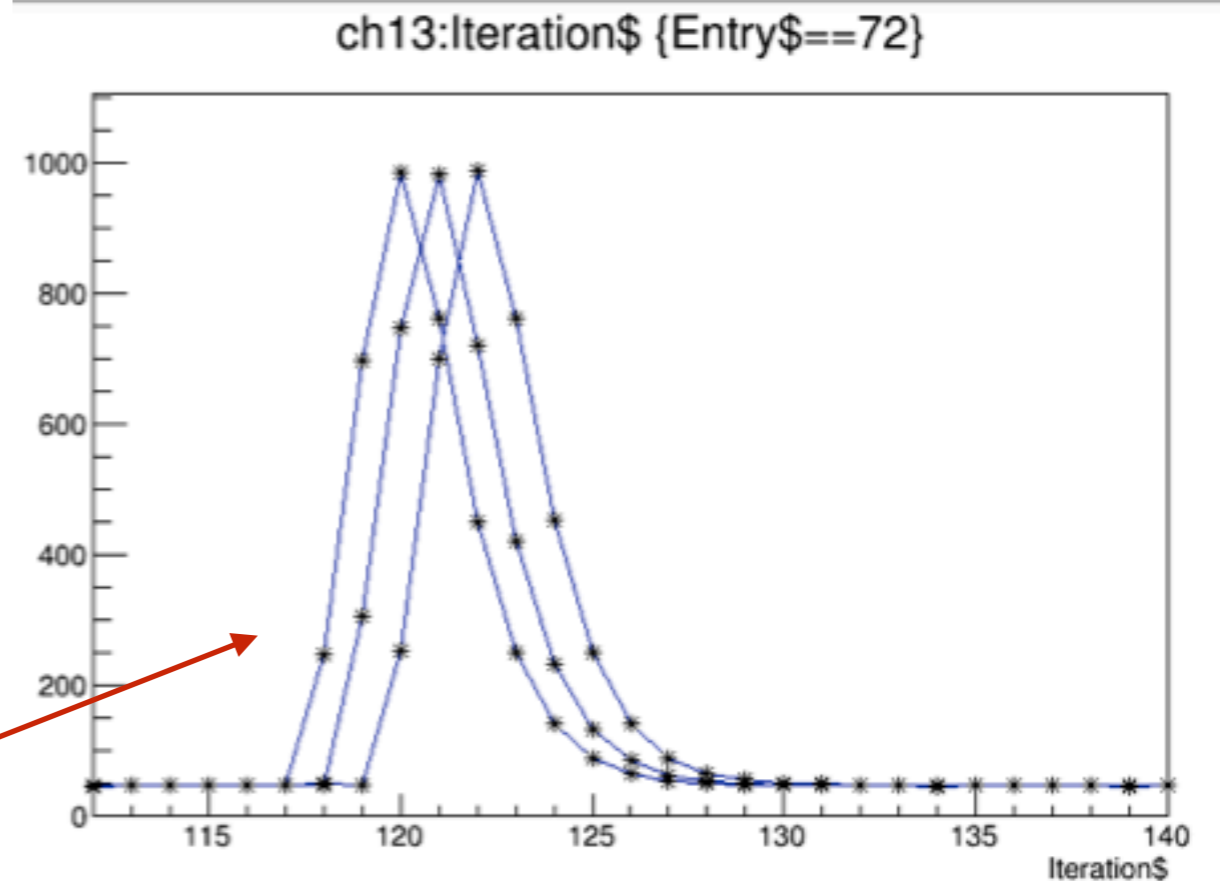
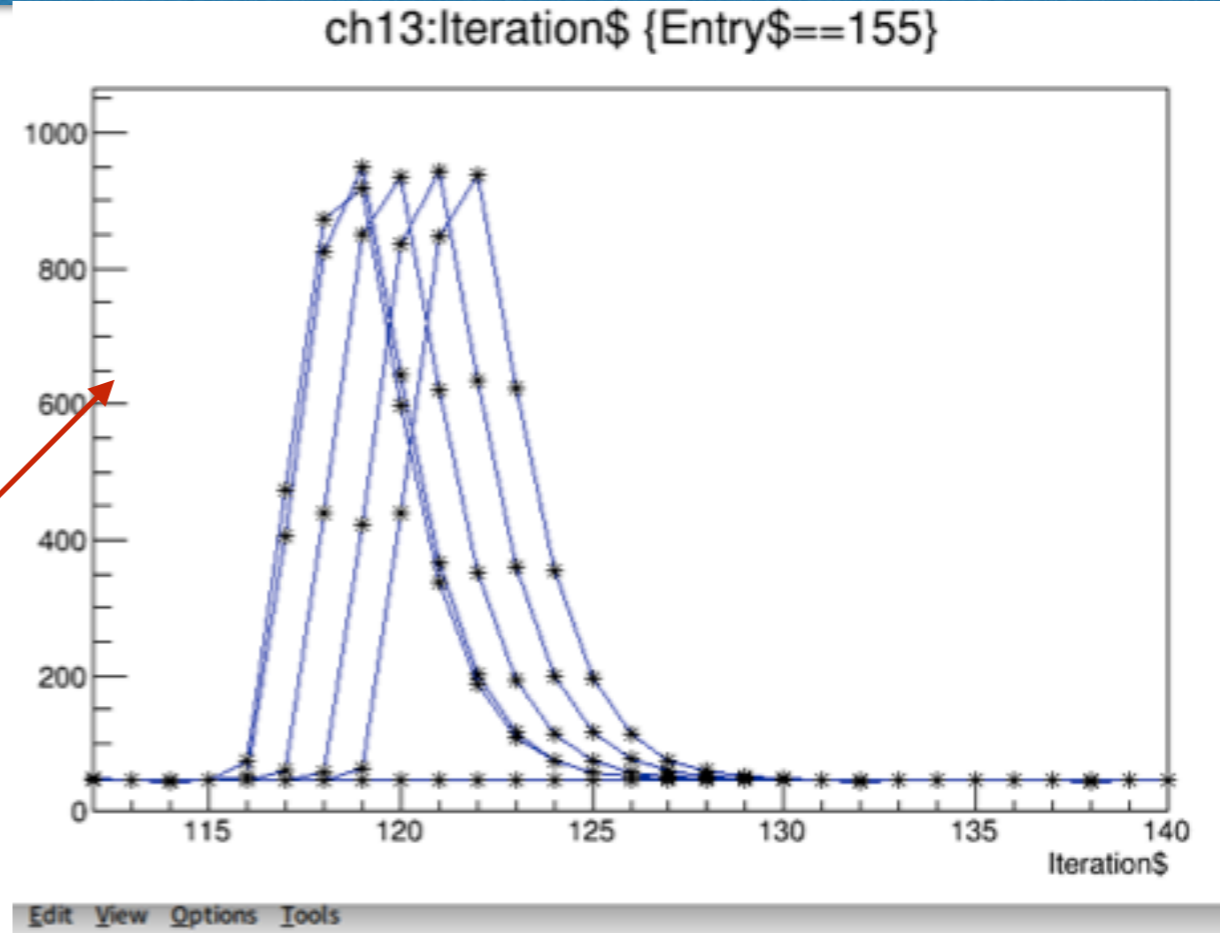
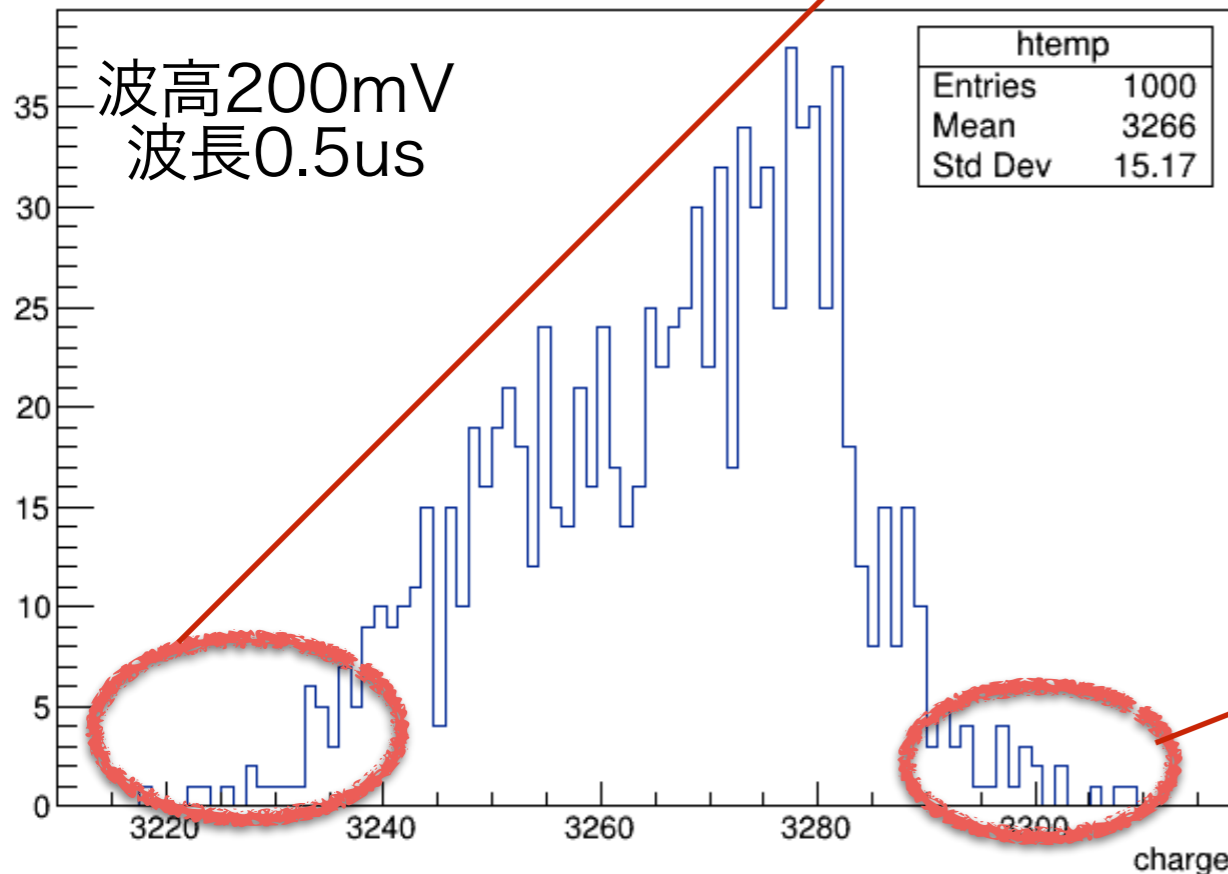
- データシートによるとVoverは4Vなので、値は適切
- ADJ用DACは0.01V単位で電圧を変更できるので、各MPPCのゲインを0.25%ほどの精度で調整可能



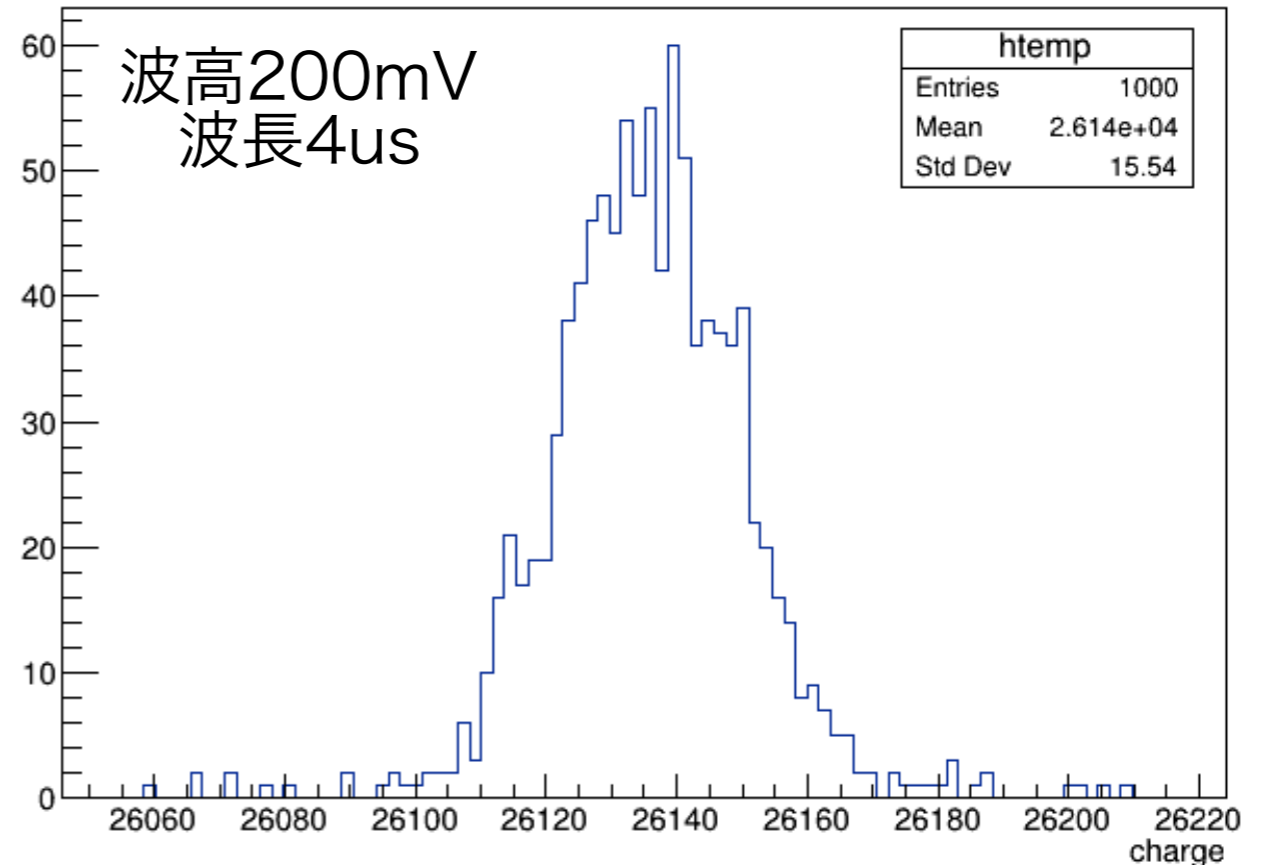
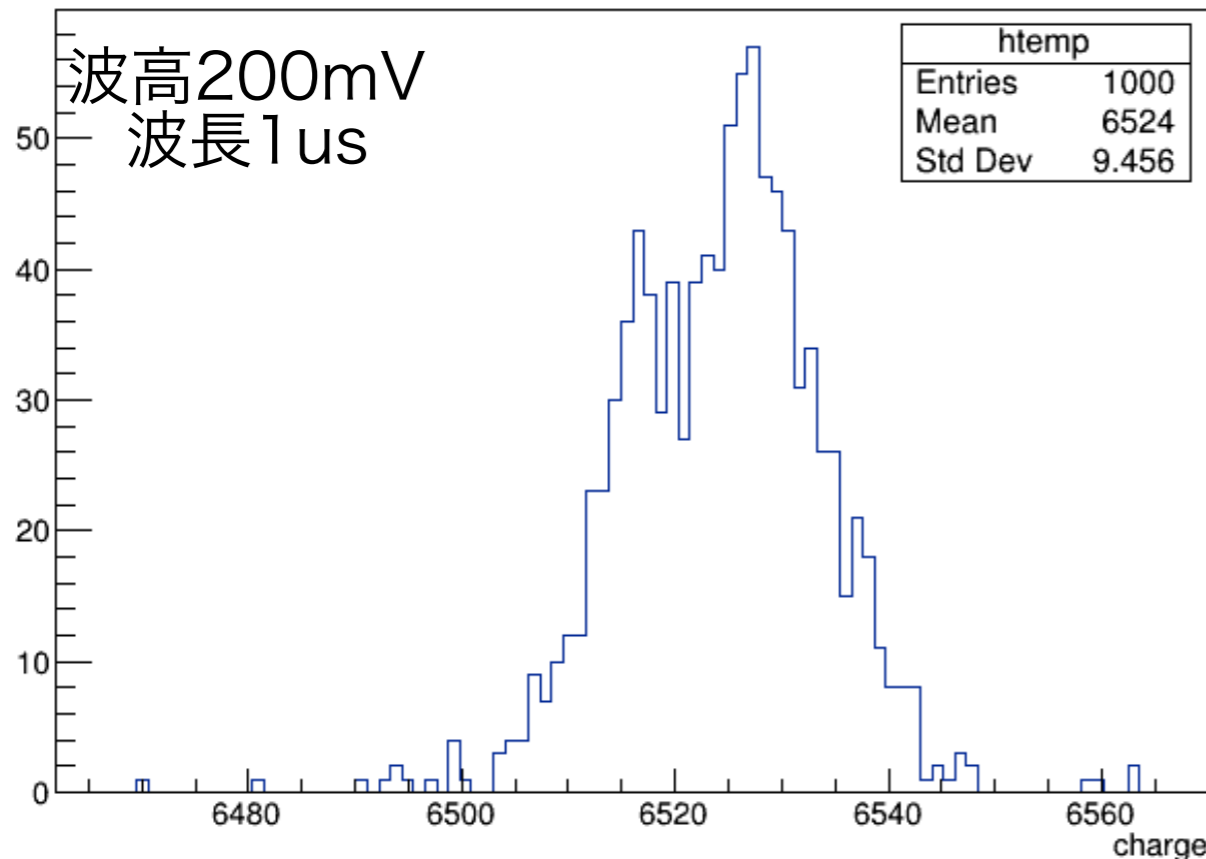
8.ADCLのサンプリングタイミング依存性

000000

- ファンクションジェネレータを用いて、FEBに短い矩形波(0.5us幅)を入力。セルフトリガでデータ取得。
 - 左下図はその積分値の分布。
- 最大最小の間で積分値が2%ほど変化している。
 - 波形を見比べると、頂点付近でサンプリングを行った場合は積分値が大きくなり、頂点を取り逃した場合に積分値が小さくなっていることがわかる。
- 非常に短い波形の場合には、サンプリングのタイミング依存性があることがわかる



- しかしこの依存性は矩形波の長さが長くなると小さくなる。
 - 結局立ち上がりと立ち下がりのタイミングが依存性の原因。
 - 中間の一定値の部分が増え、積分値がN倍になると、その分依存性はN分の1になる。
- 実際、1usを超えるとさきほどのような非対称な分布ではなくなる。
- 電子はELCC内で2us程度の間発光するため、基本的には波長は数usを超える。
 - そのような長さの信号に対しては、アナログ部の波形整形は十分機能している。

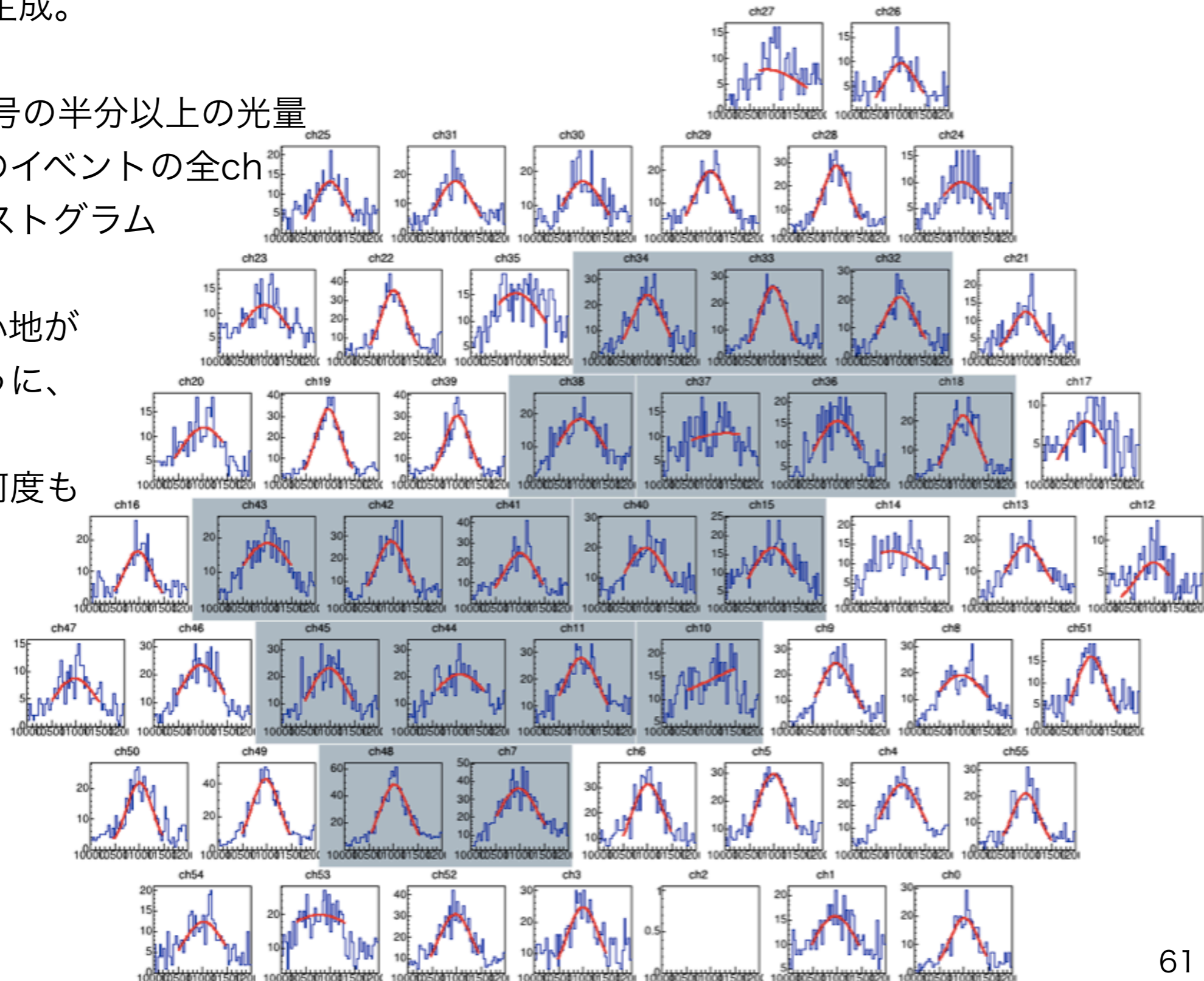


○HP10Lに¹³³Baを当てて測定。

- 事前にMPPCの印加電圧の微調整を行った上で測定。
- 全chのsmaでトリガ生成。

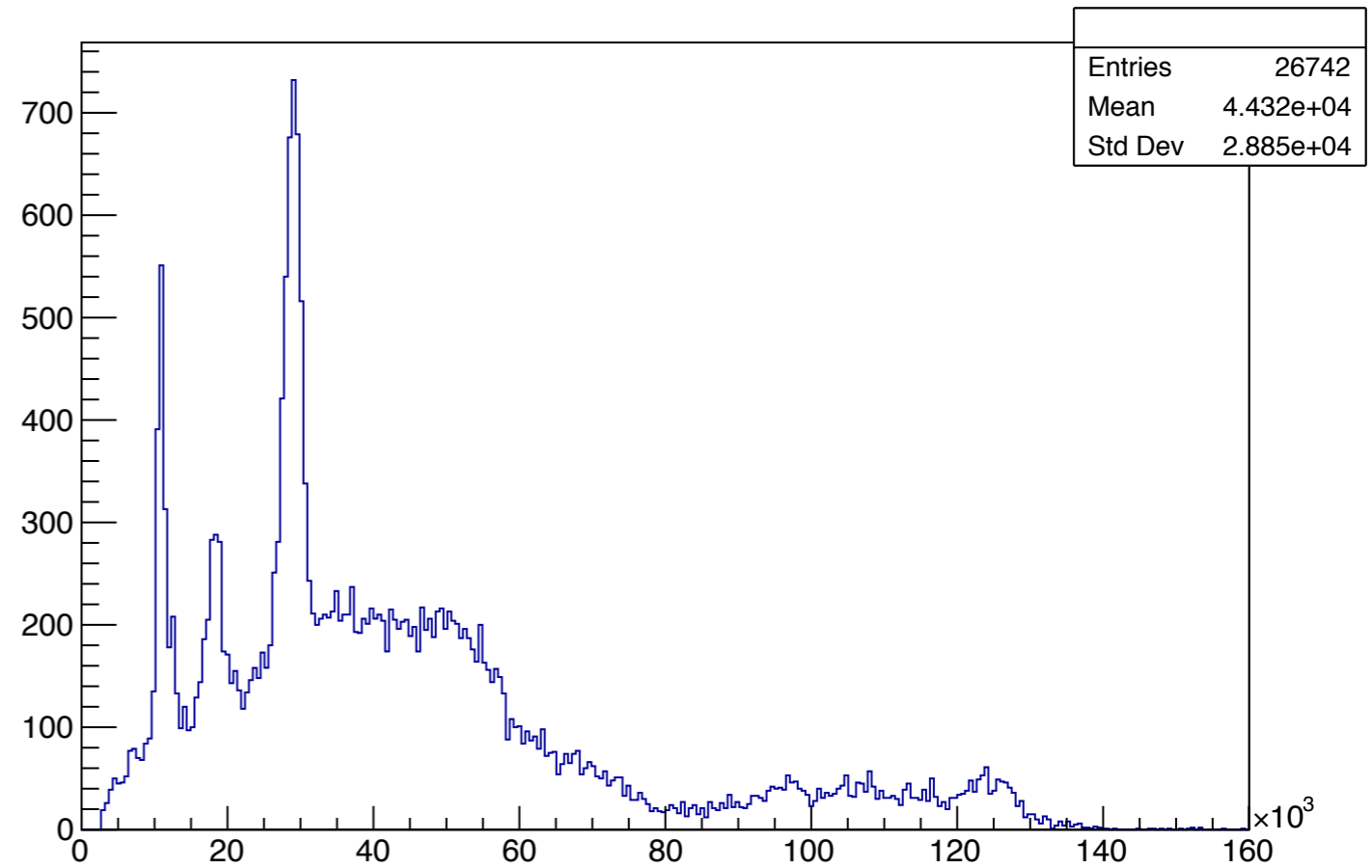
○ELゲイン補正

- あるchで、30keV信号の半分以上の光量が観測された際、そのイベントの全chの和を、そのchのヒストグラムに詰める。
- 各ヒストグラムの中心地がある一定値になるように、各chのゲインを補正。
- 分解能がサチるまで何度も繰り返す。

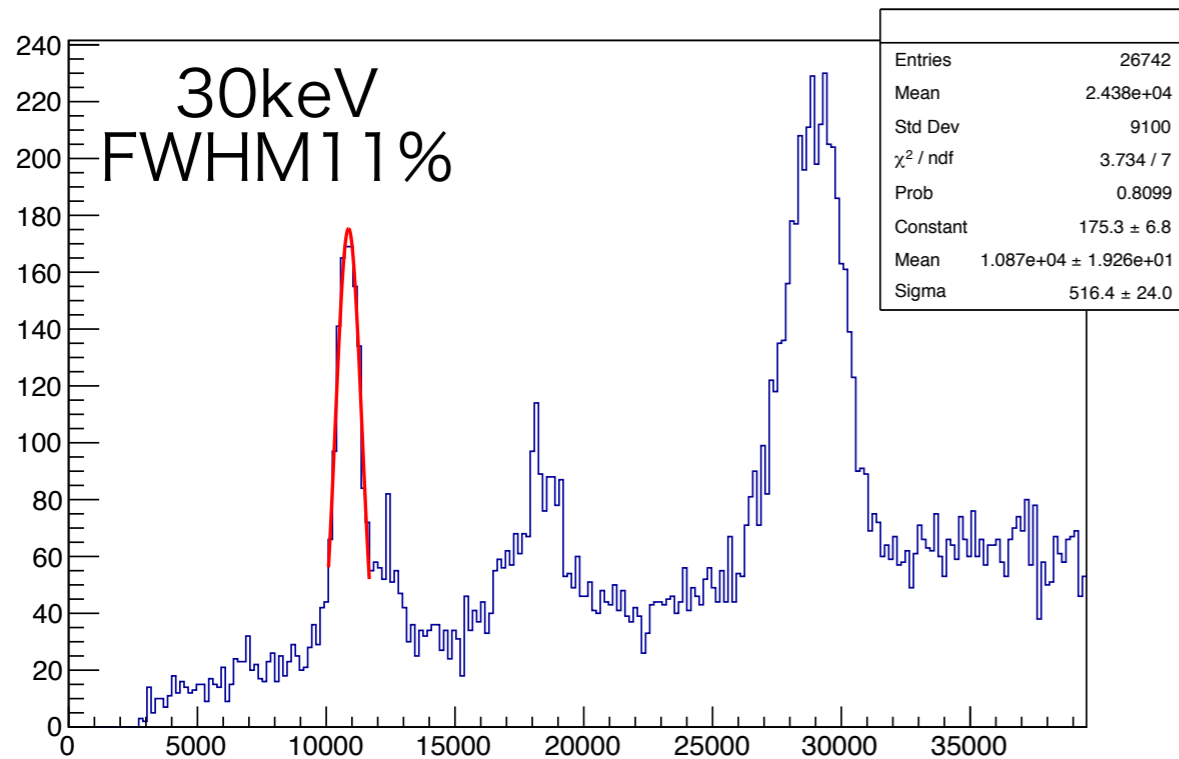


- HP10Lに¹³³Baを当てて測定。
 - 事前にMPPCの印加電圧の微調整を行った上で測定。
 - 全chのsmaでトリガ生成。
- 全ch共通の時定数 τ を用いてサチュレーション補正を行った。
 - 350keV程度の信号郡が最もよく見えたのは $\tau = 30\text{ns}$ 程度。

sum_fid {max_height_veto<5&&max_charge_ch>1&&wid[max_charge_ch]>20&&!satu&&hit>4}



sum_fid {max_height_veto<5&&max_charge_ch>1&&wid[max_charge_ch]>20&&!satu&&hit>4}



sum_fid {max_height_veto<5&&max_charge_ch>1&&wid[max_charge_ch]>20&&!satu&&hit>4}

