

# 半導体検出器

高エネルギー加速器研究機構 素粒子原子核研究所

岸下 徹一

# 自己紹介

## Work experience

- 2019 Feb. - present

Associate Professor at IPNS and SOKENDAI

- 2016 Nov. - 2019 Jan.

Assistant Professor at KEK, Institute of Particle and Nuclear Studies

- 2010 Jun. - 2016 Oct.

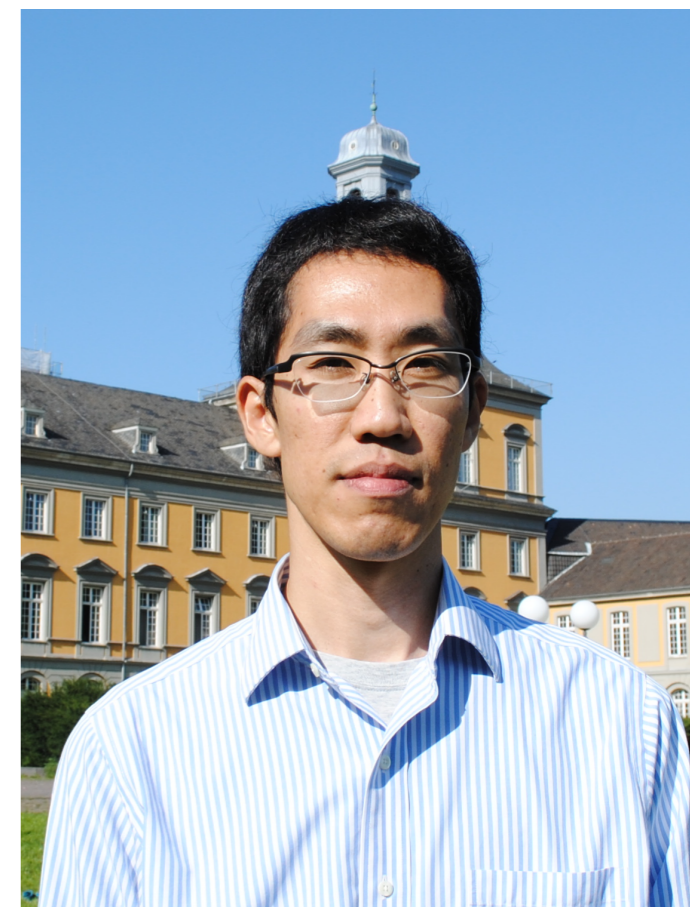
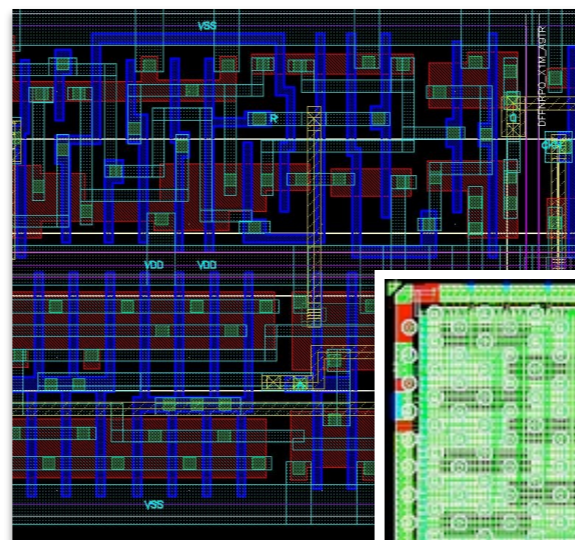
Postdoc at University of Bonn, Physikalisches Institut (Prof. N. Wermes' group),

working on DEPFET readout chip for Belle II experiment; Depleted Monolithic Active Pixel Sensor (DMAPS), 65-nm CMOS designs and CERN-RD53 Collaboration for HL-LHC

- 2009 Apr. - 2010 May

JSPS research fellow (PD) at Institute of Space and Astronautical Science (Prof. T. Takahashi/ H. Ikeda's group)

working on astrophysical data analysis of Suzaku X-ray Observatory, low-noise analog readout chips for hard X-ray CdTe spectroscopic imager



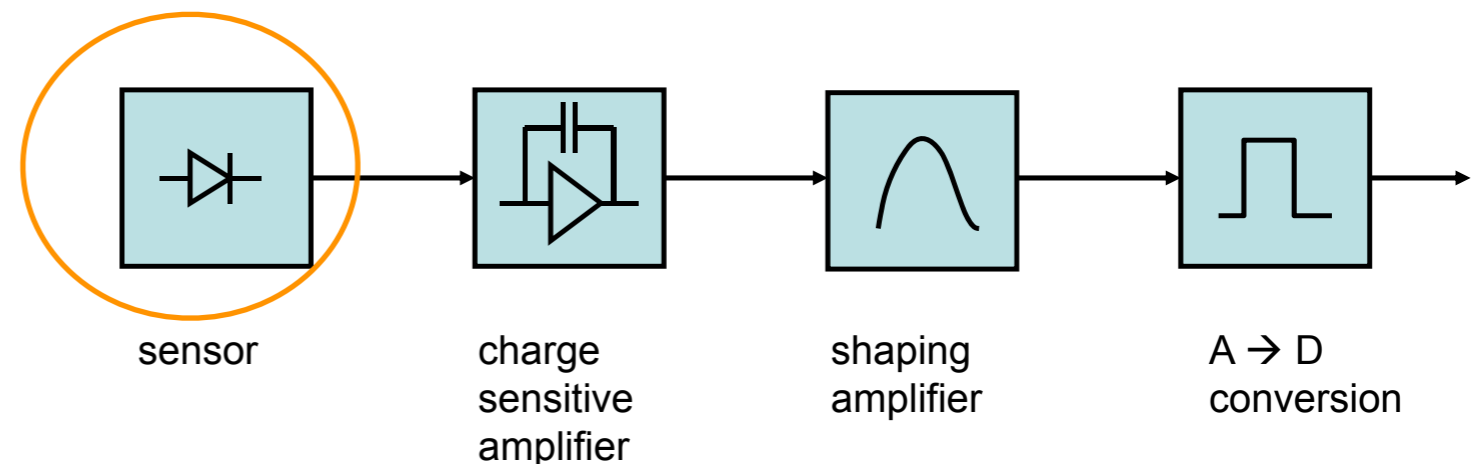
研究テーマ: 検出器開発(ワイドギャップ半導体センサー、高集積回路設計、ピクセル、実装技術)

## 1. なぜ半導体検出器を使うのか？

## 2. ダイオードセンサーの基本

## 3. ダイオードセンサーの応用

## 4. 最近の研究話題

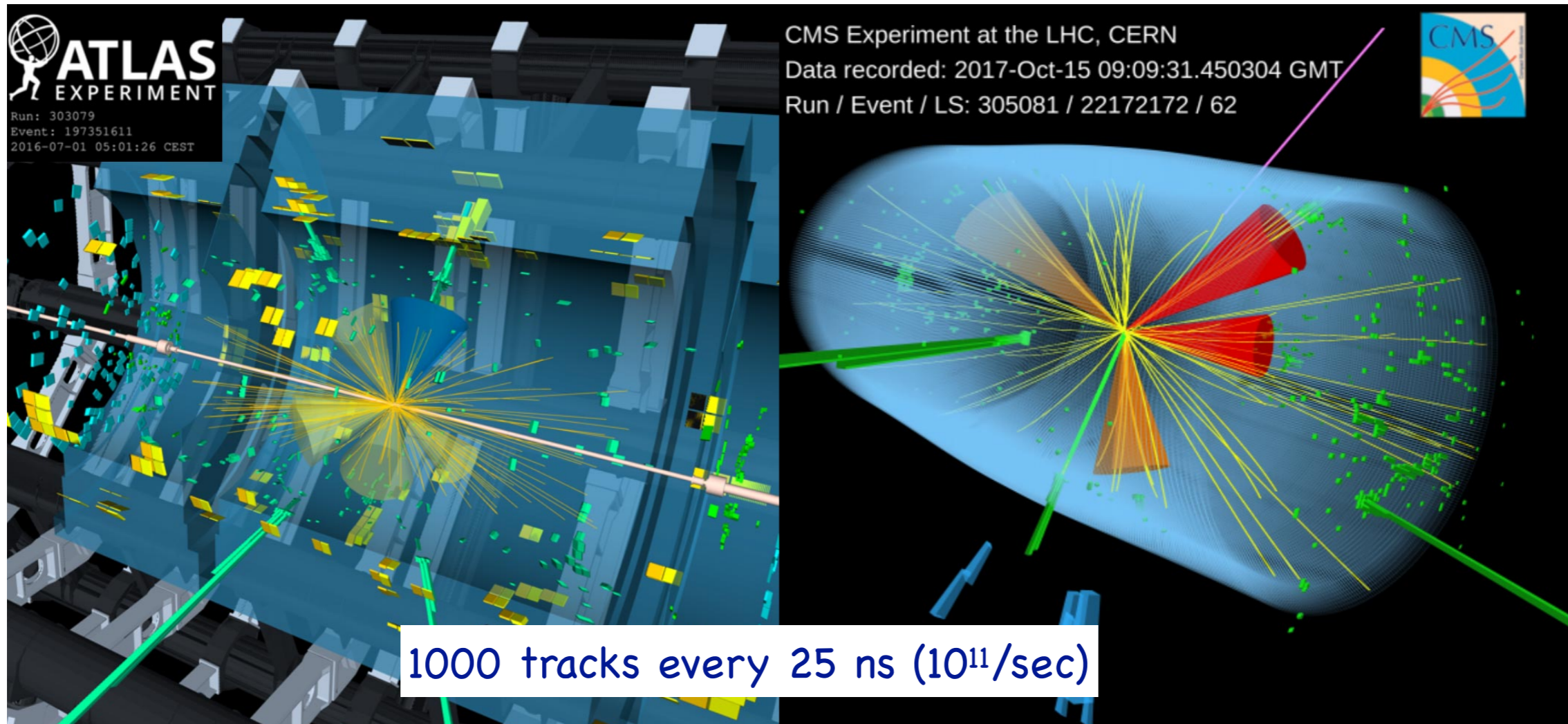


# 1. なぜ半導体検出器を使うのか？

# 素粒子実験における飛跡検出

未知の素粒子の性質を探るor発見したい!!

既存の粒子に崩壊する飛跡から性質(エネルギー、運動量、崩壊モード)を探る



重たい粒子はすぐに崩壊するので、衝突点近傍で粒子の飛跡をトラッキングする必要がある

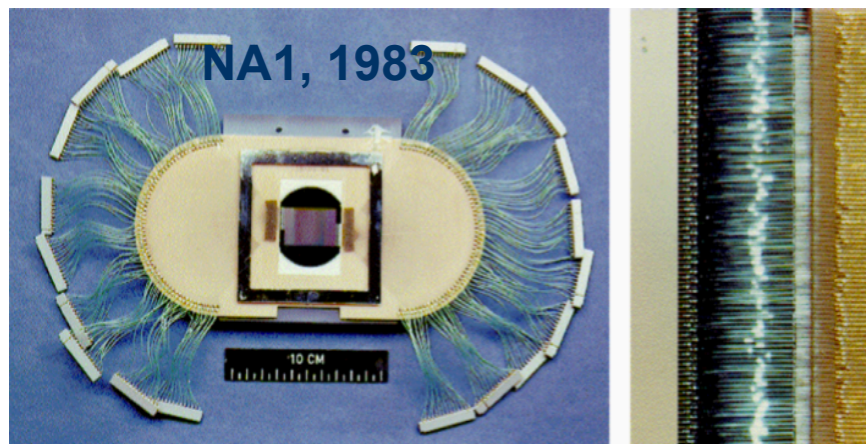
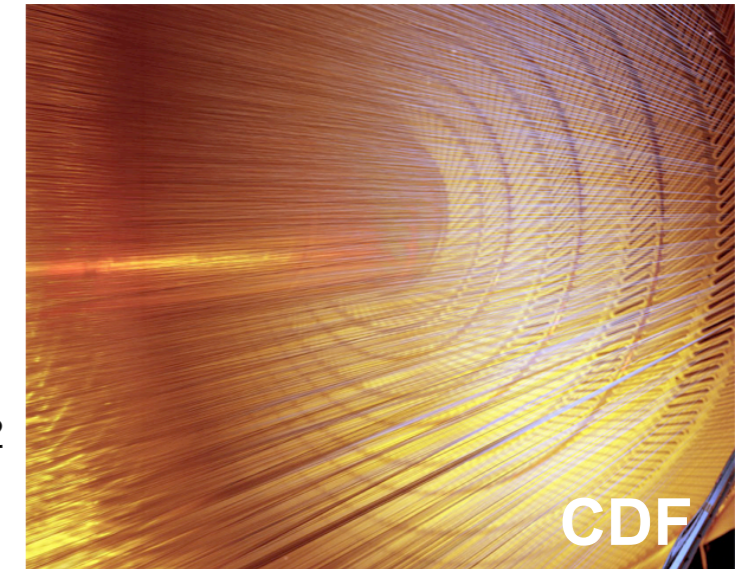
# 粒子飛跡検出器の歴史



## ワイヤーチェンバー (1968)

→ electronic recording of  
particle tracks

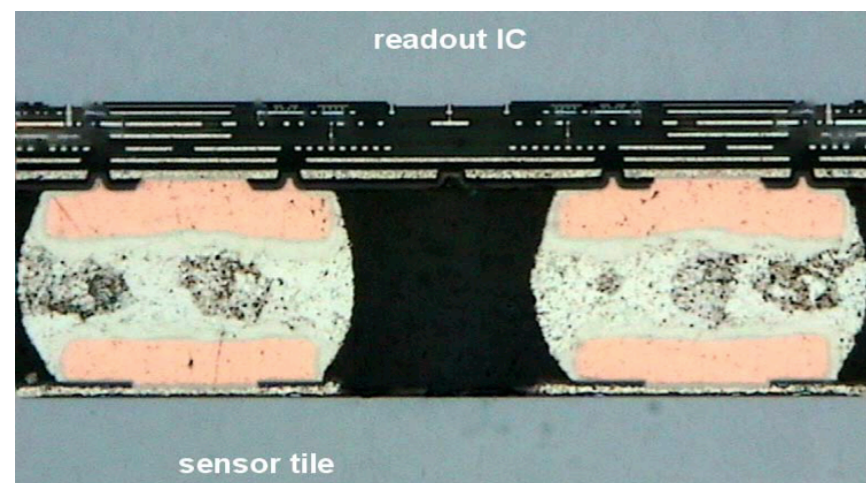
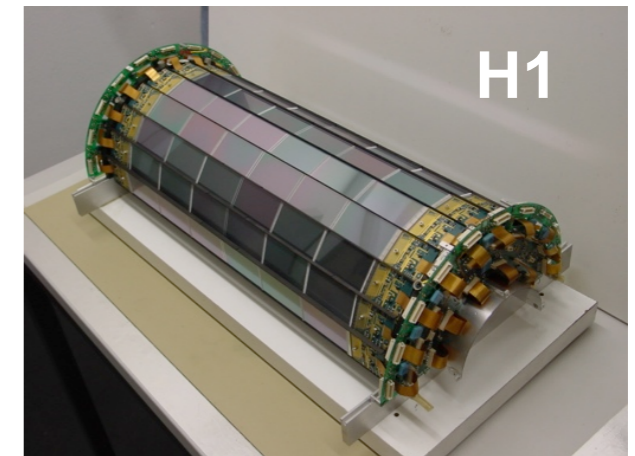
$\sigma = \text{mm} \sim 100 \mu\text{m}$ , 0.05 channels/cm<sup>2</sup>



## ストリップ検出器 (1983)

→ measurement of “ps”  
lifetimes and decay vertices

$\sigma < 10 \mu\text{m}$ , 100 channels/cm<sup>2</sup>

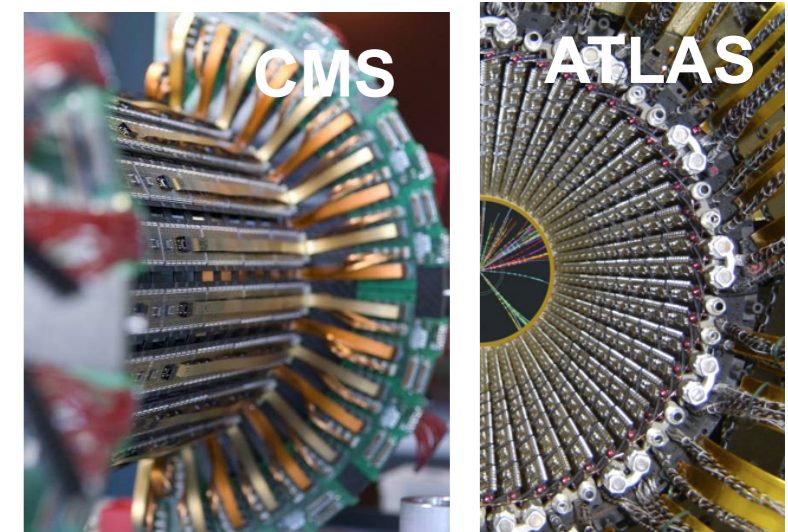


## ピクセル検出器 (1990)

→ 3D point measurement in high  
rate environments

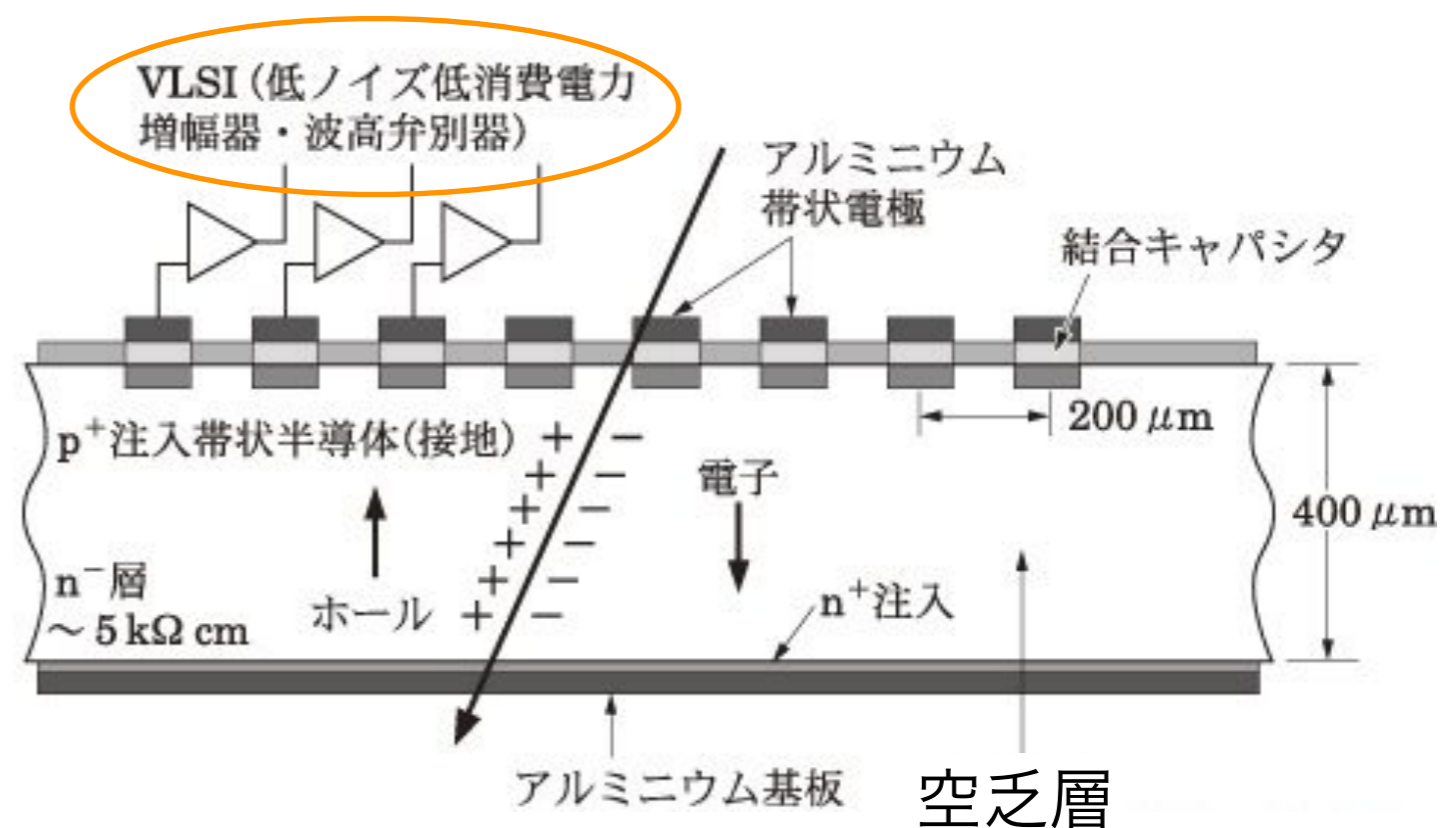
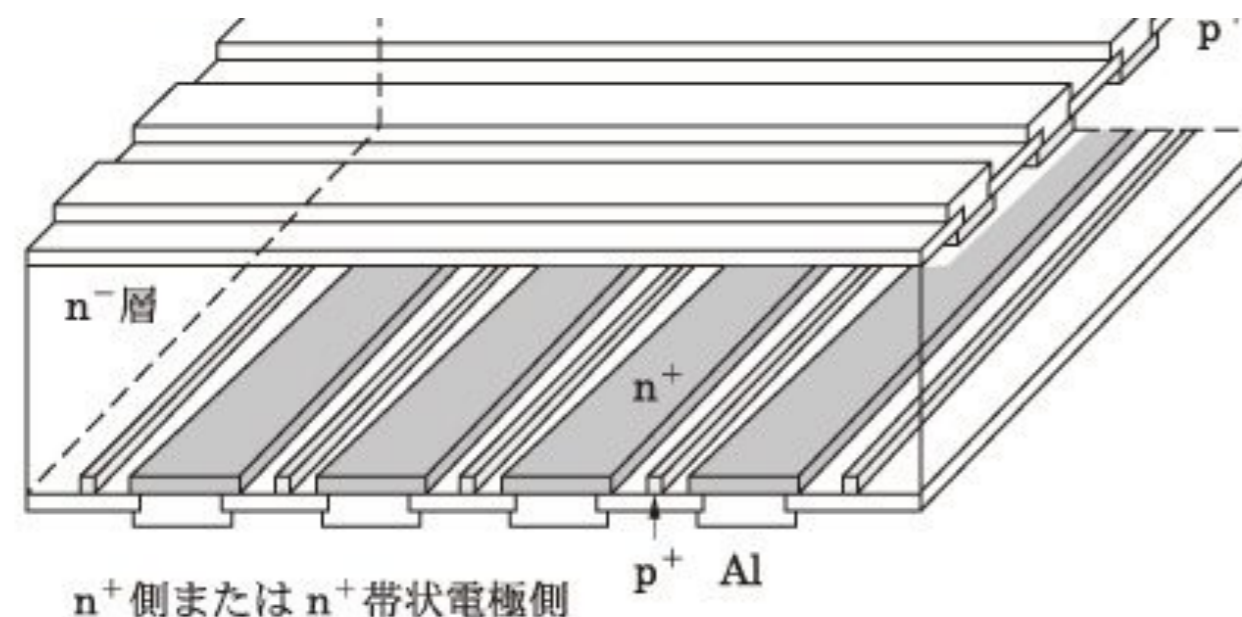
$\sigma \sim 10 \mu\text{m}$ , 5000 channels/cm<sup>2</sup>

**Pixel@LHC is “state-of-art”**



# ストリップ検出器の構造

構成要素: ストリップセンサー+専用の読み出し回路(1次元)+実装技術(ワイヤーボンディング)

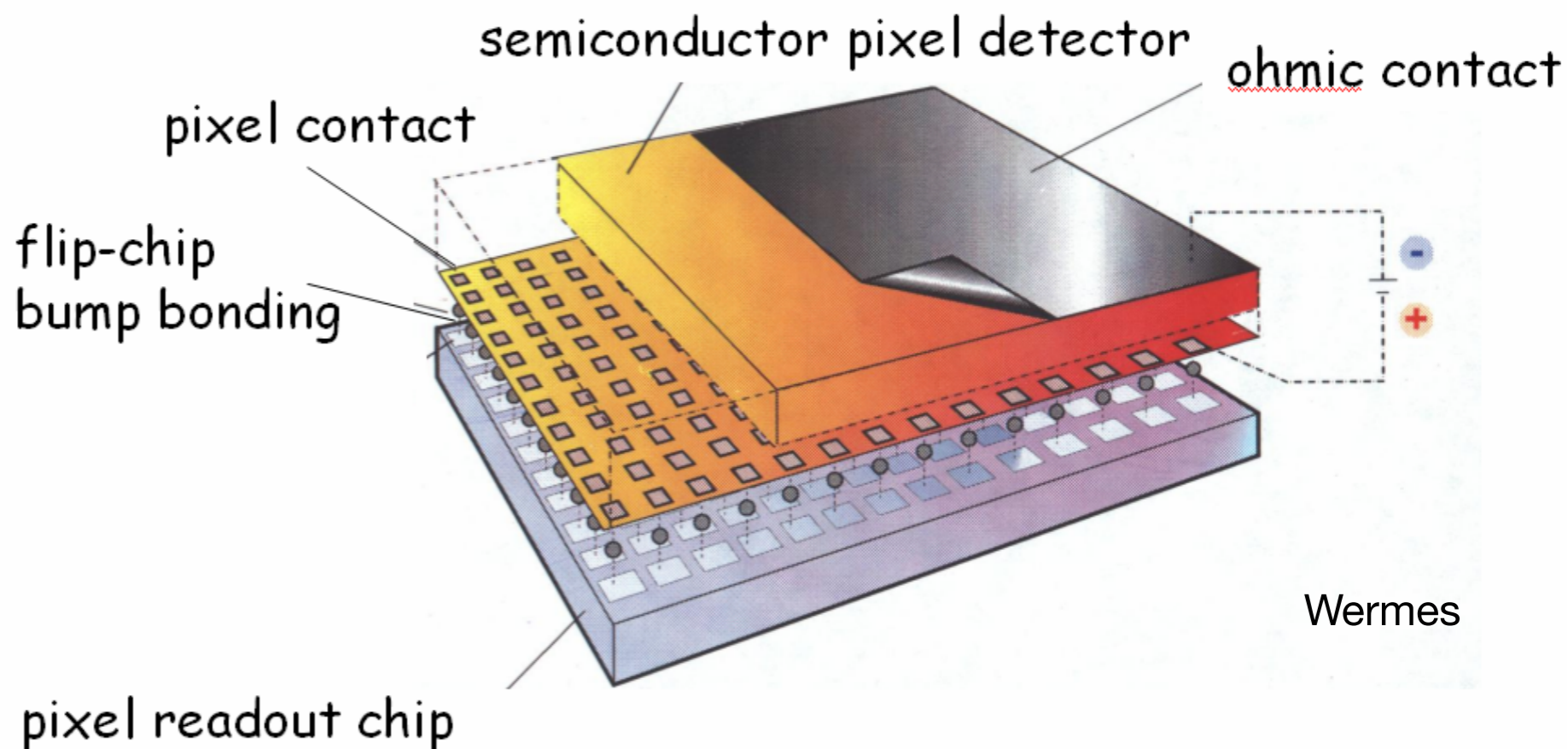
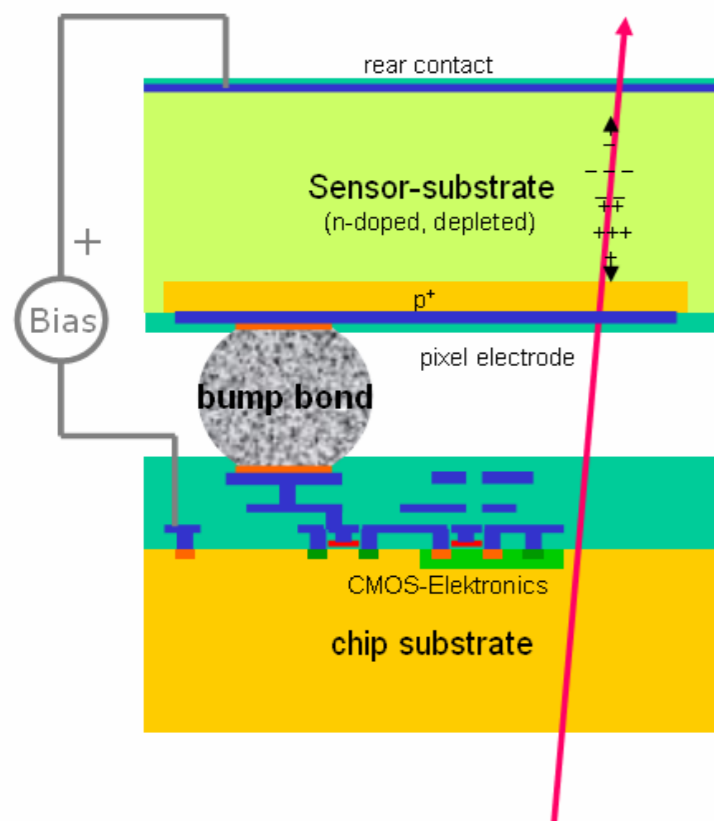


- 半導体(Si etc.)センサーの表面電極をストリップ(帯)状に配置することによって飛跡の位置を検出する
- 電極の両面をストリップ状にすることで飛跡の2次元情報が得られる

# ピクセル検出器の構造

構成要素: ピクセルセンサー + 専用の読み出し回路(2次元) + 実装技術(バンプボンディング)

## Hybrid Pixel Detector (state of the art)



- amplification by a dedicated R/O chip
- 1-1 cell correspondence

LHC-ATLAS/CMS...



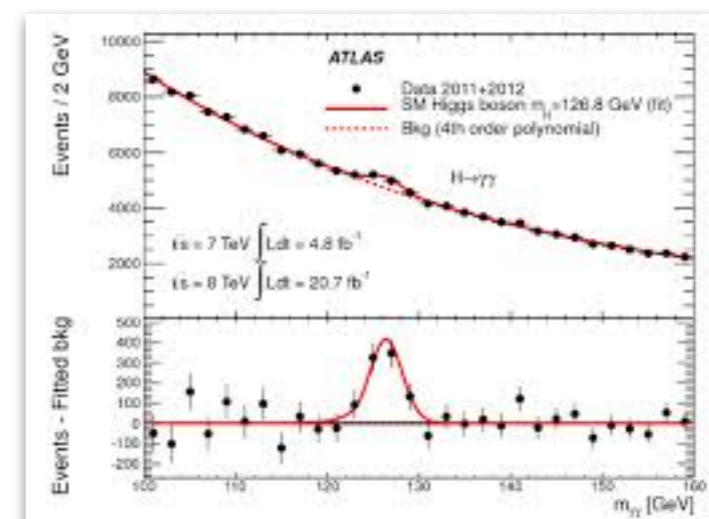
# LHC (Large Hadron Collider)

スイスジュネーブ郊外にあるCERNで稼働する世界最高エネルギーの加速器



## 陽子・陽子衝突実験

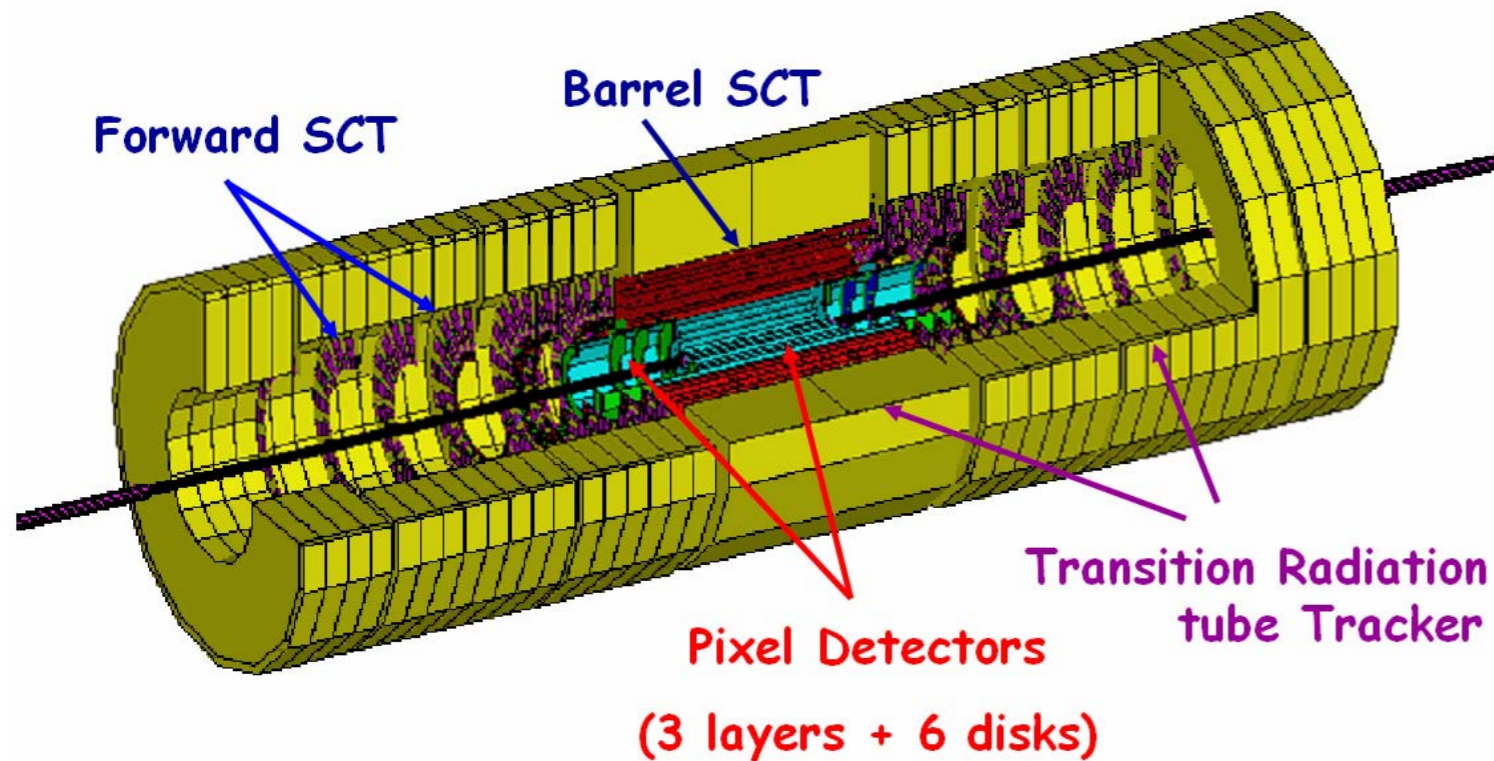
- 周長27 km
- 7 TeV=7兆電子ボルト  
重心系のエネルギー14 TeV
- 40 MHz衝突
- 建設期間14年
- 3種類の実験(ATLAS, CMS, ALICE)→Higg粒子の発見により  
2013にノーベル賞



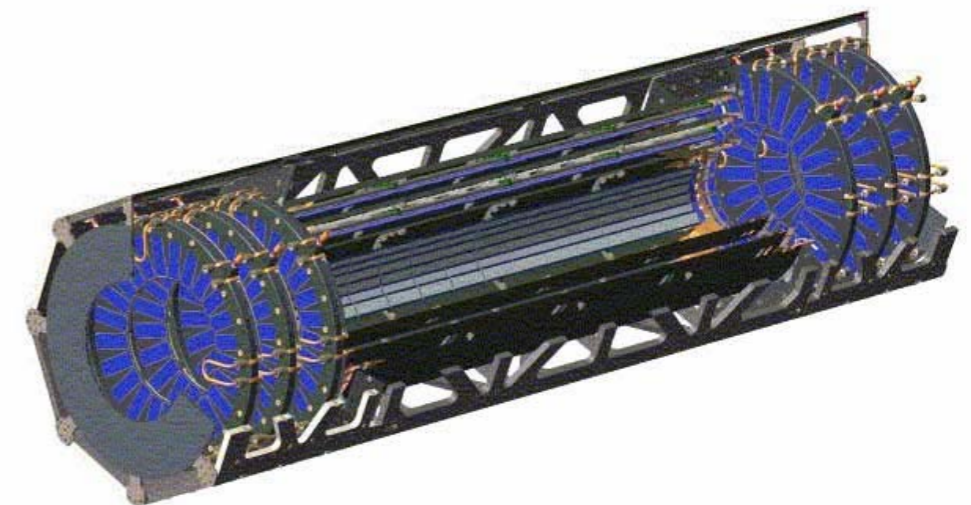
# 粒子飛跡検出器: ATLAS

before IBL

Wermes



Pixel Detector  
(3 layers, 3 disks)

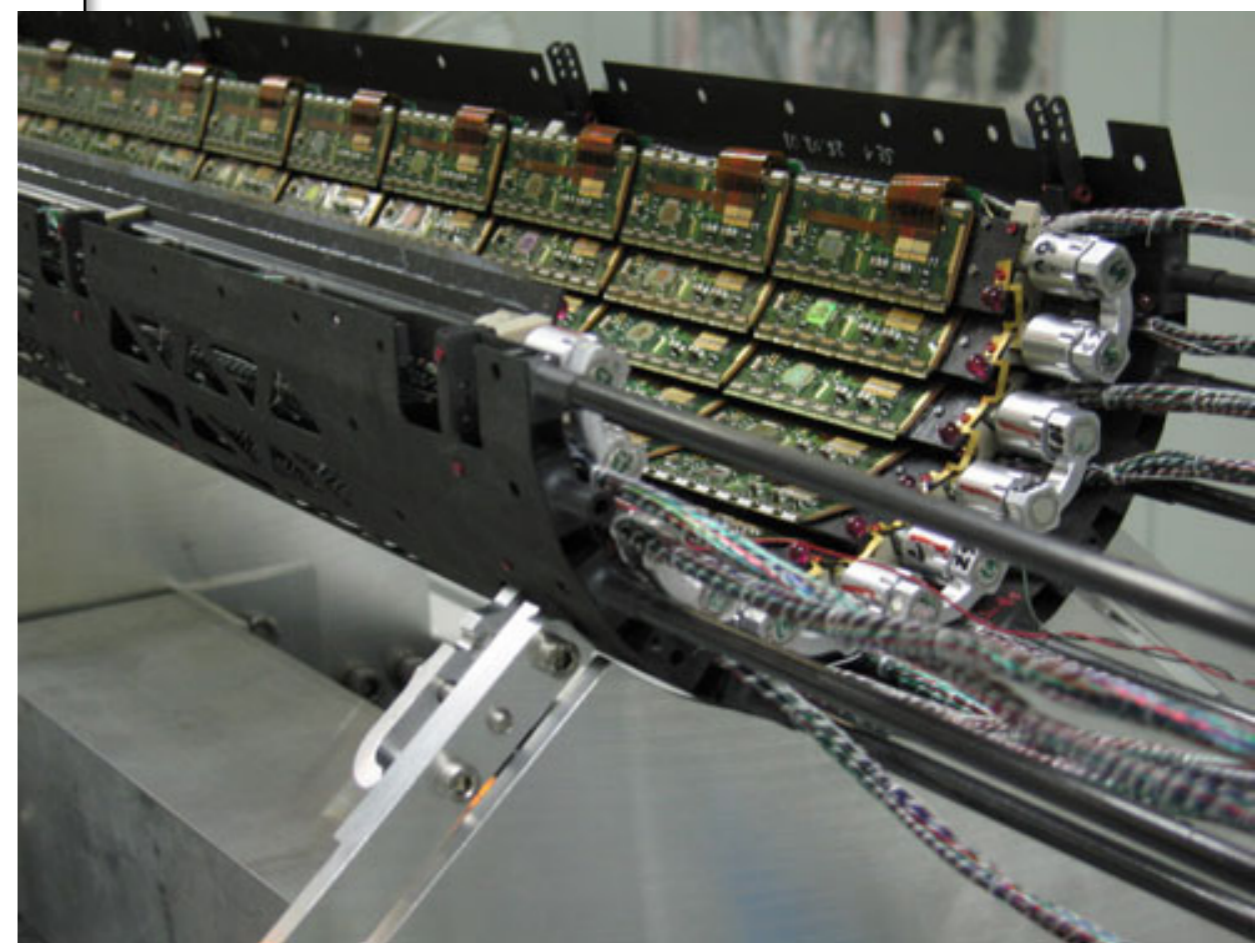
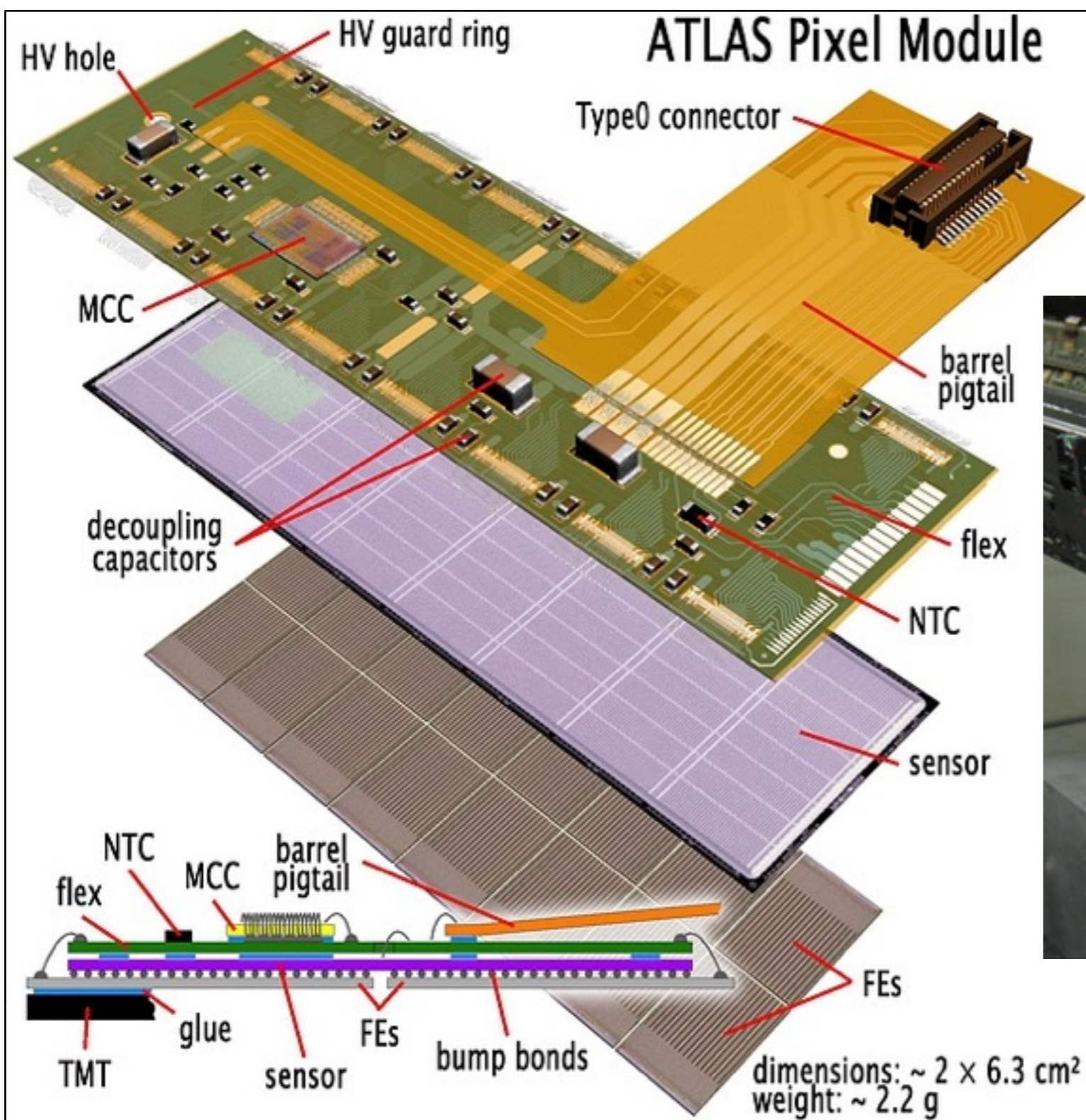


50x400  $\mu\text{m}^2$  cells  
80 x 10<sup>6</sup> pixels

	points	$\sigma (R\phi) (\mu\text{m})$	$\sigma (Rz) (\mu\text{m})$
pixel	3	12	60
SCT	4	17	580
TRT	36	170	-

Silicon Pixel Detector	~ 1.8 m <sup>2</sup>
Silicon Strip Detector	~ 60 m <sup>2</sup>
Transition Radiation Tracker	~ 300 m <sup>2</sup> <sub>eq</sub>

# ピクセル検出器: ATLAS

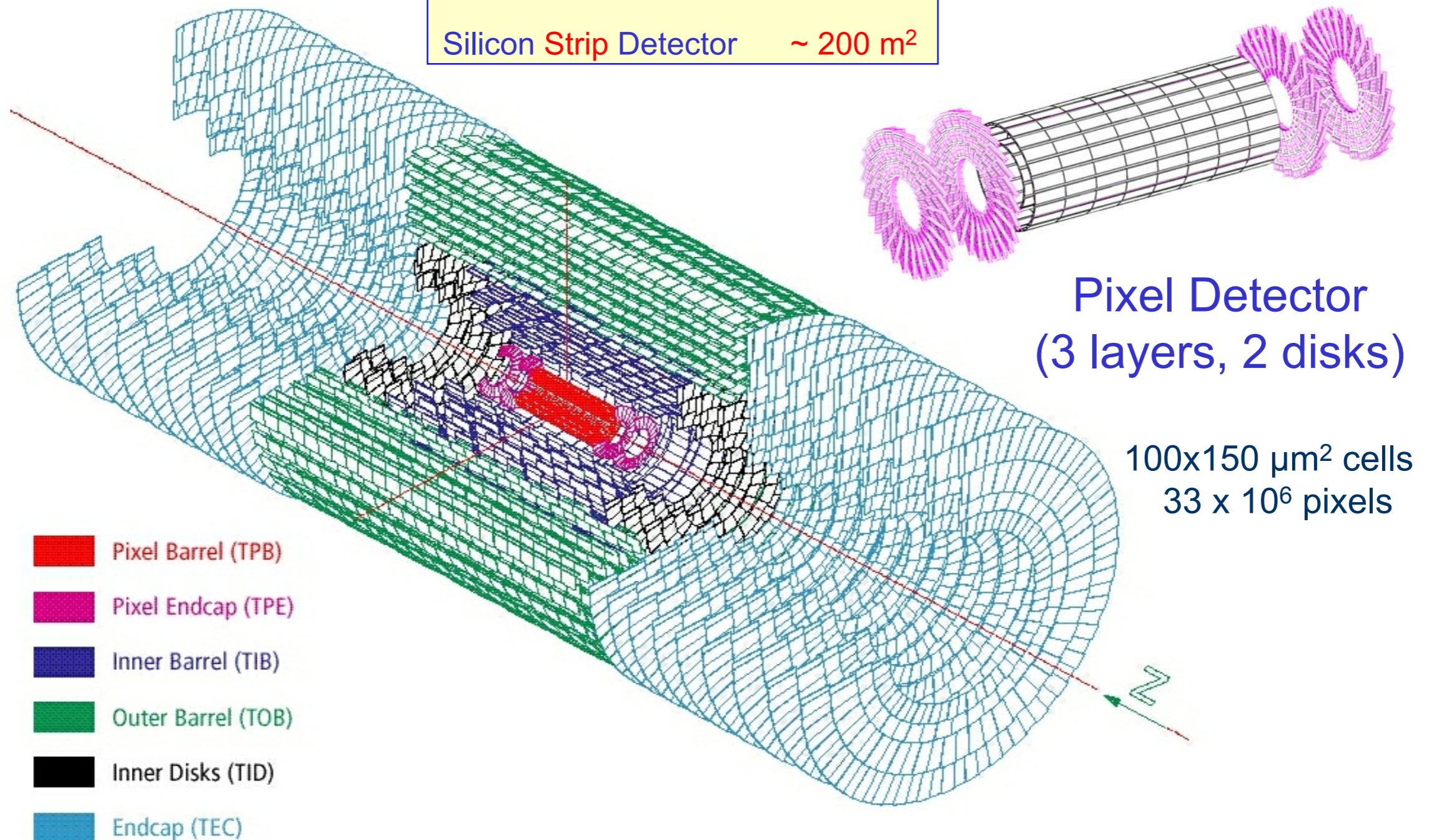


# 粒子飛跡検出器: CMS

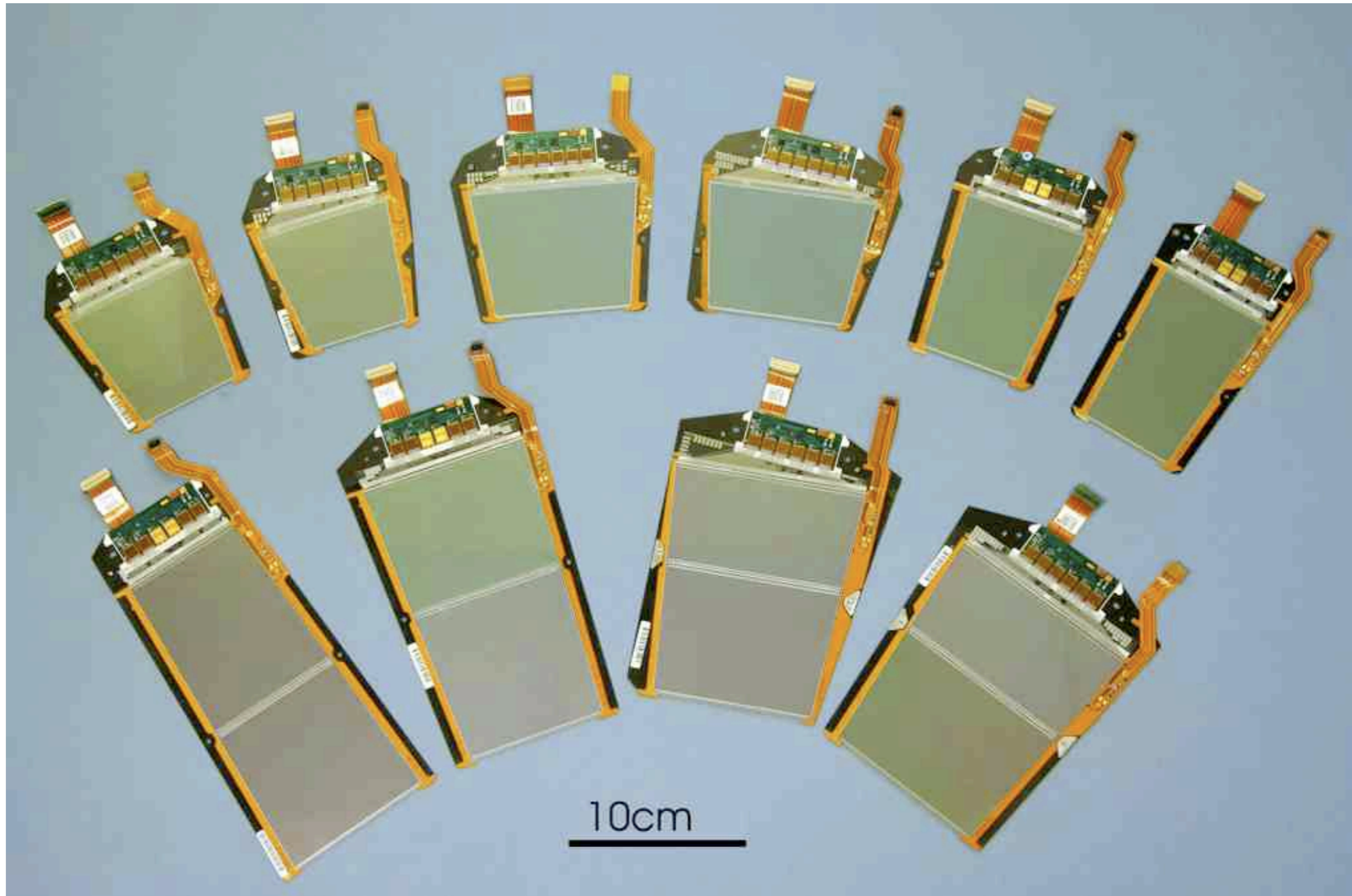
Wermes

Silicon Pixel Detector  $\sim 1 \text{ m}^2$

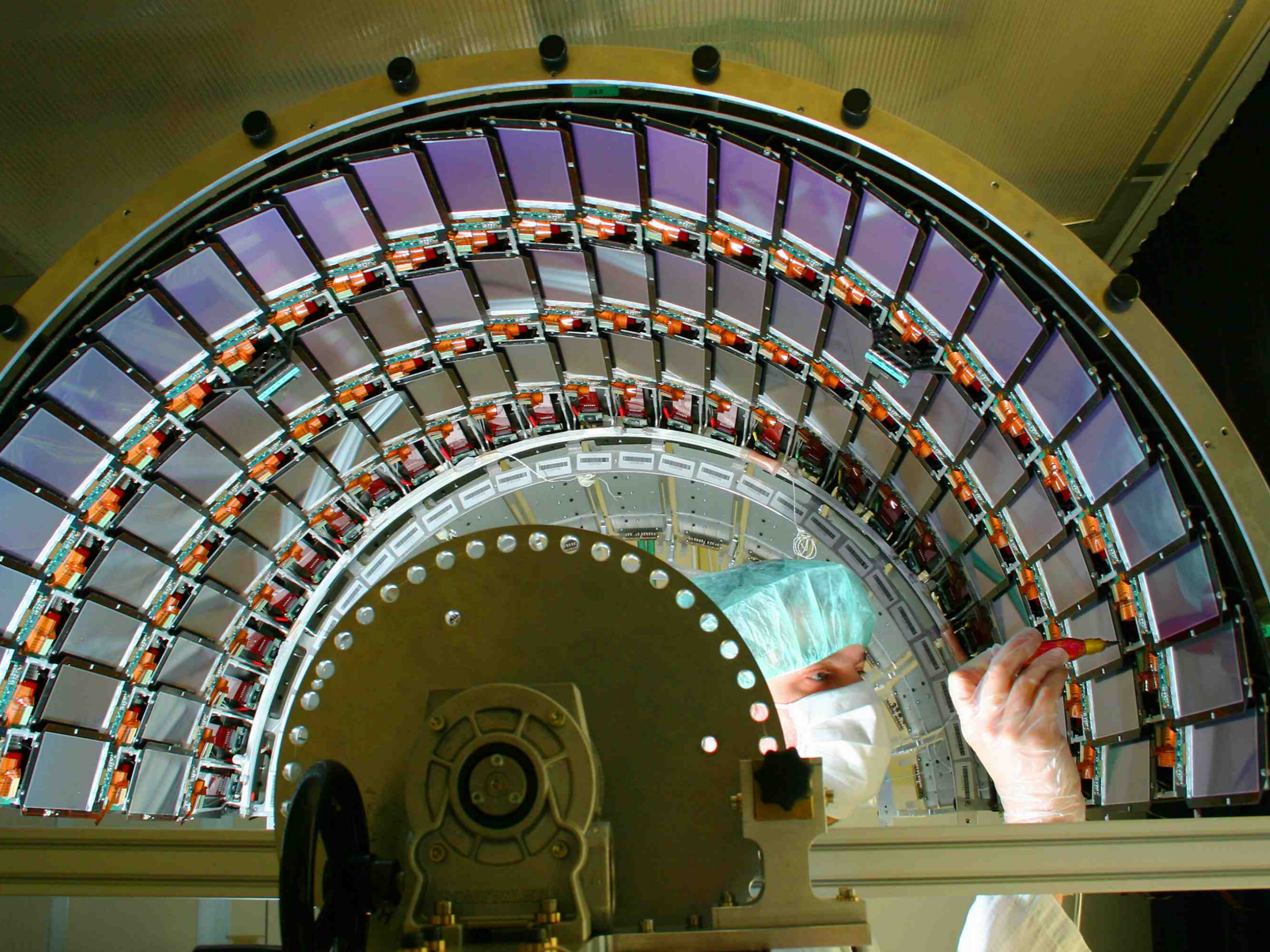
Silicon Strip Detector  $\sim 200 \text{ m}^2$



# ストリップ検出器: CMS

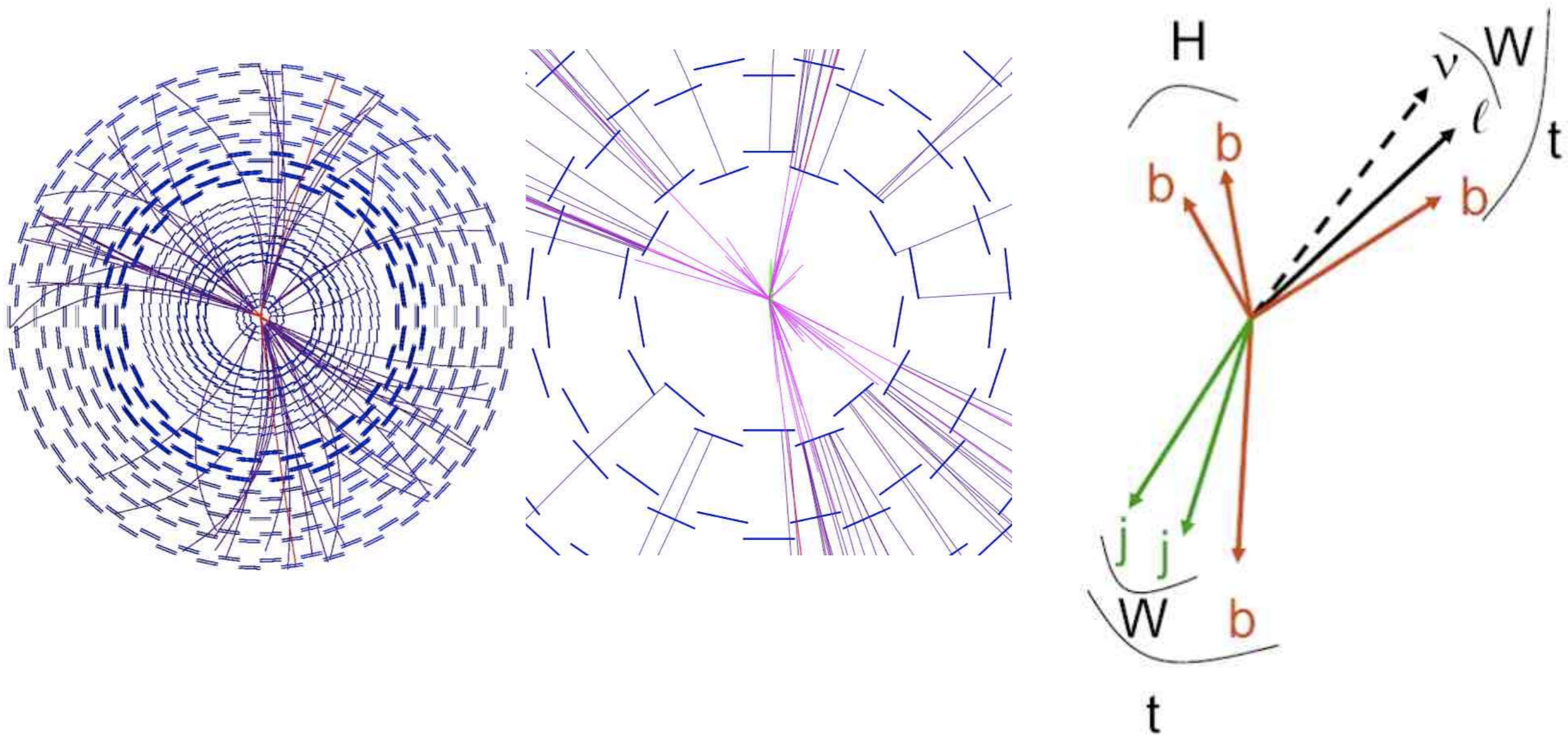


27 mechanical different modules + 2 types of alignment modules



# 粒子の飛跡はどう見えるか？

Simulation of a 120 GeV Higgs decaying inside the CMS Silicon tracker:



# ガンマ線天文学への応用

素粒子実験の検出器技術が宇宙ガンマ線のイメージングに活用されている

Ciprini

## Fermi (formerly GLAST): two Instruments

### The Large Area Telescope (LAT)

20 MeV - 300 GeV  
>2.5 sr FoV

### The Burst Monitor (GBM)

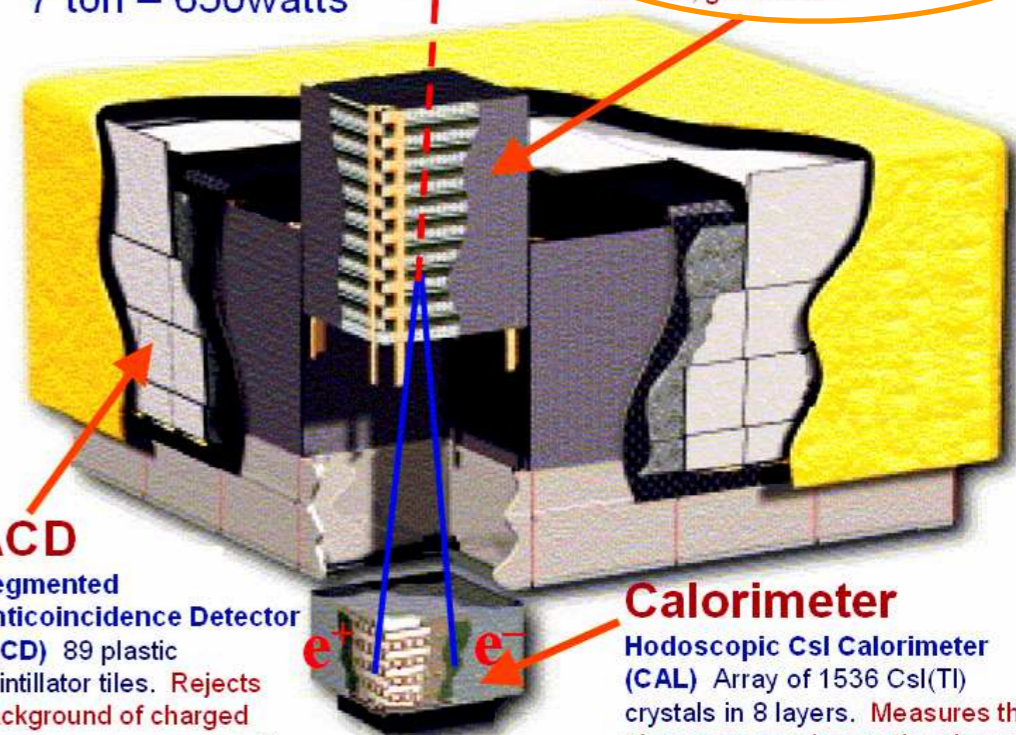
8 keV - 40 MeV  
9.5 sr FoV



**the LAT**  
modular - 4x4 array  
7 ton - 650watts

### Tracker (4x4 array of towers)

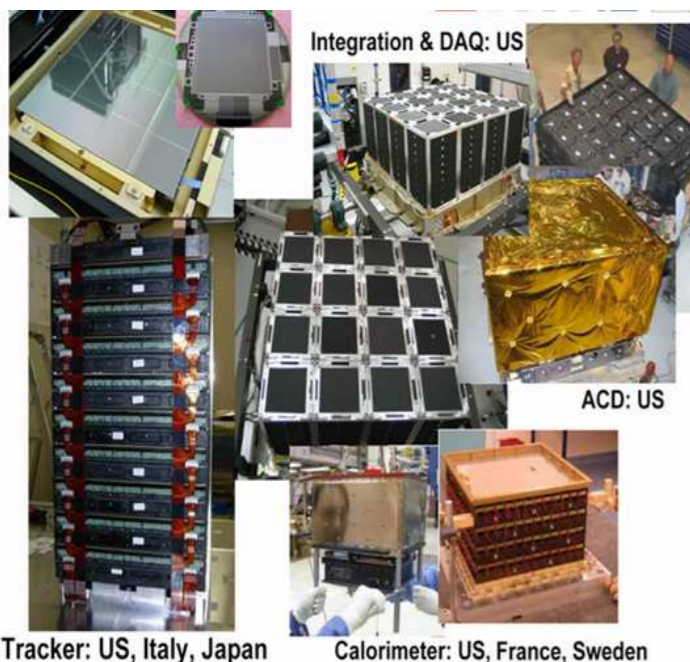
**Precision Si-strip Tracker (TKR)**  
18 XY tracking planes with tungsten foil converters. Single-sided silicon strip detectors (228  $\mu\text{m}$  pitch, 900k strips) Measures the photon direction; gamma ID.



**ACD**  
Segmented Anticoincidence Detector (ACD) 89 plastic scintillator tiles. Rejects background of charged cosmic rays; segmentation mitigates self-veto effects at high energy.

**Calorimeter**  
Hodoscopic CsI Calorimeter (CAL) Array of 1536 CsI(Tl) crystals in 8 layers. Measures the photon energy; image the shower.

**Electronics System**  
Includes flexible, robust hardware trigger and software filters.

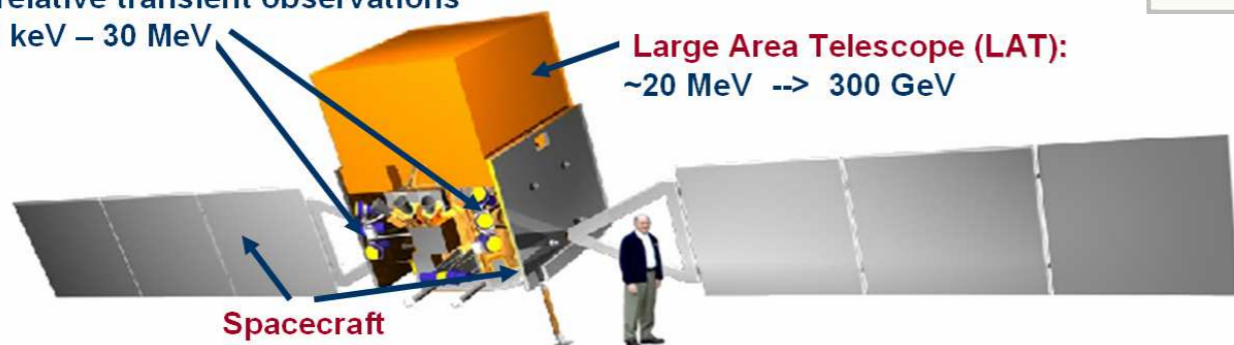


Tracker: US, Italy, Japan

Calorimeter: US, France, Sweden

**Gamma Ray Burst Monitor (GBM):**  
correlative transient observations  
~ 8 keV - 30 MeV

**Large Area Telescope (LAT):**  
~20 MeV --> 300 GeV



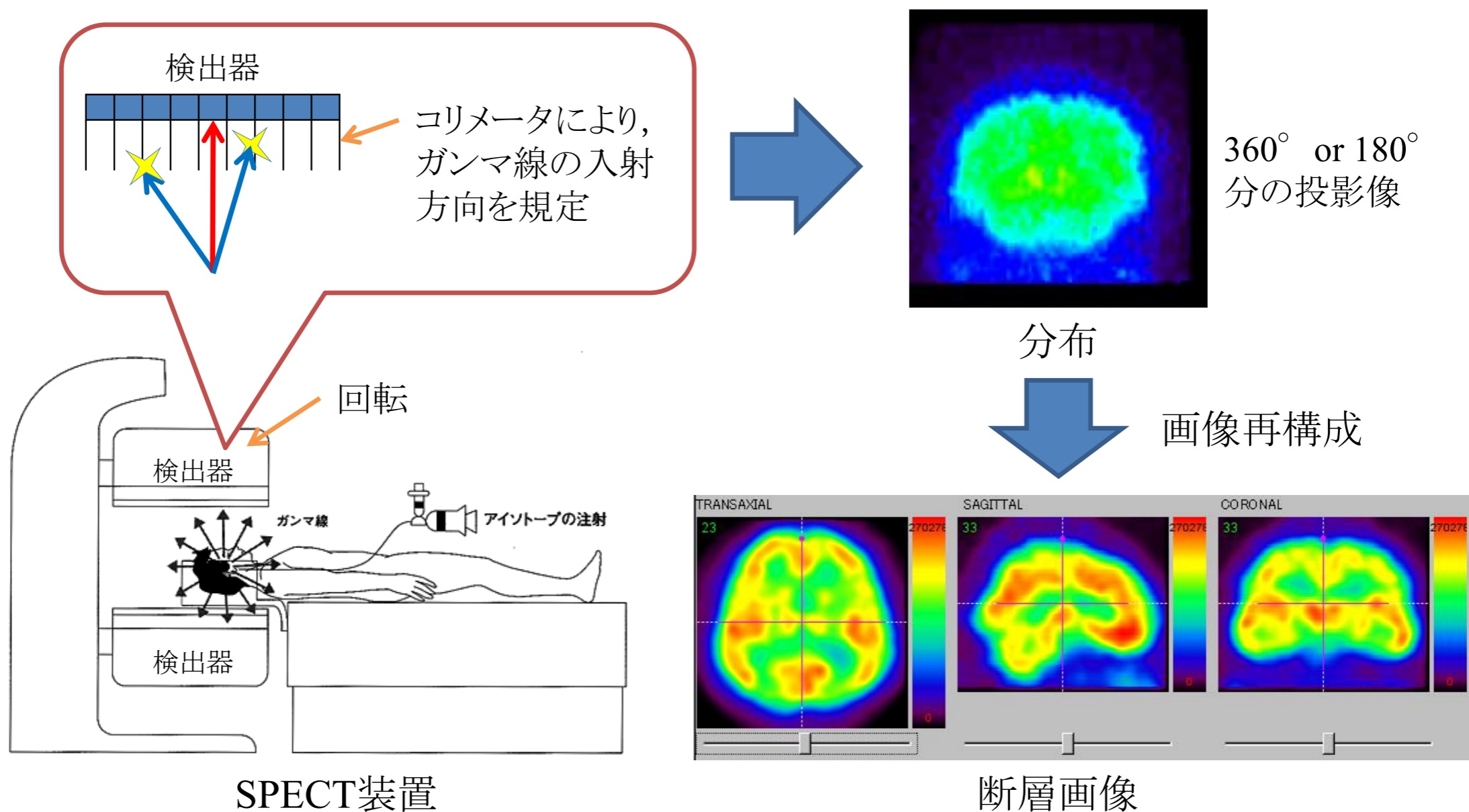
Spacecraft





# 医療分野への応用

SPECT/PET: 放射線同位元素で標識した薬剤から放出される $\gamma$ 線を検出し、薬剤の分布を画像化することで生体内の血流や代謝、細胞組織などの機能情報を得る

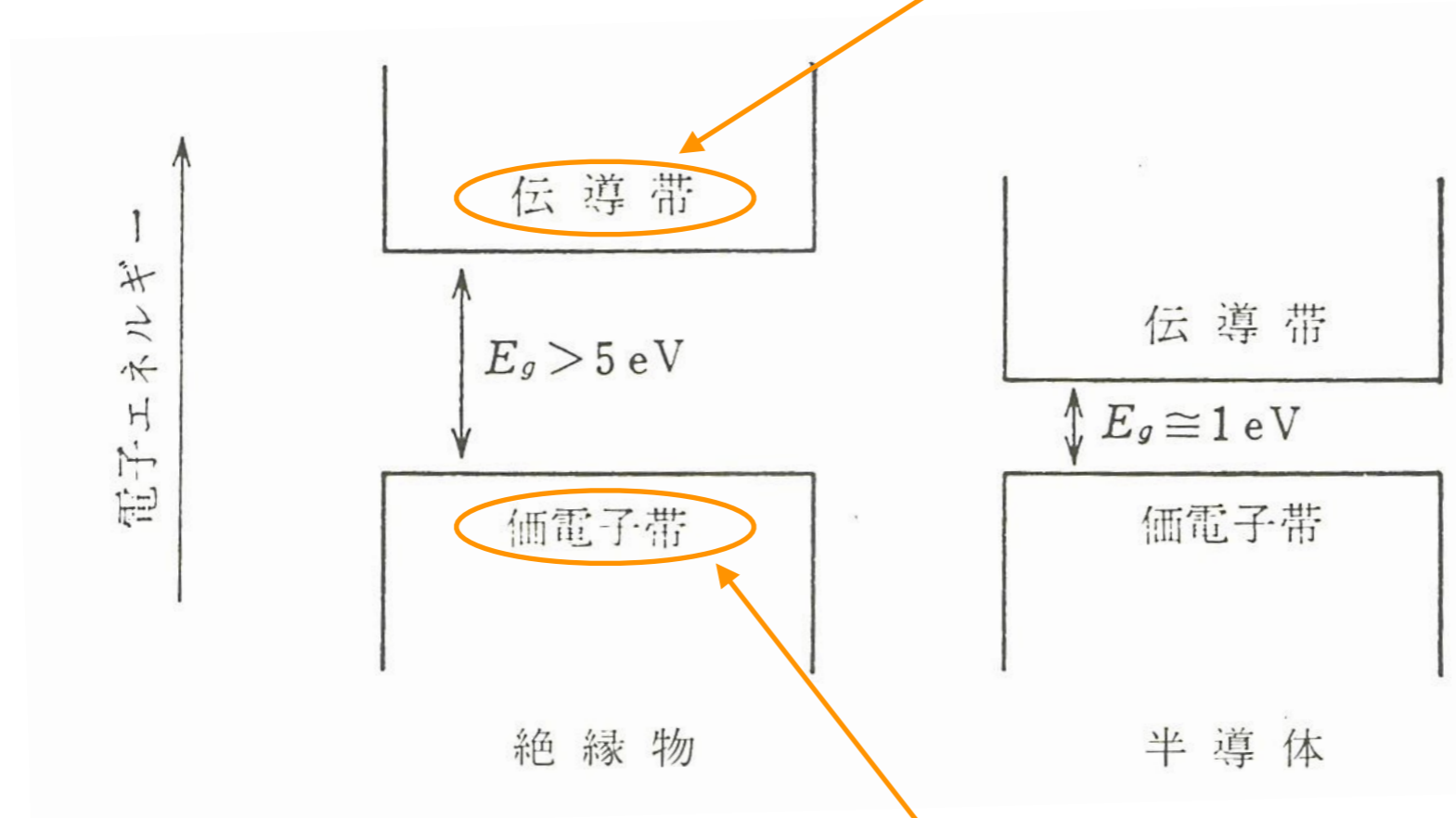


## 2. ダイオードセンサーの基本

# 半導体の定義

- ✓ IV価: Si (素粒子実験、室温), Ge (原子核実験、77 Kまで冷却), ダイヤモンド(高価!)
- ✓ 化合物(III-V): GaAs (高速、Siよりも高放射線耐性)
- ✓ 化合物(II-VI): CdTe (高いガンマ線の光電吸収率)

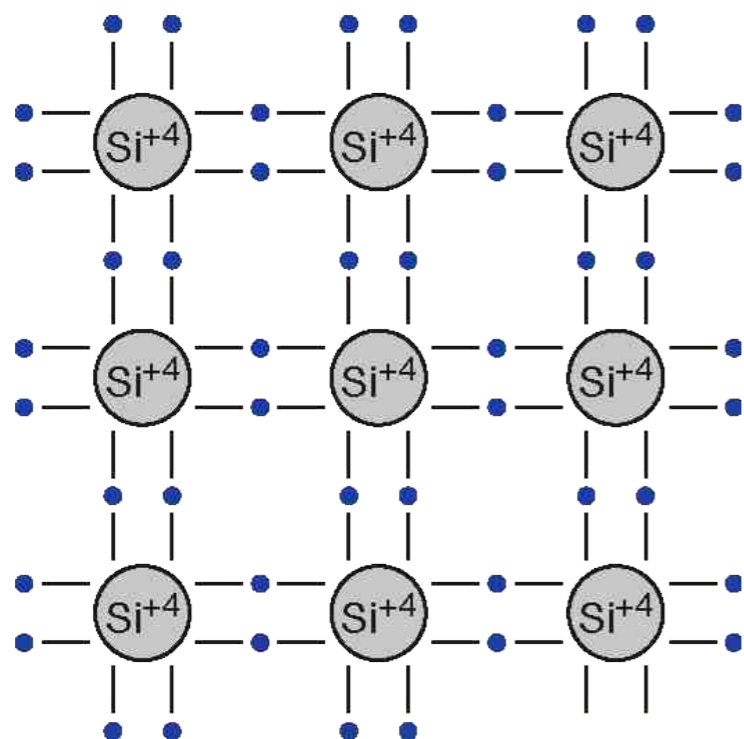
結晶中を自由に移動する電子に対応



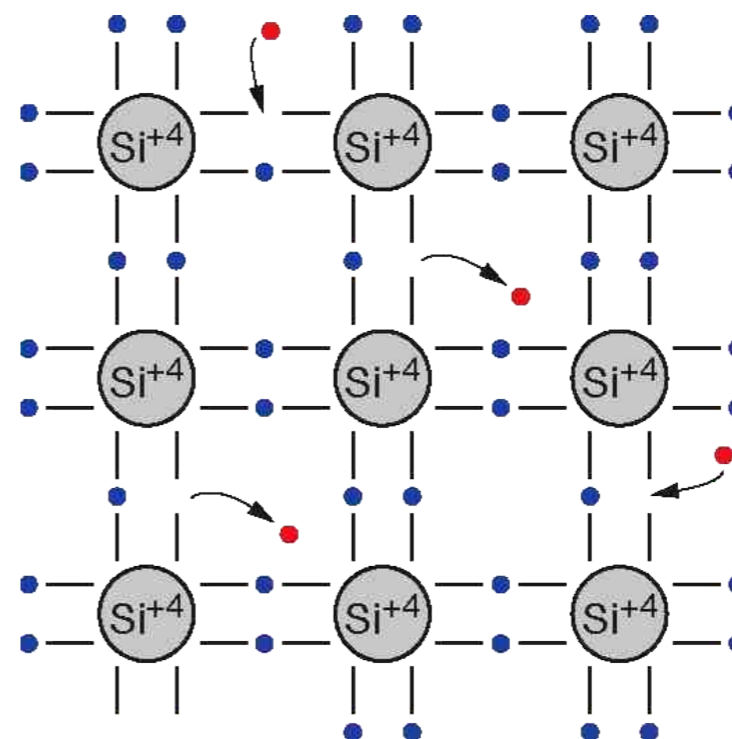
結晶格子に束縛されている外殻電子に対応

# 半導体の種類(真性半導体)

$T = 0 \text{ K}$



$T > 0 \text{ K}$

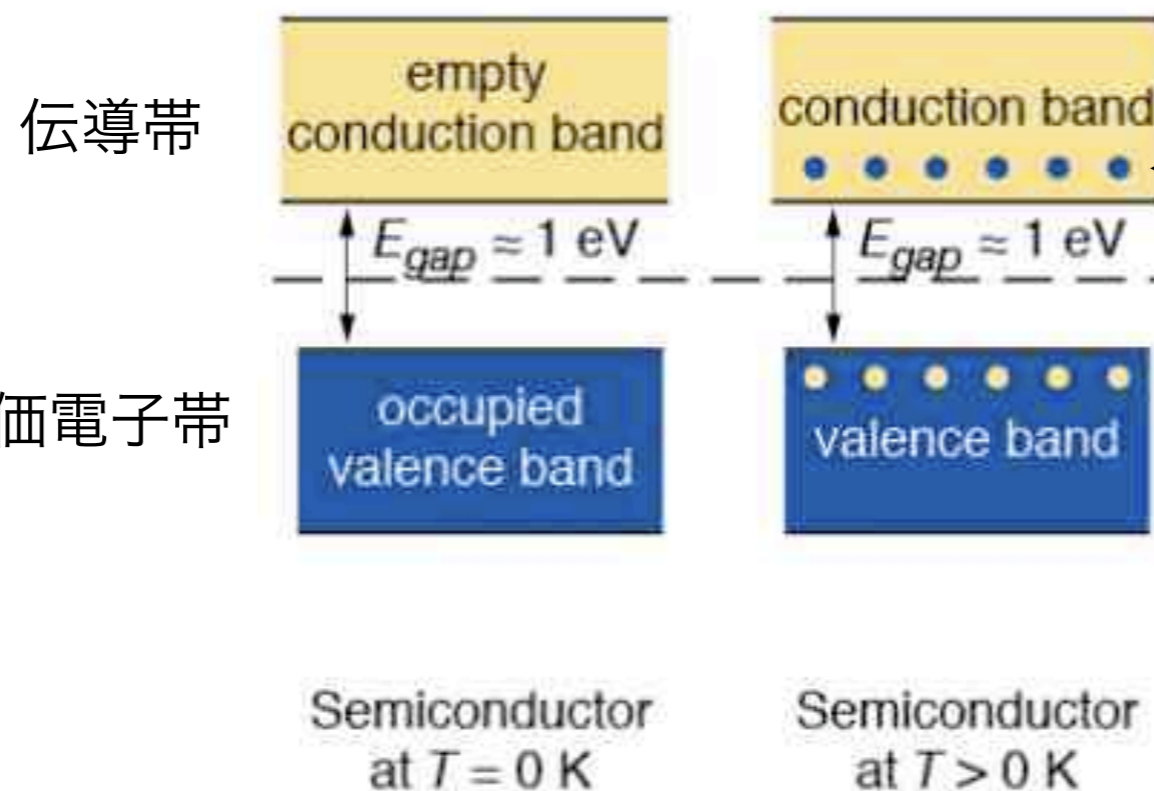


価電子帯

• ... Valence electron

• ... Conduction electron

伝導帯



熱励起と再結合の平衡状態

伝導帯電子と価電子帯ホール  
の数が等しい

$$n_i = p_i$$

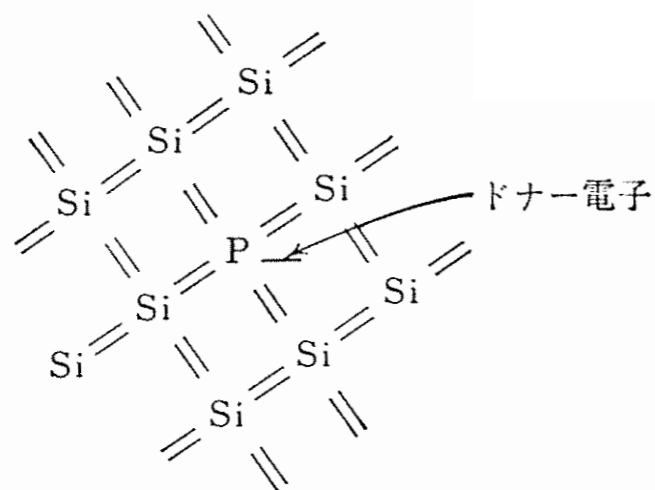
$$n_i = 1.45 \times 10^{10} \text{ cm}^{-3}$$

( $10^{22}$  原子/ $\text{cm}^3$ の中で $10^{12}$ 個に  
1個の割合でイオン化)

# 半導体の種類(n型/p型)

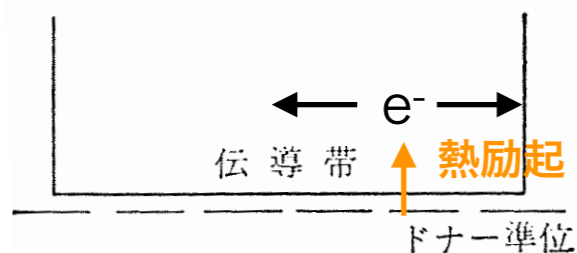
不純物をドーピングすることで電気伝導度を、その物質が純粋であるときに比べて大きくしたものの

[n型]



(a)

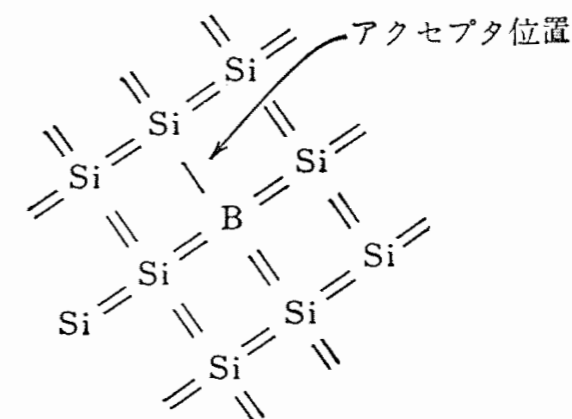
ドナー不純物からの電子がキャリア



(b)

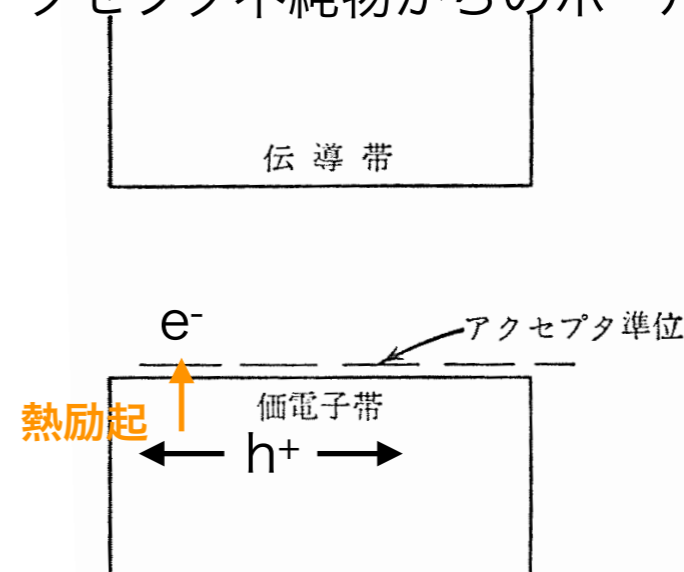
$$np = n_i p_i$$

[p型]



(a)

アクセプタ不純物からのホールがキャリア



(b)

$$n_i = p_i = 10^{10} \text{ cm}^{-3} \text{ Si@300 K}$$

$$\rightarrow n = 10^{17} \text{ cm}^{-3}, p = 10^3 \text{ cm}^{-3} \text{ with 2 ppm dope}$$

図 1

# 真性半導体センサー？

平均イオン化エネルギー:  $I_0=3.62$  eV,

シリコン中のエネルギー損失:  $dE/dx=3.87$  MeV/cm,

$n_i=1.45 \times 10^{10}$  cm<sup>-3</sup> @300 K

検出器のサイズを厚さ  $d=300$  μm、面積  $A=1$  cm<sup>2</sup> を考える

信号:

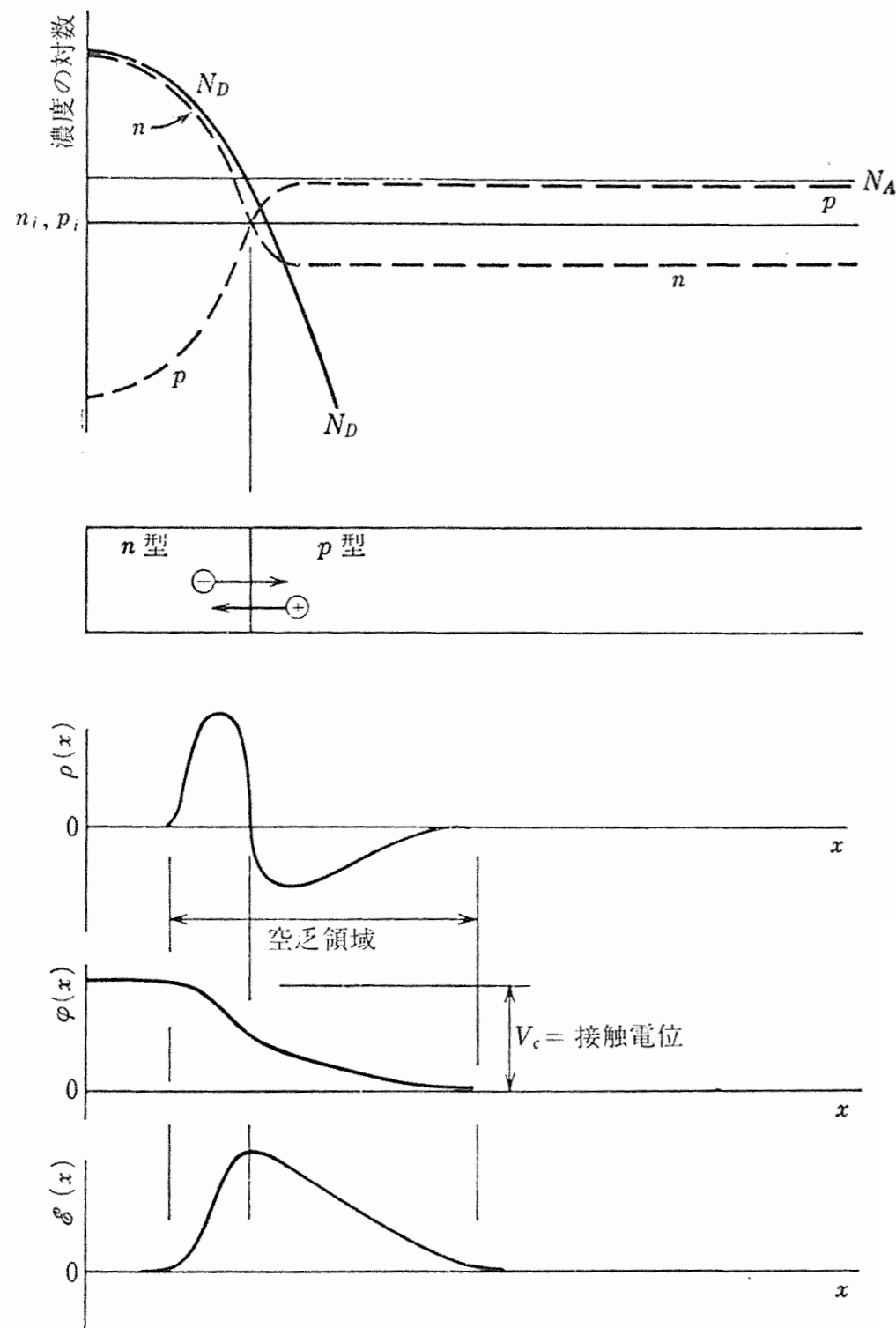
$$\frac{dE/dx \cdot d}{I_0} = \frac{3.87 \cdot 10^6 \text{ eV/cm} \cdot 0.03 \text{ cm}}{3.62 \text{ eV}} \approx 3.2 \cdot 10^4 \text{ e}^- \text{h}^+ \text{-pairs}$$

真性半導体中のキャリア電荷:

$$n_i d A = 1.45 \cdot 10^{10} \text{ cm}^{-3} \cdot 0.03 \text{ cm} \cdot 1 \text{ cm}^2 \approx 4.35 \cdot 10^8 \text{ e}^- \text{h}^+ \text{-pairs}$$

キャリア電荷を減らす必要がある

n型とp型が良い熱力学的接触をしている場合、電荷キャリアは接合部を横切って移動できる



p型結晶の表面をn型不純物蒸気にさらした場合  
表面近傍は、ドナー濃度 $N_D$ になる



n型から伝導電子が拡散すると、後には電離した  
ドナー不純物からの動けない正の電荷が残される



n側には正、p側には負の空間電荷が形成される  
蓄積空間電荷による電界によって拡散が抑制される  
この電荷不均衡領域を**空乏層**と呼ぶ

(free of charge carriers)

$$\frac{d^2\varphi}{dx^2} = -\frac{\rho(x)}{\epsilon}$$

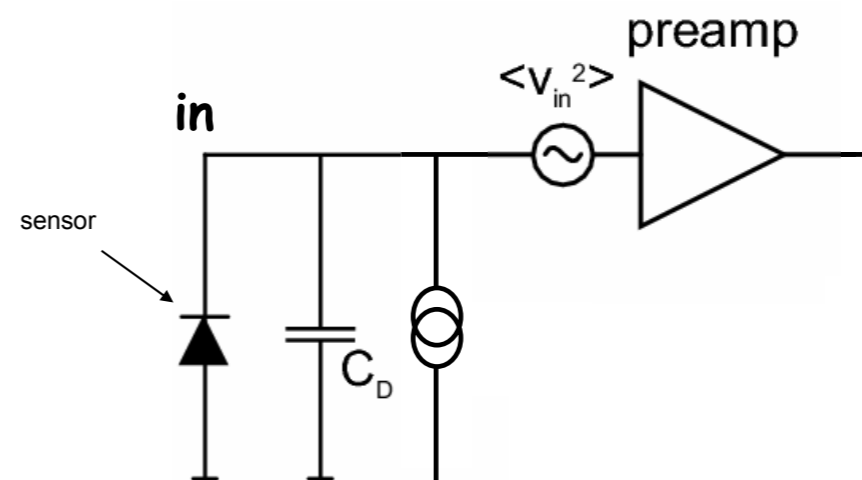
$$E(x) = -\frac{d\varphi}{dx}$$

放射線が通過して空乏層内に作られた電子・ホール対は電界により空乏層の外に掃引され、この電子・ホール対の運動が基本的な電気信号を作る。

(空乏層内の熱励起によるキャリアの生成密度よりは大きい)

## でもこのままではセンサーとしては使えない

1. 接触電位は1 V程度→高速にキャリアを掃引できない、再結合による不完全な電荷収集
2. 接触空乏層厚が薄いため静電容量が大きい→読み出し回路と接合した場合に雑音特性が悪い



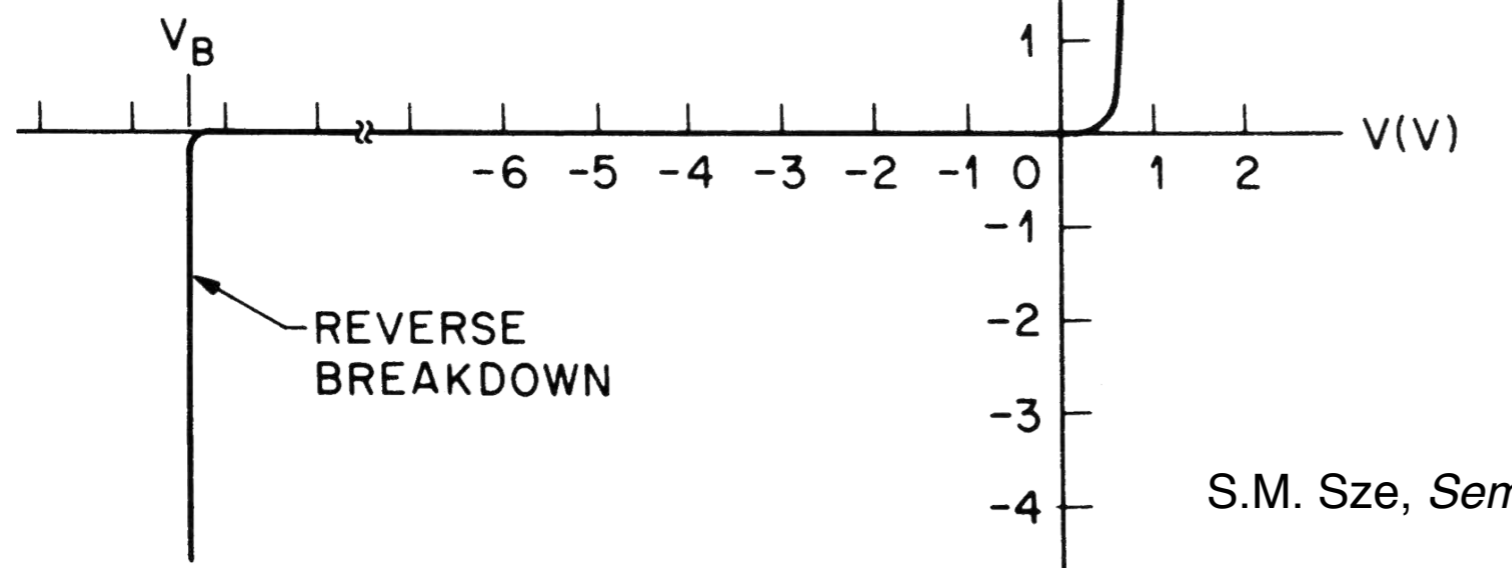
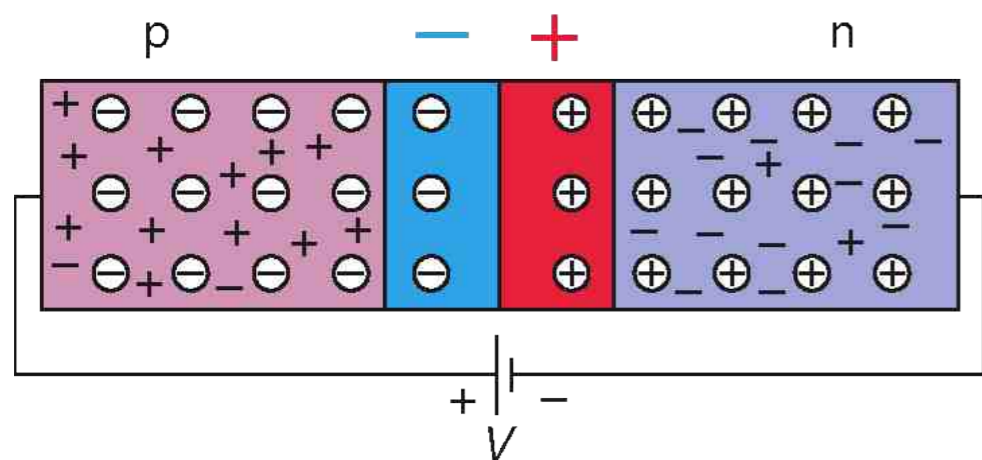
**pn接合に逆バイアスを印加して空乏層を広げて使用する**

ドリフトによる電荷収集(高速<math>< 10\text{ ns}</math>)



# pn接合の電流・電圧特性

順方向にバイアスした場合は、空乏層中の蓄積電荷が満たされるため、電流がたくさん流れる



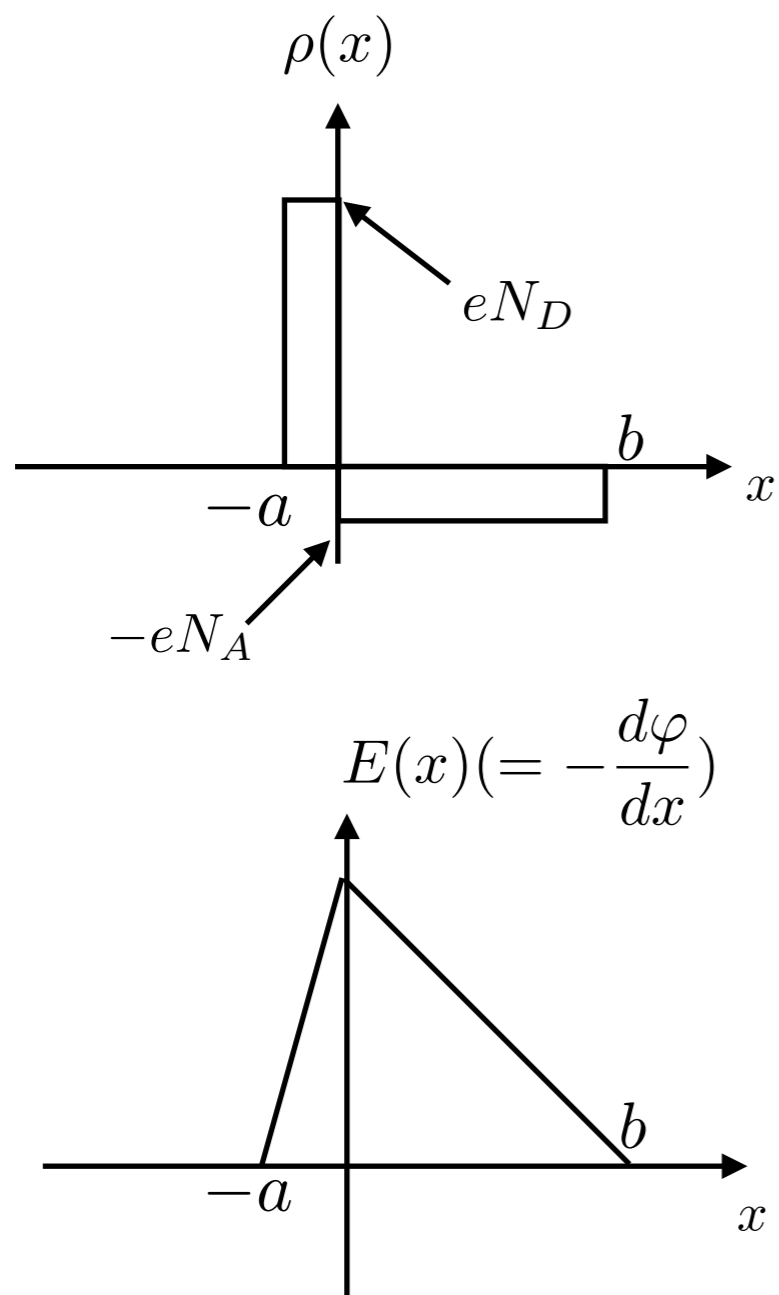
逆バイアスの大きさ

- ・ Si: 10-80 V
- ・ CdTe: ~500 V
- ・ ダイヤモンド: 20 V
- ・ SiC: 1 kV

S.M. Sze, *Semiconductor Devices*, J. Wiley & Sons, 1985

# 逆バイアス印加時の空乏層厚

低いドーパント濃度であるp型ウェハ－中に高濃度のn型を接合し、逆バイアスVを印加する  
電荷は接合の両側で一様であると仮定する



$$\frac{d^2\varphi}{dx^2} = \begin{cases} -\frac{eN_D}{\epsilon} & (-a < x \leq 0) \\ +\frac{eN_A}{\epsilon} & (0 < x \leq b) \end{cases}$$

を解いて

$$\varphi(x) = \begin{cases} -\frac{eN_D}{\epsilon}(x+a)^2 + V & (-a < x \leq 0) \\ +\frac{eN_A}{\epsilon}(x-b)^2 & (0 < x \leq b) \end{cases} \text{を得る}$$

x=0で電位が一致するという条件から

$$N_A b^2 + N_D a^2 = \frac{2\epsilon V}{e} \text{を得る}$$

$N_D a = N_A b$  の条件と空乏層厚  $d = a + b \sim b$  から

$$d \sim \left[ \frac{2\epsilon V}{eN_A} \right]^{1/2} (= [2\epsilon V \mu \rho_d]^{1/2})$$

比抵抗  $\rho_d$  はドーピング前の半導体物質の純度で決まる  
できるだけ高い比抵抗を持つ最高純度のSiを用いる

# pn接合の静電容量

電子回路雑音が主要であるような条件で良いエネルギー分解能を得るためには、検出器  
静電容量を小さくすることが重要

単位面積当たりの静電容量  
(センサー容量)

$$C = \frac{\epsilon}{d} \sim \left[ \frac{\epsilon}{2V \mu \rho_d} \right]^{1/2}$$

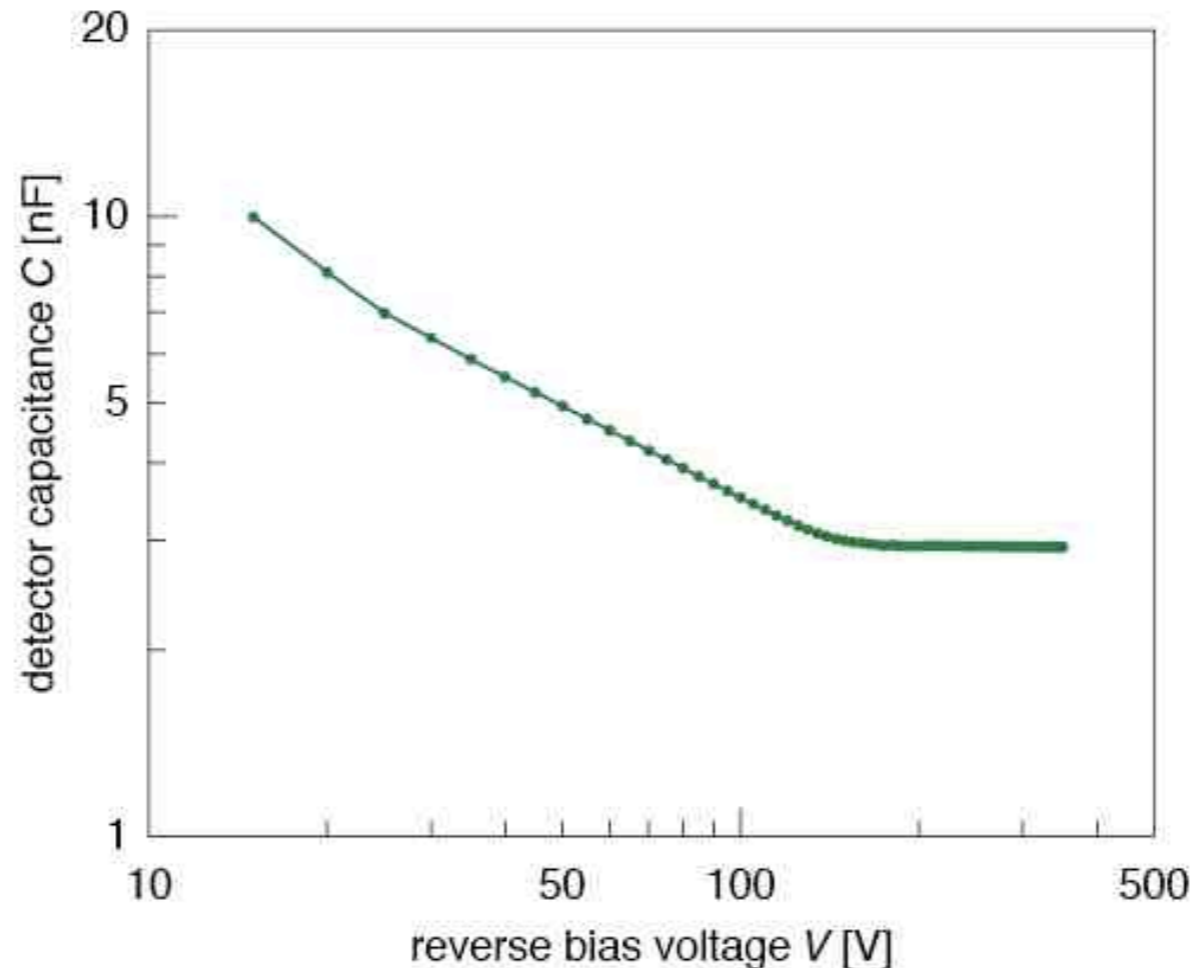
$\epsilon$  : 誘電率

$\rho_d$  : 比抵抗

$\mu$  : キャリアの移動度

$V$  : バイアス電圧

[ストリップセンサーのCV測定例]



Krammer

# ドーピング濃度の求め方

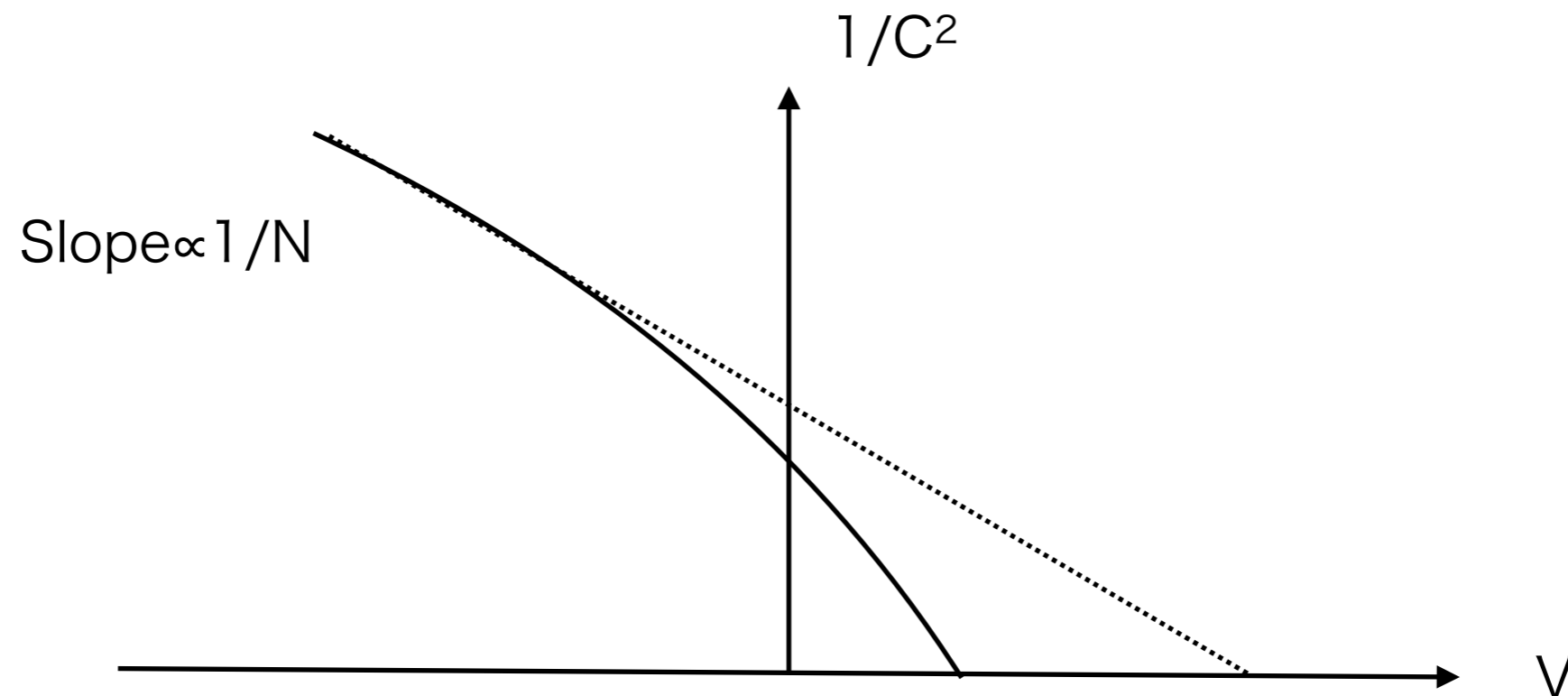
単位面積当たりの静電容量  $C = \frac{\epsilon}{d} \sim \left[ \frac{\epsilon}{2V\mu\rho_d} \right]^{1/2}$

比抵抗

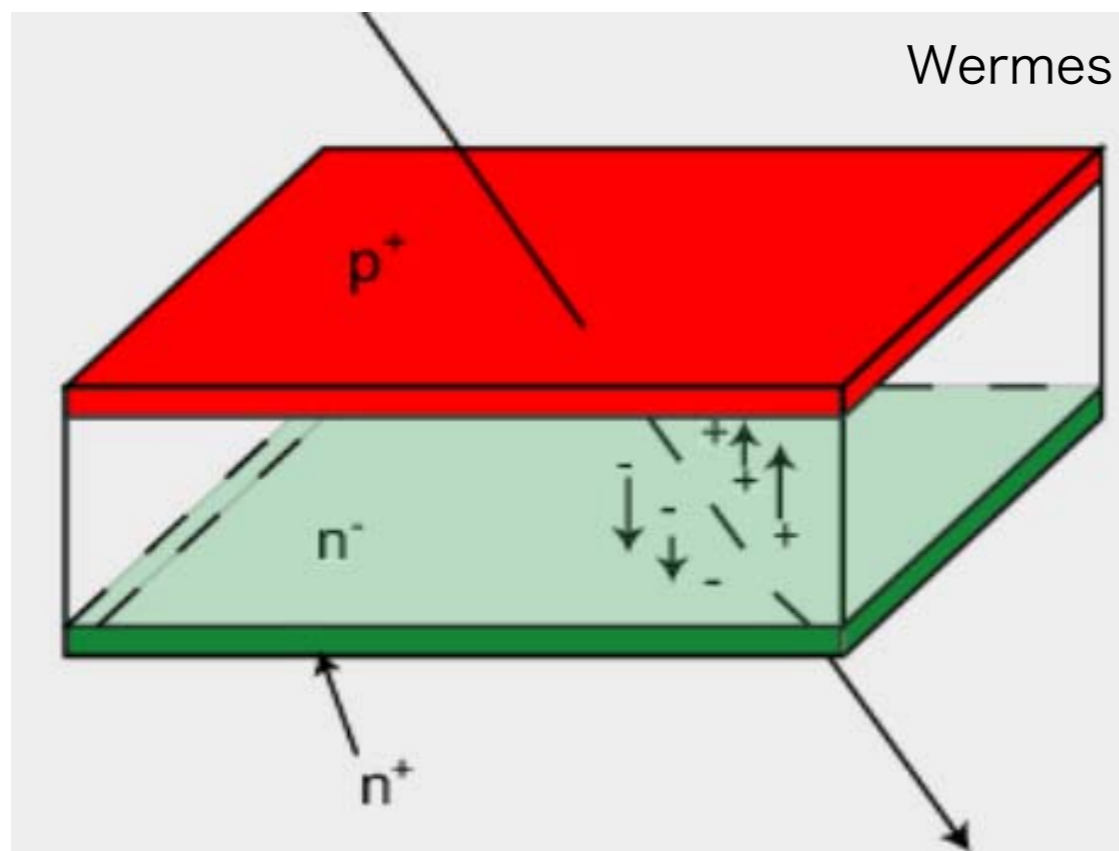
$$\rho_d = \frac{1}{eN_A\mu}$$



$$\frac{d(1/C^2)}{dV} = -\frac{2}{e\epsilon N_A}$$



# 放射線/荷電粒子からの信号



空乏層中で電子・ホール対を生成するのに必要なエネルギー:  $w_i=3.61$  eV (Si)  
 →10 keV X-ray: **3000 e/h (0.5 fC)**

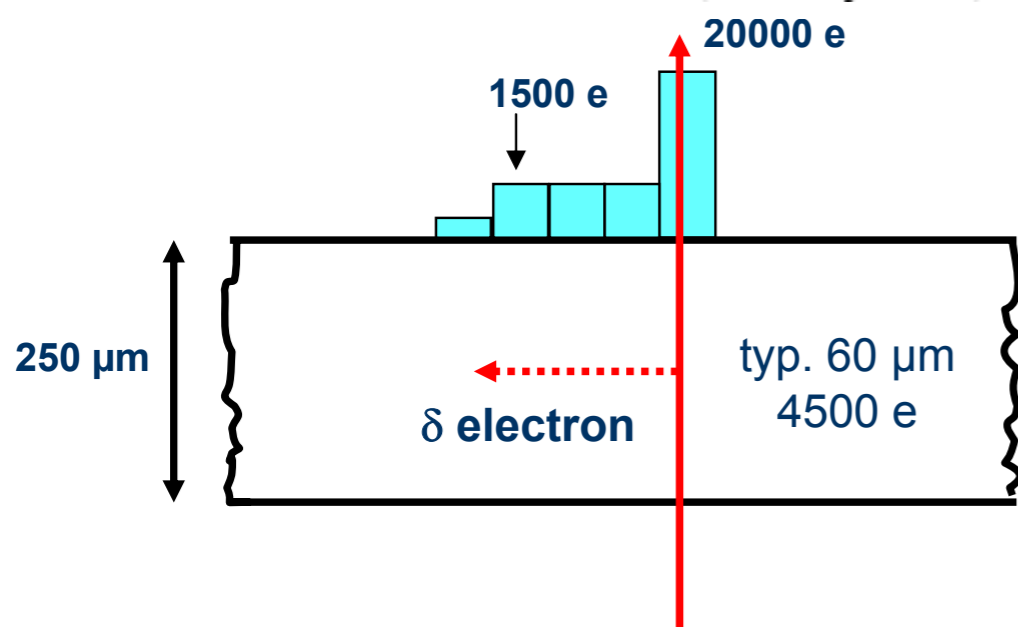
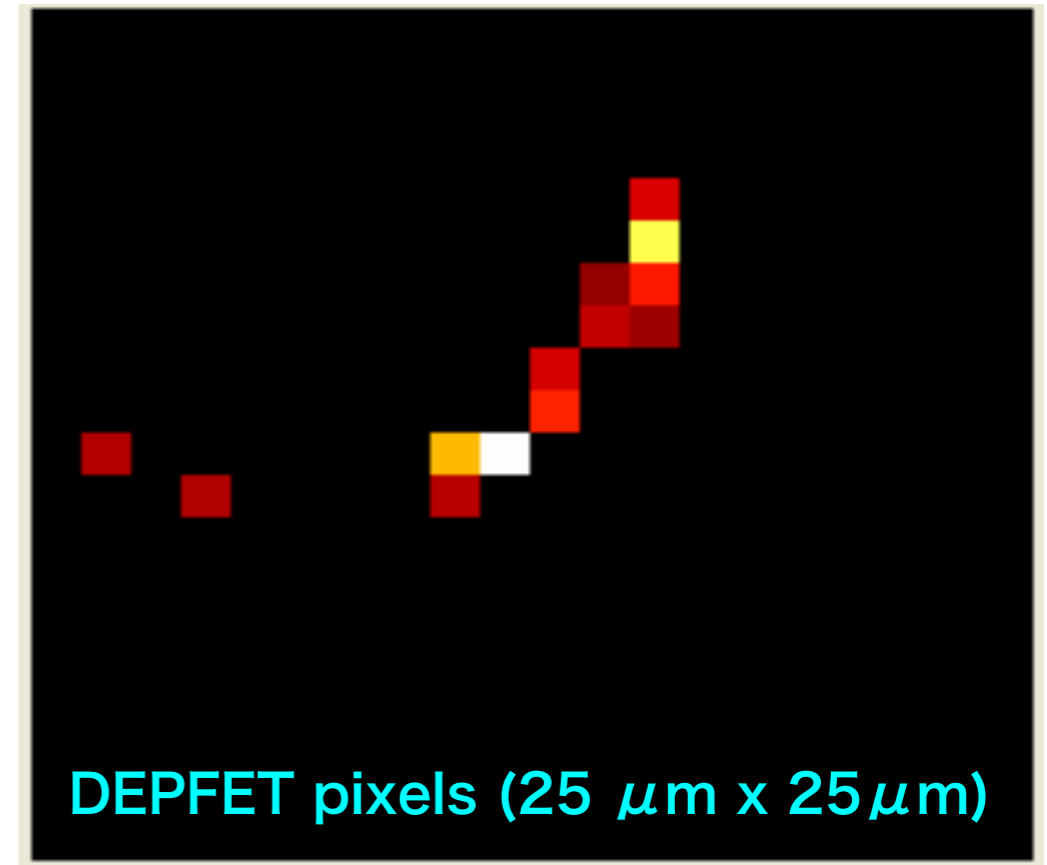
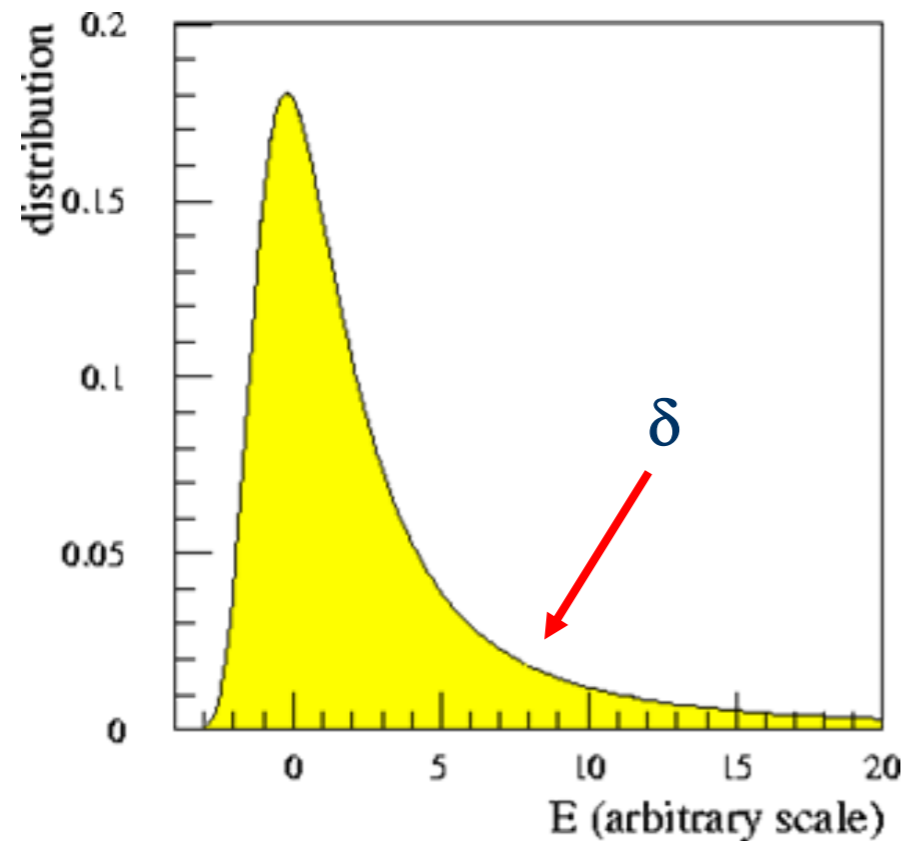
高エネルギー粒子: 80 e/h per  $\mu\text{m}$  (空乏層の厚み)  
 →250  $\mu\text{m}$ のセンサーだと**20 000 e/h (3 fC)**

Property	Diamond	4H SiC	Si	CdTe
$E_g$ [eV]	5.5	3.26	1.12	1.44
$E_{\text{breakdown}}$ [V/cm]	$10^7$	$2.2 \times 10^6$	$3 \times 10^5$	TBD
$\mu_e$ [ $\text{cm}^2/\text{Vs}$ ]	1800	800	1450	1090*[1]
$\mu_h$ [ $\text{cm}^2/\text{Vs}$ ]	1200	115	450	110
$v_{\text{sat}}$ [cm/s]	$2.2 \times 10^7$	$2 \times 10^7$	$0.8 \times 10^7$	$10^7$
Z	6	14/6	14	48/52
$\epsilon_r$	5.7	9.7	11.7	TBD
<b>e-h energy</b>	<b>13</b>	<b>7.6-8.4</b>	<b>3.6</b>	<b>4.5</b>
Density	3.515	3.22	2.33	5.9
Displacem. [eV]	43	25	13-20	5.3-6.2*[4]

光電効果:  $\sim Z^{4-5}$

# $\delta$ -エレクトロン

盲点: 高速荷電粒子からの信号は飛跡に沿ってのみ生じるわけではない

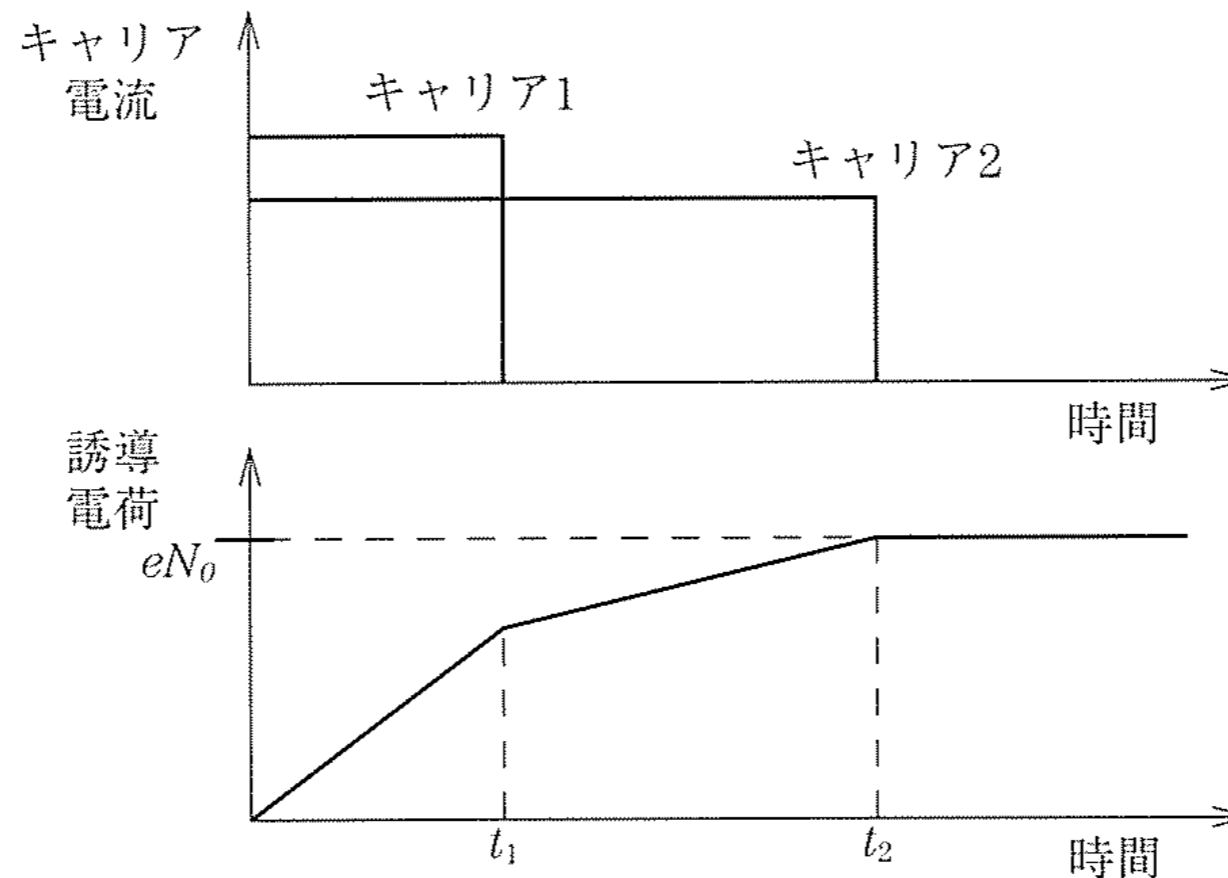


## effect of $\delta$ -electrons

100 keV  $\delta$ -electron occurs in 300  $\mu\text{m}$  Si with 6% probability and has "range" of 60  $\mu\text{m}$

# 誘導電荷による信号形成

盲点: 検出器の信号はキャリア電荷が電極に達した時点で生じるわけではない



$N_0$  個の電子正孔対生成に続く半導体検出器内を流れる電子と正孔電流の理想的な形状, 下の図は最初に捕集されるキャリアの捕集時間  $t_1$  ともう一つのキャリアの捕集時間  $t_2$  を表す. もし両方が完全に捕集されると,  $eN_0$  という電荷が信号を形成する. ここで  $e$  は電子電荷である.

**ドリフト速度**

$$v_e = \mu_e E = \mu_e \frac{V}{d}$$

Siの飽和速度:  $10^7$  cm/s (電子)、 $10^{5-6}$  cm/s (ホール)

→センサーの厚みが0.1 cm以下だと10 ns程度で電子からの信号が収集される(高速応答)

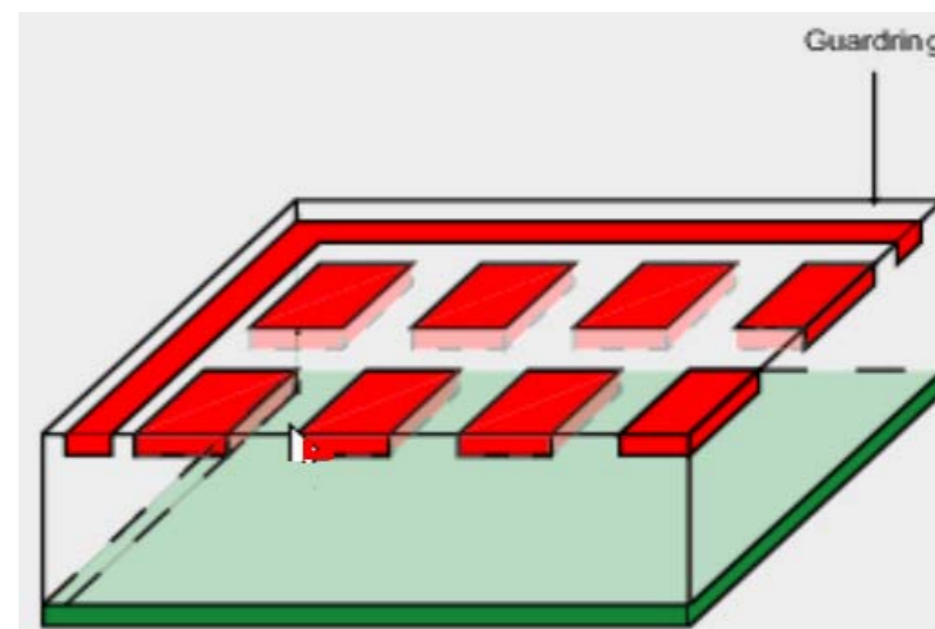
# 拡散による電荷の広がり

キャリア電荷はバイアス電圧によってドリフト(掃引される)だけでなく、熱拡散するため電極に達するまでにある程度広がる

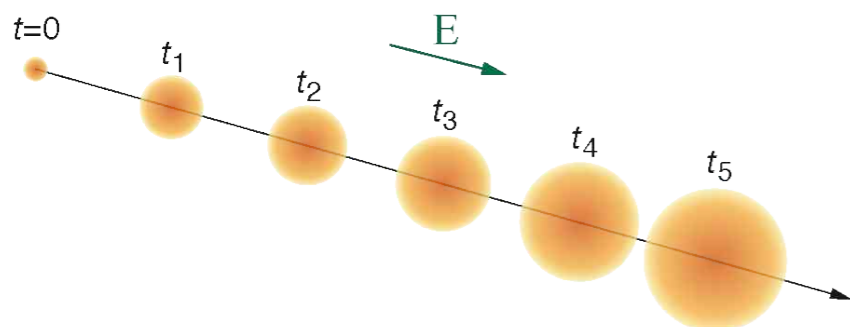
tはキャリア電荷が移動した時間として広がり:

$$\sigma = \sqrt{2Dt}$$

$$D = \mu \frac{kT}{e}$$



Drift and diffusion acts on charge carriers:



- pixel pattern
- typical cells: 100 x 150  $\mu\text{m}^2$   
50 x 400  $\mu\text{m}^2$
- charge diffusion  $\sigma \sim 8\text{-}10 \mu\text{m}$
- $\rightarrow$  charge spread over 2-4 pixels



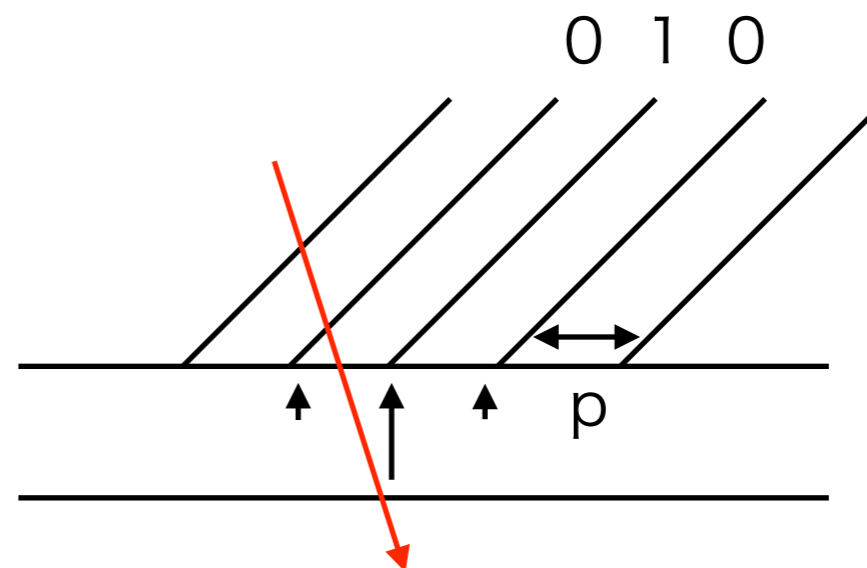
# 位置検出能力(分解能)

-バイナリ(ヒットがあったかなかったかを0/1に変換)読み出し方法

飛跡の位置  $x$  = ストリップ(ピクセル)の場所

$$\text{位置分解能 } \sigma_x \sim \frac{p}{\sqrt{12}}$$

$p$ : ストリップ(ピクセル)ピッチ

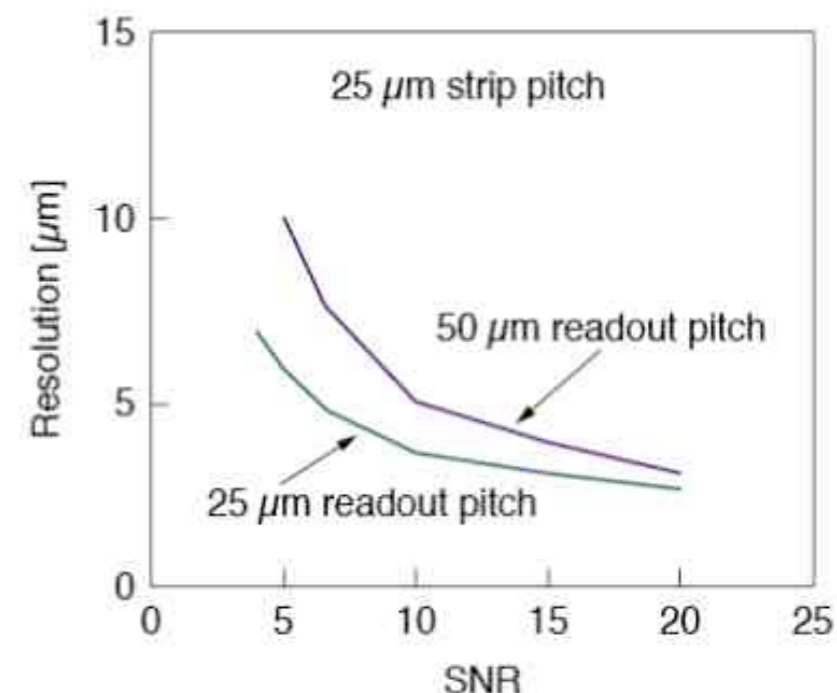


-2ストリップ( $x_1, x_2$ )に渡って信号が広がっており、かつ信号量(波高情報 $h_1, h_2$ )が利用できる場合

$$\text{飛跡の位置 } x = x_1 + \frac{h_1^2}{h_1 + h_2} (x_2 - x_1) = \frac{h_1 x_1 + h_2 x_2}{h_1 + h_2}$$

$$\text{位置分解能 } \sigma_x \propto \frac{p}{SNR}$$

SNR: 信号対雑音比



# センサーの設計基準

- ・ 粒子の種類(ガンマ線のエネルギー)
- ・ 空乏層厚(検出器効率)
- ・ セグメントサイズ(位置分解能)
- ・ バイアス電圧(実験環境, ドーピング濃度)
- ・ 放射線環境(中性子)

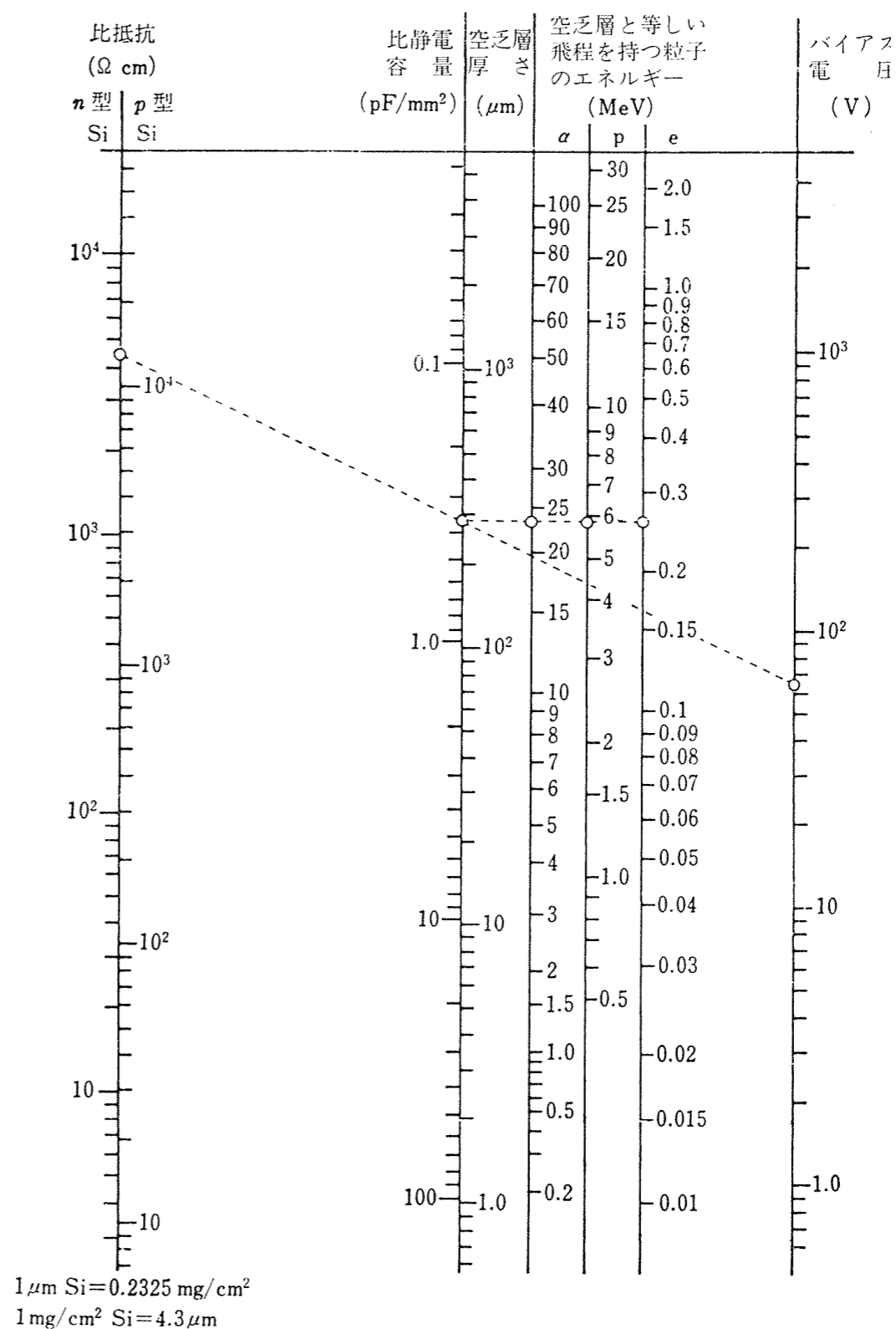


図 11.10 シリコン接合型検出器の諸パラメータの相互関係を示す計算図表 (最初 Blankenship<sup>26)</sup> により発表された計算図表と類似のもの)

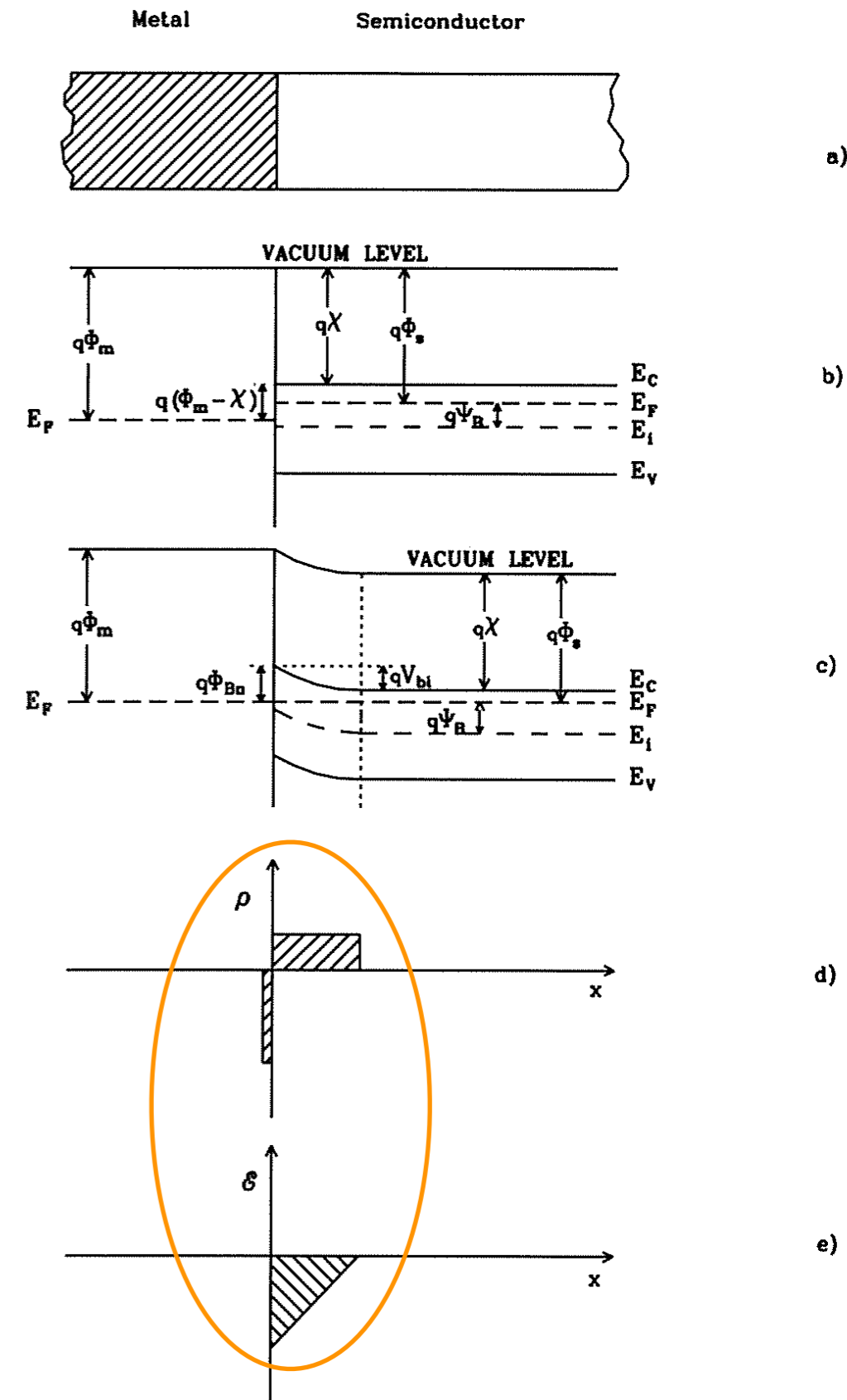
## 3. ダイオードセンサーの応用

# Schottkyダイオード

金属と半導体を接合させることで  
pn接合と同様の電場構造を作ることができる

化合物半導体は通常ドーピングしない(CdTe) etc.

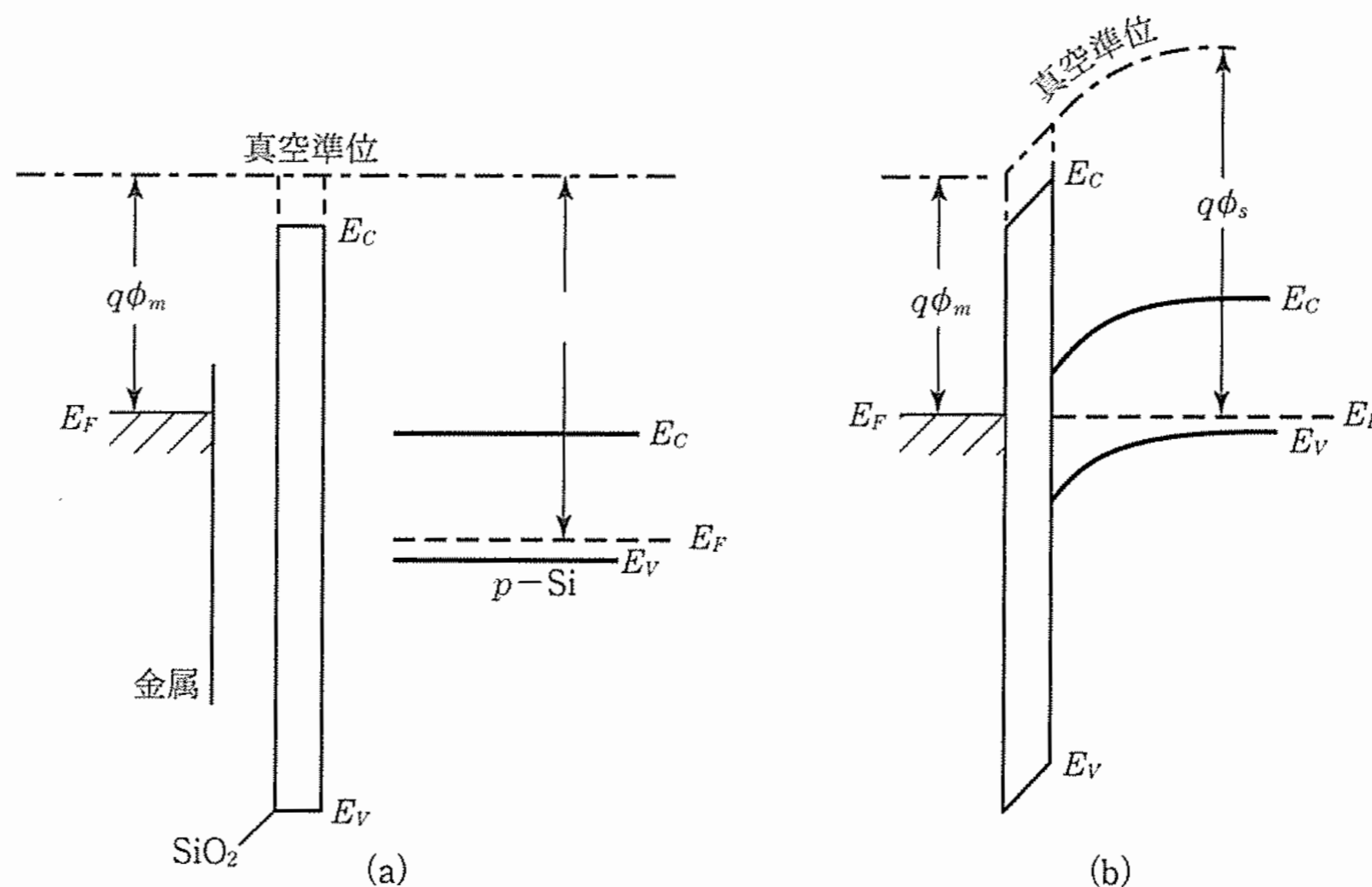
金属-半導体接続によっては、  
自由に電荷が流せるオーミック接触も形成可能  
(センサーの電極として使用される)



# MOSダイオード

MOS構造(金属-SiO<sub>2</sub>-Si): CMOSプロセス

センサーだけでなく回路設計で使用される(詳細は明日以降の講義で)



金属と半導体間で電流は流れないが、金属側に電圧を印加することでポテンシャルの井戸を自由に変えることができる

パンチスルー効果

# p-i-nフォトダイオード

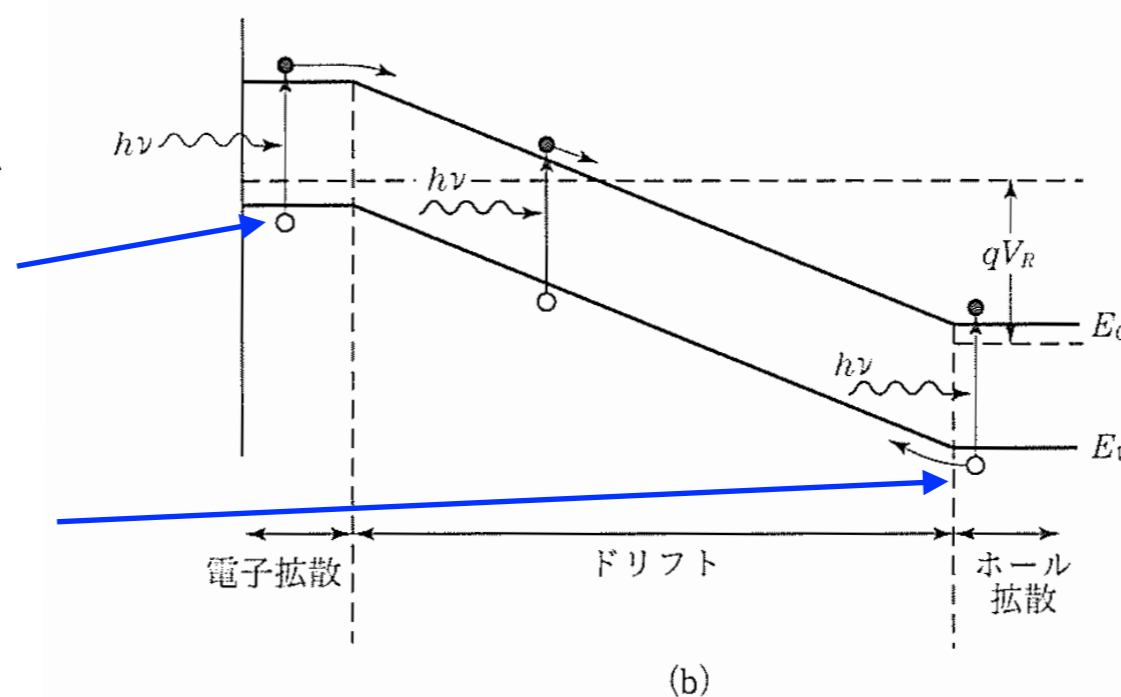
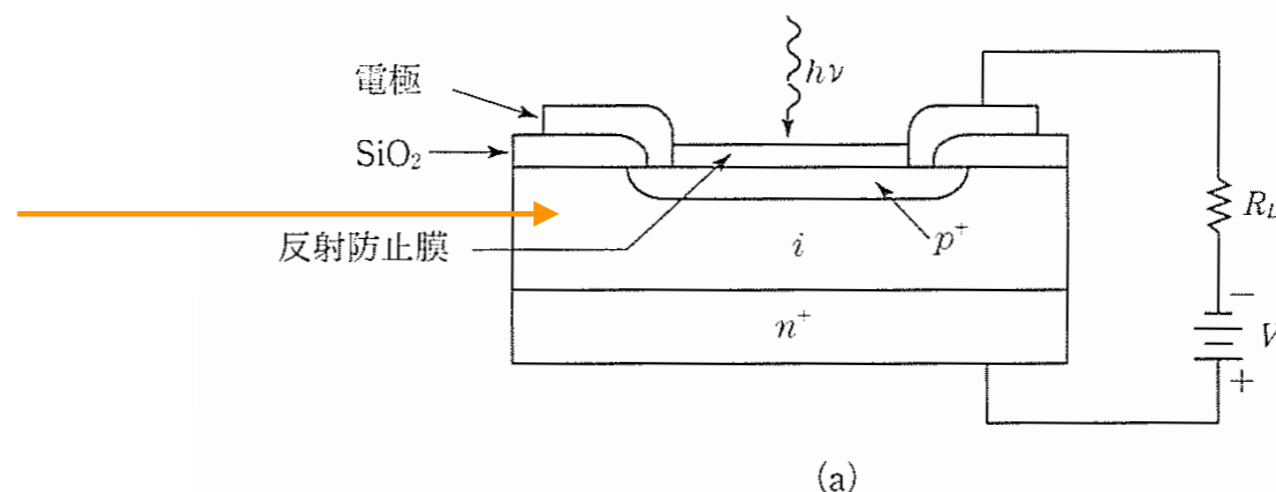
pn接合やSchottkey接合は光センサーとしても用いることができるが、現在ではp-i-n型が主流

高速動作のためには走行時間を短くするために空乏層厚は薄い方が良い $\Rightarrow$ 量子効率を高めるには、空乏層で光が十分吸収されるよう、ある程度厚くしなければならない

真性半導体領域  
(元々電荷キャリアが少ないため空乏層と同じ働きをする)

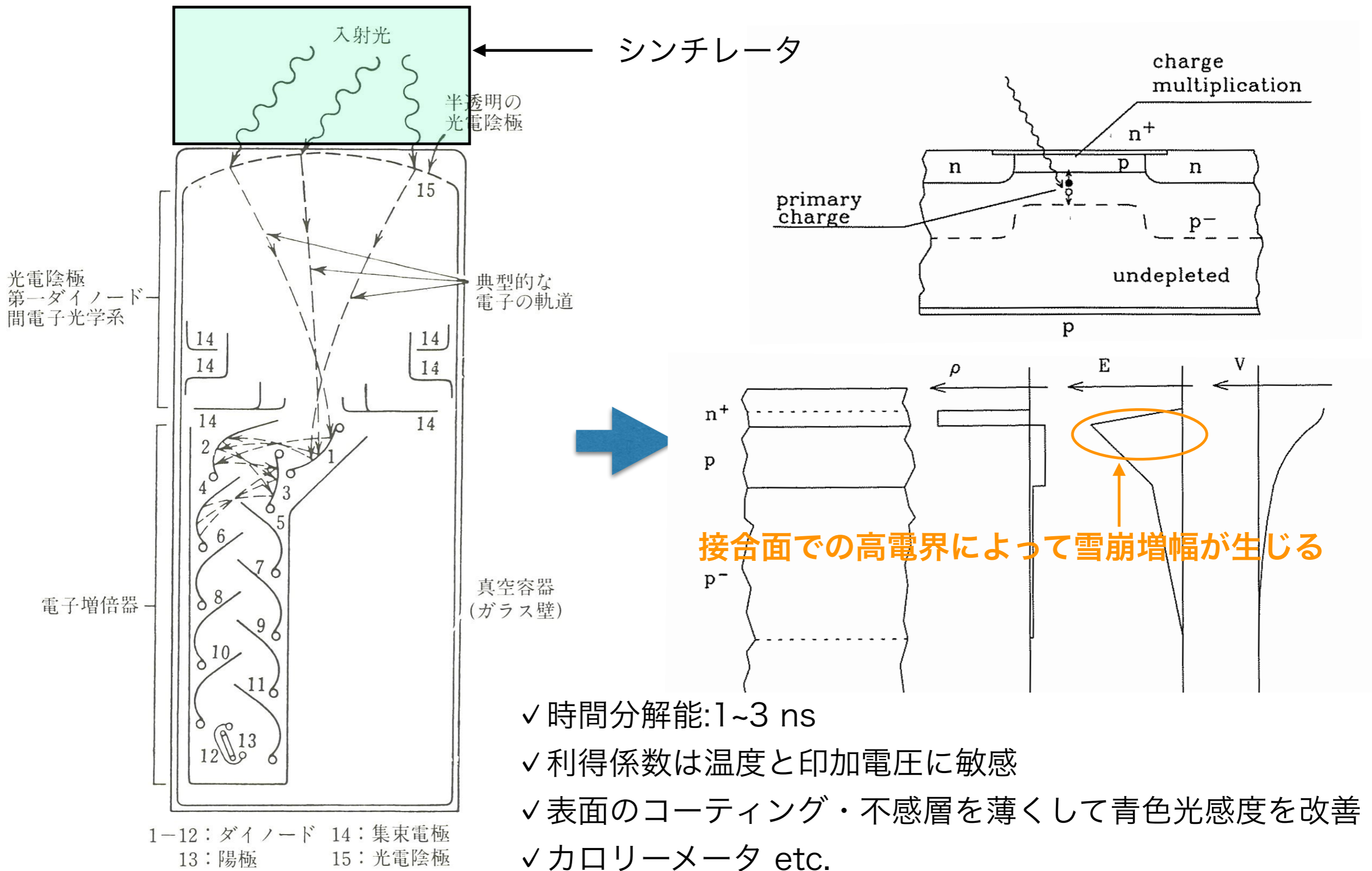
- ・ 厚さの制御が容易
- ・ バイアス電圧を下げられる

i層のみだと電極付近に電界が生じるため、障壁があっても電極からキャリアが注入されやすくなるためpとnでサンドイッチ構造にする



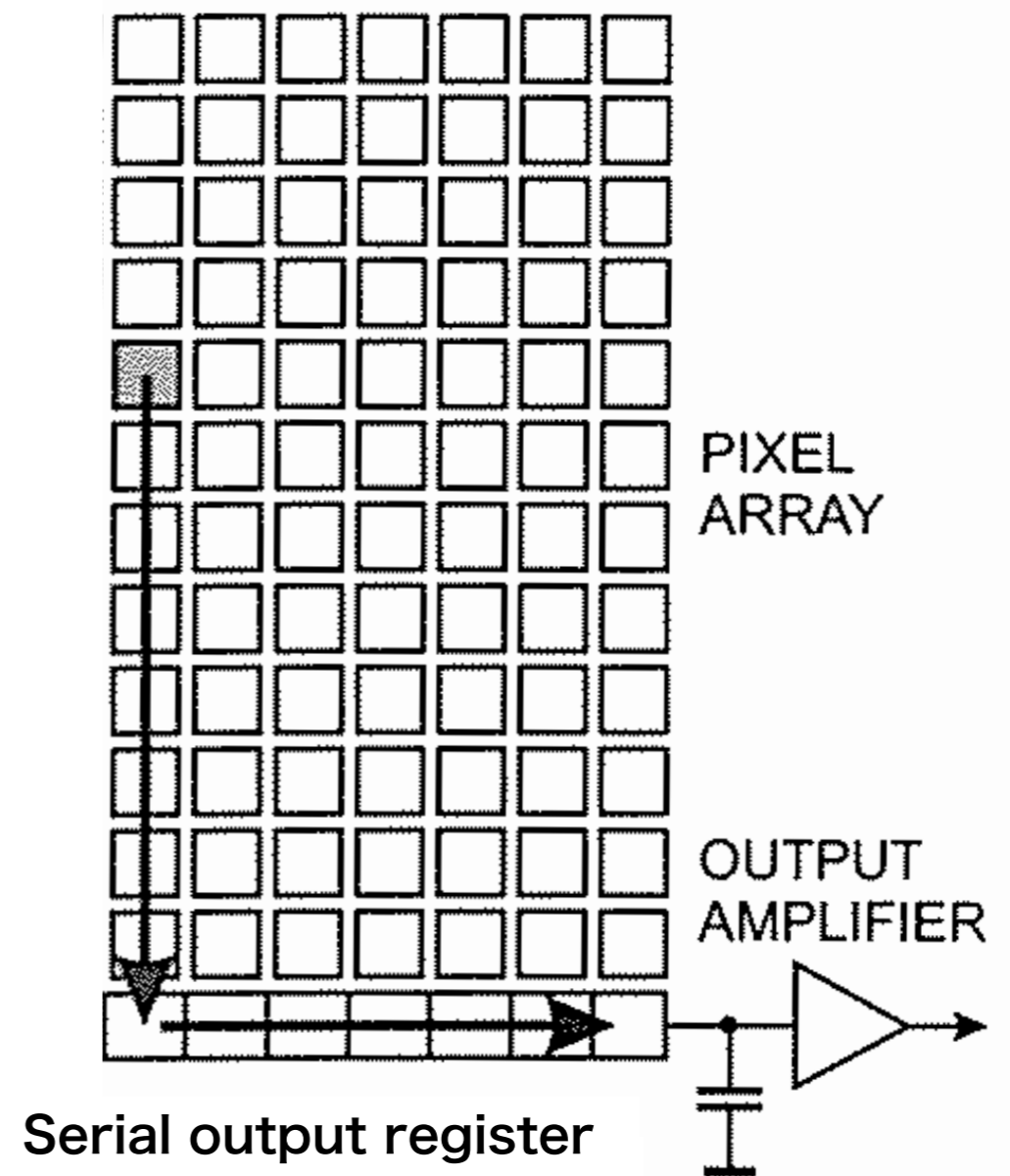
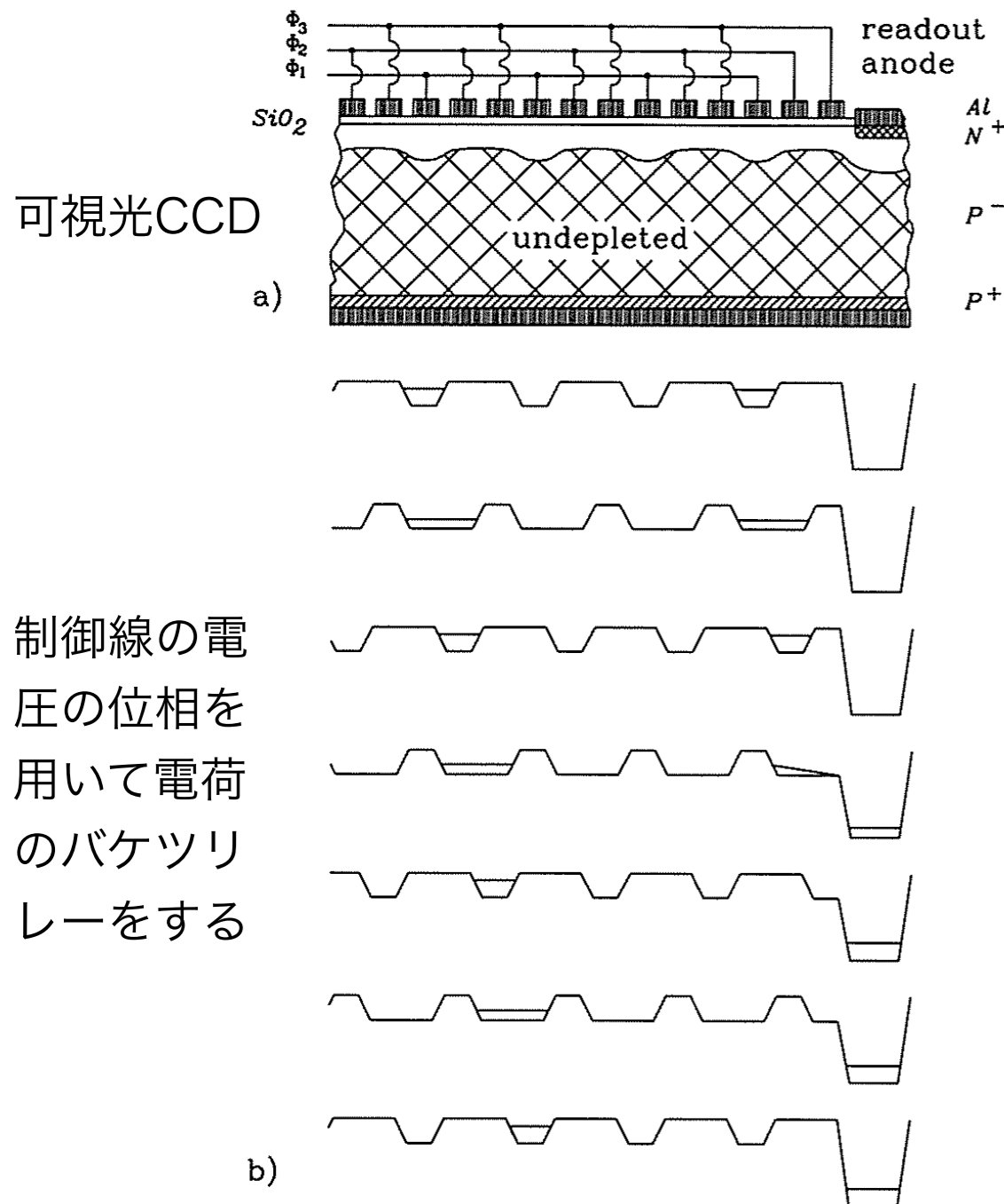
放射線カウンタ効果

# アバランシェフォトダイオード



# CCD (Charge-Coupled Device)

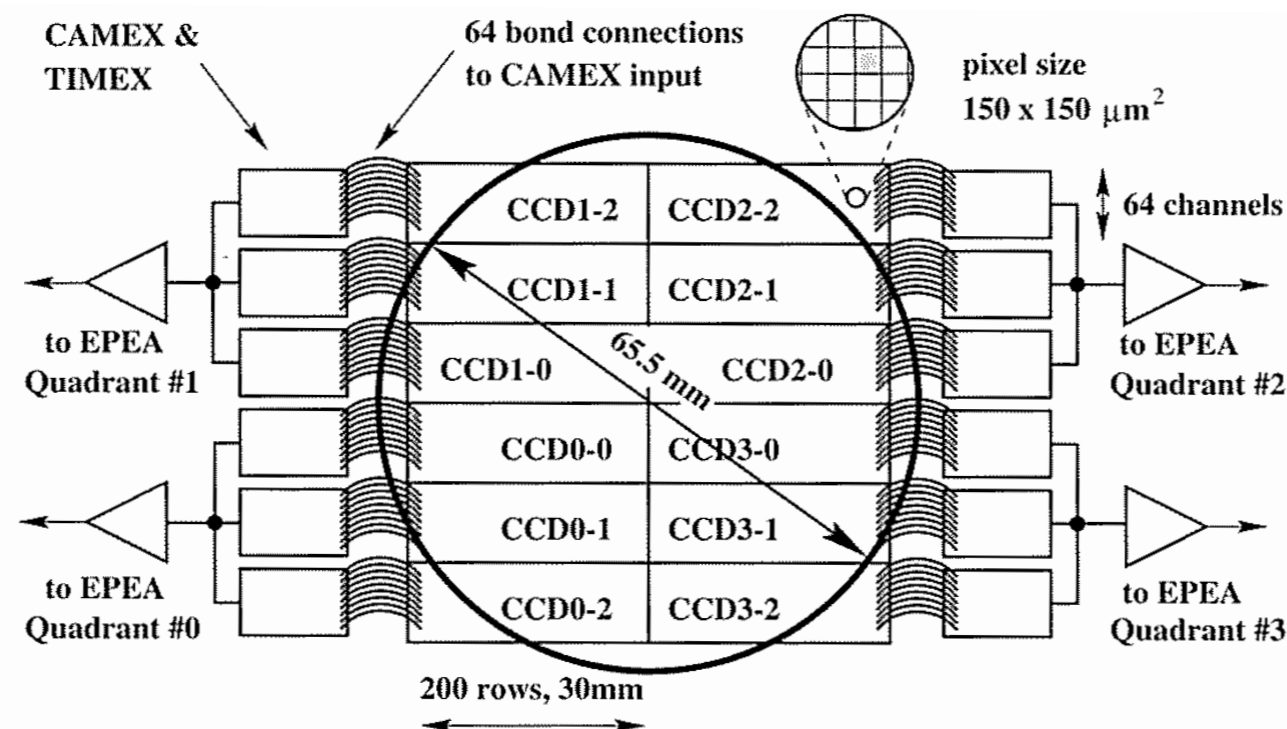
MOS構造を用いてポテンシャルの井戸を形成し、電荷を転送





# CCD (Charge-Coupled Device)

- ✓ pixel size:  $\sim 25 \mu\text{m}$ 角
- ✓ 熱励起された電子が雑音源となるため、 $-50 \sim -100$ 度まで冷却して使用する
- ✓ 低ノイズ ( $C_{\text{det}} = 0.2 \text{ pF}$ ), ほぼ理論限界のエネルギー分解能:  $\sim 120 \text{ eV} @ 5.9 \text{ keV}$
- ✓ 長めの整形時間  $\rightarrow$  読み出し速度に限界 ( $10^5 \text{ pix/s}$ )
- ✓ 完全空乏層型 p-n CCD ( $d \sim 300 \mu\text{m}$ ,  $\rho_d \sim 10 \text{ k}\Omega \cdot \text{cm}$ )  $\rightarrow$  X線天文学

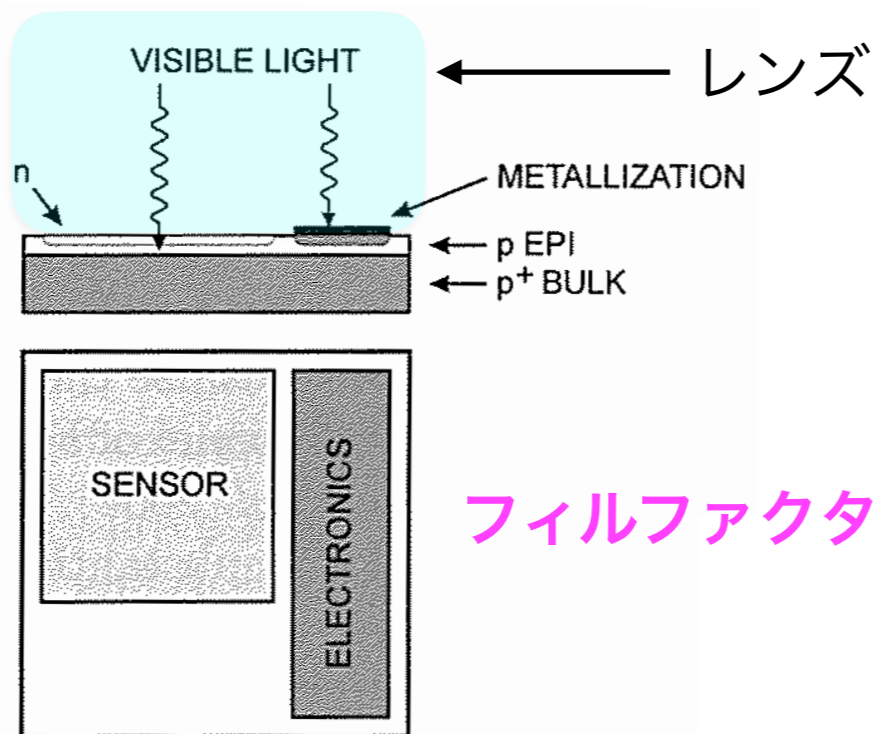


放射線耐性

Fig. 6.36. Readout topology of the XMM fully depleted  $p$ - $n$  CCD. The device consists of 12 functionally independent subunits of  $3 \times 1 \text{ cm}^2$ , each containing 64 columns of 200 pixels and all produced on one single silicon wafer. A separate source follower amplifier for each column is integrated into the device. Readout is performed with specially developed integrated circuits (CAMEX) (see Sect 7.6) with 64 channels. (After Strüder et al. 1997, Fig. 3)

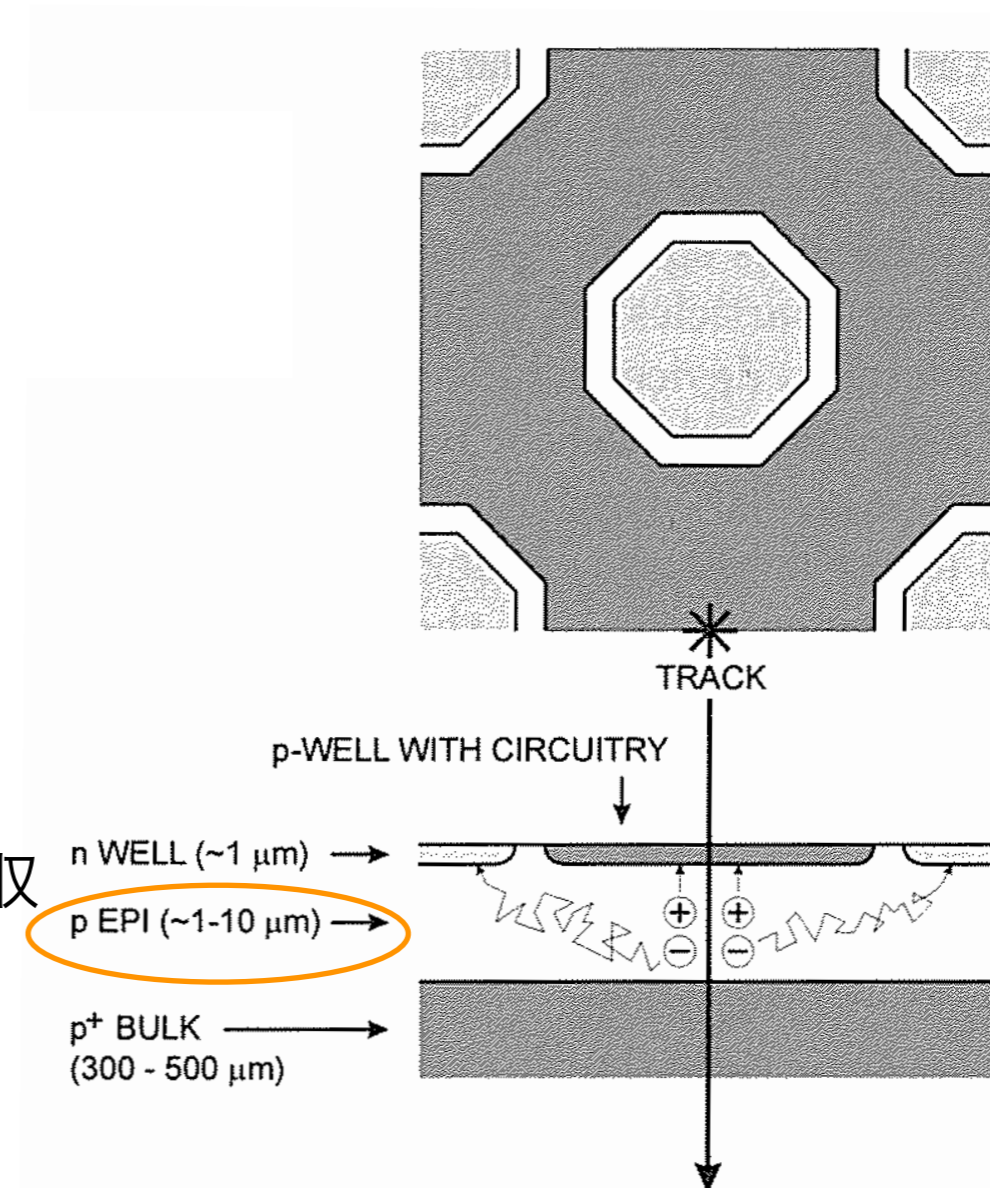
# CMOSイメージセンサー

センサーとエレクトロニクスを単一のシリコンに含めたモノリシックアクティブピクセル  
検出器(MAPS)



フィルファクター

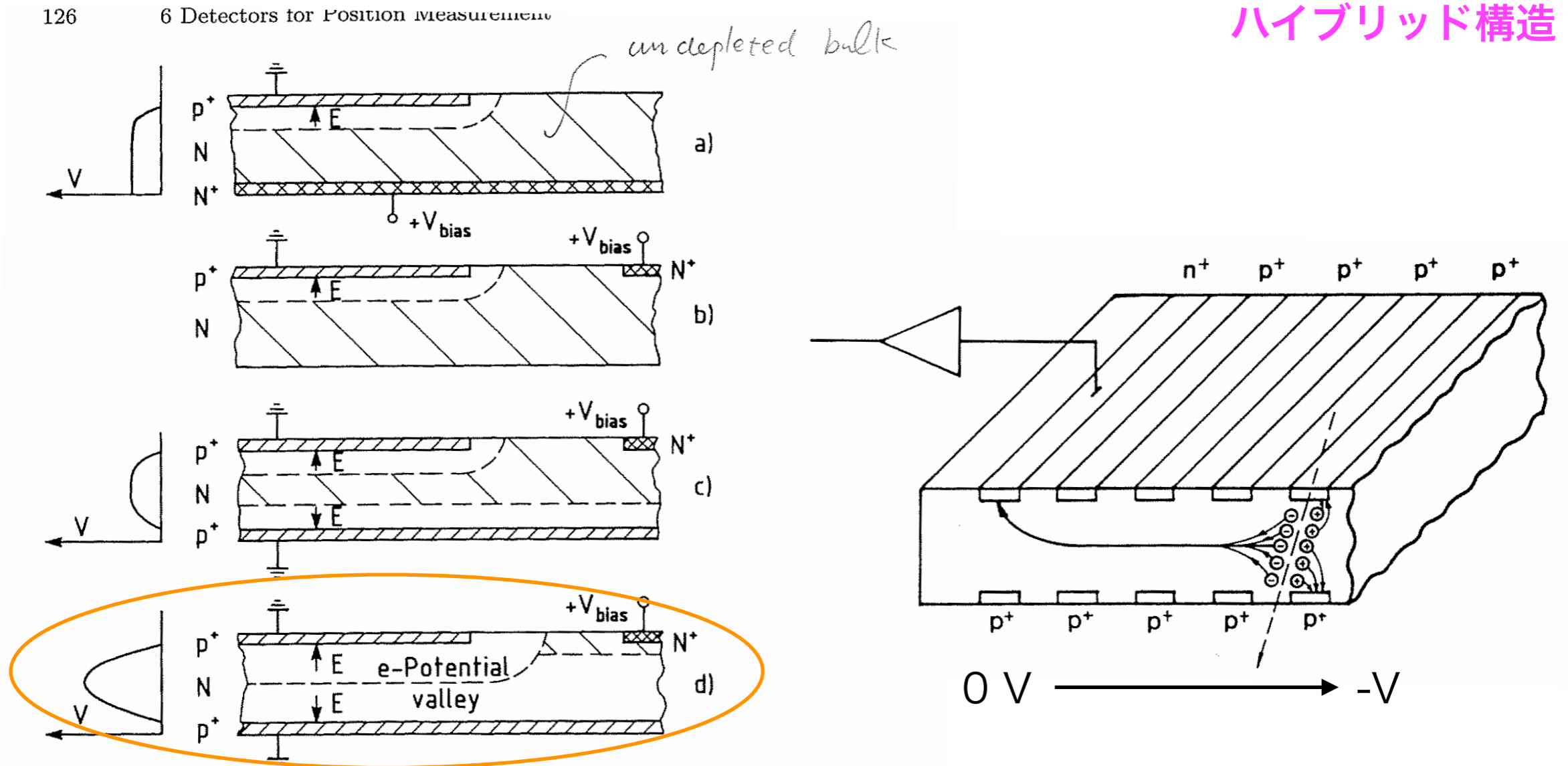
- ✓ 可視光(400-700nm)は厚さ0.5-7 $\mu\text{m}$  Siで吸収
- ✓ pixel size: 10-20  $\mu\text{m}$
- ✓ 信号量が小さい
- ✓ 拡散による電荷収集→放射線に弱い
- ✓  $\rho_d \sim 1 - 10 \Omega \cdot \text{cm}$



# ドリフト検出器(原理)

ポテンシャルの谷を形成することでCCDの電荷輸送ステップを無くした構造  
(電荷を長距離に渡って転送するが、本質的にはCCDよりも早い読み出しが可能)

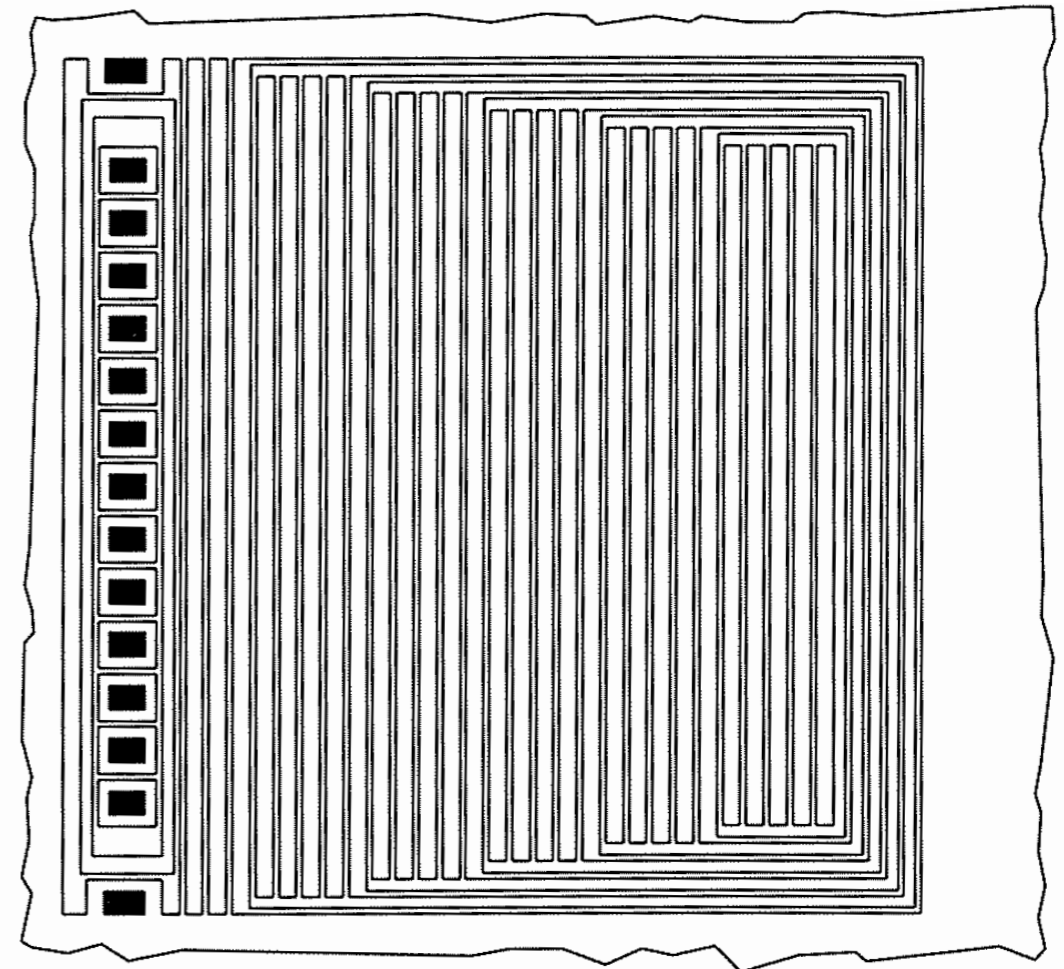
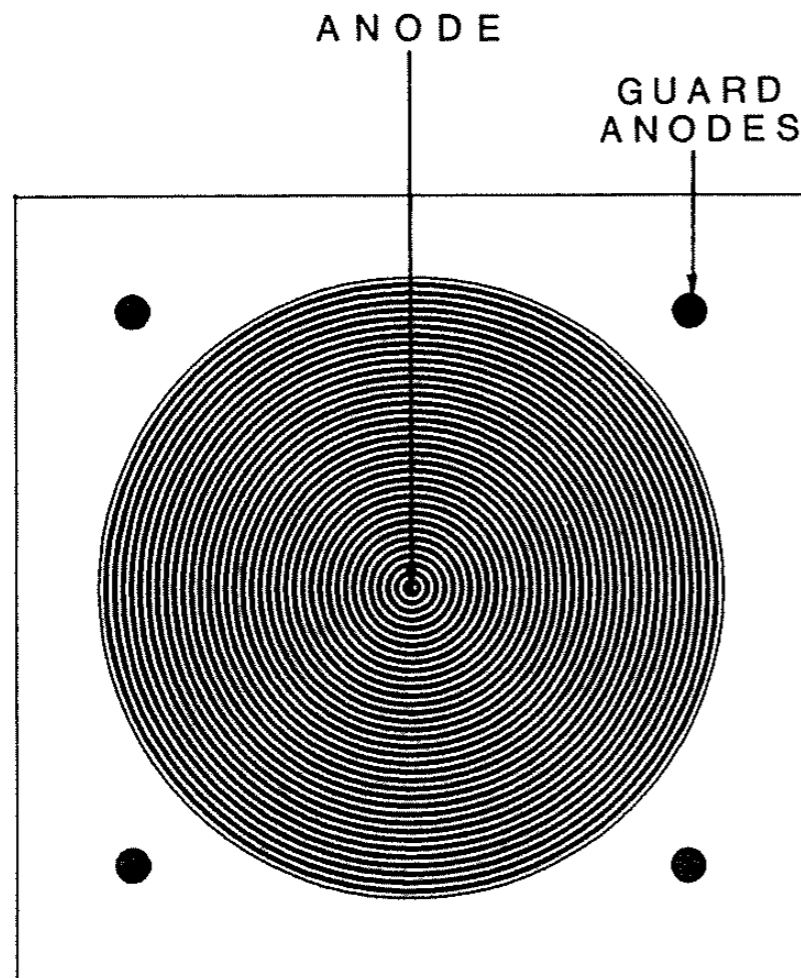
ハイブリッド構造



Lutz, Gatti

# ドリフト検出器(電極構造)

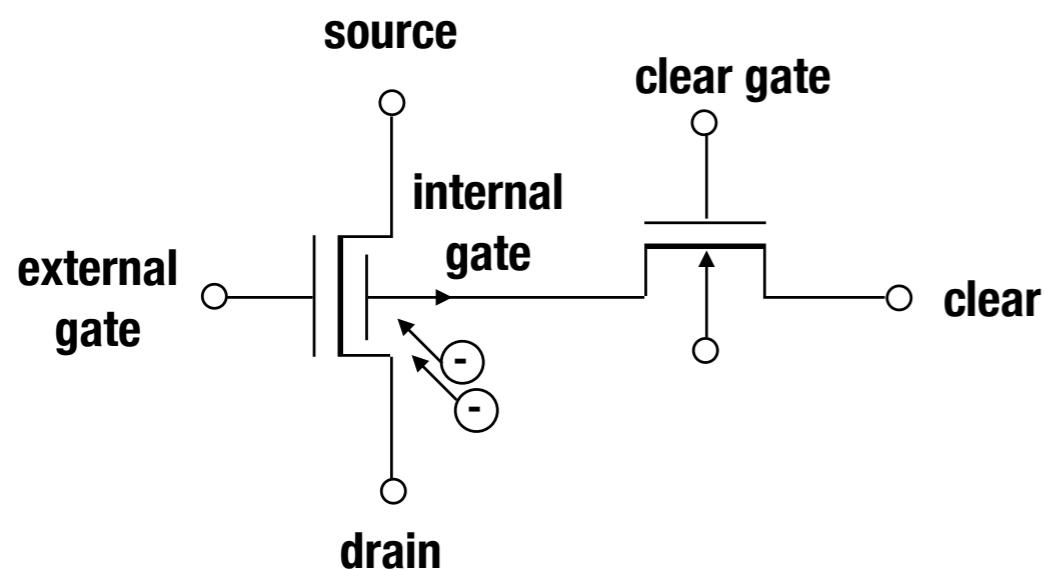
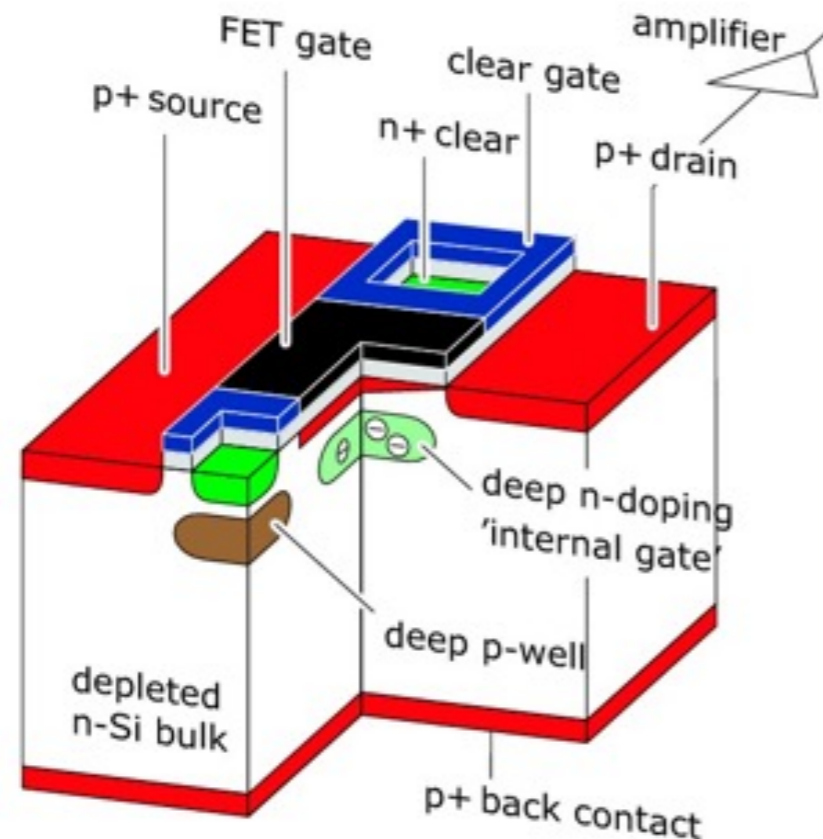
センサーを考える上で電極構造は重要な要素である



- ✓ドリフト時間から位置を分別できる(数mmのドリフト距離に対し空間分解能4um)
- ✓収集電極のサイズを小さくできる→ $C_{det}=10\sim 100$  fF (優れたエネルギー分解能 140 eV@200K)
- ✓小さい $C_{det}$ のため短い整形時間で良いためある程度高レートでも使用可能

# DEPFET (Depleted FET)

せっかくなのでドイツにいた時の研究テーマについて少し紹介します



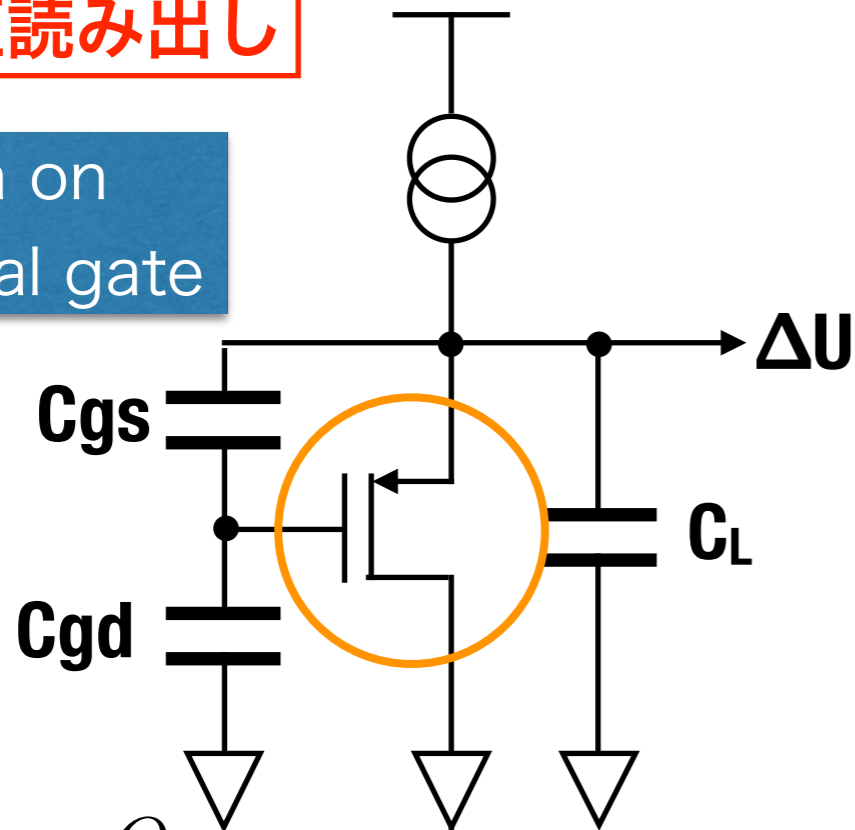
- ✓各ピクセルにp-ch FETが含まれる(完全空乏化)→高速・大信号
- ✓ディープnインプラントがゲート直下にポテンシャルミニマムな領域を形成
- ✓インターナルゲートに信号が蓄積され電流の変化として検出( $g_q \sim 400 \text{ pA/e}^-$ )
- ✓パンチスルー効果によって蓄積電荷を除去
- ✓ローリングシャッター読み出し方式なので低消費電力

# 読み出し方式

ここまでのセンサーは全て電荷信号を電圧に変換するような読み出し方式を採用している

## 電圧読み出し

Q<sub>in</sub> on internal gate



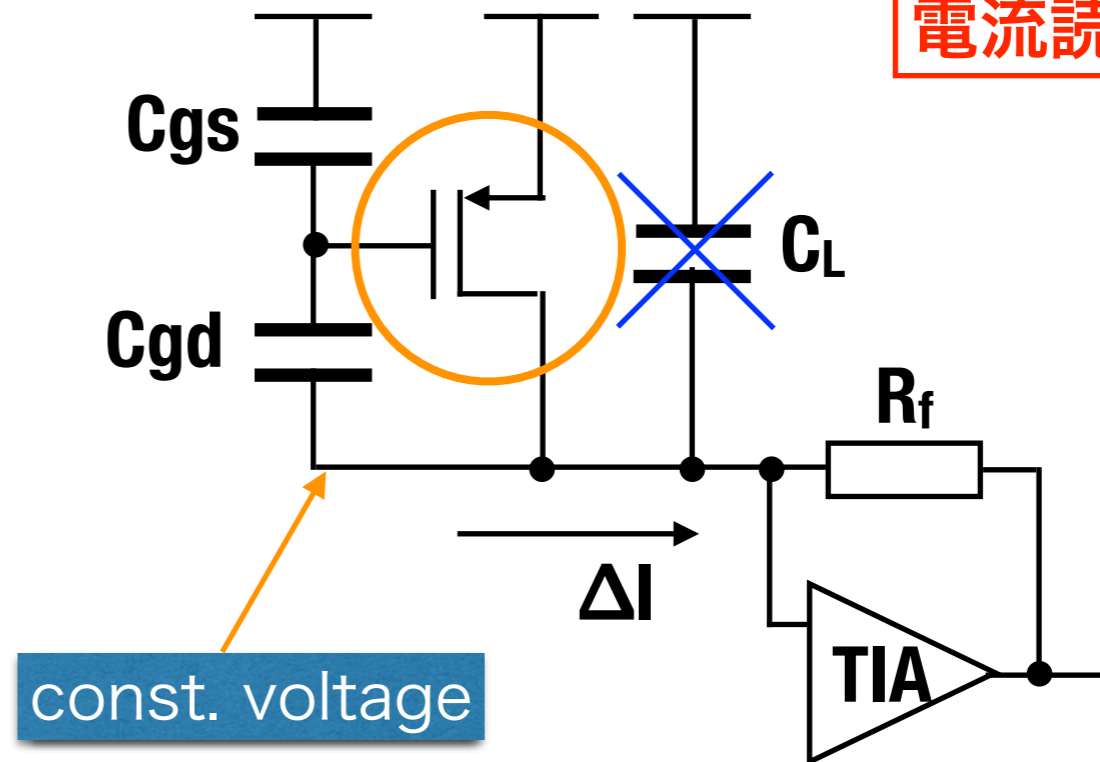
$$\Delta U \sim \frac{Q_{in}}{C_g} \quad (\text{same in MAPS 3T})$$

$$\tau = 2.2 \times \frac{C_L \cdot (1 + C_{gs}/C_{gd})}{g_m} \sim \mu\text{s}$$

✓ゲインと速度がC<sub>gs</sub>, C<sub>gd</sub> に依存

✓立ち上がり時間がC<sub>L</sub> に依存

## 電流読み出し



const. voltage

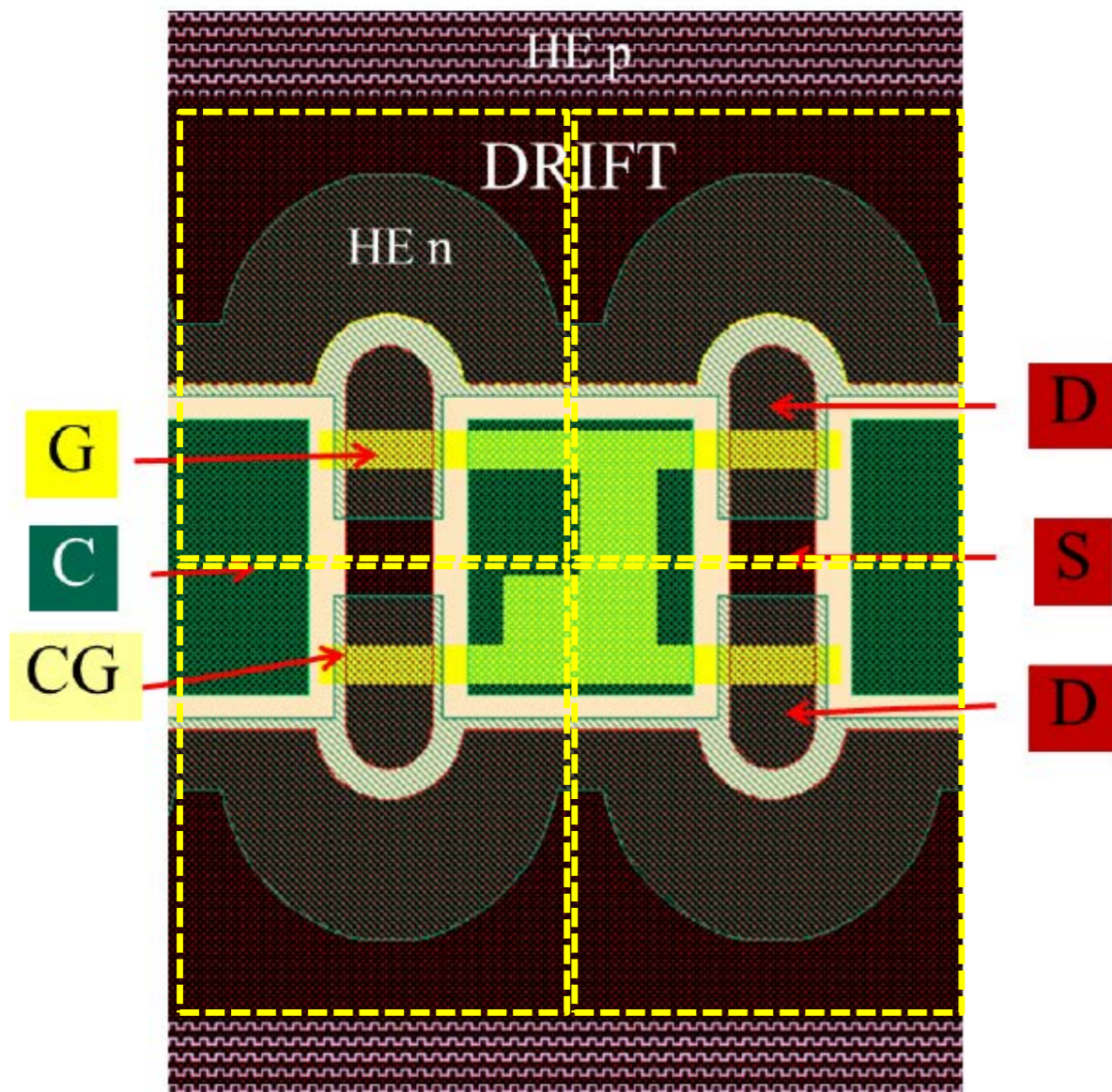
$$\Delta I \sim \frac{Q_{in}}{C_{gd} + C_{gs}} \times g_m \quad \tau = \text{very small}$$

✓ドレイン側の電圧は仮想接地によって一定

→高速な読み出しが可能

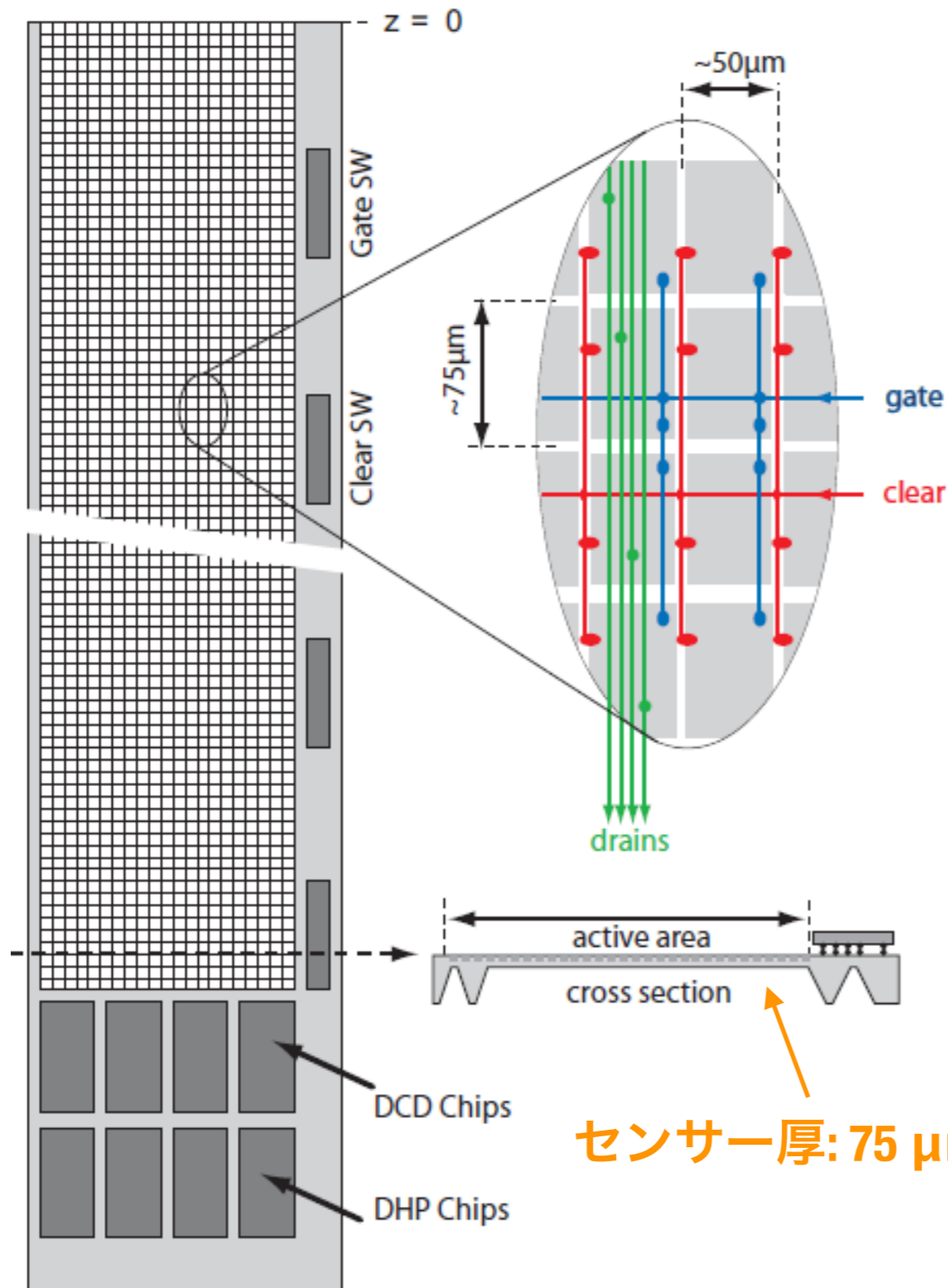
Belle II DEPFET検出器は電流読み出し方式を採用

# Belle II用DEPFETセンサー



- ✓ 25枚フォトリソマスク + 9回のインプラ
- ✓ 非常に複雑な半導体プロセス@MPI-HLL, Munich(ウェハーボンディング、ダブルポリシリコン、3層メタル、バックサイドシニング、両面ウェハープロセス)
- ✓ 2ピクセル共通のソース
- ✓ 4ピクセル共通のクリアゲート

# Belle II DEPFETの読み出し



✓ 1列ごとに信号処理→高速  $20 \mu\text{s}/\text{frame}$   
(100 ns/row) エレキの設計は大変

✓ 4行を一度に読むことでさらに読み出し速度を上げている

✓ 3種類のエレクトロニクスを使用する

ASICはセンサーサブストレートにバンプされている

センサー厚:  $75 \mu\text{m}$ , 周辺:  $450 \mu\text{m}$

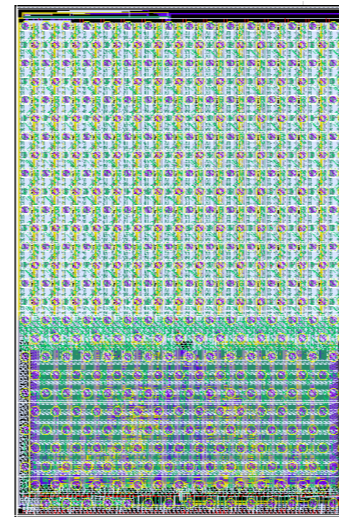




# DEPFETフロントエンドASIC

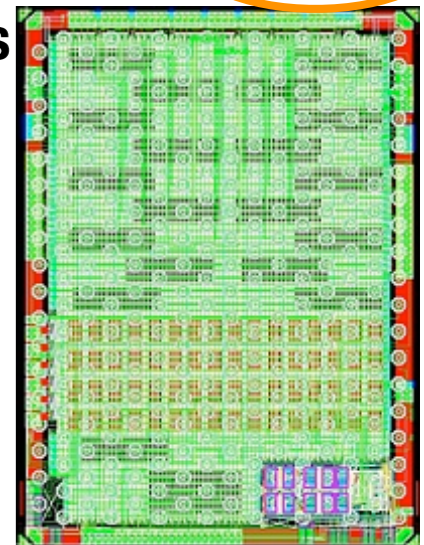
- ✓放射線に耐性のあるエレクトロニクスが要求(5年の運用で10 Mrad)
- ✓7年以上にわたるR&D

## DCD-B



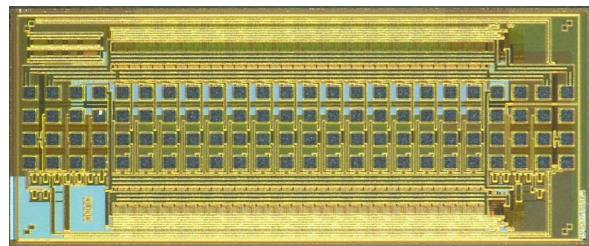
- ✓UMC 180 nm CMOS
- ✓Univ. Heidelberg
- ✓Current Receiv. (TIA)+ ADC
- ✓low Noise & fast settling  
( $R_s=200\Omega$ ,  $C_d=50\text{ pF}$ )
- ✓sampling with 10 MS/s
- ✓ 256 channels

**DHPT**



total area: 0.014 m<sup>2</sup>

## SWITCHER-B



- ✓AMS HV 180 nm CMOS
- ✓Univ. Heidelberg
- ✓ fast steering signals ( $C_d\sim 50\text{ pF}$ )
- ✓ high voltage pulse for pixel clear ( $\sim 20\text{ V}$ )

Switcher →

DCD  
DHP

flex cable

layer 1 module

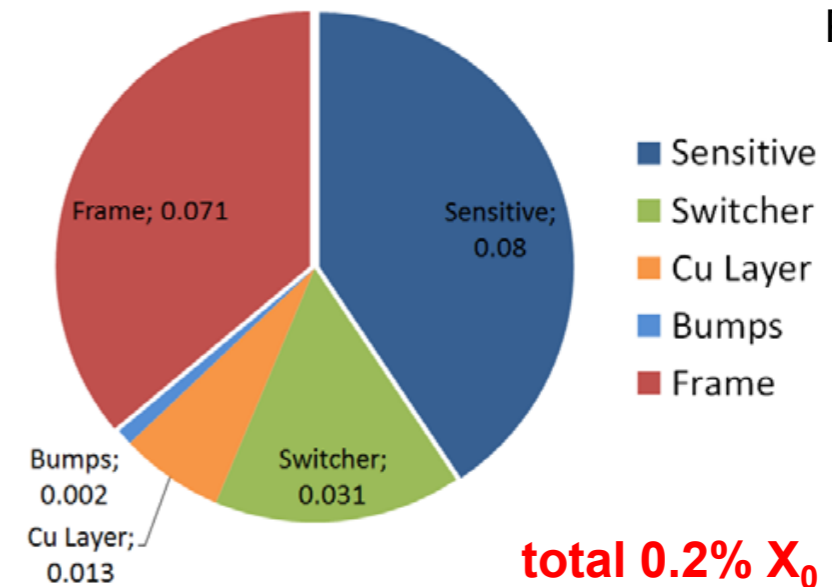
- ✓TSMC 65 nm CMOS
- ✓Univ. Bonn
- ✓ clock supply to SW, DCD
- ✓ zero-suppl., G-bit link  
( $\sim 15\text{ m}$  to backend elec.)

# Belle IIピクセル検出器

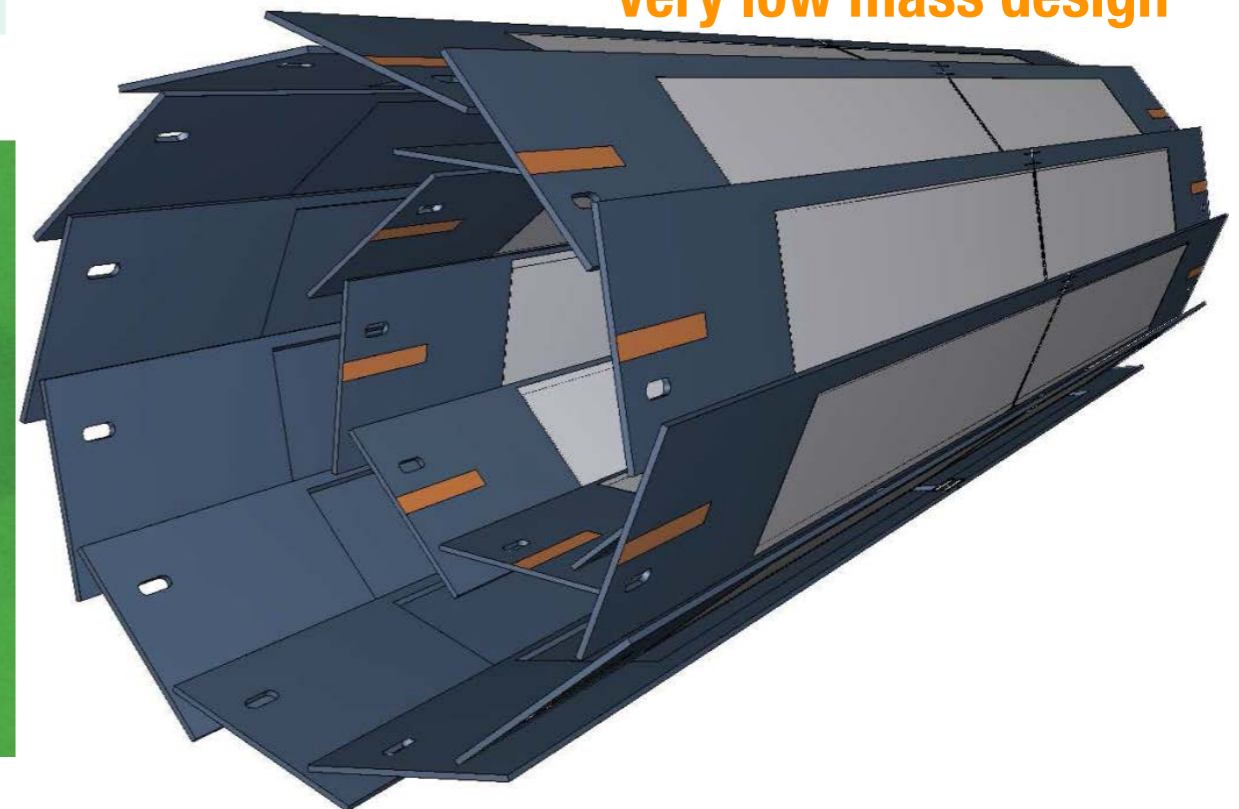
粒子飛跡検出器として散乱物質を減らす必要がある

	Inner layer (L1)	Outer layer (L2)
# modules	8	12
Distance from IP (cm)	1.4	2.2
Thickness ( $\mu\text{m}$ )	75	75
# pixels	768 x 250	768 x 250
Total # pixels	3.072 M	4.608 M
Pixel size ( $\mu\text{m}^2$ )	55 x 50 60 x 50	70 x 50 85 x 50
Sensitive area ( $\text{mm}^2$ )	44.8 x 12.5	61.44 x 12.5

P. Avella

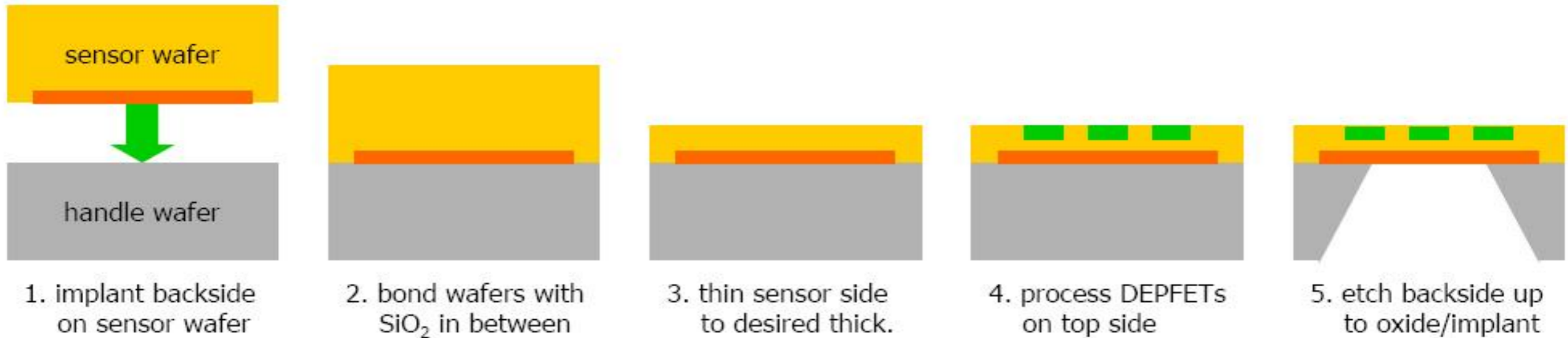


very low mass design

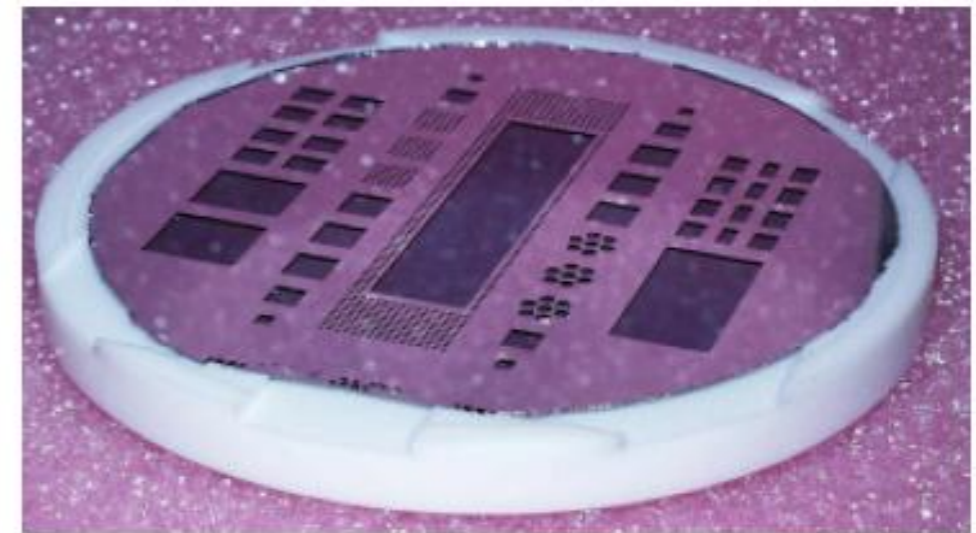


# センサーを薄くする技術

シリコンは薄いと,,割れます



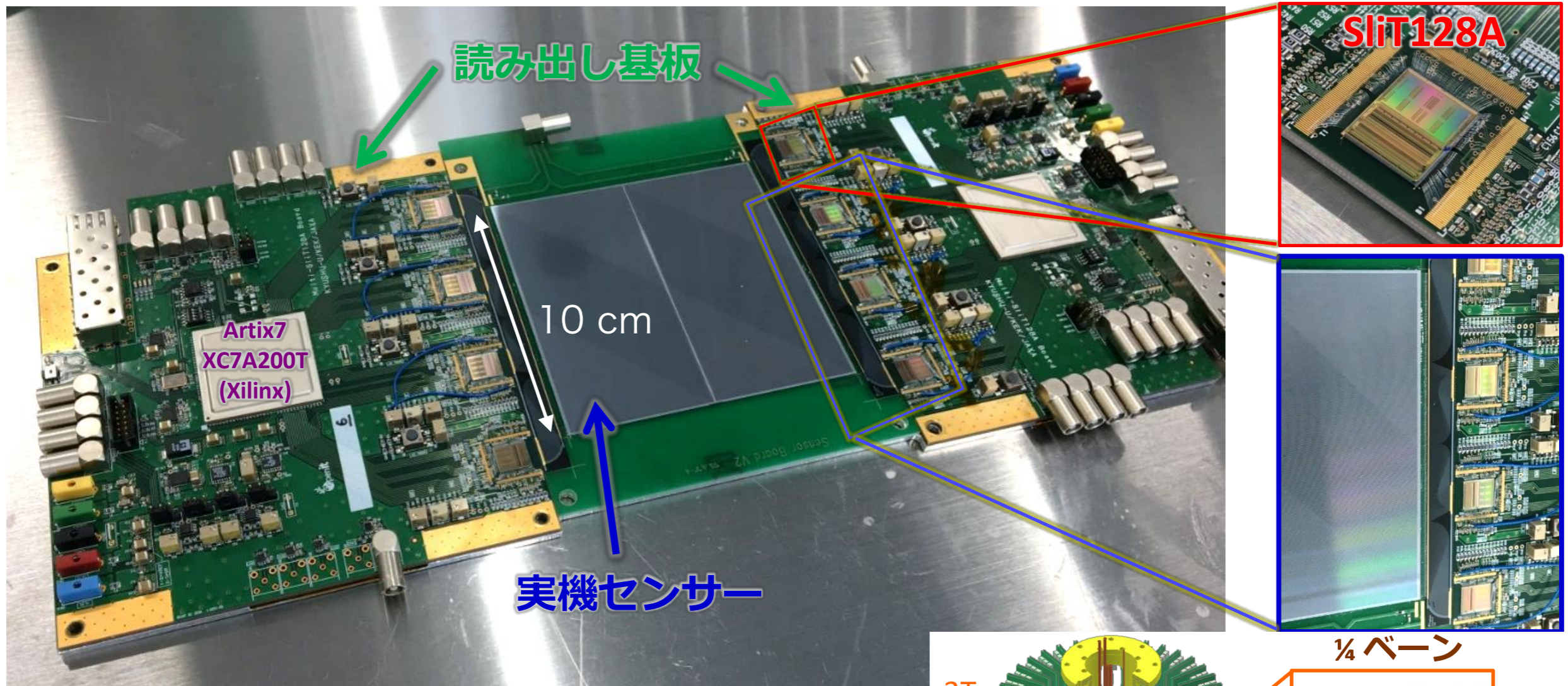
first 'dummy' samples:  
50 $\mu\text{m}$  silicon with 350 $\mu\text{m}$  frame



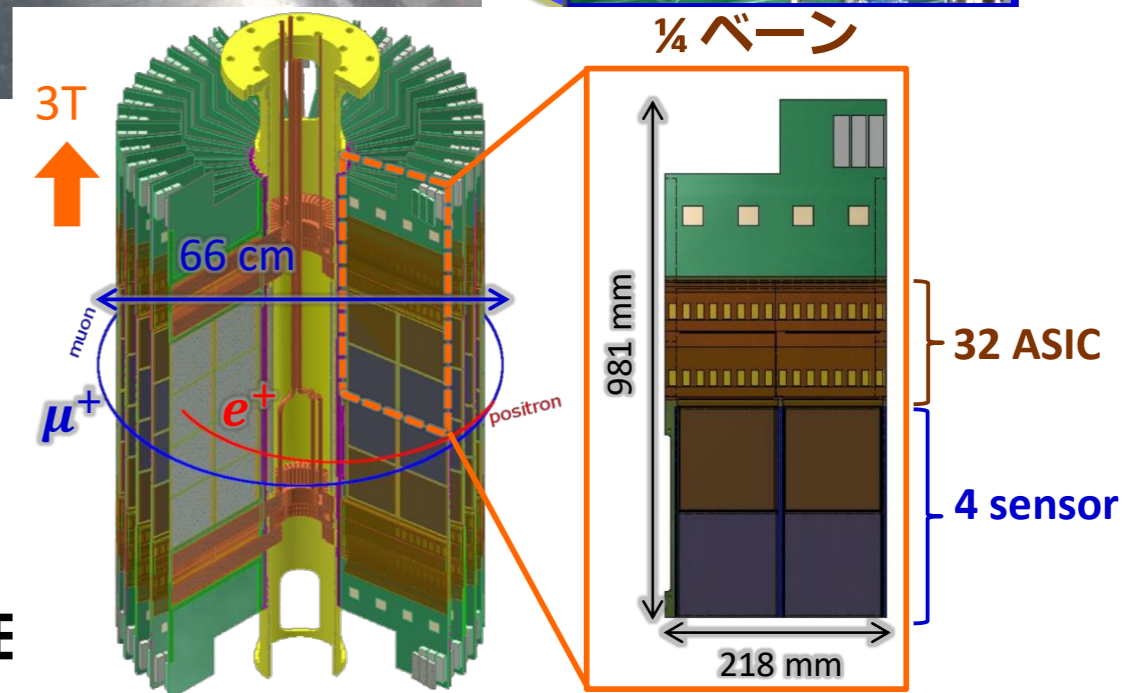
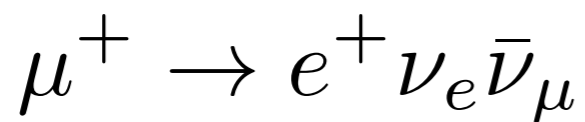
thinned diode structures:  
leakage current: <math><1\text{nA}/\text{cm}^2</math>

## 4. 最近の研究話題から

# g-2/EDM実験用ストリップ検出器

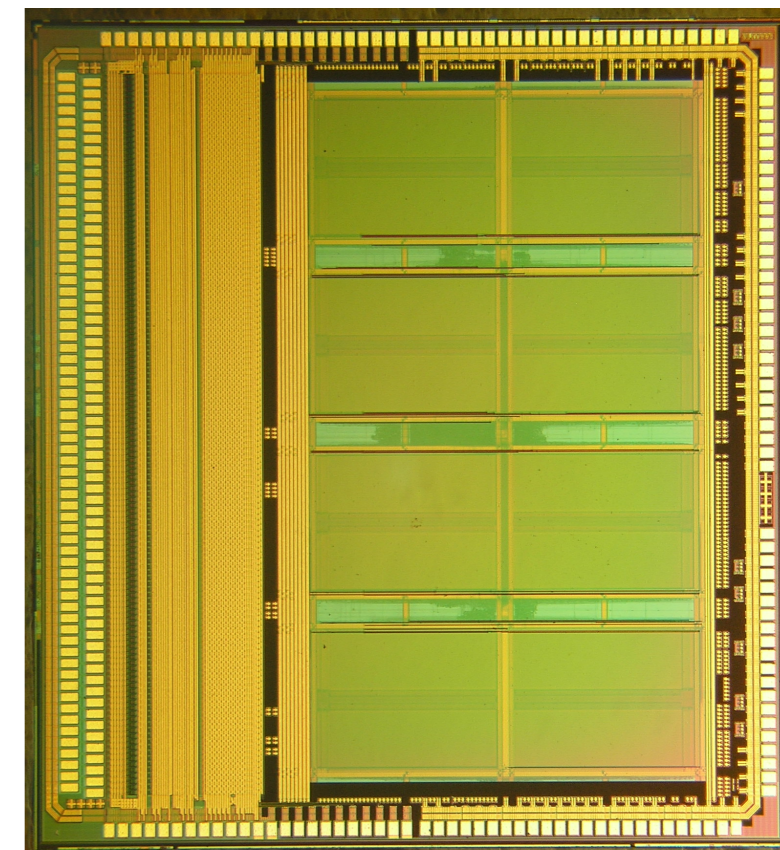
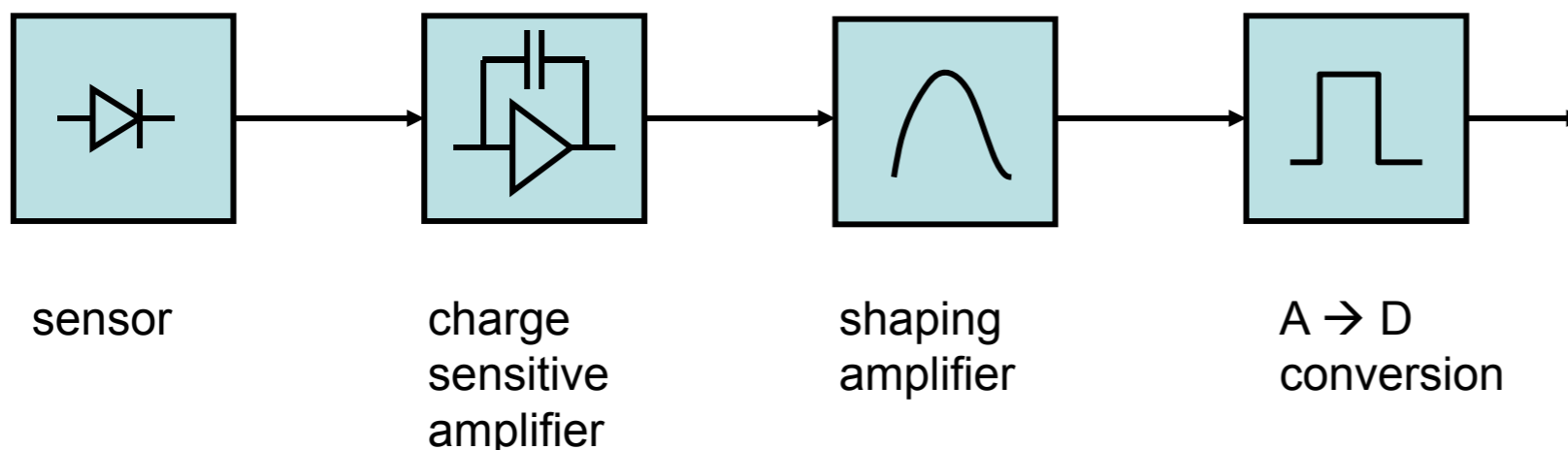


ミューオンの磁気双極子と電気双極子を精密測定



# ストリップ読み出しチップ

エレクトロニクスシステムグループは実験グループと一緒に自分たちの手で検出器開発を進めています



## 素核研ニュース

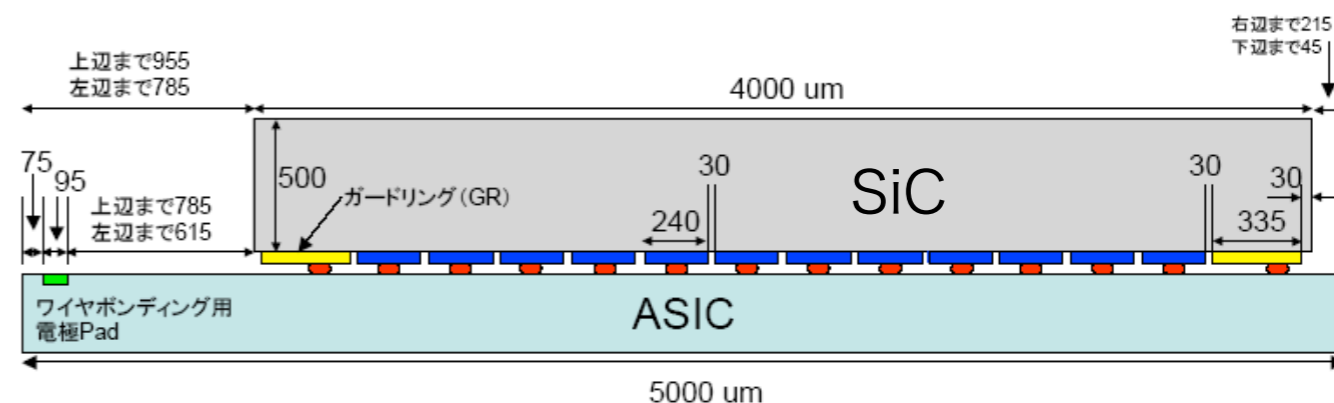
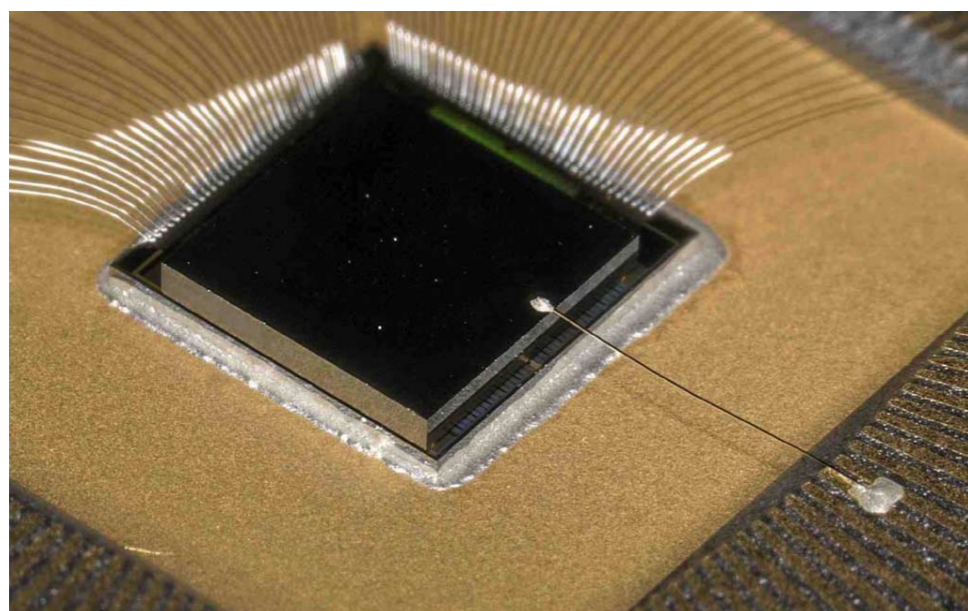
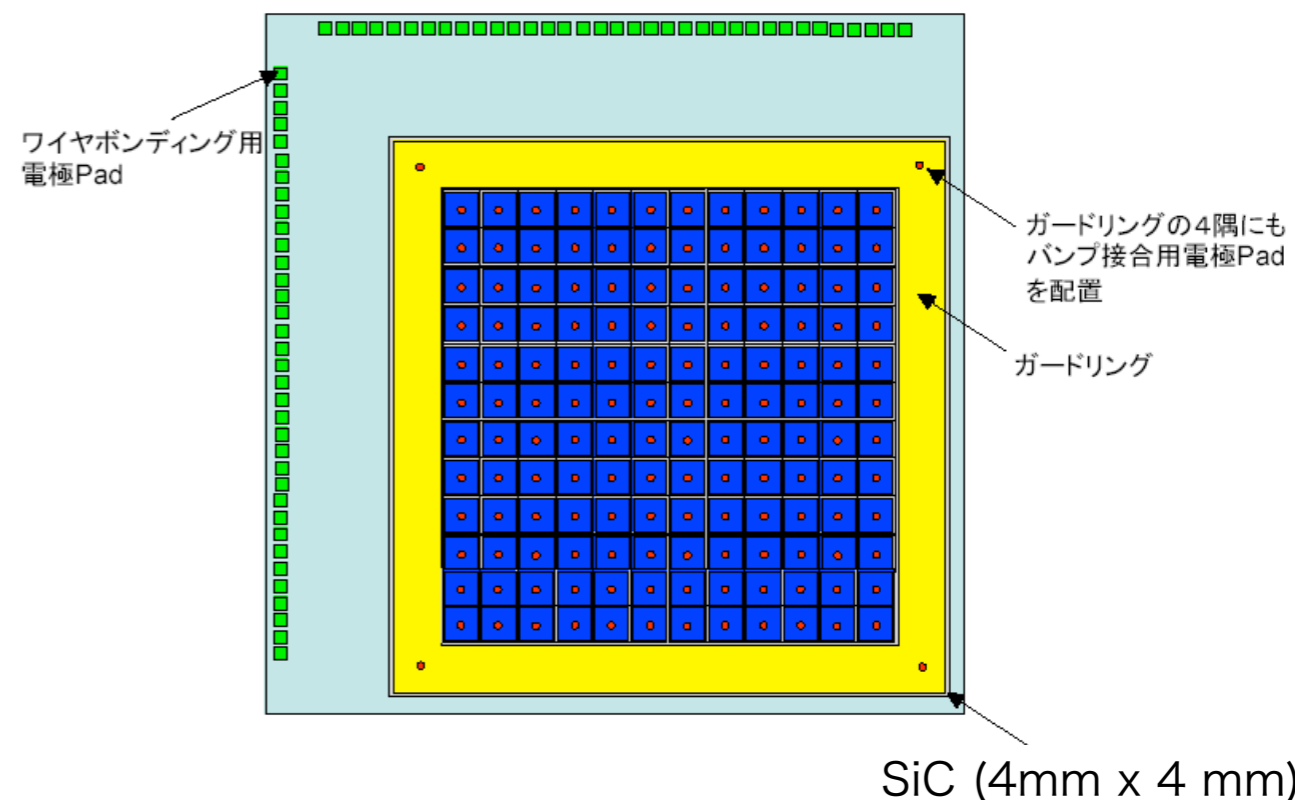
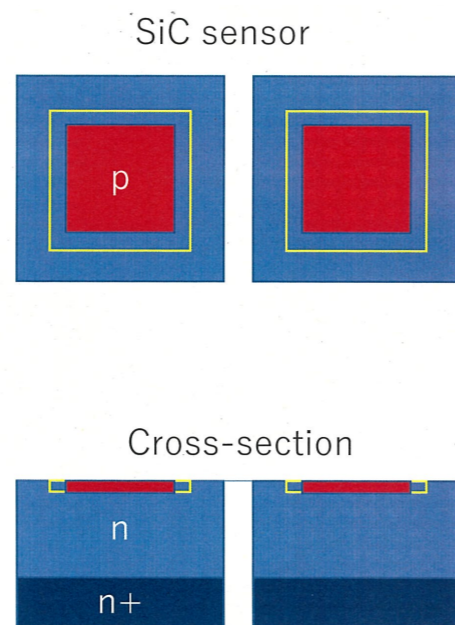
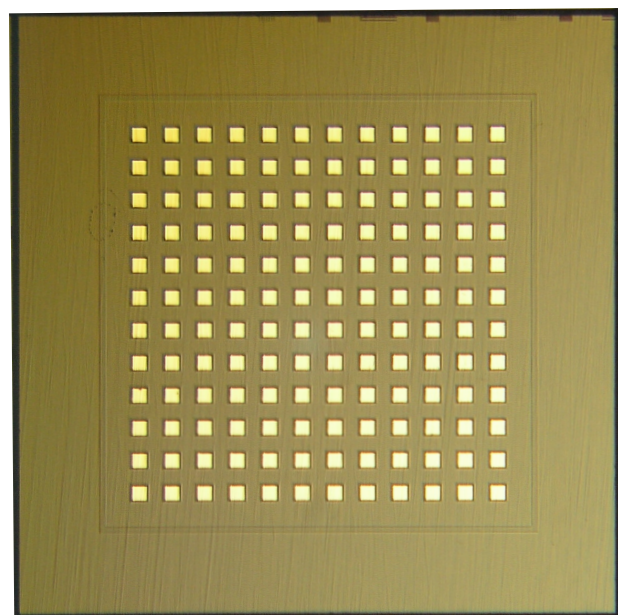
“日本初！エレクトロニクスシステムグループとミュオンg-2/EDM  
実験グループが純国産シリコンストリップ検出器用集積回路の開発  
に成功”

<https://www2.kek.jp/ipns/ja/post/2020/03/20200309/>

現在Belle II実験用のストリップ検出器読み出しチップを開発中

# SiCピクセル検出器

KEKではSi以外にワイドギャップ半導体センサーを色々な研究機関と共同で開発しています



# 他の半導体センサーとの比較

Wide bandgap → lower leakage current than Si

Property	Diamond	GaN	4H-SiC	Si	Ge	CdTe	CdZnTe
$E_g$ [eV]	5.5	3.39	3.26	1.12	0.67	1.44	1.60
$E_{breakdown}$ [V/cm]	$10^7$	$4 \times 10^6$	$2.2 \times 10^6$	$3 \times 10^5$	$10^5$	TBD	TBD
$\mu_e$ [ $cm^2/Vs$ ]	1800	100	800	1450	<3900*[2]	1090*[1]	906*[3]
$\mu_h$ [ $cm^2/Vs$ ]	1200	30	115	450	<1900	110	-
$v_{sat}$ [cm/s]	$2.2 \times 10^7$	-	$2 \times 10^7$	$0.8 \times 10^7$	$0.74 \times 10^7$ *[5]	$10^7$	$10^7$
Z	6	31/7	14/6	14	32	48/52	48/52/30
$\epsilon_r$ (dielectric const.)	5.7	9.6	9.7	11.7	TBD	TBD	TBD
e-h energy [eV]	13	8.9	7.6-8.4	3.6	2.9	4.5	5.0
Density	3.515	6.15	3.22	2.33	5.3	5.9	5.8
Displacem. [eV]	43	20	25	13-20	15-18	5.3-6.2*[4]	-

Signal: Diamond 36 e-/um

SiC 51 e-/um → 2.5ke<sup>-</sup> for 50 um-epi

Si 89e-/um

Higher displacement threshold than Si

[1] G. Arino-Estrada et al., JINST C12032, 2014.

[2] <http://www.ioffe.ru/SVA/NSM/Semicond/Ge/electric.html>

[3] H.Y.Cho et al., JINST, C01025, 2011.

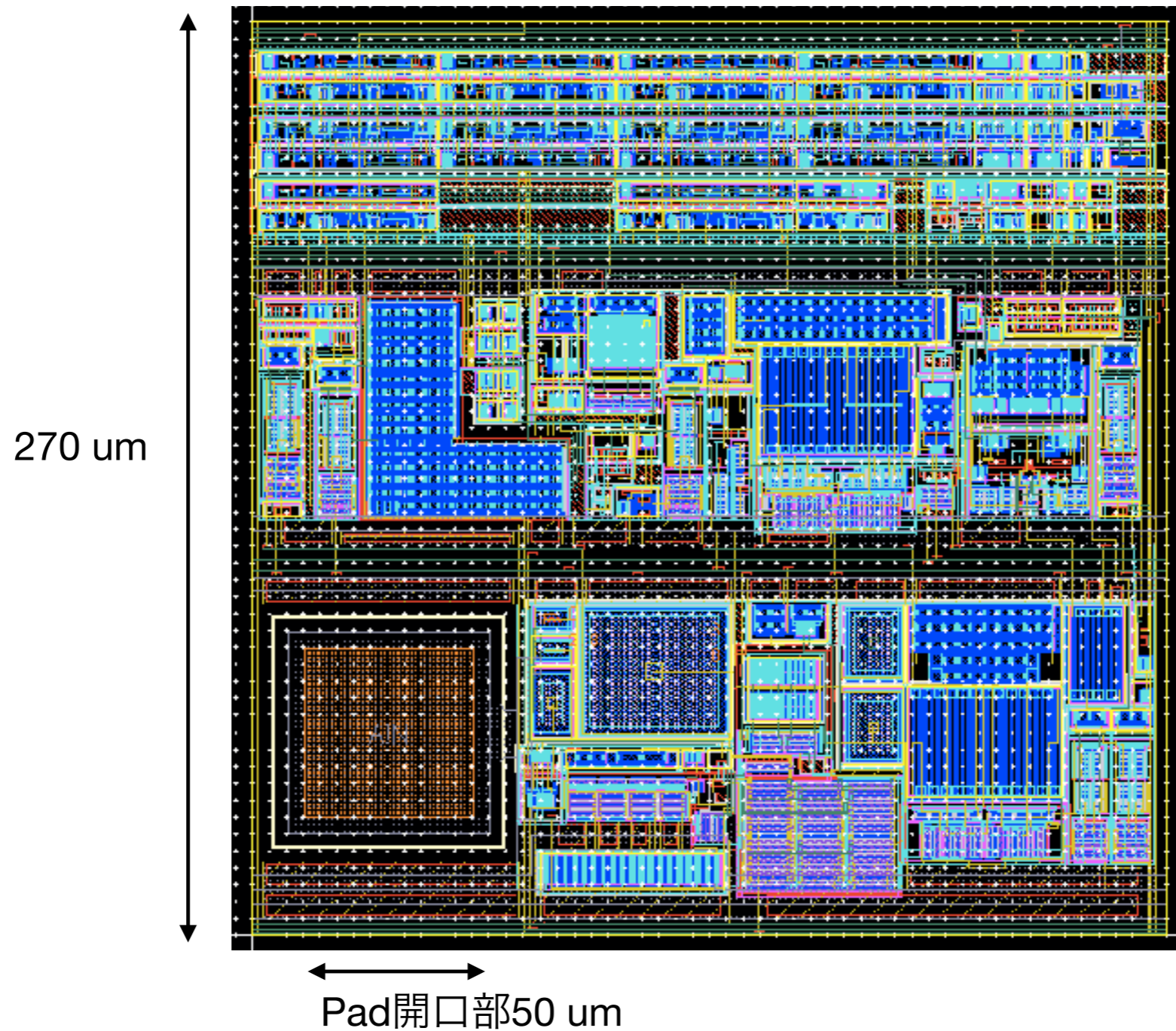
[4] Matsuura et al., J. Phys. Soc. Japan, 22 (1967) 1118.

[5] A. Palmieri et al., DOI:10.1049/cp.2017.0190



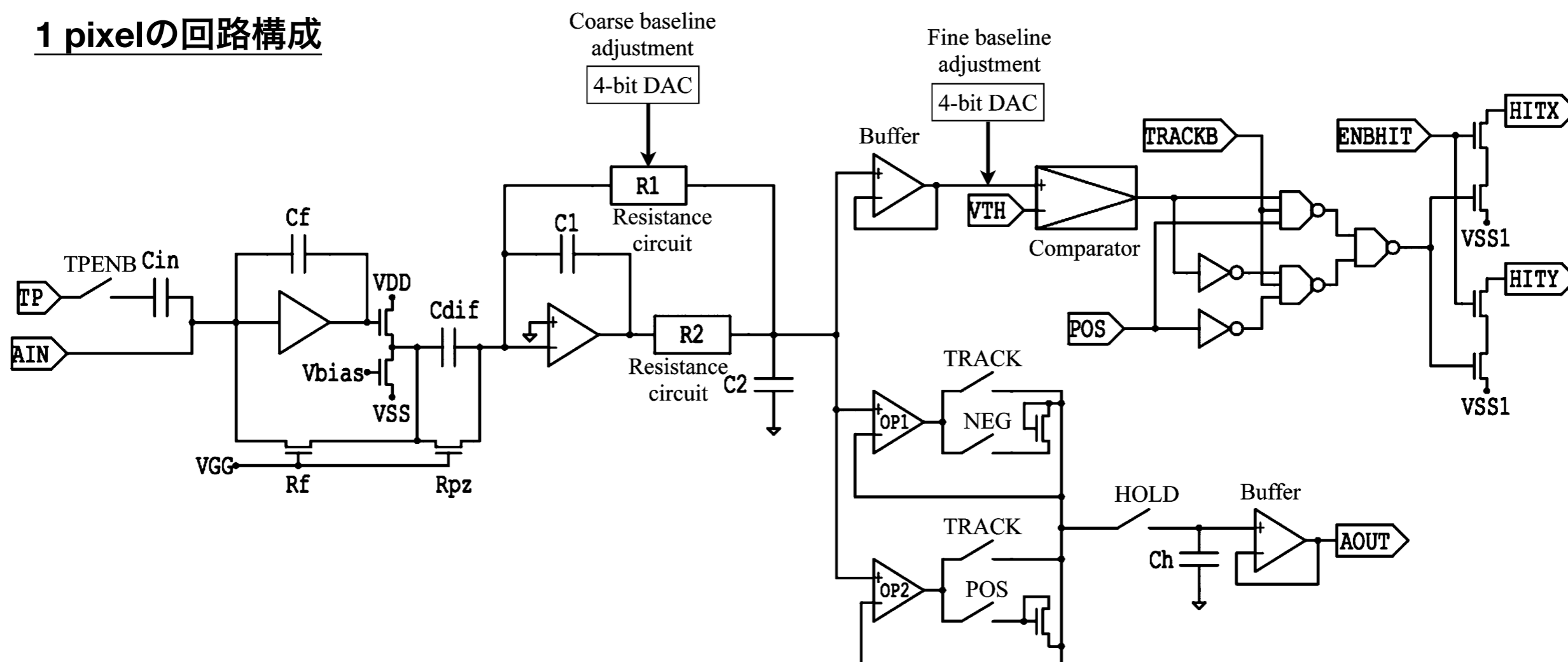
# エレクトロニクス

明日以降の計測回路技術の導入として



回路は電荷有感型増幅器、CR-RC波形整形回路、コンパレータとピークホールド回路(PH)で構成されており、両極性の入力電荷に対応できるように設計されています。回路は $\pm 1.65$ , AGNDで動作させます。

## 1 pixelの回路構成



# 最近のピクセル開発の動向

センサー・エレクトロニクス一体型のモノリシックの研究が盛んになっている

## ハイブリッドピクセル検出器

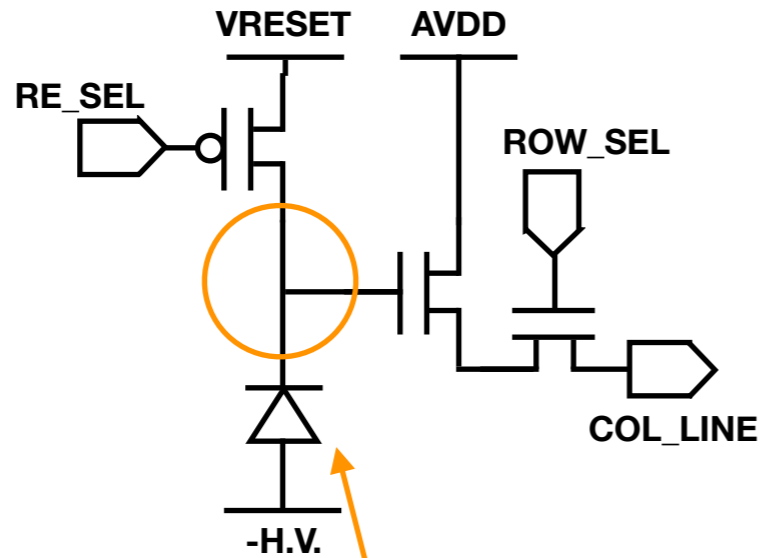
- + **good S/N** ← fully depleted
- + **fast R/O** → ~ns time stamp
- **radiation length** → 3.5%  $x/X_0$
- **spatial resolution** → ~10  $\mu\text{m}$
- **bump bonding**

## モノリシックピクセル検出器

- + **no bump bonding**
- + **very thin (50-75  $\mu\text{m}$ )** → ~0.2%  $x/X_0$
- + **small pixel size (20-50  $\mu\text{m}$ )** → ~1  $\mu\text{m}$  resolution
- + **low power** → less cooling
- **radiation hardness**
- **R/O speed**

# MAPS-epiプロセス

スタンダード3トランジスタ読み出しを素粒子実験に応用

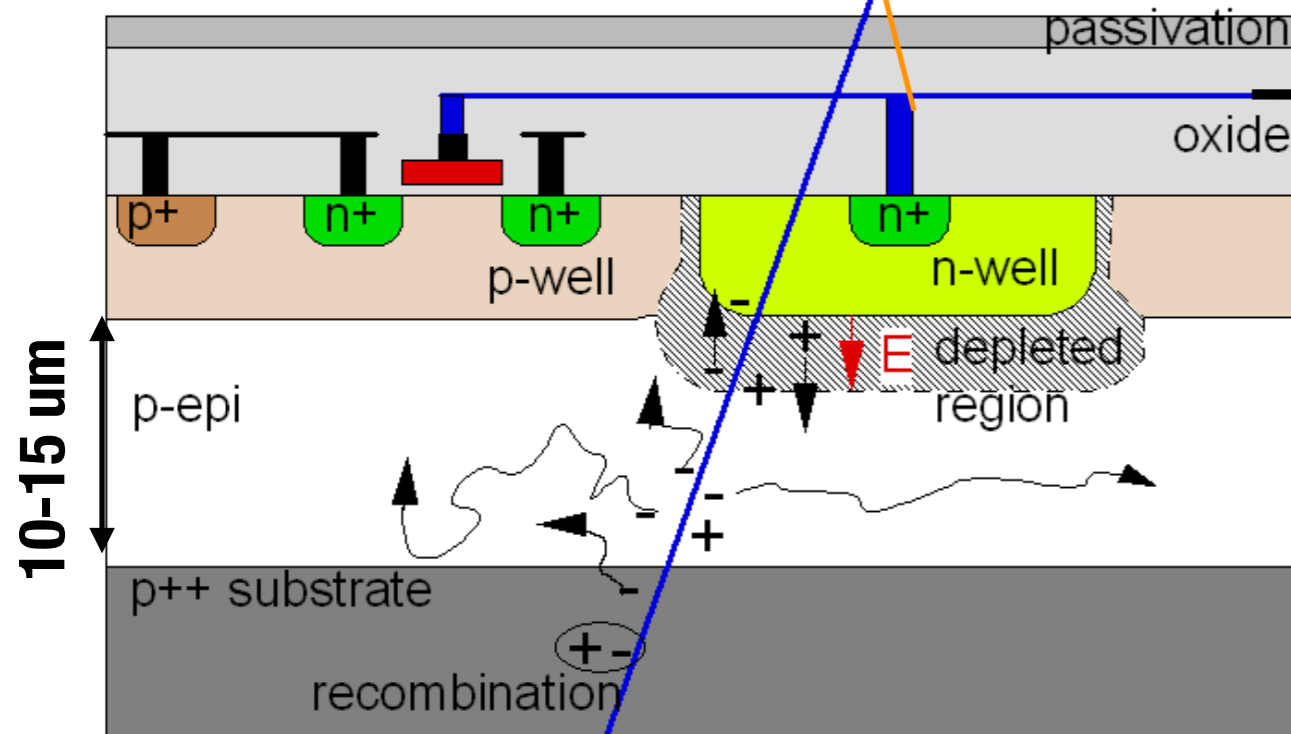


- ✓ センサー・エレキ一体型(低コスト)
- ✓ エピ層での電荷生成 (10-15  $\mu\text{m}$ 厚, AMS 0.35  $\mu\text{m}$ )

MIP信号 < 1000  $e^-$   $\rightarrow$  S/Nの問題

拡散による電荷収集  $\rightarrow$  マルチピクセル

- ✓ eliminate: base levels, 1/f noise, fixed pattern noise
- ✓ do this either offline- $\rightarrow$  slow or on-chip R&D



- ✓ 小ピクセル (20-30  $\mu\text{m}$ ピッチ)

位置分解能 < 2  $\mu\text{m}$

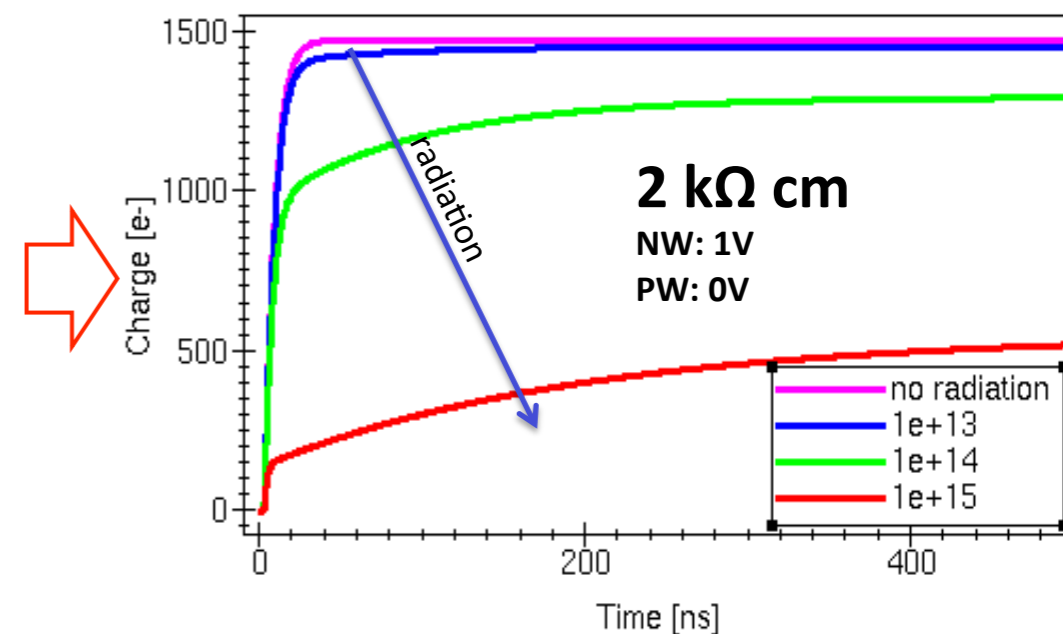
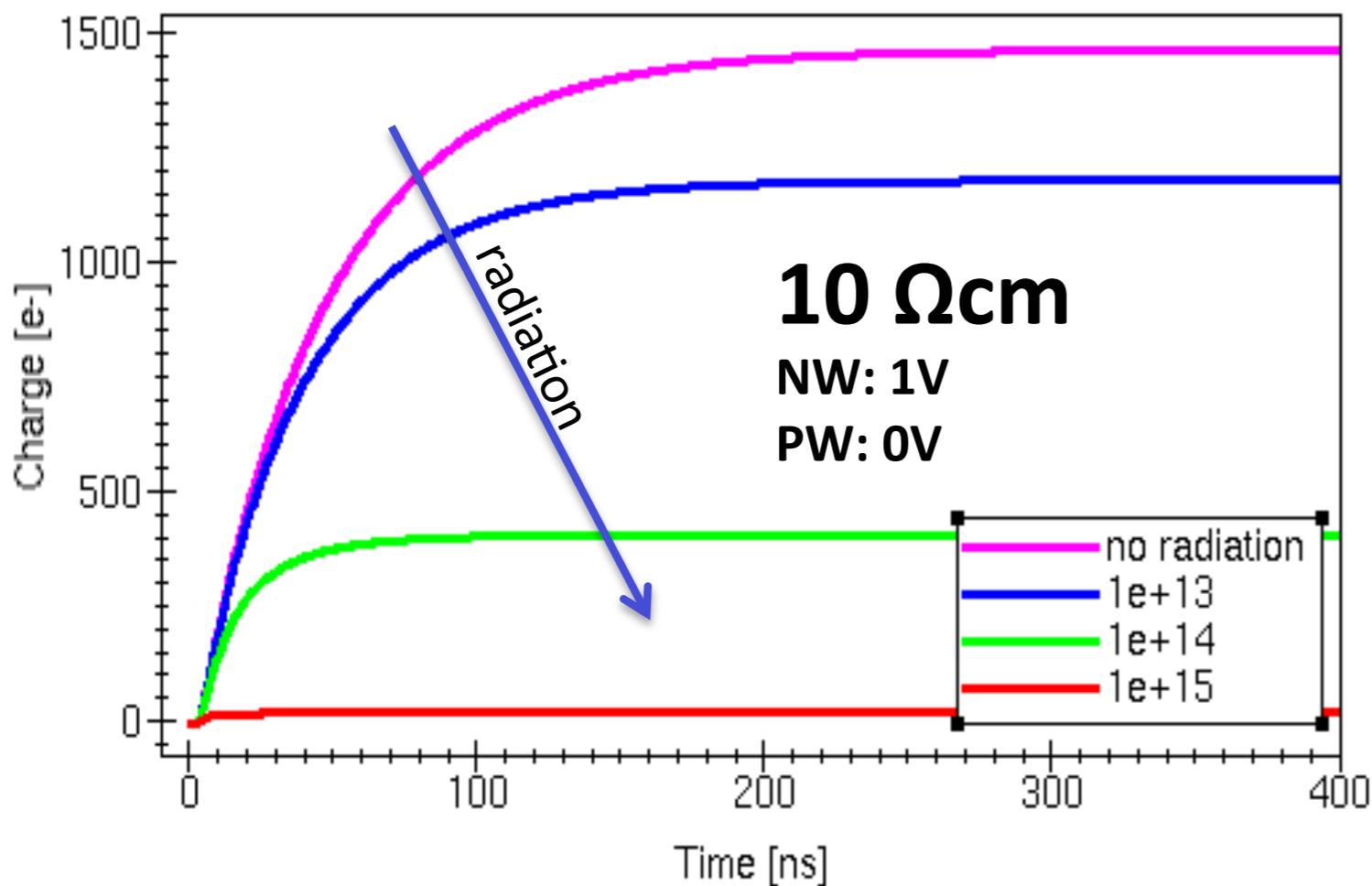
- ✓ 大面積  $\rightarrow$  19.4  $\times$  17.4  $\text{mm}^2$   
(1 メガピクセル)

# 完全空乏層型MAPS(DMPAS)

拡散による電荷収集はLHC実験には不向き → 完全空乏化させたい

**速度、放射線耐性... (40 MHz BX or 25 ns R/O)**

Hemperek



$$d \sim \sqrt{\rho \cdot V}$$

高抵抗のサブストレートあるいは高電圧を利用できないか

# DMAPS (HV-CMOS)

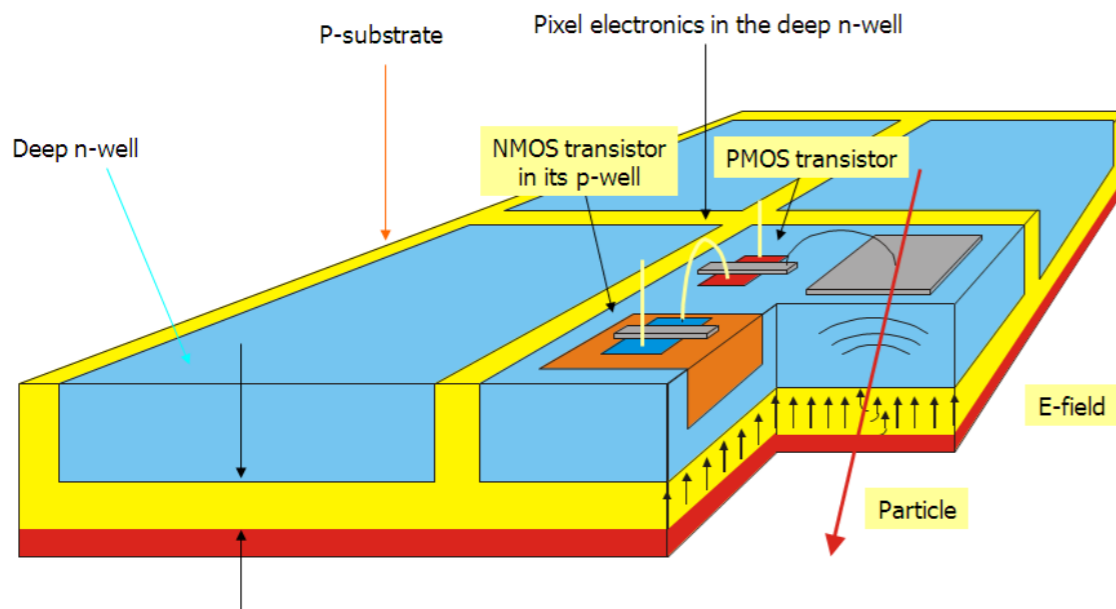
## HV - CMOS

$$d \sim \sqrt{\rho \cdot V}$$

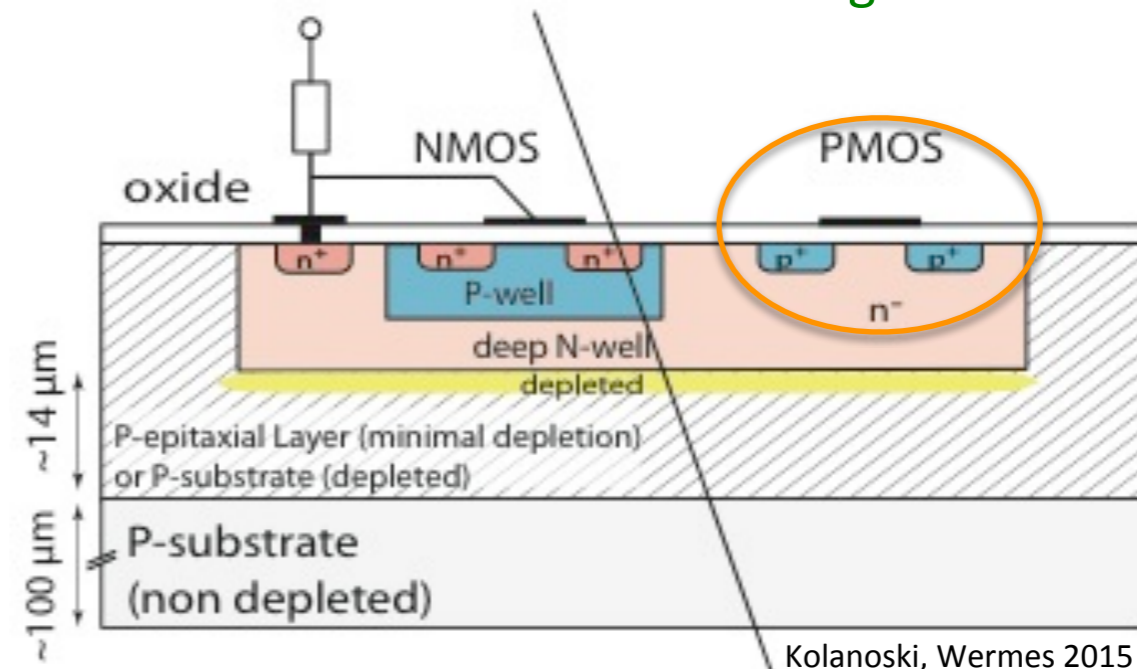
I. Peric et al.

Nucl.Instrum.Meth. A582 (2007) 876-885

Nucl.Instrum.Meth. A765 (2014) 172-176



e.g. AMS technology



✓ AMS 0.35 μm and 180 nm HV process (p-bulk) → 60-100 V

✓ ~10-15 μm depletion → 1-2 ke<sup>-</sup> signal for MIPs

✓ PMOS is coupled with collection electrode

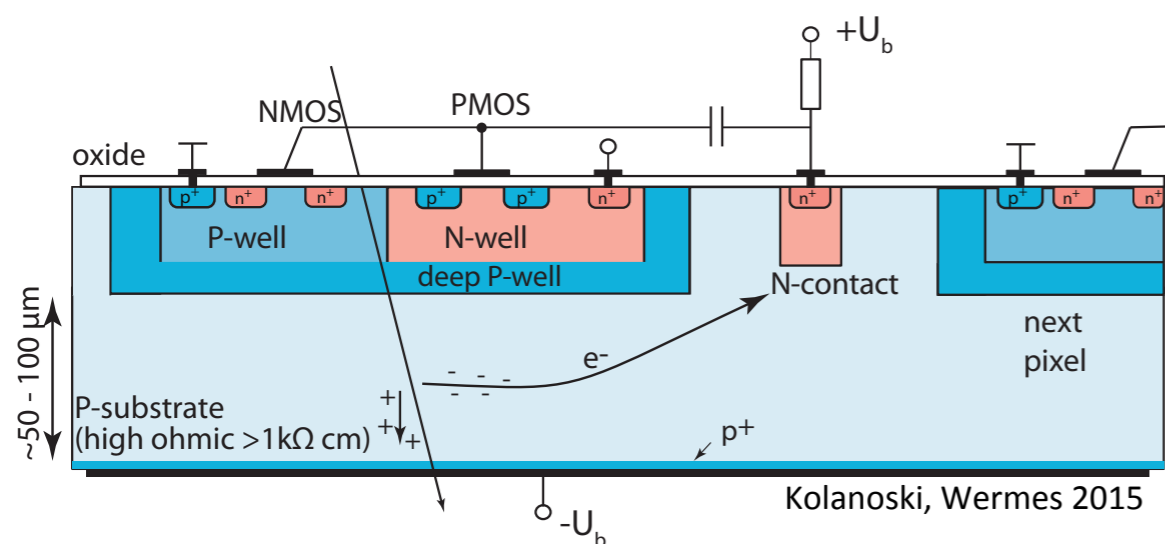
✓ deep n-well to put NMOS

✓ various pix size (20×20 μm<sup>2</sup> to 50×125 μm<sup>2</sup>)

# DMAPS (HR-CMOS)

HR - CMOS @Bonn  $d \sim \sqrt{\rho \cdot V}$

Havranek, Hemperek, Krüger et al.  
JINST 10 (2015) 02, P02013



eg, ESPROS

- ✓ depleted bulk
- ✓ small collection node
- ✓ long drift path

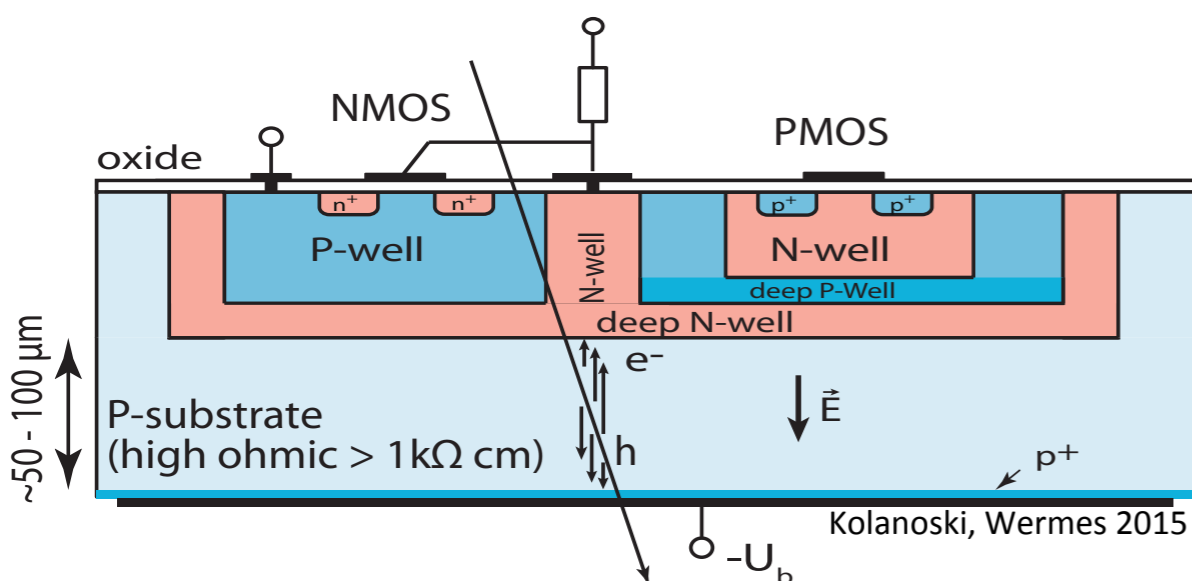
→ smaller  $C_{det}$ , more trapping

eg, LFoundry

- ✓ deep n-well and deep p-well
- ✓ large collection node
- ✓ short drift path

→ larger  $C_{det}$ , less trapping

measurements on-going

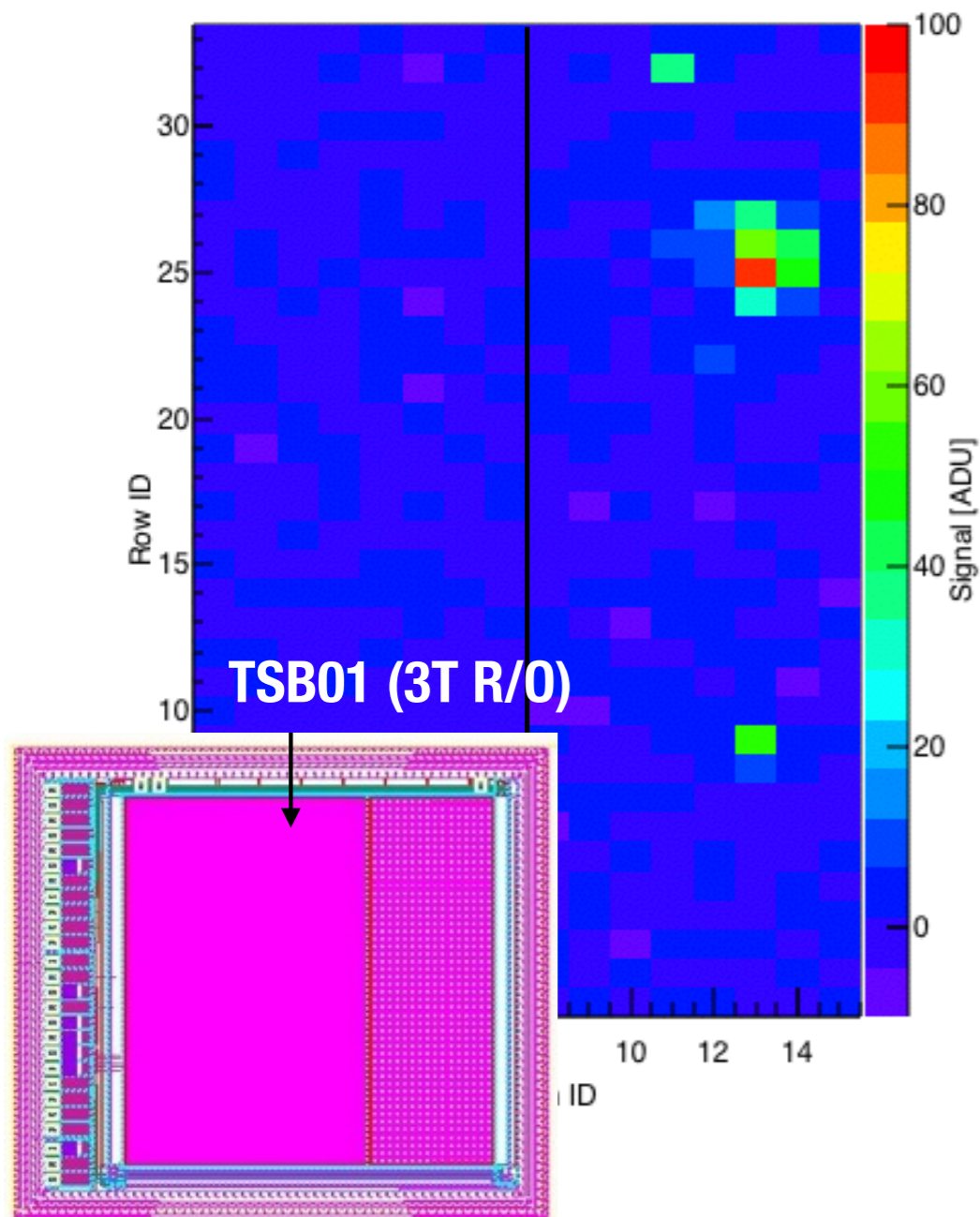


# HR-CMOSプロトタイプ

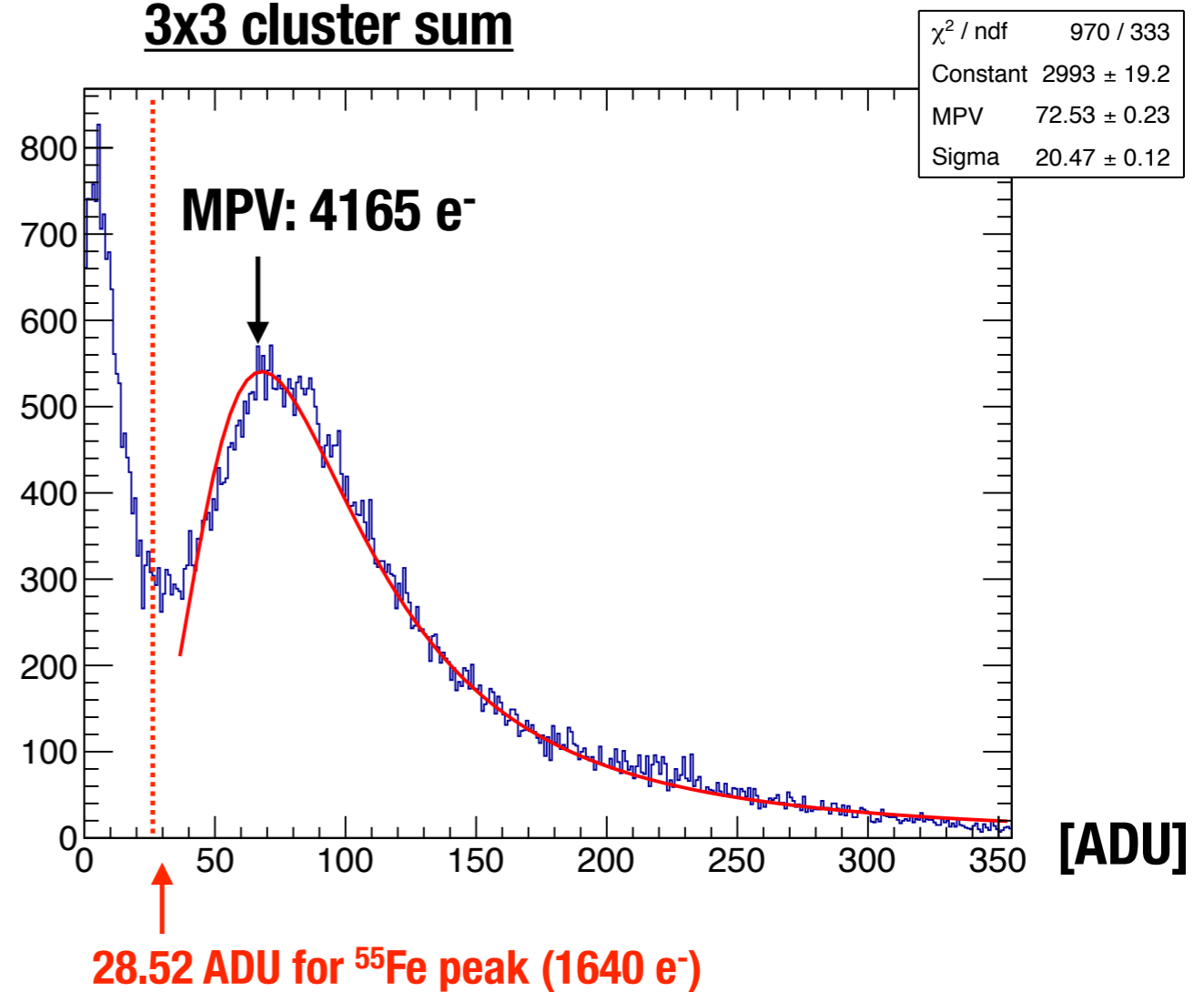
Toshiba 130 nm process

Kishishita et al., NIM A.

Pixel image



3x3 cluster sum



If  $p_{\text{sub}}$  is 2 k $\Omega$ •cm with 30 V bias (from backside), the depletion is 80  $\mu\text{m}$ .  
MPV in 50  $\mu\text{m}$  Si is 3.86 ke-

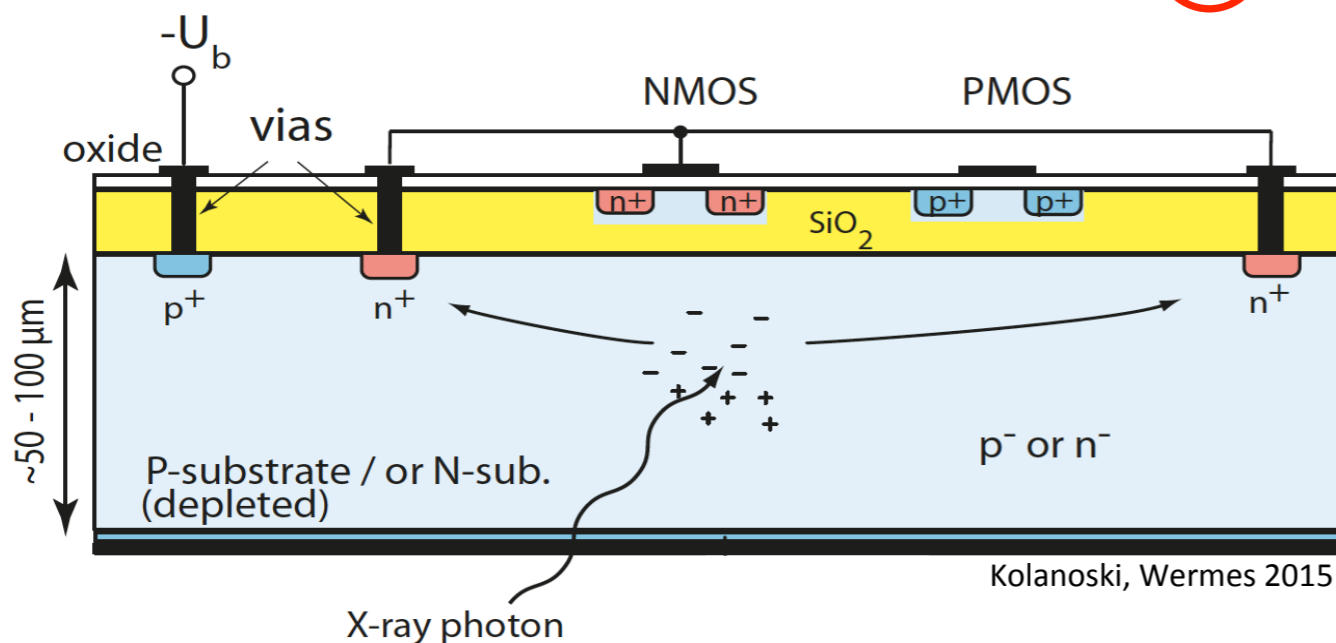


# DMAPS (HV-FDSOI)

## CMOS on SOI

$$d \sim \sqrt{\rho \cdot V}$$

eg, OKI/LAPIS/KEK

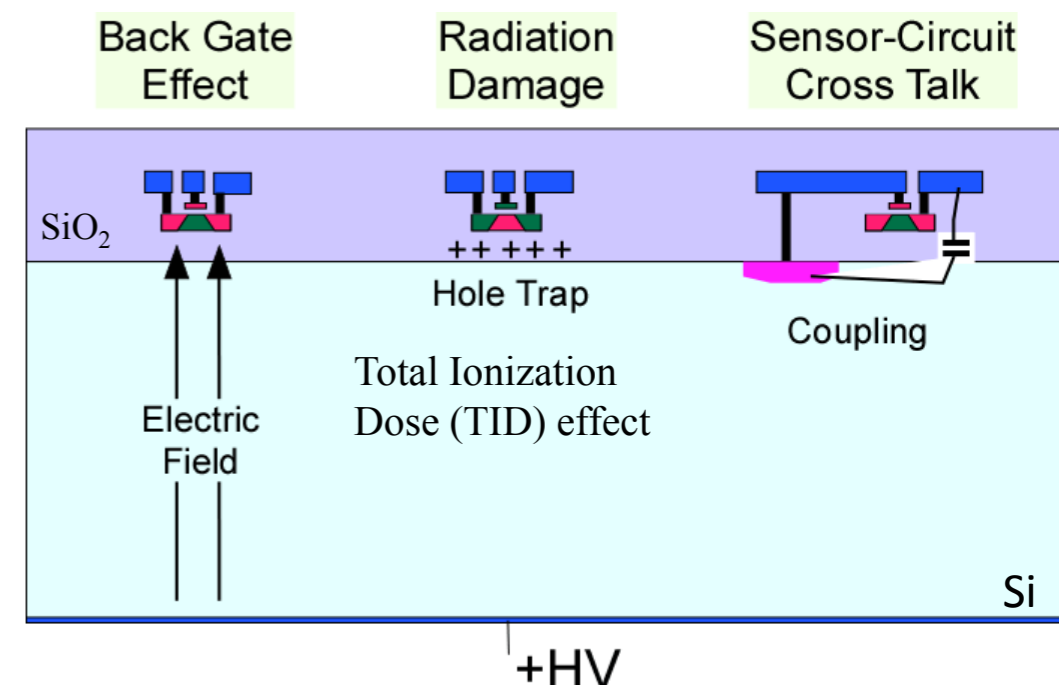


✓ radiation issues due to BOX

✓ cures invented in recent years (double SOI process)

✓ not suited for LHC pp

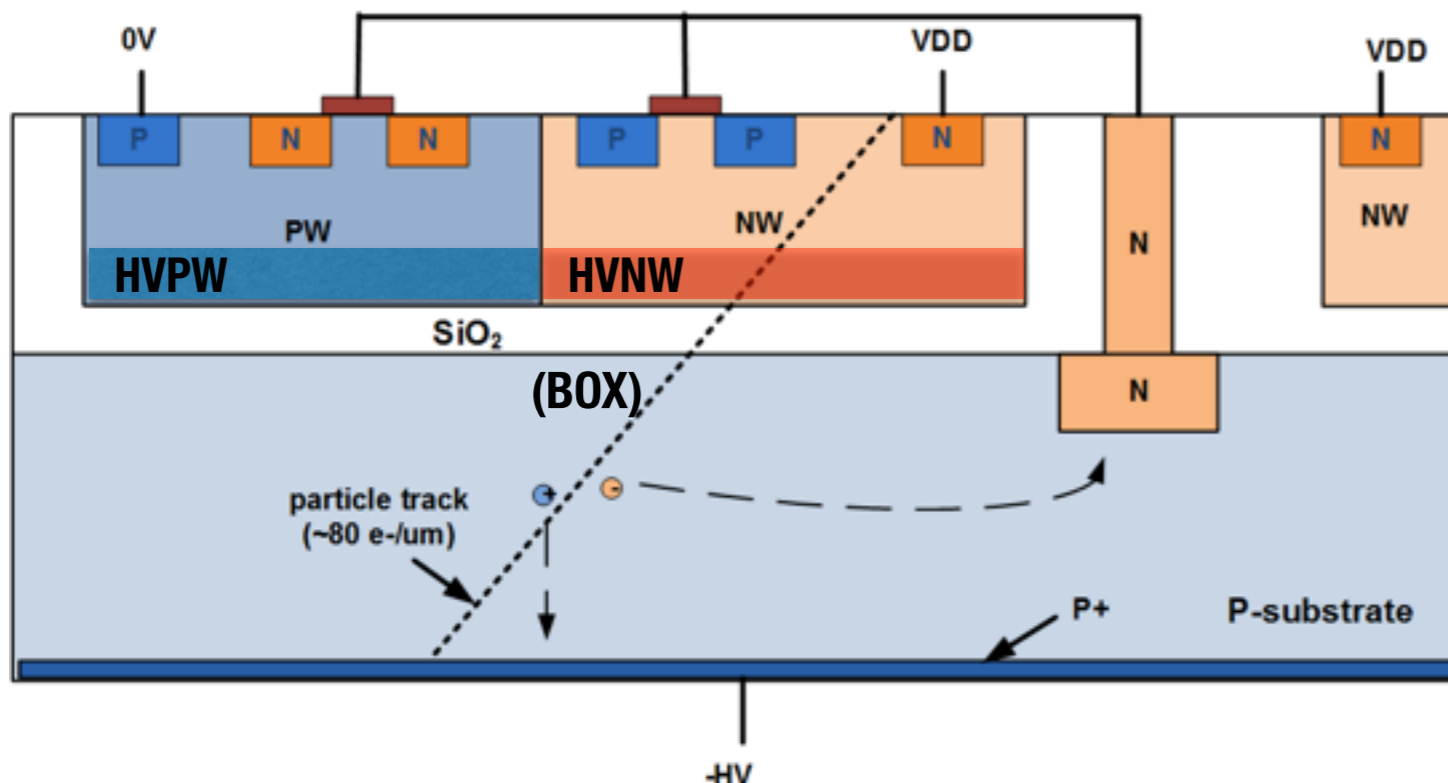
Process (Lapis Semiconductor Co. Ltd.)	<u>0.2μm Low-Leakage Fully-Depleted (FD) SOI CMOS</u> 1 Poly, 5 Metal layers (MIM Capacitor and DMOS option) Core (I/O) voltage : 1.8 (3.3) V
SOI wafer (200 mm φ =8 inch)	Top Si : Cz, ~18 Ω-cm, p-type, ~40 nm thick Buried Oxide: <u>200 nm thick</u> Handle wafer thickness: 725 μm → thinned up to 300 μm (Lapis) or ~50 μm (commercial process) Handle wafer type: NCZ, NFZ, PCZ, PFZ, double SOI
Backside process (2011~)	Mechanical Grind → Chemical Etching → Back side Implant → Laser Annealing → Al plating



Miyoshi

# DMAPS (HV-PDSOI)

## XFAB 180 nm HV SOI CMOS process @Bonn



Feature size: 180 nm

Supply rail: 1.8 V

p-type bulk, 4 metal layers

Resistivity: ~100  $\Omega$  cm

High voltage: ~several 100 V

Thickness:

gate oxide: 4.1 nm

BOX: 1  $\mu$ m

Chip: 300  $\mu$ m

Distance from Gate to BOX: 3  $\mu$ m

✓ BOX isolates electronics part from the sensor part

✓ full depletion possible  $\rightarrow$  fast & high signals  $d \sim \sqrt{\rho \cdot V}$

✓ full CMOS electronics (CSA, shaper etc. if needed)

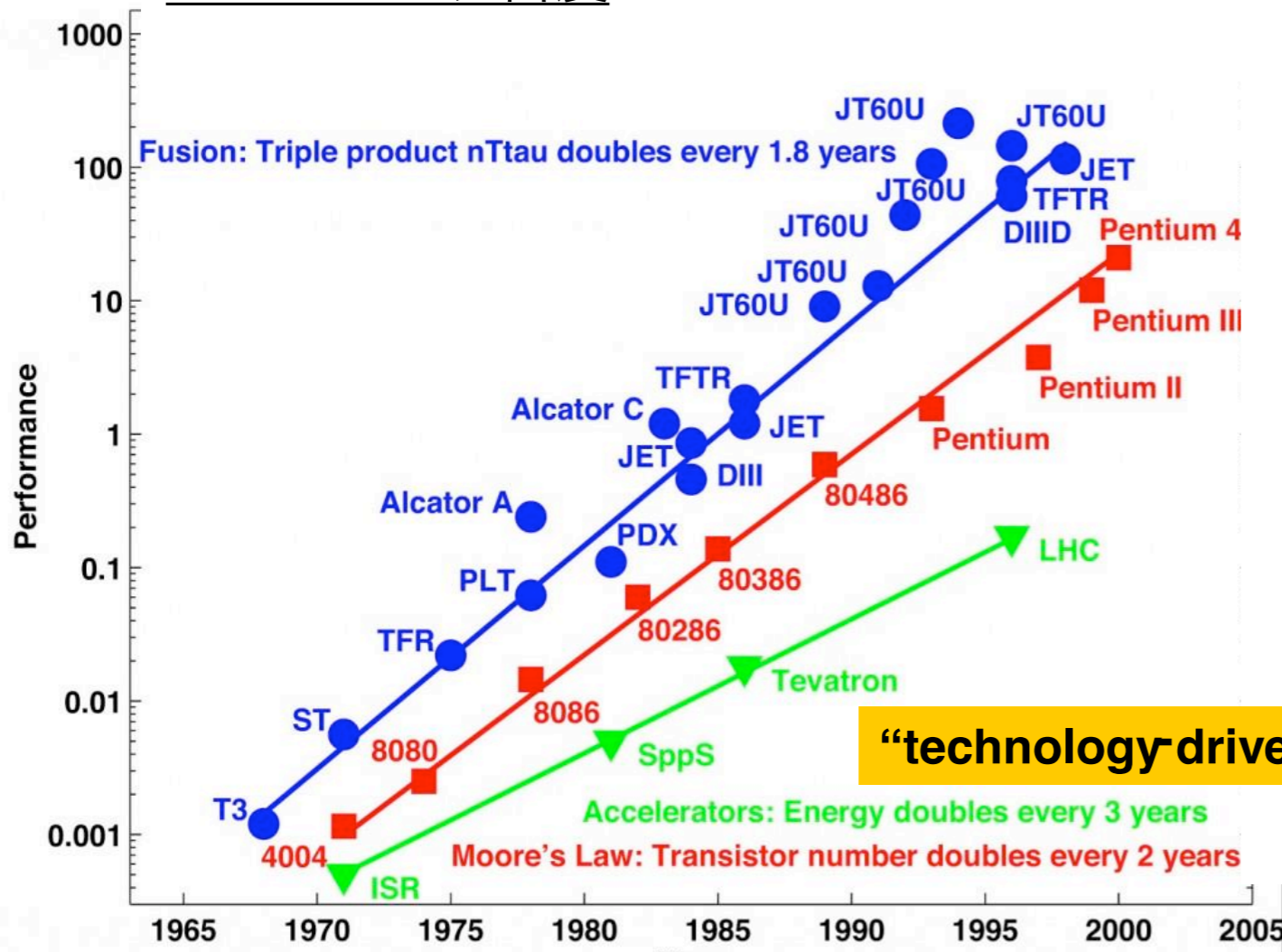
✓ theoretically rad-hard (no SEU) + **separated with HV-layers**

$\rightarrow$  also less coupled with sensor

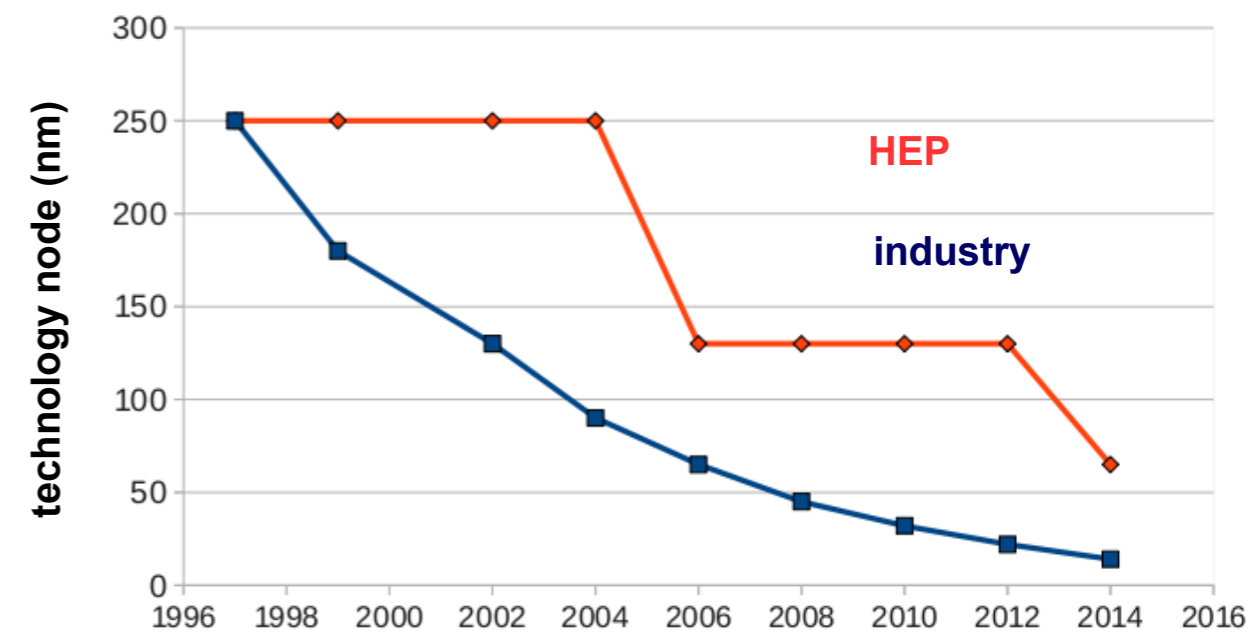
# ムーアの法則と今後

- ✓小プロセス→高密度集積回路→小ピクセル・多チャンネルなハイブリッドピクセル
- ✓新しいプロセス→完全空乏層型モノリシックピクセル
- ✓シリコン以外の新しいセンサー材料 SiC, ダイヤモンド etc.

トランジスタ密度



CMOSプロセスの変遷



今後もCMOS技術の発展が半導体検出器開発のカギ