

先端アナ・デジ混載LSI開発と設計教育

松澤 昭

東京工業大学
大学院理工学研究科

2010.07.01

新分野開拓に向けた研究室の取り組み

- 超高速ミリ波通信用アナログ・RF混載SoC技術
- 超低電力・超高速ADCの開発
- 医療用マイクロカプセルの開発
 - 膀胱内圧測定用センサーテレメトリーLSIの開発
 - nAで動作する容量・デジタル変換器
- 新型粒子検出器の開発

アナログCMOS回路設計教育

- 技術セミナー
- テキスト出版

Lab. members

2

TOKYO TECH
Pursuing Excellence

Founded in 2004

Professor: Akira Matsuzawa

Assoc. Prof.: Kenichi Okada (RF)

Assist. Prof.: Masaya Miyahara (ADC/DAC)

2 technical staffs, 3 secretaries

14 doctor students (3 from corp.)

16 master students

5 undergraduate students

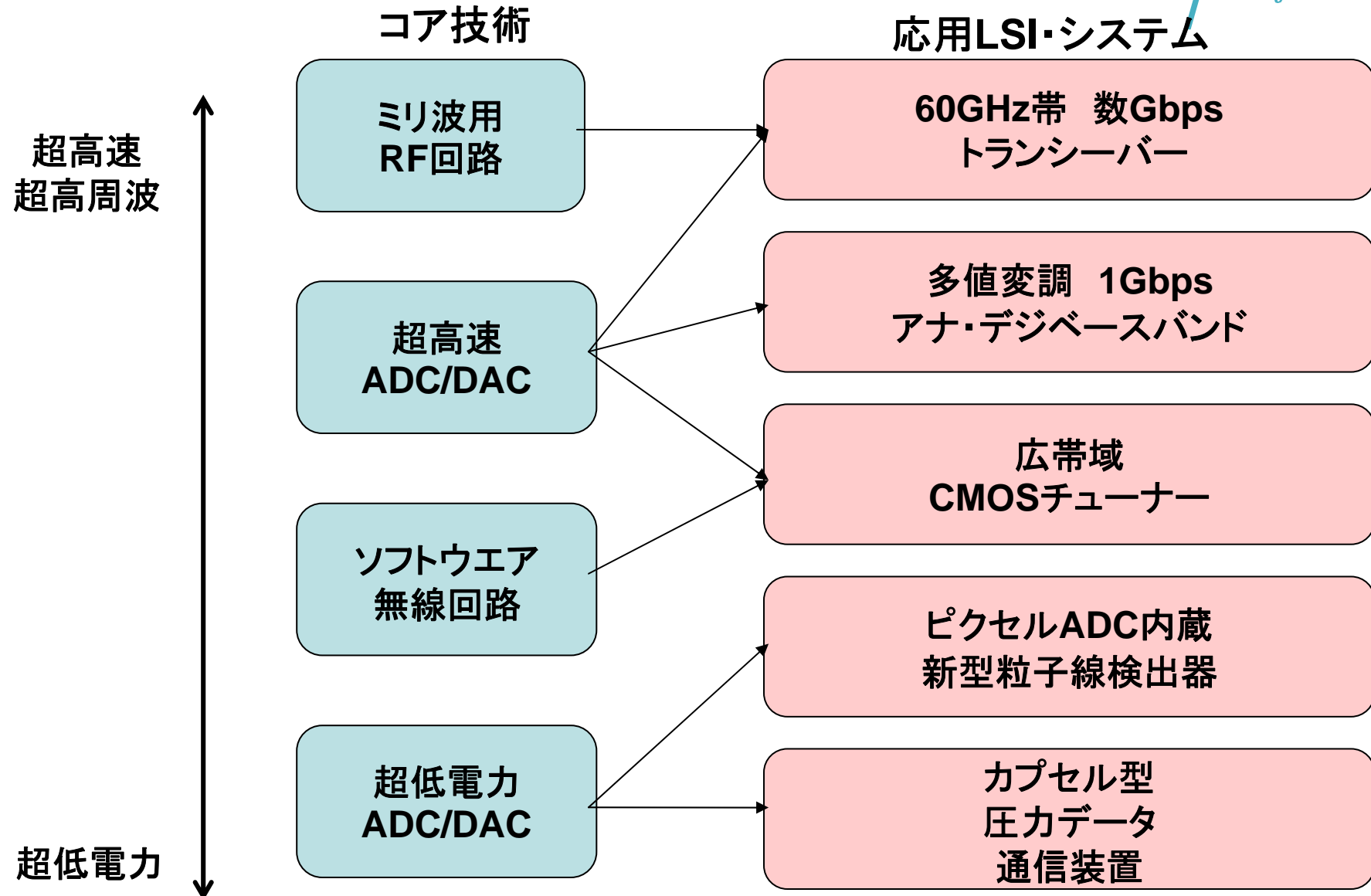
some researchers from corp. **≈45 people**

19 Japanese students and 16 foreign students

松澤・岡田研究室の取組み

3

TOKYO TECH
Pursuing Excellence



- 環境
 - － 設計環境
 - 設計ツールは企業以上の内容
 - VDECにより設計ツールは無料
 - － 試作環境
 - シャトルサービスにより、65nmCMOS程度まで可能
 - アカデミックプライスなどにより格安
- 利点
 - － LSIを開発することで、実際に動作するシステムが実現できる
 - － すぐに利益の出ない分野でも取り組める
 - － 波及効果が1企業の枠を越える
- 課題
 - － 学生が2～3年で入れ替わる
 - － 技術蓄積が困難でレベルが上がらない
 - － 開発日程や品質管理など、学生の管理が困難

超高速ミリ波通信用

アナログ・RF混載SoC技術

無線通信の次の目標はGビット伝送を実現するミリ波通信システムの実現である。Gbpsを超える超高速ADC, DACや、CMOSを用いた60GHzの超高周波回路技術を紹介する。

総務省からの委託研究

2010.07.01

目標：ミリ波ブロードバンド通信の実用化

- ・光とシームレスに接続できる無線システムを開発
- ・方式開発、集積回路開発、システム開発の一体開発

1. 2km程度の中距離伝送
: 38GHz, 1Gbps

東工大・JRC・NEC



図 2 東京工業大学大岡山キャンパスの航空写真

2. 数m程度の短距離伝送
: 60GHz, 3.5G--10Gbps

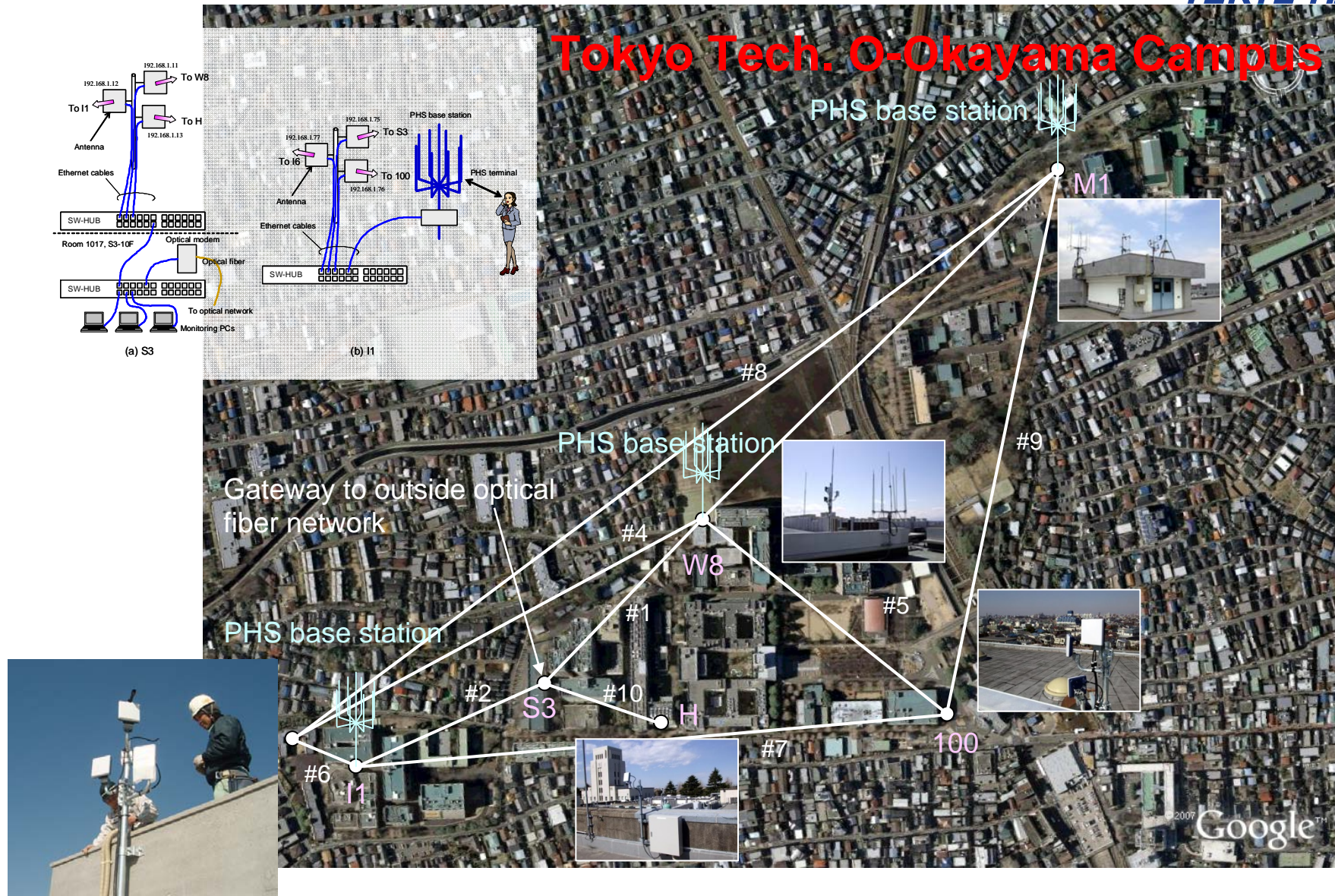
東工大・SONY



Sony 提供

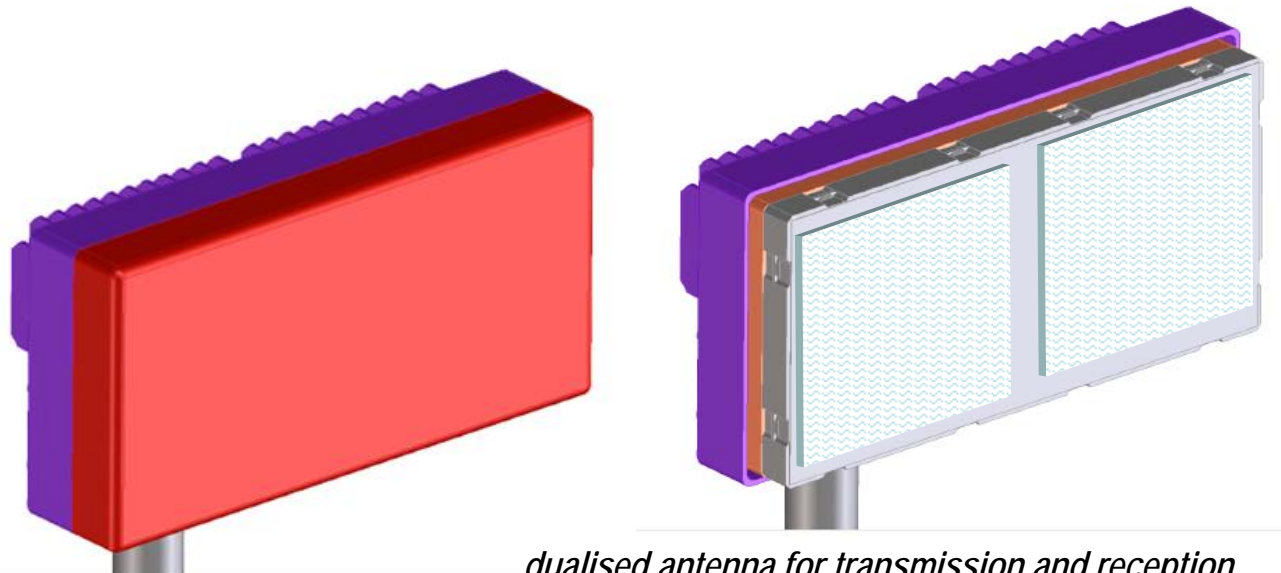
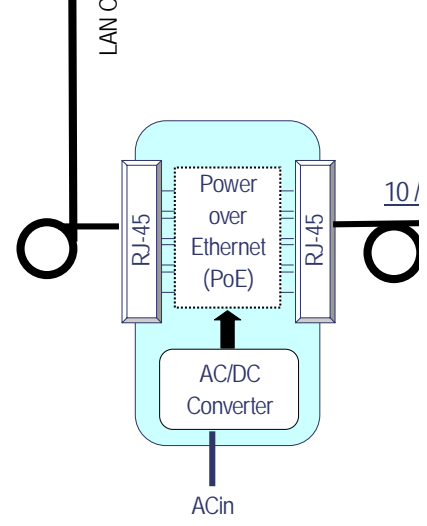
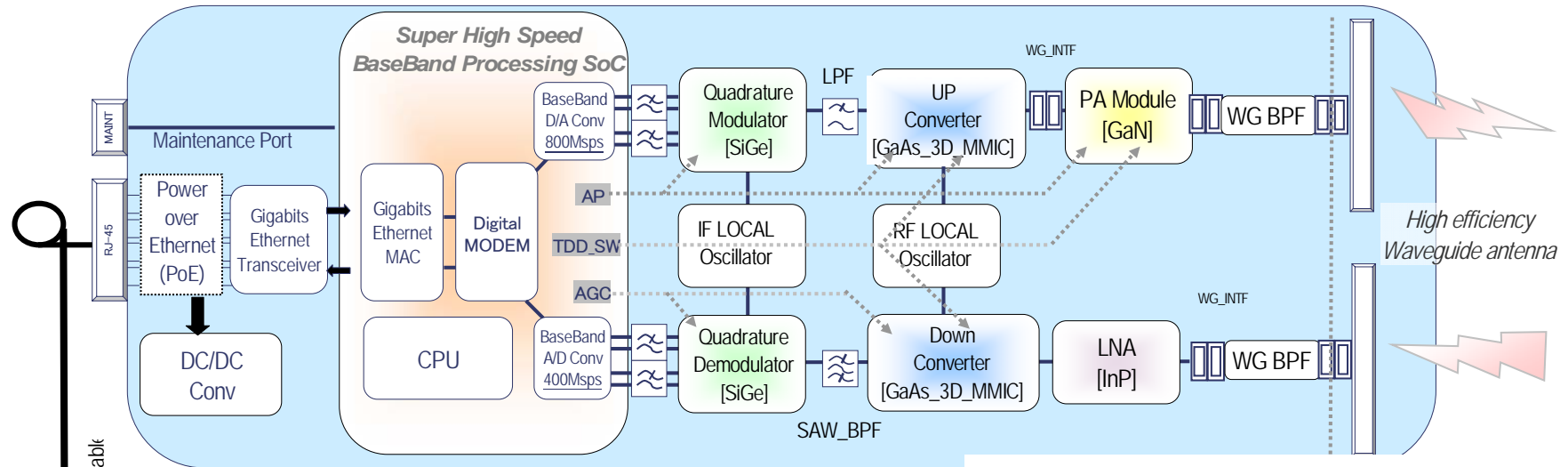
Tokyo Tech. Model Network (Air View)

Tokyo Tech. O-Okayama Campus



38GHz-band/1Gbps-class 伝送システムの構成

1Gbit Ethernet互換の無線システム



38GHz帯 600Mbps用SoC,要素回路の開発

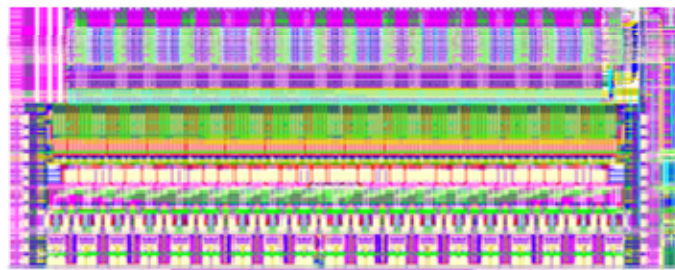
9

TOKYO TECH
Pursuing Excellence

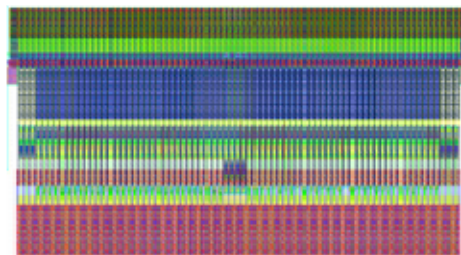
このような超高速ADCは入手困難で、SoCの開発は多額の費用と労力、高度技術が必要

東工大がADC, DACを開発し、JRCがシステム設計を行った

- ・8bit 400Mps 補間並列型アナログデジタル変換器(ADC)
 - ・10bit 800Mps デジタルアナログ変換器(DAC)
 - ・10bit 50Mps 制御用デジタルアナログ変換器(DAC)
- 16QAM: 640Mbps
64QAM: 1Gbps

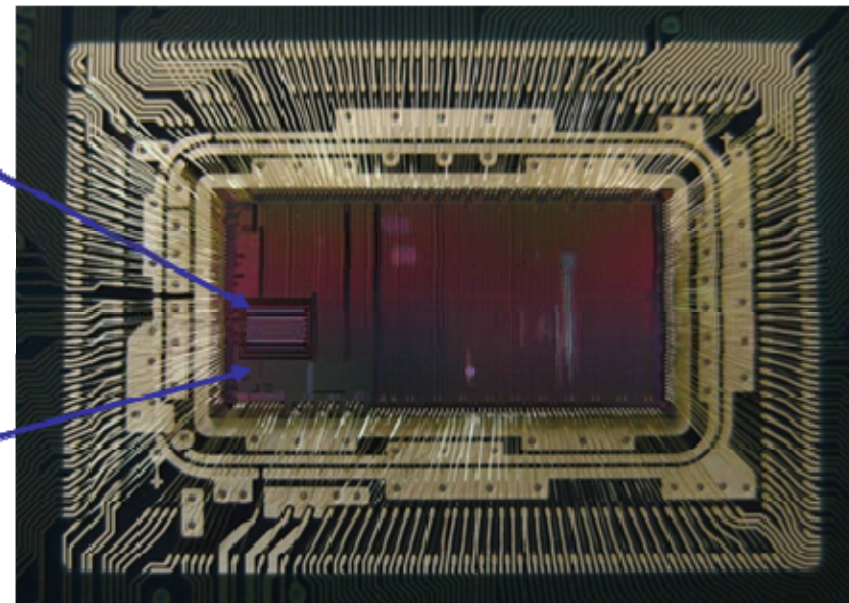


8bit 400Mps ADC



10bit 800Mps DAC

90nm CMOS: 4000万トランジスタ



38GHz, 640Mbps用 アナ・デジ混載SoC

Consumer mm-wave applications

10

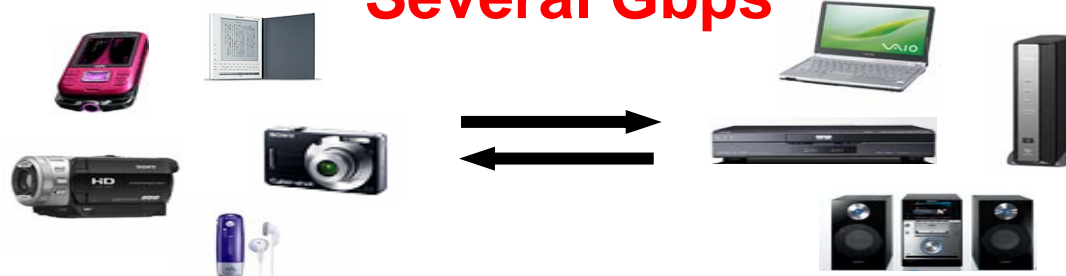
TOKYO TECH
Pursuing Excellence

4.7 GB DVD can be transferred in 13sec with 3Gbps mm-wave system

High-speed file/data transmission (~1m)

← We now focusing

Several Gbps



Camcorder, Mobile Phone,
DSC, Mobile Storage etc.

DVD/HDD recorder, Game,
STB, Mobile PC etc.

Uncompressed video transmission (5~10m)



TV or Monitor

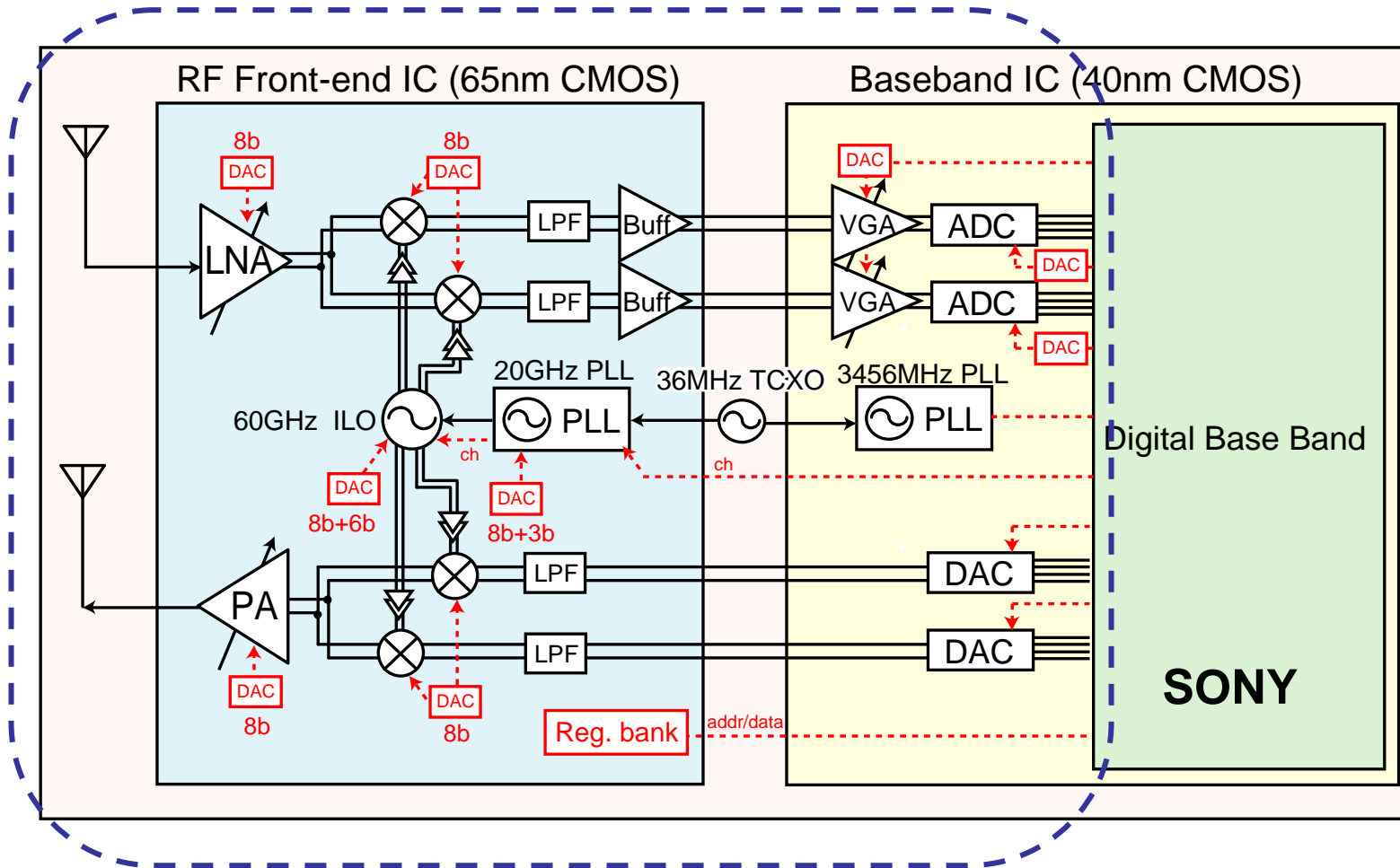


Point-to-point



PC, uMPC,
Set top Box
(STB) (IEEE802.15.3c)

松澤・岡田研の開発担当

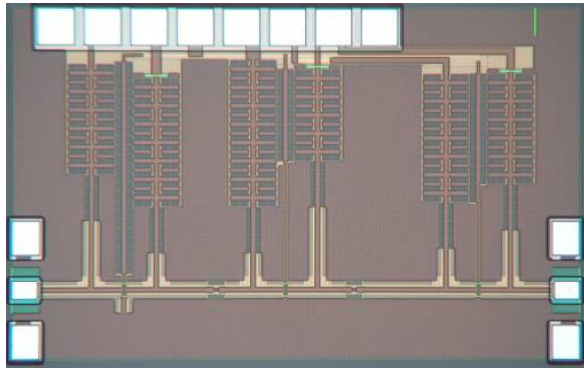


Circuit blocks for 60GHz transceiver

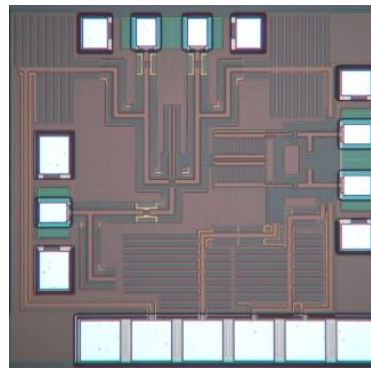
12

TOKYO TECH
Pursuing Excellence

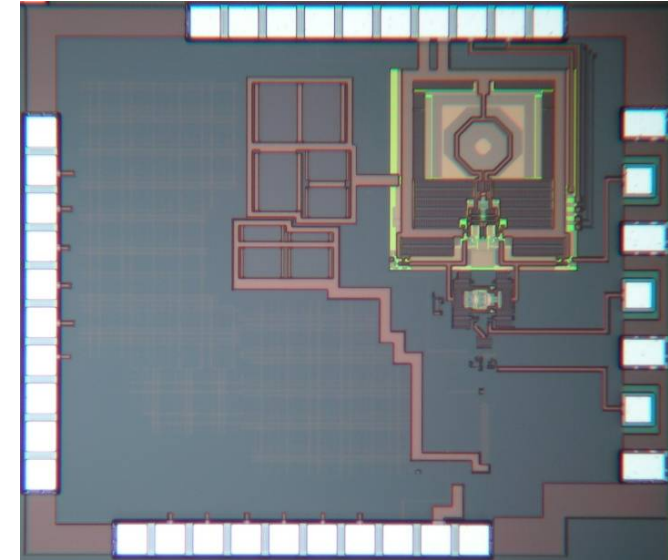
We are now developing many circuit blocks for 60GHz transceiver.



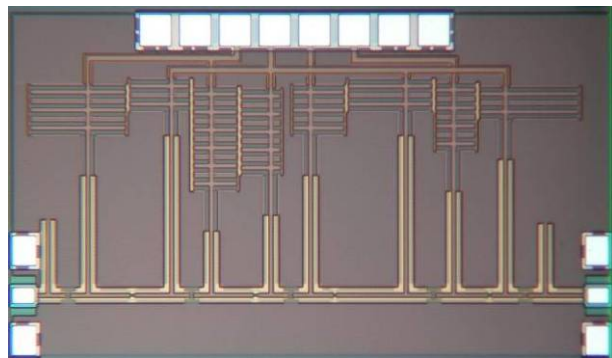
60GHz LNA



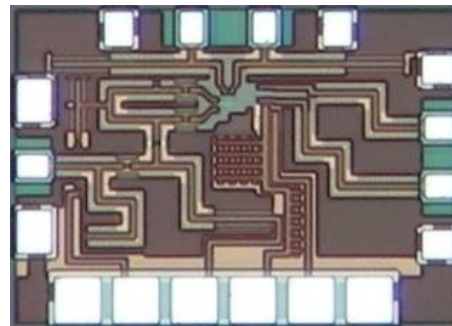
Down-Mixer



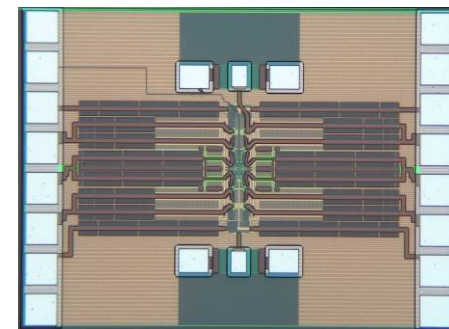
20GHz PLL



60GHz PA



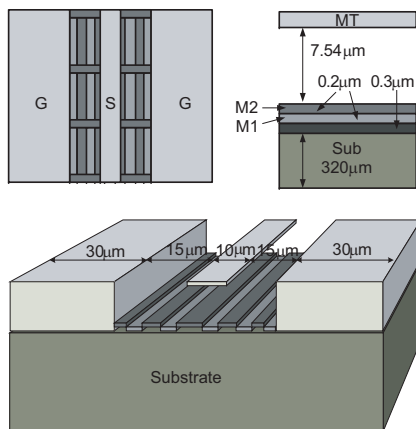
Up-Mixer



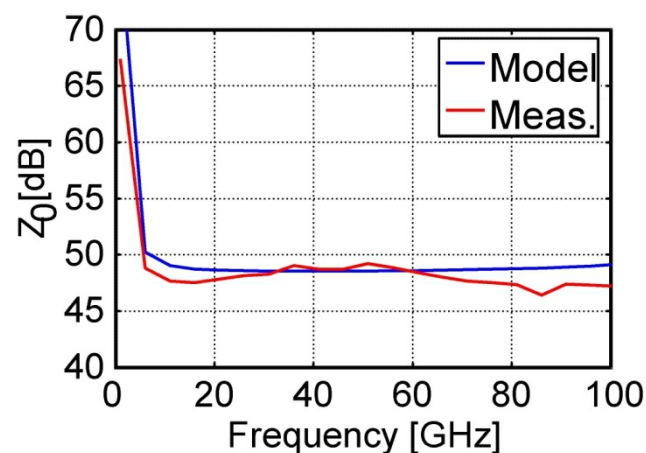
I/Q Tripler

CMOS 65nm

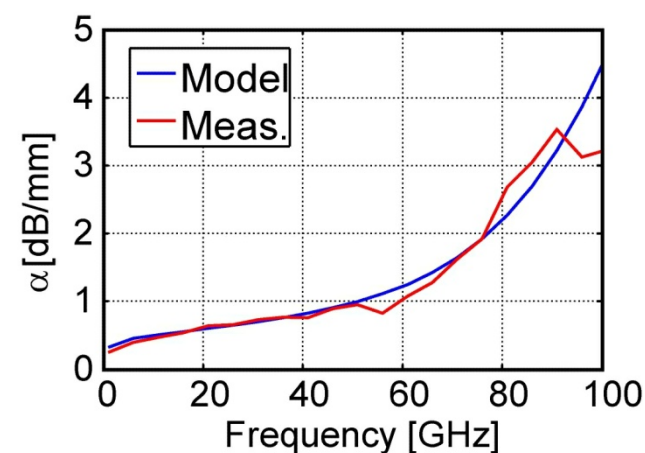
回路設計には伝送路の110GHzまでの正確な特性評価とモデリングが不可欠



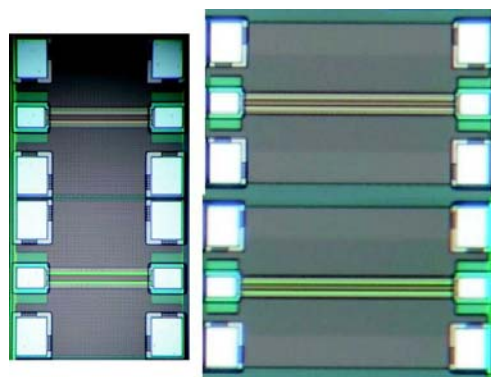
Cross Section



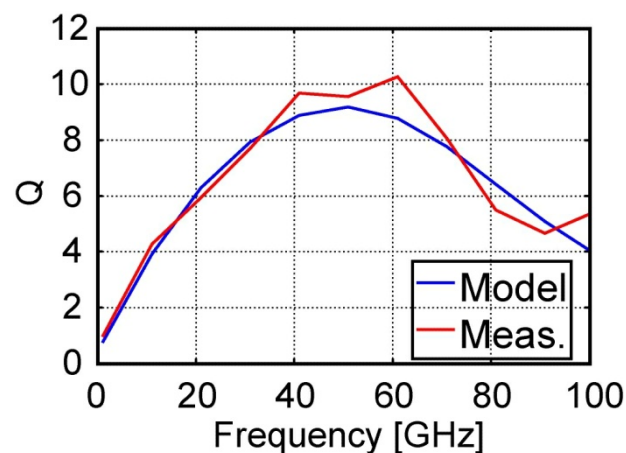
Z_0



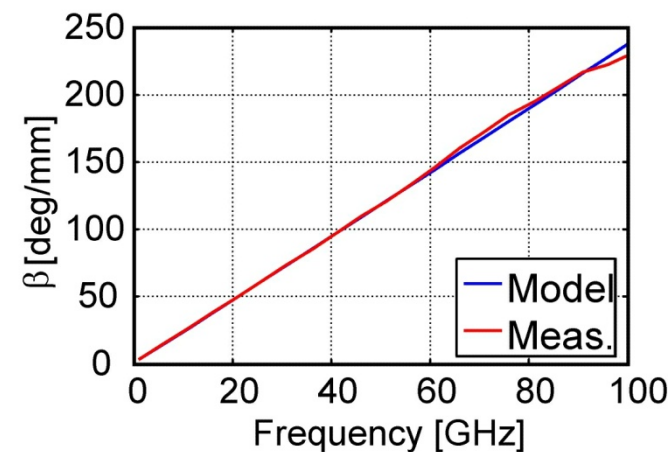
α



Chip photo



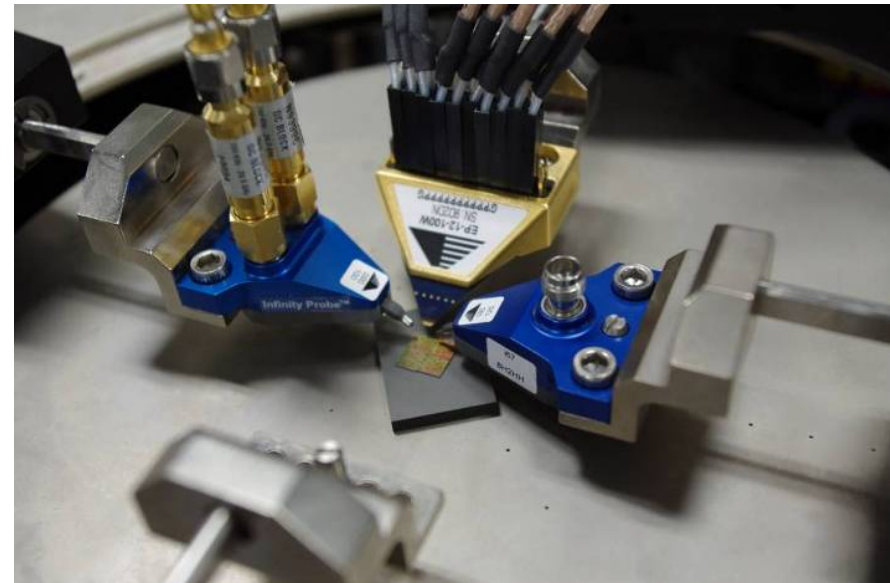
Q



β

Up to 110 GHz

- Network analyzer
 - S-parameter measurement
- RF probe



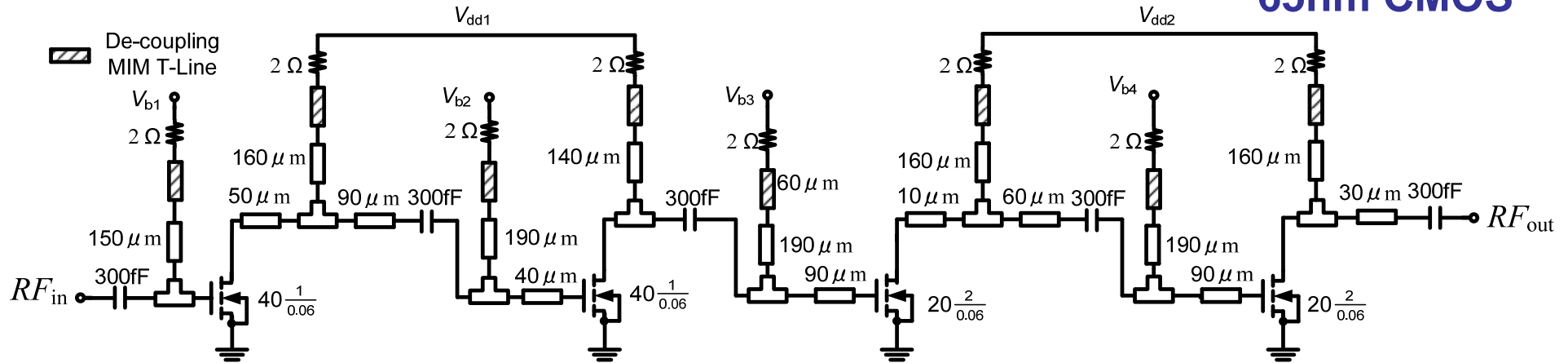
60GHz, 4dB NF LNA

15

TOKYO TECH
Pursuing Excellence

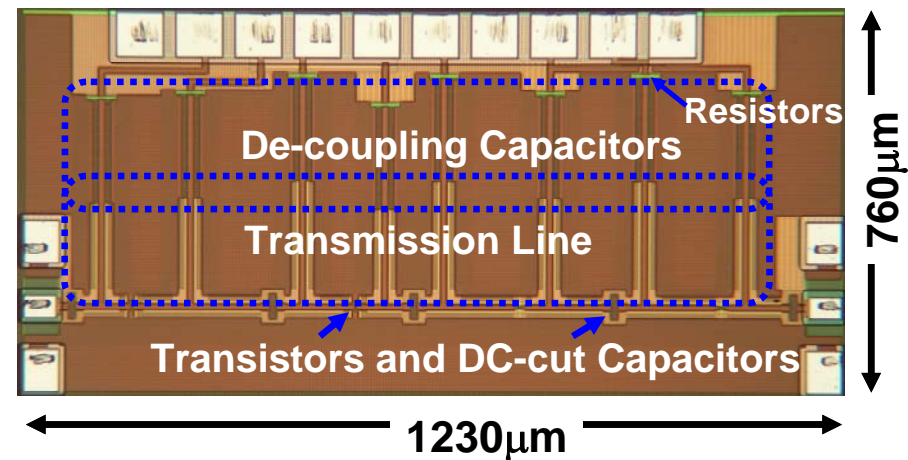
60GHzでNF=4.0dBの世界最高感度の低雑音増幅器を開発

65nm CMOS



Schematic

	[1]	[2]	[3]	[4]	[5]	[6]	This work
Technology	90nm	90nm	90nm	90nm	65nm	90nm	65nm
Topology	CS	Cas.	Cas.	CS	Diff. Cas.	Cas.	CS
#Stage	3	2	2	2	3	3	4
BW [GHz]	5	6	8	-	7.7	14	17
Gain [dB]	15.0	14.6	15.5	12.2	19.3	20.0	24
NF [dB]	4.4	5.5	6.5	6.5	6.1	6.8	4
Power [mW]	3.9	24	86	10.5	35	36	30



[1] E. Cohen, et al., RFIC 2008 [2] T. Yao, et al., JSSC 2007 [3] S. Pellerano, et al., JSSC 2008 [4] B. Heydari, et al., JSSC 2007 [5] C. Weyers, et al., ISSCC 2008 [6] Y. Natsukari, et al., VLSI Circuits 2009

超低電力・超高速ADCの開発

ADCはアナログ・デジタルの境界に位置し、今後もあらゆる機器に使用される。したがって、不断の高速化、低電力化が必要である。抵抗ではなく、容量をうまく使用することで、700MHzと超高速ながら、7mWの世界最小の変換エネルギーで動作する6bit ADCの開発を紹介する。

総務省およびJSTからの委託研究

比較器のオフセット電圧と動作エネルギー

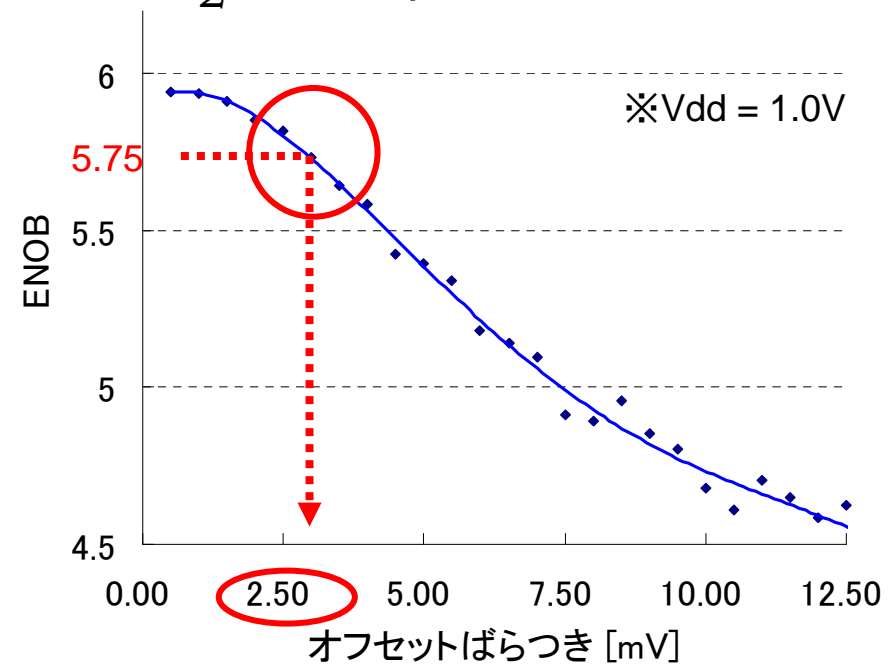
オフセットばらつきにより有効分解能が劣化する
 しかしながら、トランジスタサイズを大きくしての対処は消費電力増大を招く。

したがって、サイズを最小にしてオフセット補償により精度を確保することが必要

6bit, Flashの例

$$V_q = \frac{V_{FS}}{2^N}$$

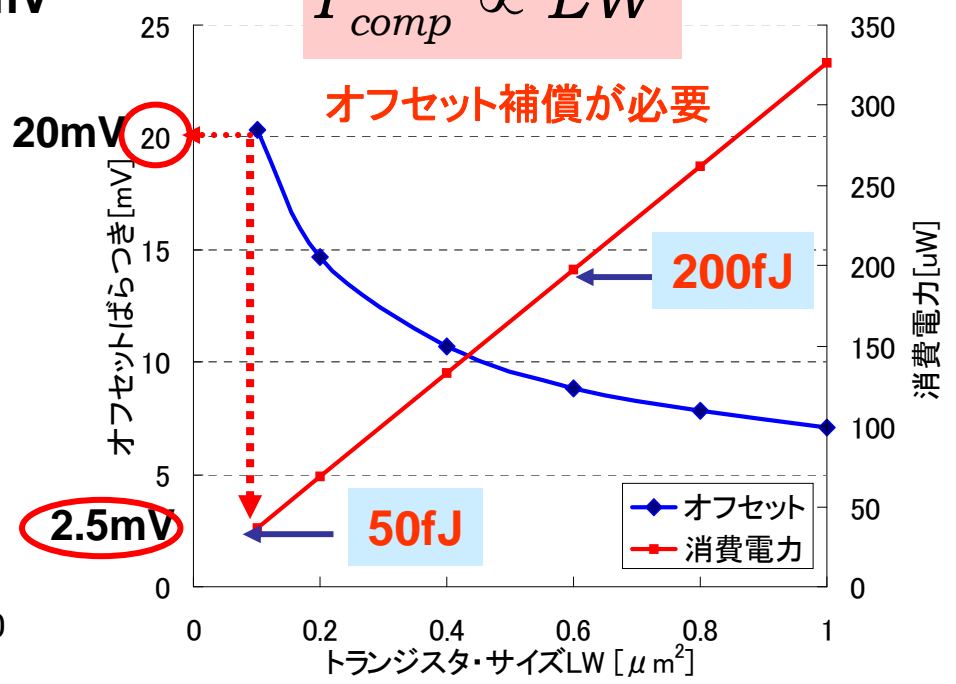
$V_q = 16\text{mV}$, ミスマッチ $< 3\text{mV}$



$$V_{\text{offset}} (\sigma) \propto \frac{1}{\sqrt{LW}}$$

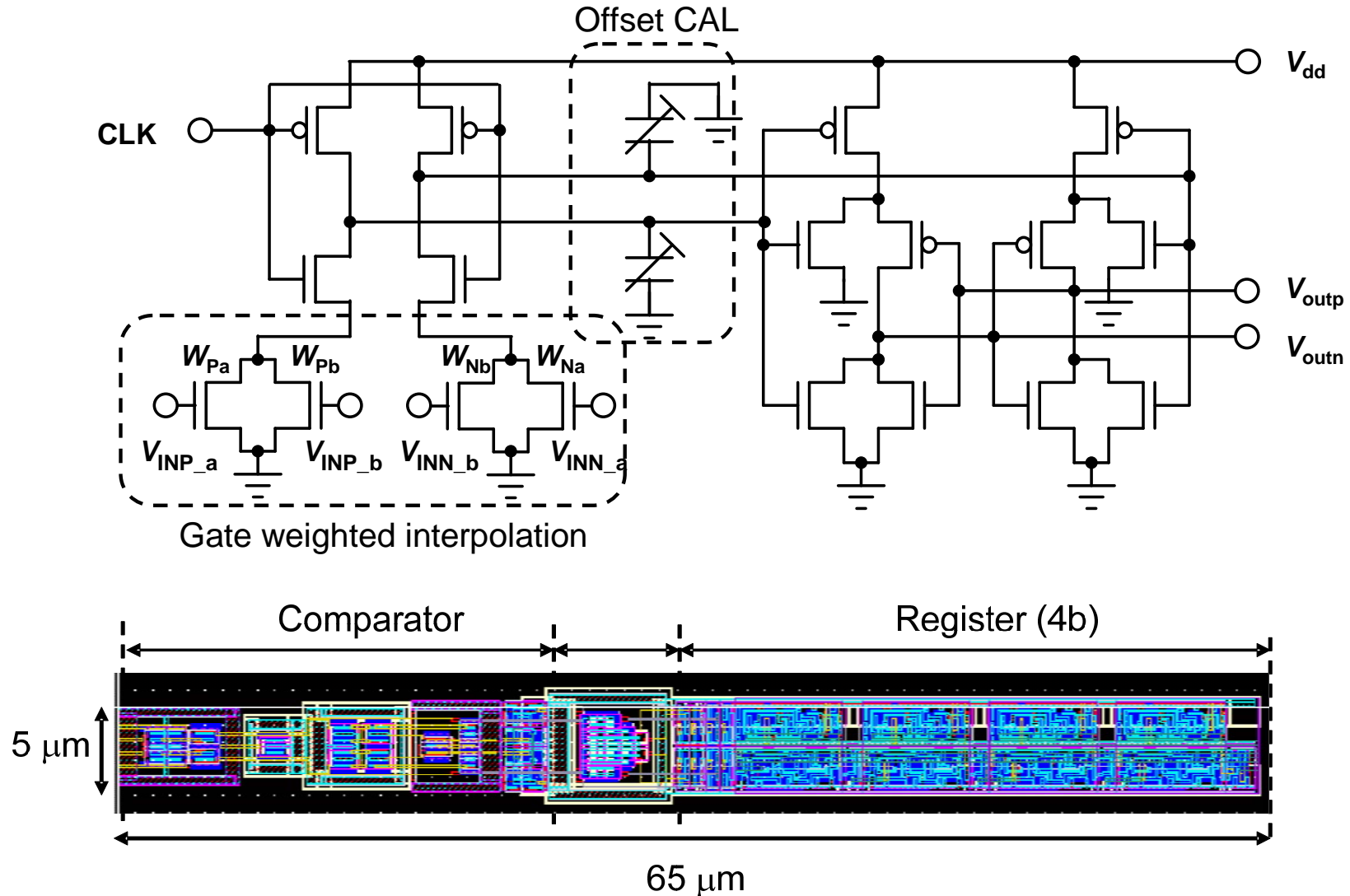
※90nm CMOS
Fs = 1GS/s

$$P_{\text{comp}} \propto LW$$



比較器回路

補間動作・オフセット補償を備えた、殆ど電力を消費しない比較器を開発

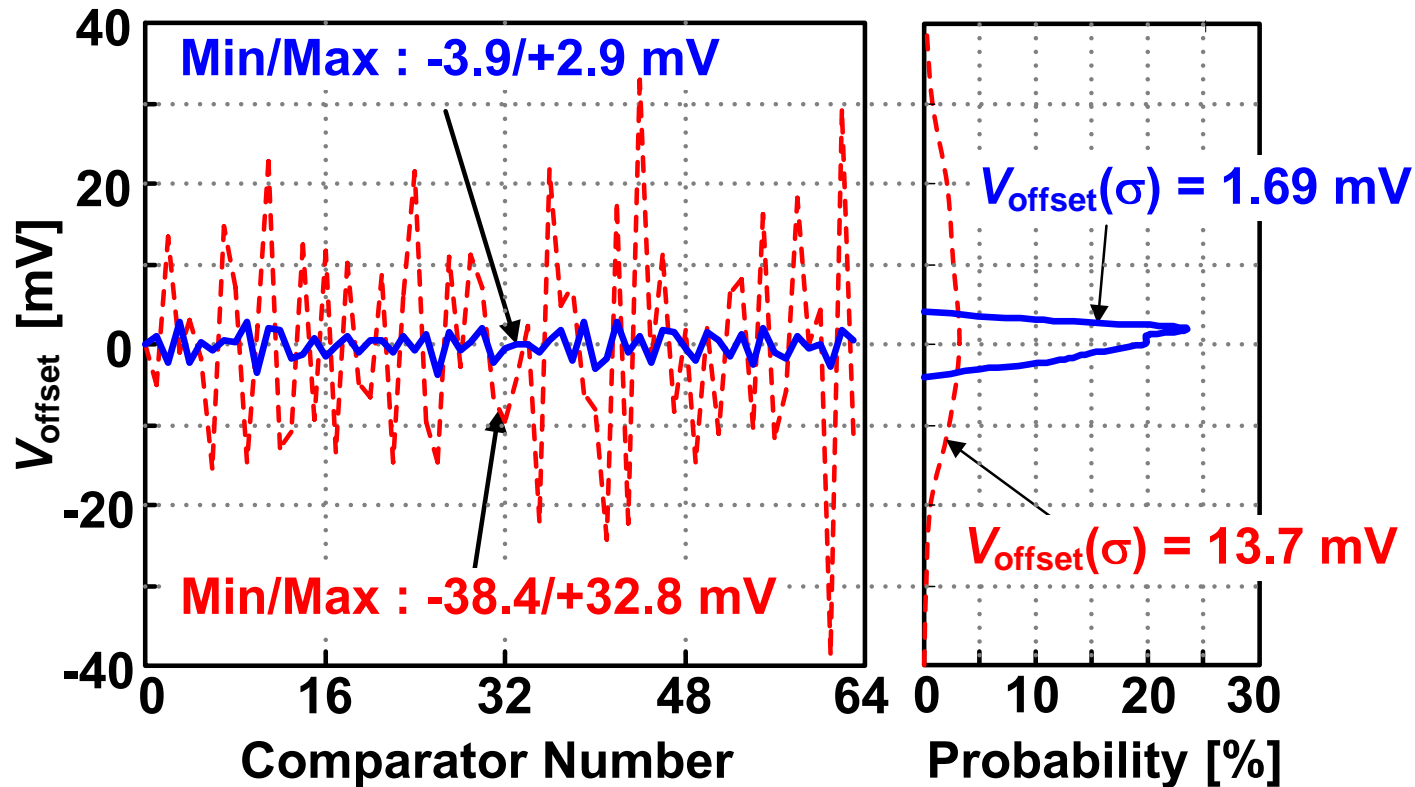


オフセット補償結果

13.7 mV のオフセット電圧を1.7mVに低減した

Measured result

— Calibration ON
- - - Calibration OFF



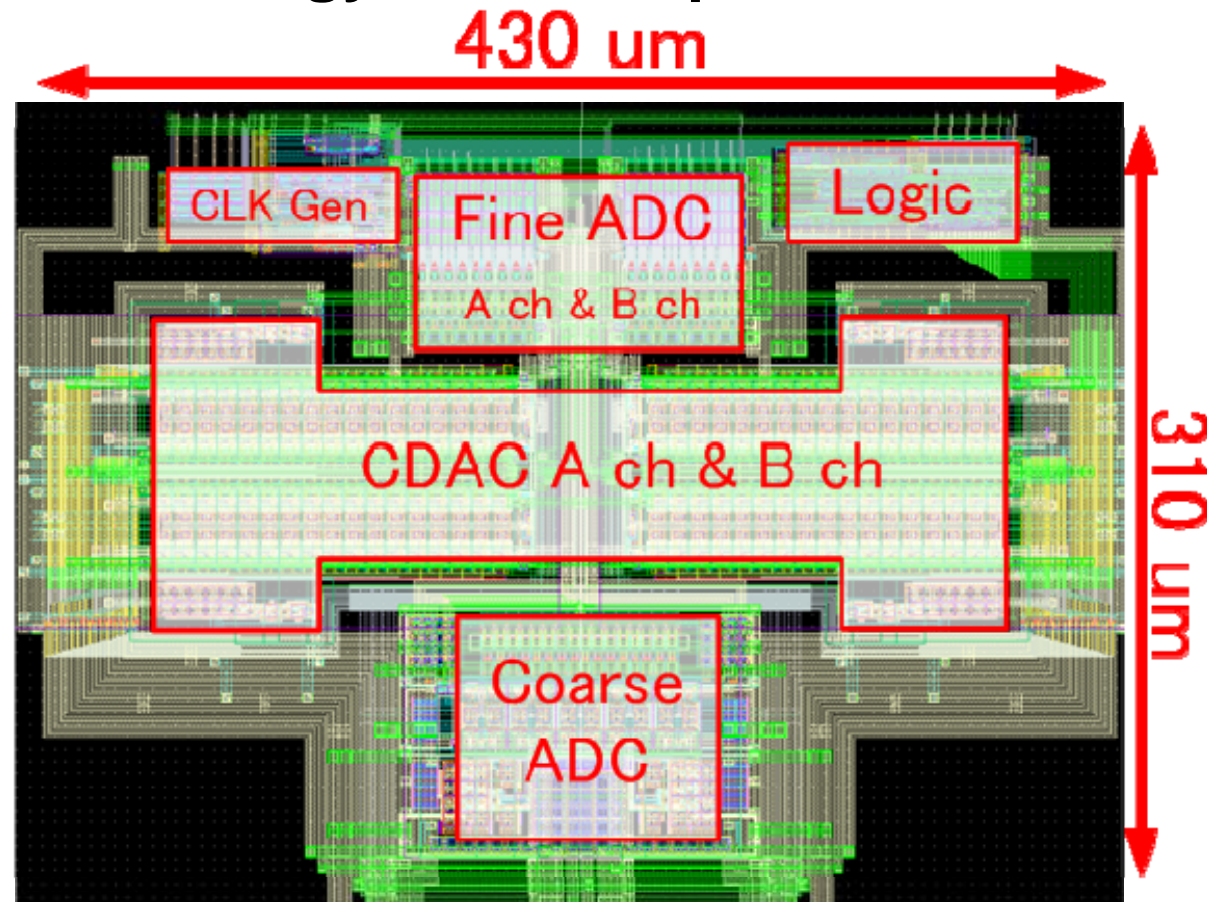
M. Miyahara, Y. Asada, D. Paik, and A. Matsuzawa, "A Low-Noise Self-Calibrating Dynamic Comparator for High-Speed ADCs," A-SSCC, Nov. 2008.

チップレイアウト

20

TOKYO TECH
Pursuing Excellence

6 bit ADC has been realized in a 90 nm 10M1P CMOS technology with a chip area of 0.13mm²



特性比較

24

TOKYO TECH
Pursuing Excellence

世界最小の変換エネルギーを達成

	[1]	[2]	[3]	[4]	[6]	This Work
Resolution(bit)	6	6	6	6	6	6
fs(GS/s)	0.8	1.2	0.7	1.25	1	0.7
SNDR(DC/Nyq.)	35/32	34/33	31/30	34/28	35/33	35/34
Pd (mW)	12	75	24	32	30	7
Active area(mm ²)	0.13	0.43	0.052	0.09	0.18	0.13
VDD(V)	1.2	1.2	1.2	1.2	1.2/1.0	1.2
FoM(pJ)	0.44	2.17	1.31	1.22	0.8	0.25
CMOS Tech.(nm)	65	130	130	130	90	90
Architecture	Flash	Flash	Pipeline	2b-SAR	Subrange	Subrange

[1] C-Y. Chen, VLSI Circuits 2008.

[2] B-W. Chen, A-SSCC 2008.

[3] F. C. Hsieh, A-SSCC 2008.

[4] Z. Cao, ISSCC 2008.

[6] Y. C. Lien, A-SSCC 2008.

医療用マイクロカプセルの開発

膀胱内圧測定用 センサーテレメトリーLSIの開発

医療カプセルの実現には超低電力LSIの開発が必要であるが、メーカーは市場が小さく、時間がかかる開発はしない。しかし、人類の幸福のためには必要なので、大学がLSIを開発して、機器を実現したい。

この技術はセンサーテレメトリネットワークなどの環境技術にも応用できる。

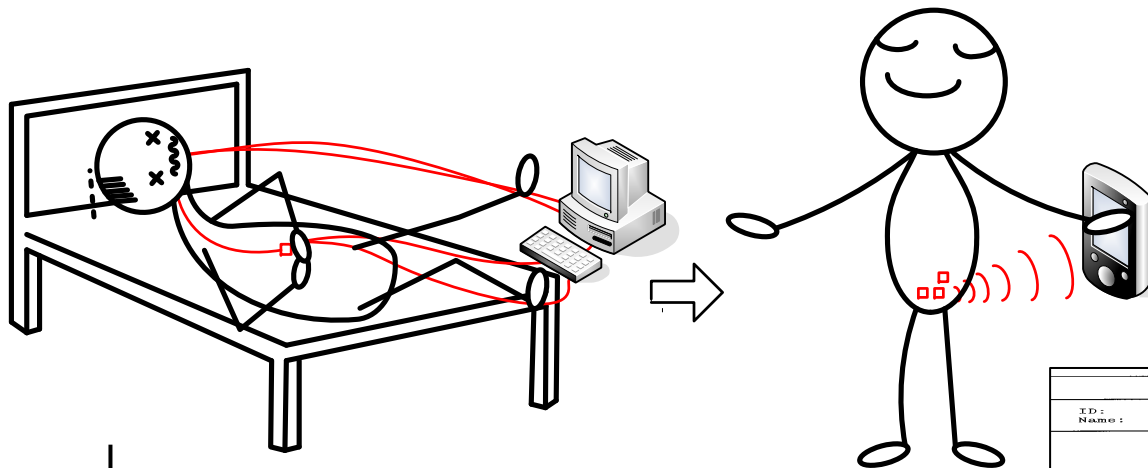
(財)関西文化学術研究都市推進機構
医療用汎用SoCデバイスの開発

膀胱内圧の測定

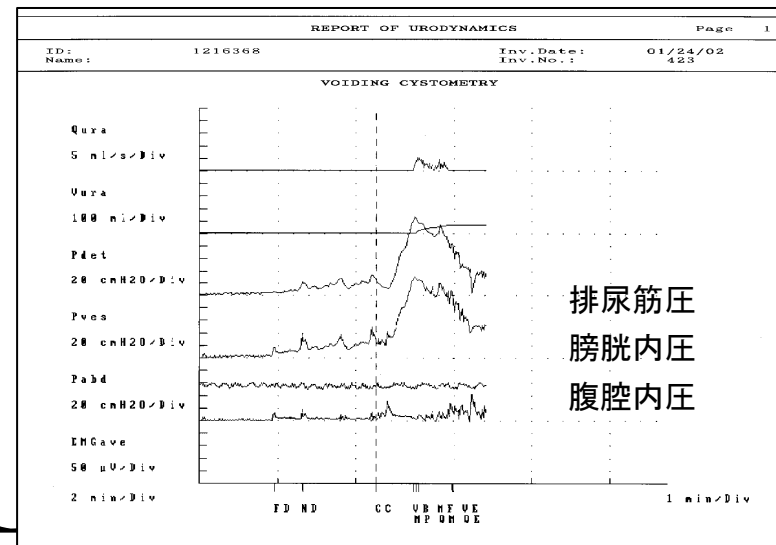
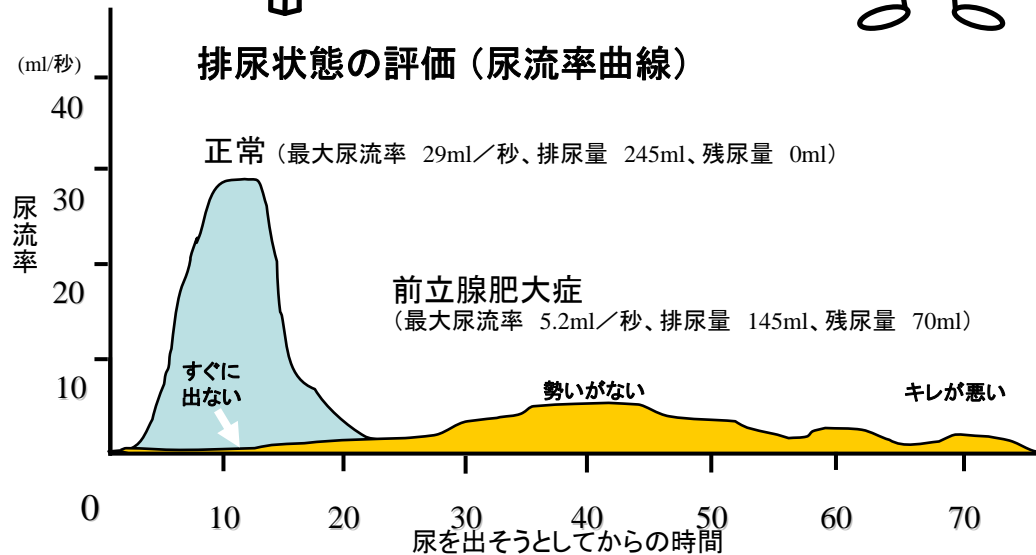
23

TOKYO TECH
Pursuing Excellence

前立腺手術前に3日間に亘って膀胱内圧の測定が必要
現在は入院し、尿道から管を入れて測定しているが、患者負担が大きい。

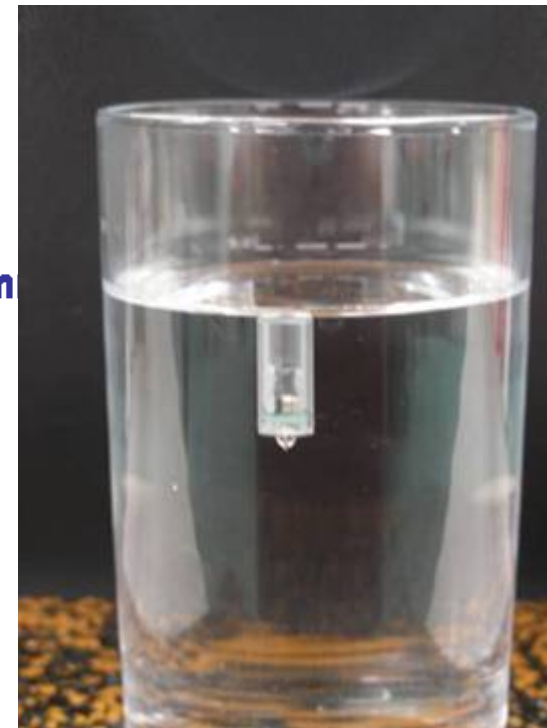
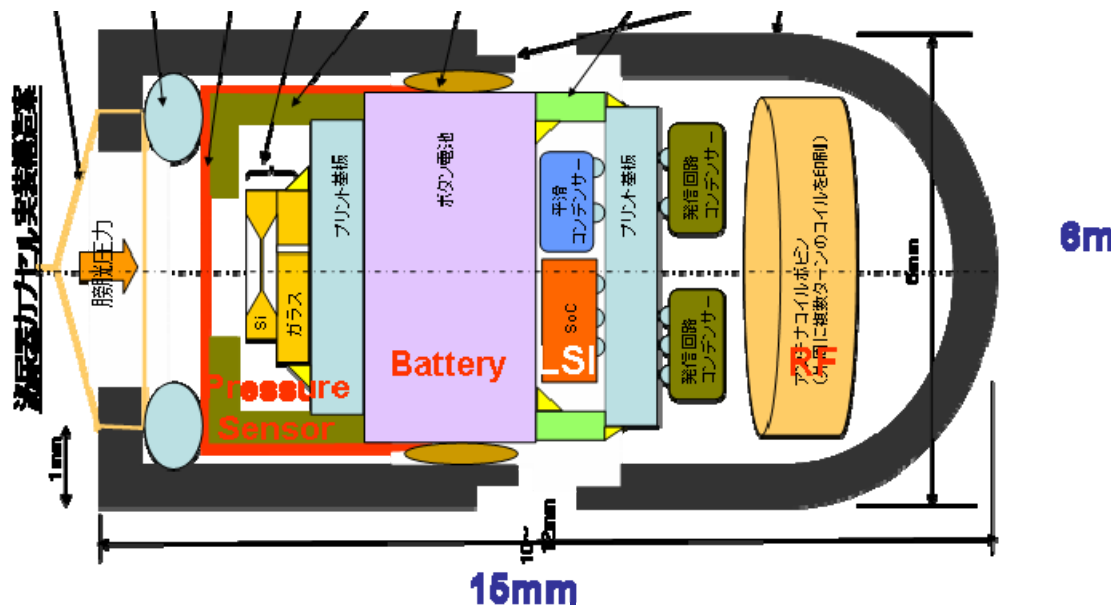


奈良県立医大 平尾教授より



膀胱内圧測定カプセル

膀胱内圧を測定し、外部に無線送信するシステム



Due to battery life

4 days with total current of 100uA

All analog and RF circuits consumes only 30uA

チップの概要

25

TOKYO TECH
Pursuing Excellence

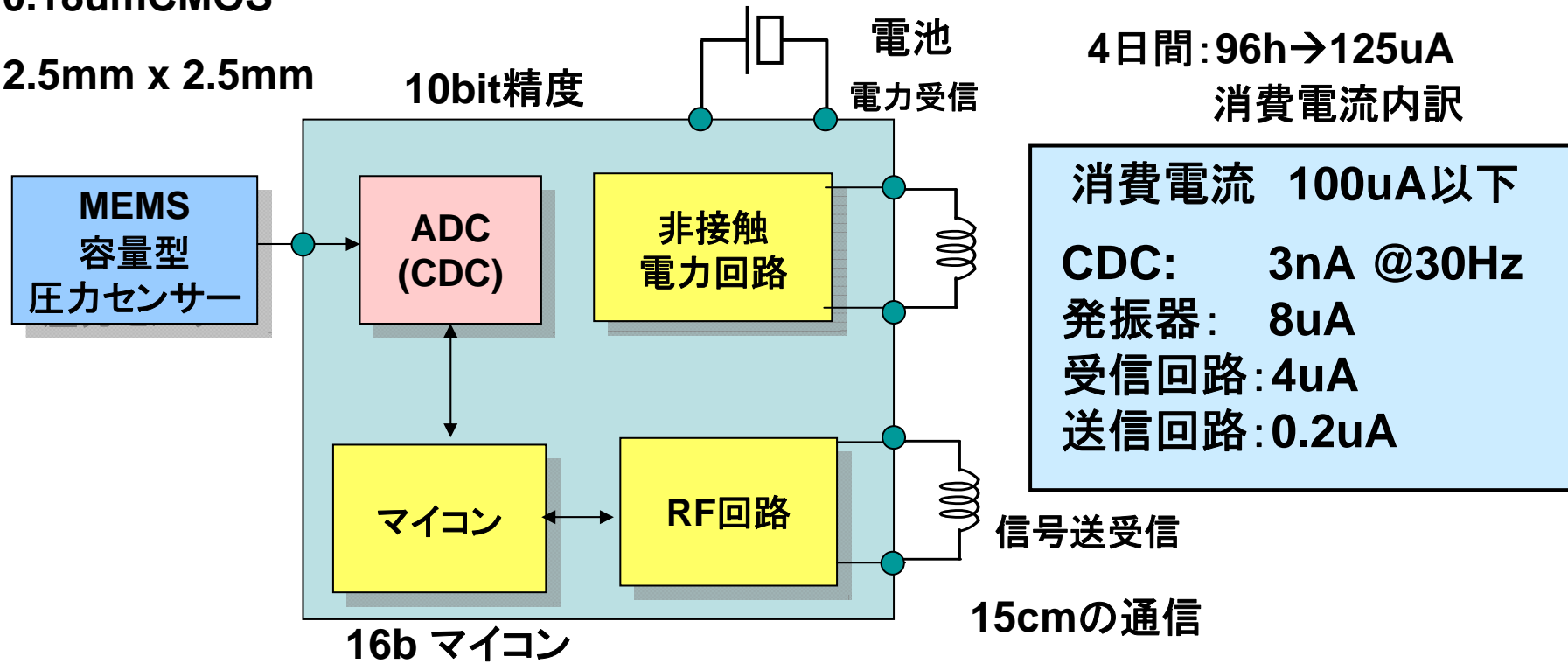
圧力(容量値)をデジタル変換し、データを30回/秒、15cm通信するチップ。
アナログ部分の消費電流は13uA程度で動作する。

0.18umCMOS

2.5mm x 2.5mm

1.55V, 12mAh, 4.8φ, 2.1H, 0.17g

4日間: 96h → 125uA
消費電流内訳



阪大、今井研の開発

30回/秒の送信 13.5MHz, ASK, CDMA

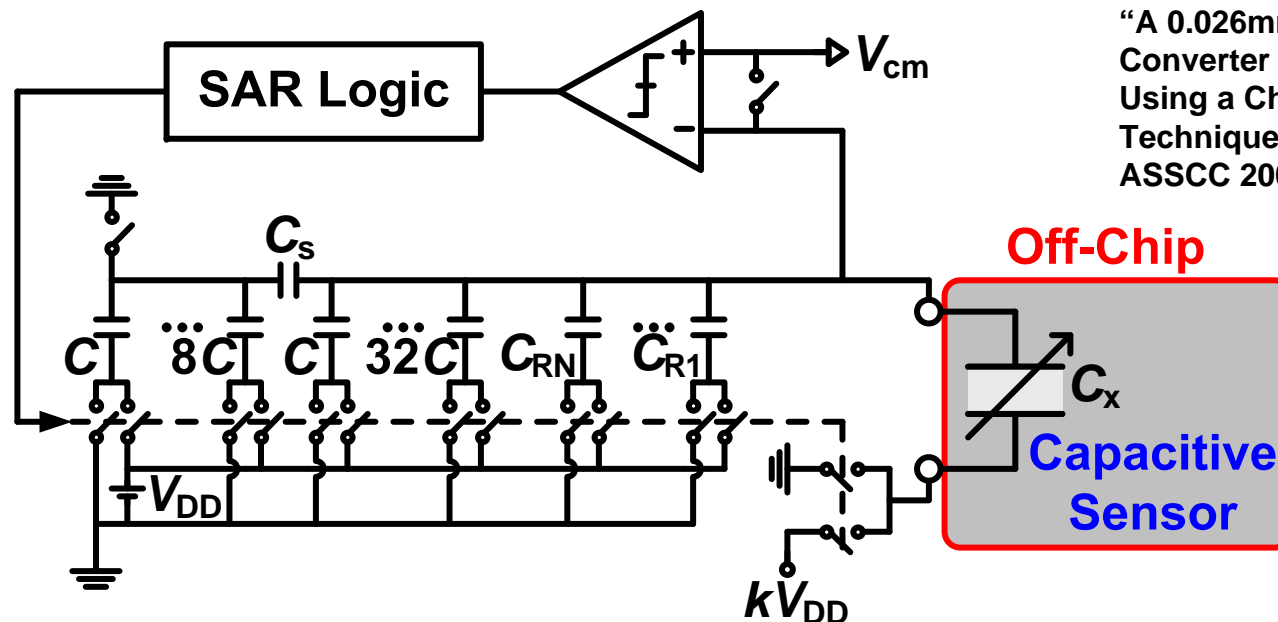
これまでの容量・デジタル変換はアンプが必要なため数mWを消費

超低電力逐次比較型 (SAR) ADC+容量型圧力センサーを開発

- ・ 超低電力 (No OpAmp)
- ・ 容量センサーのオフセット容量の補償が可能
- ・ 小面積
- ・ 電源電圧変動に不感

Kota Tanaka, Yasuhide Kuramochi,
Takashi Kurashina, Kenichi Okada,
and Akira Matsuzawa

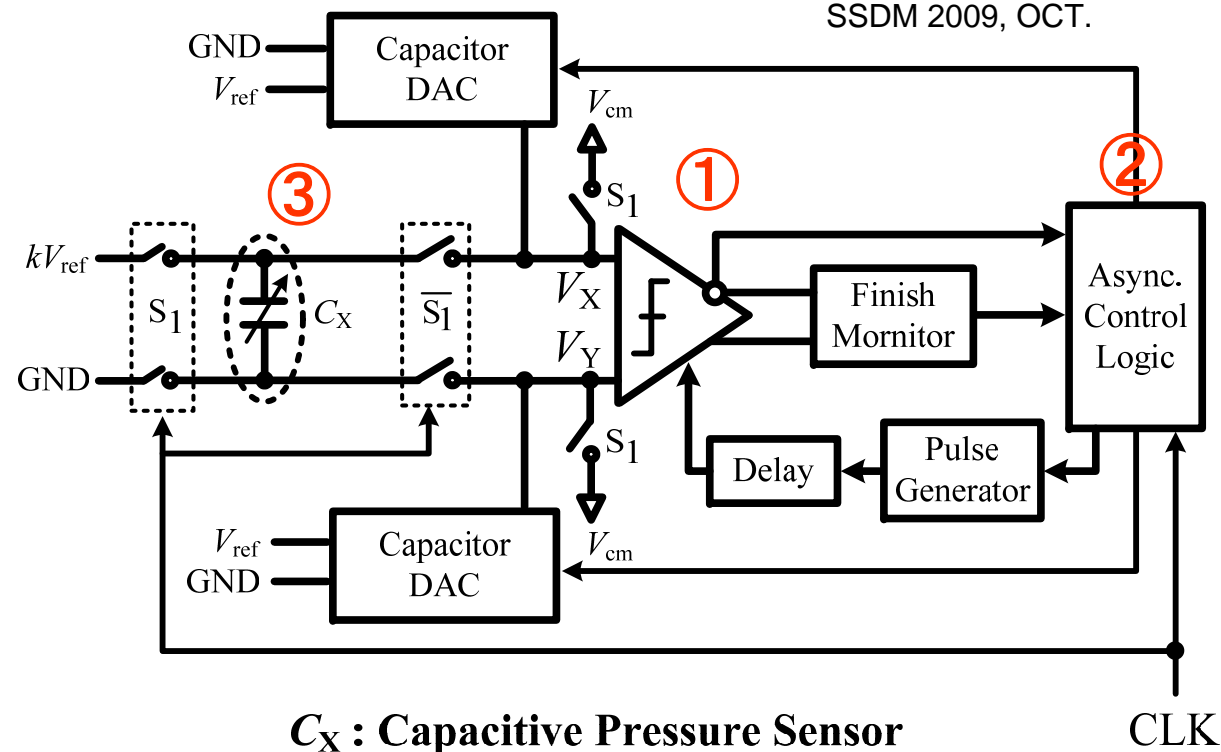
“A 0.026mm² Capacitance-to-Digital
Converter for Biotelemetry Applications
Using a Charge Redistribution
Technique”
ASSCC 2007

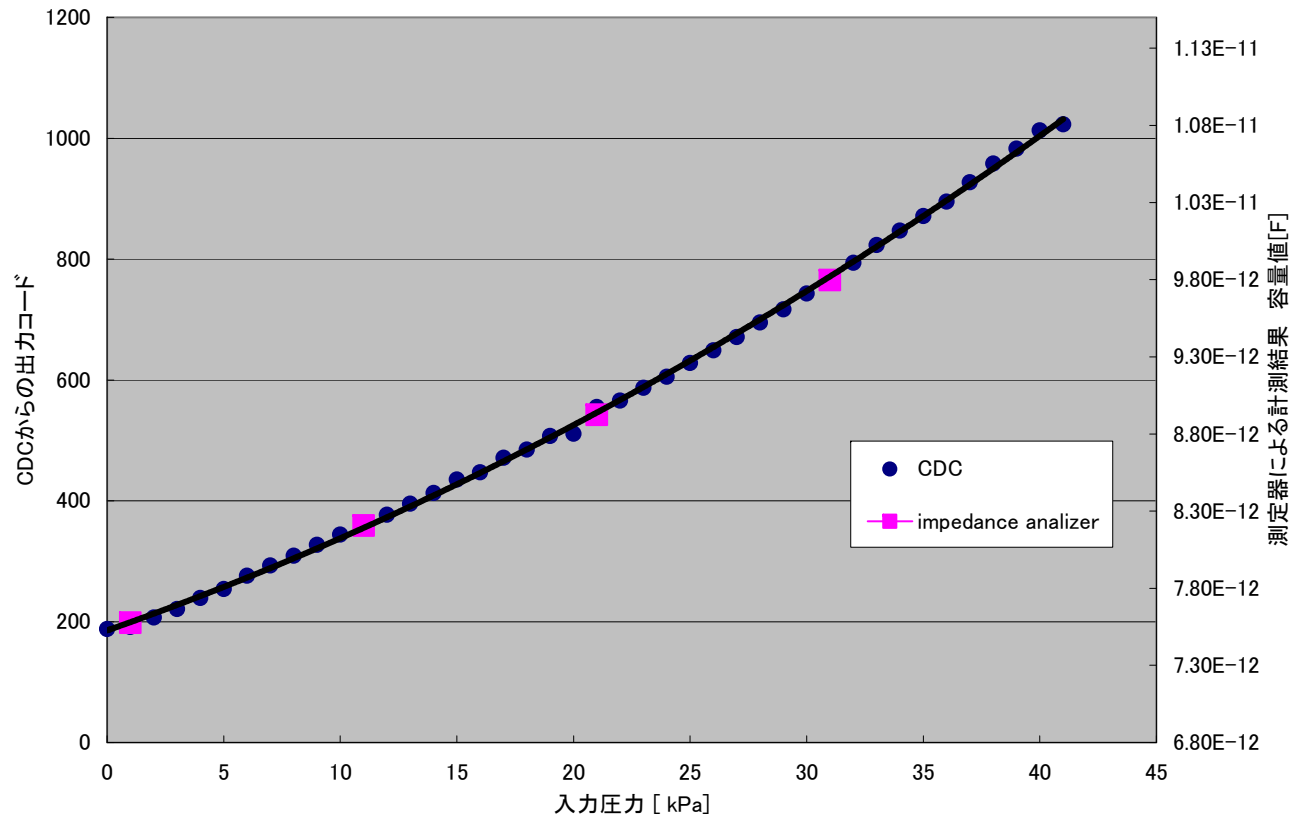


3nAで動作する超低電力CDCを開発した

1. 10b SAR like architecture **3nA @ 30 times/sec**
2. Self-clocking
3. Single to differential

Tuan Minh Vo, Yasuhide Kuramochi, Masaya Miyahara, Takashi Kurashina, and Akira Matsuzawa
“A 10-bit, 290 fJ/conv. Steps, 0.13mm², Zero-Static Power, Self-Timed Capacitance to Digital Converter.”
SSDM 2009, OCT.





- CDCのデジタル出力と測定器(impedance analyzer)による容量値の計測結果を同一グラフに載せ比較している。
- グラフから分かるように実測の容量値とCDCからの出力値はきれいに同一曲線上に乗り、正確にデジタル化できることを示している。

ピクセルA/D変換器を用いた

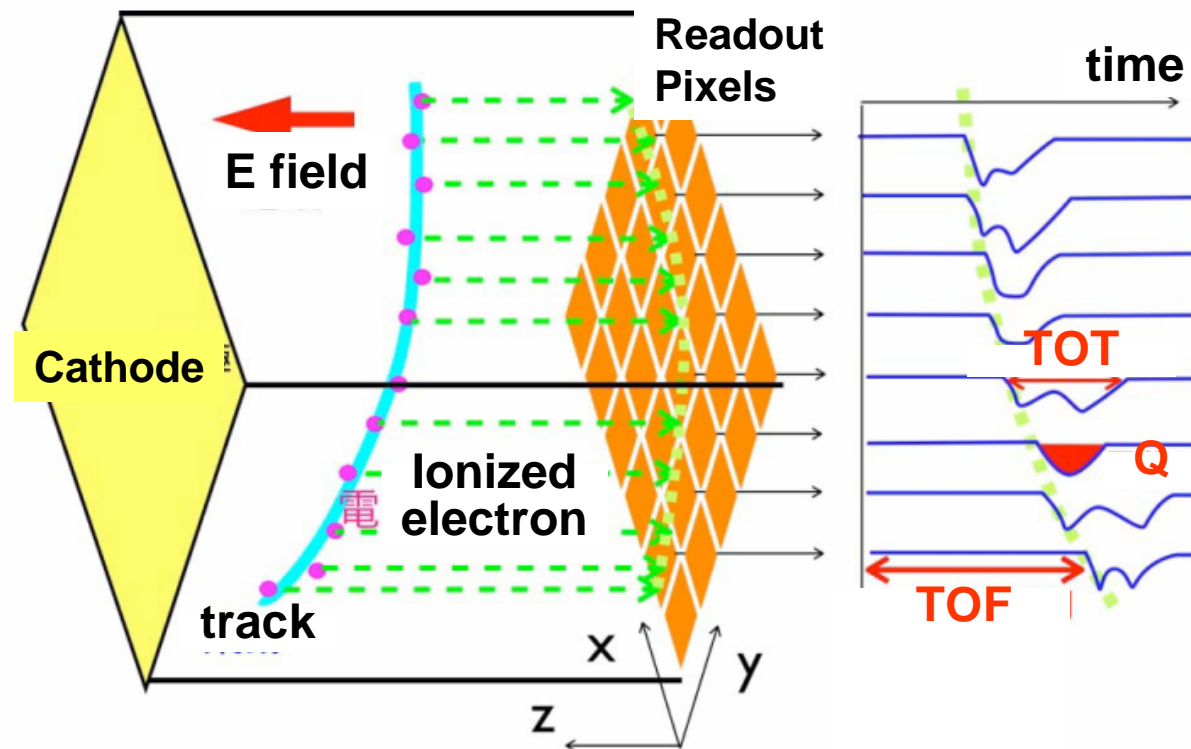
新型粒子検出器の開発

素粒子検出器の開発は基礎物理学の発展にとって極めて重要。
ヨーロッパ CERNのグループは粒子検出器用LSIを開発しているが、
日本はLSI開発は行っておらず、日本の基礎物理の進展の課題となっている。
しかし、メーカーはこのような市場規模の小さいLSIは開発しない。
そこで、大学でLSIを開発することで基礎物理の発展を支えることにした。

PETなどの医療用イメージングに応用可能と考える。

高エネルギー加速器研究機構からの委託

高電界をかけたガスに粒子が衝突すると電荷が発生し、電極に向かって拡散する。
検出器はこの電荷を捕らえる。
現行の検出LSIは発生時刻と終了時刻しか分からず、電荷情報が得られない。

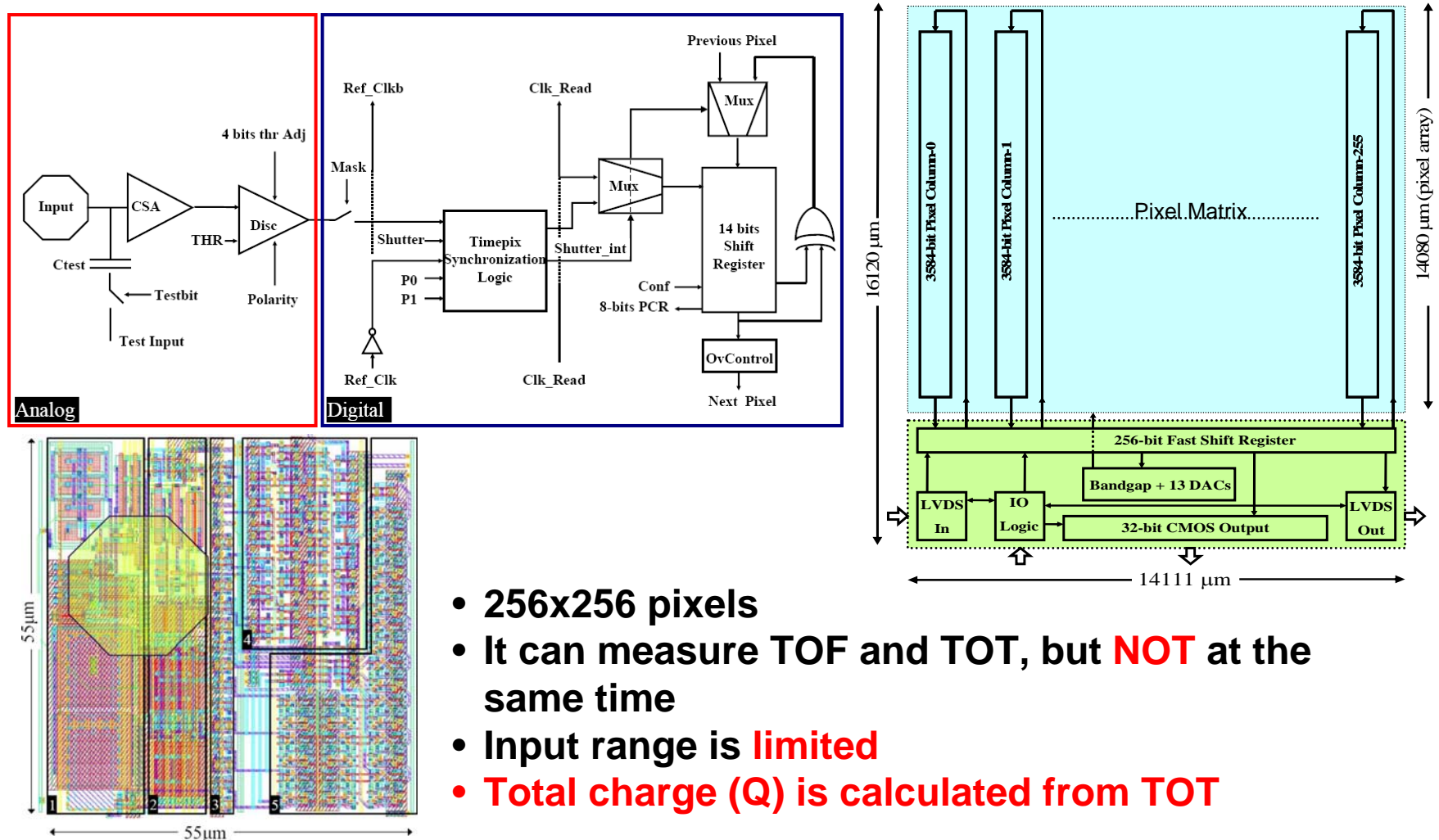


現行の粒子検出用LSI: Timepix

31

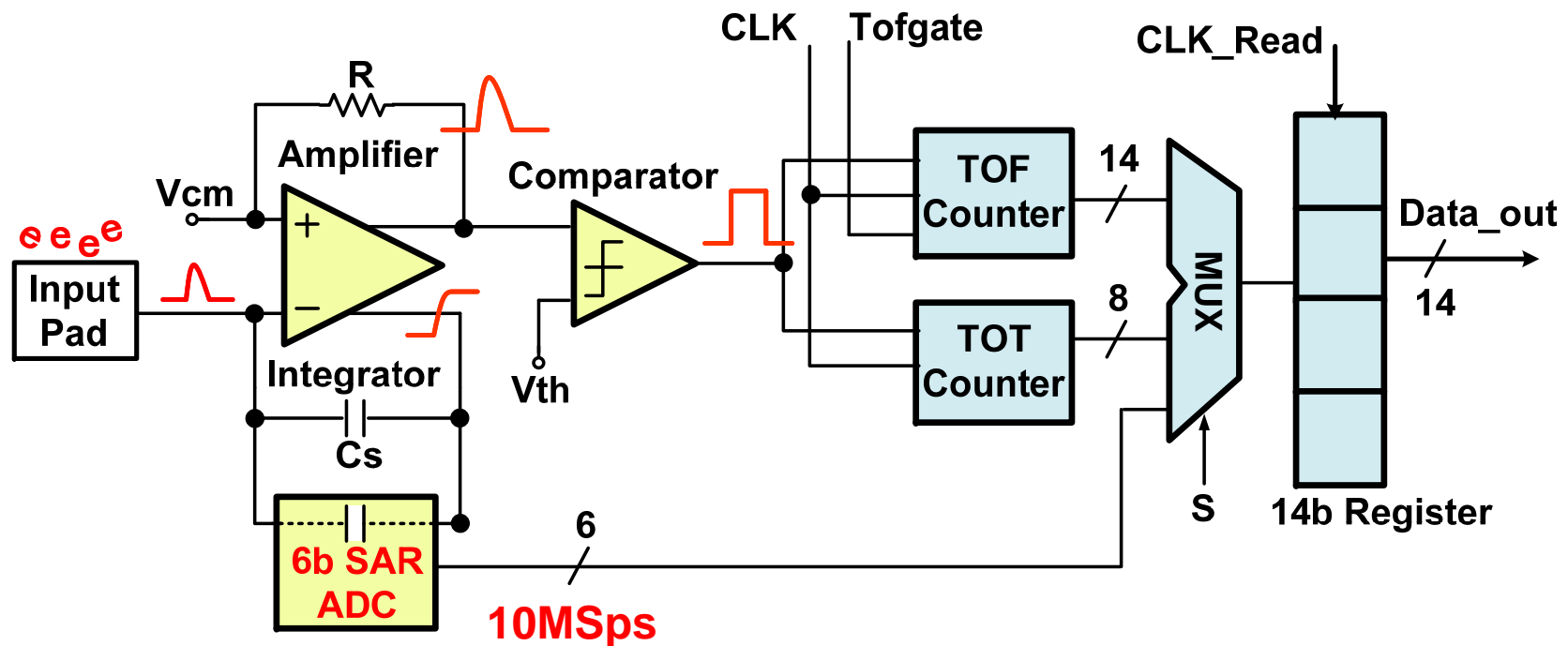
TOKYO TECH
Pursuing Excellence

現行の粒子検出用LSIはスイスのSERNが開発したQPIXのみである。しかし、TOT, TOFなどの時間情報は測定できるが、電荷量は測定できない。



Reference: X. Llopart, Timepix, aTimepix, a 65k programmable pixel readout chip for arrival time, energy and or photon counting measurements

ピクセルADCの内蔵により、TOT, TOFに加えて
電荷量Qを計測することができる



6b→10b in next step

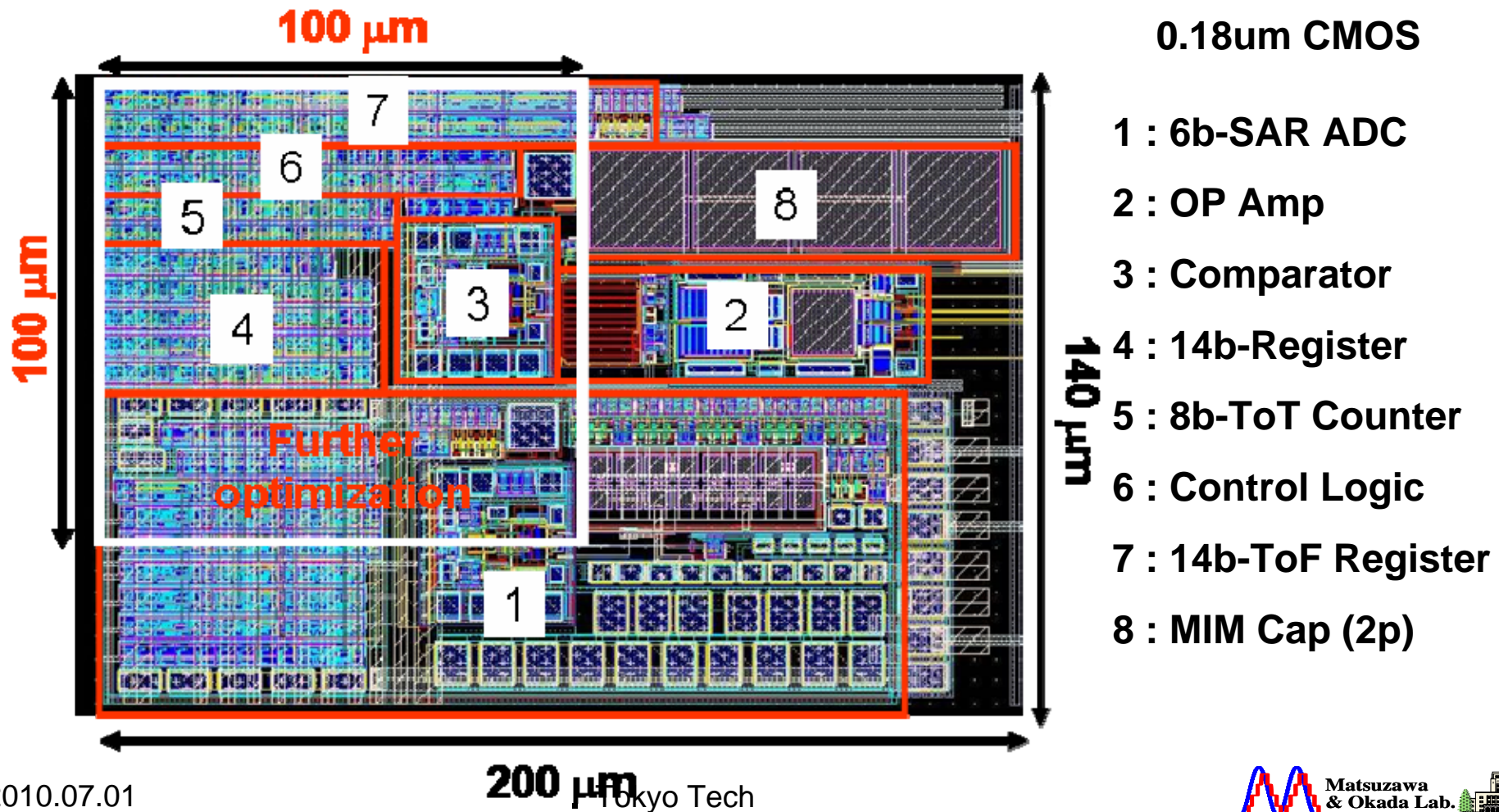
QPIX.v0のチップレイアウト

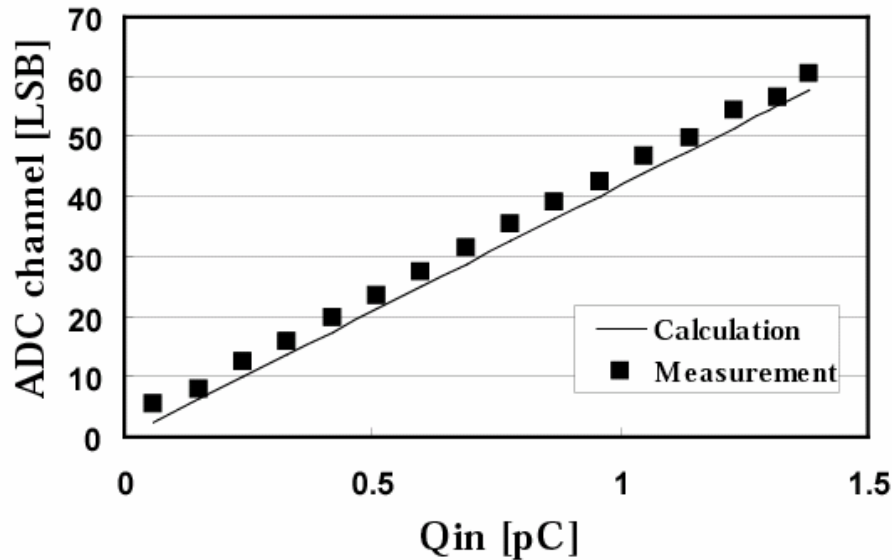
33

TOKYO TECH
Pursuing Excellence

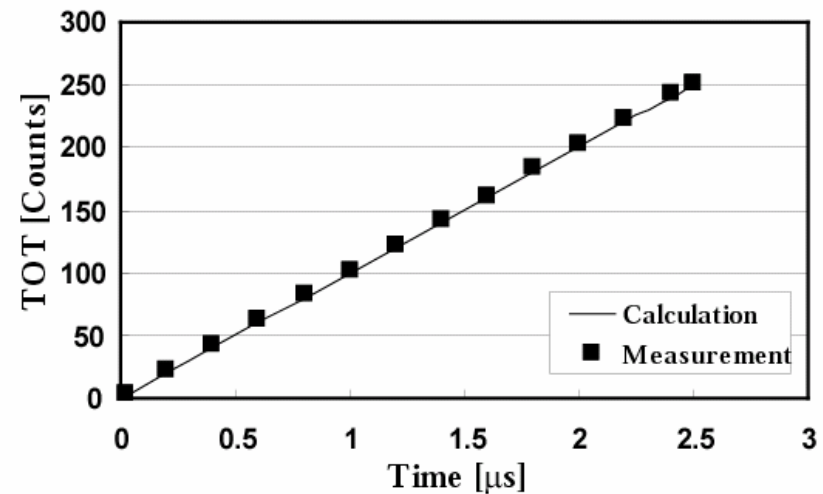
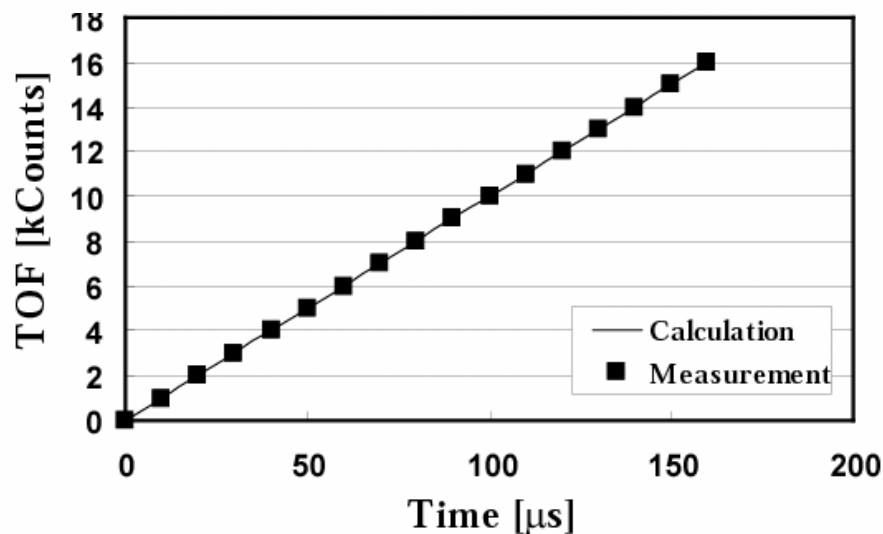
基本的なピクセル毎のADCを搭載した新型素粒子検出器用LSI開発した

M. K. Vu, F. Li, M. Miyahara, T. Kurashina
and A. Matsuzawa, "Qpix, a Pixel Readout
LSI with a Built-in ADC for Particle Detector
Applications," SSDM2009, Sendai , Oct. 2009.

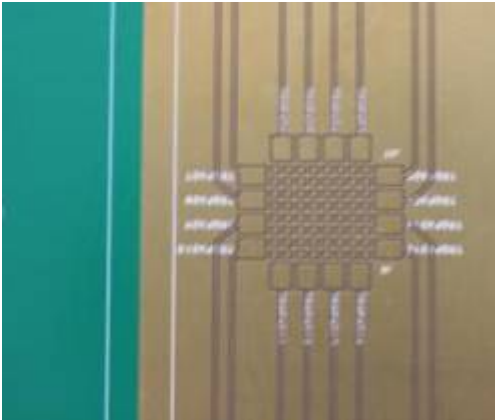




TOF and TOT is sufficiently accurate
ADC should be improved

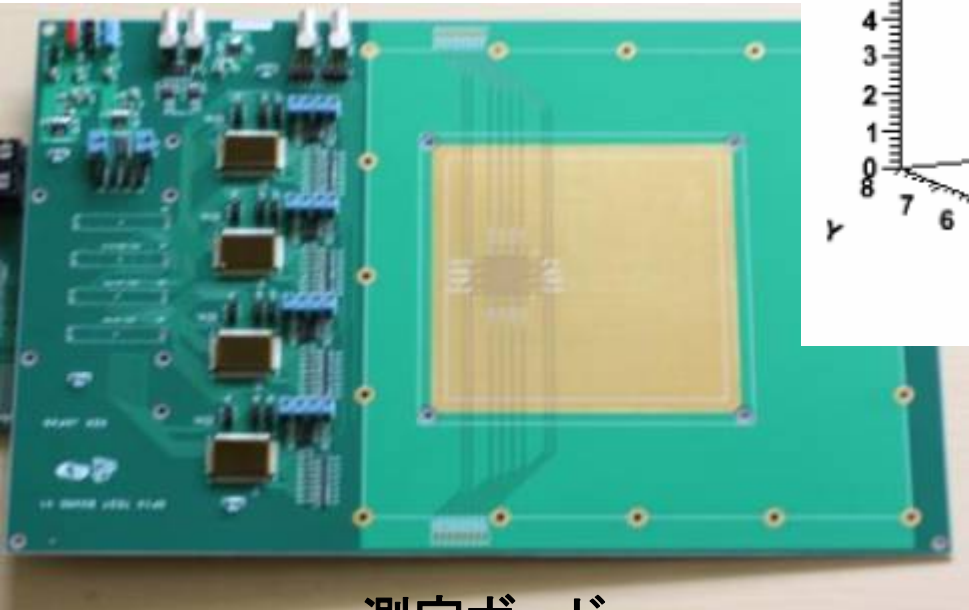
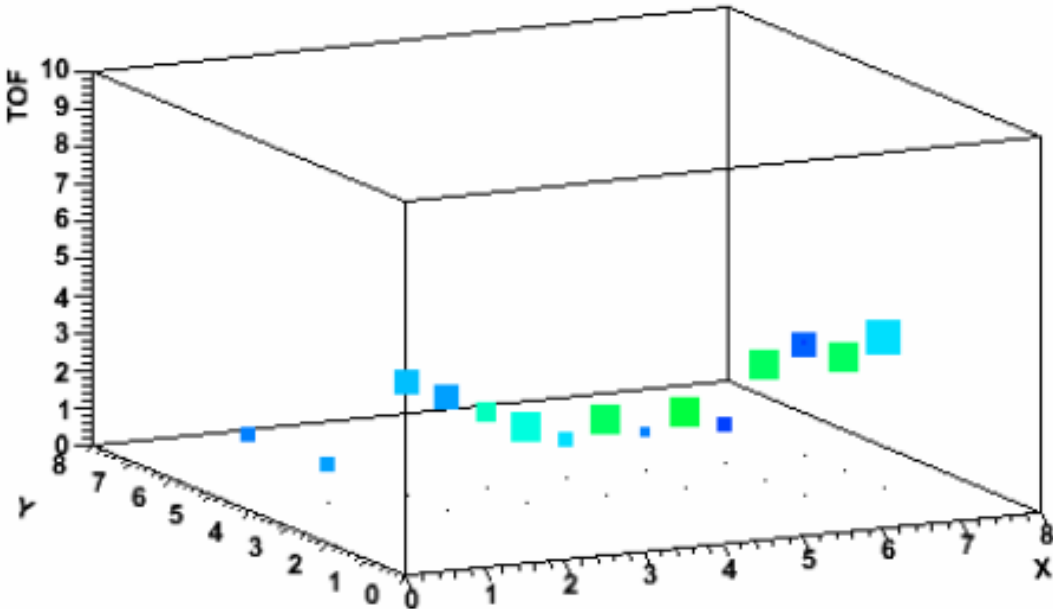


実験により粒子(アルファ線)の飛跡と電荷量が捉えられた



16 pixels

粒子の飛跡と電荷量



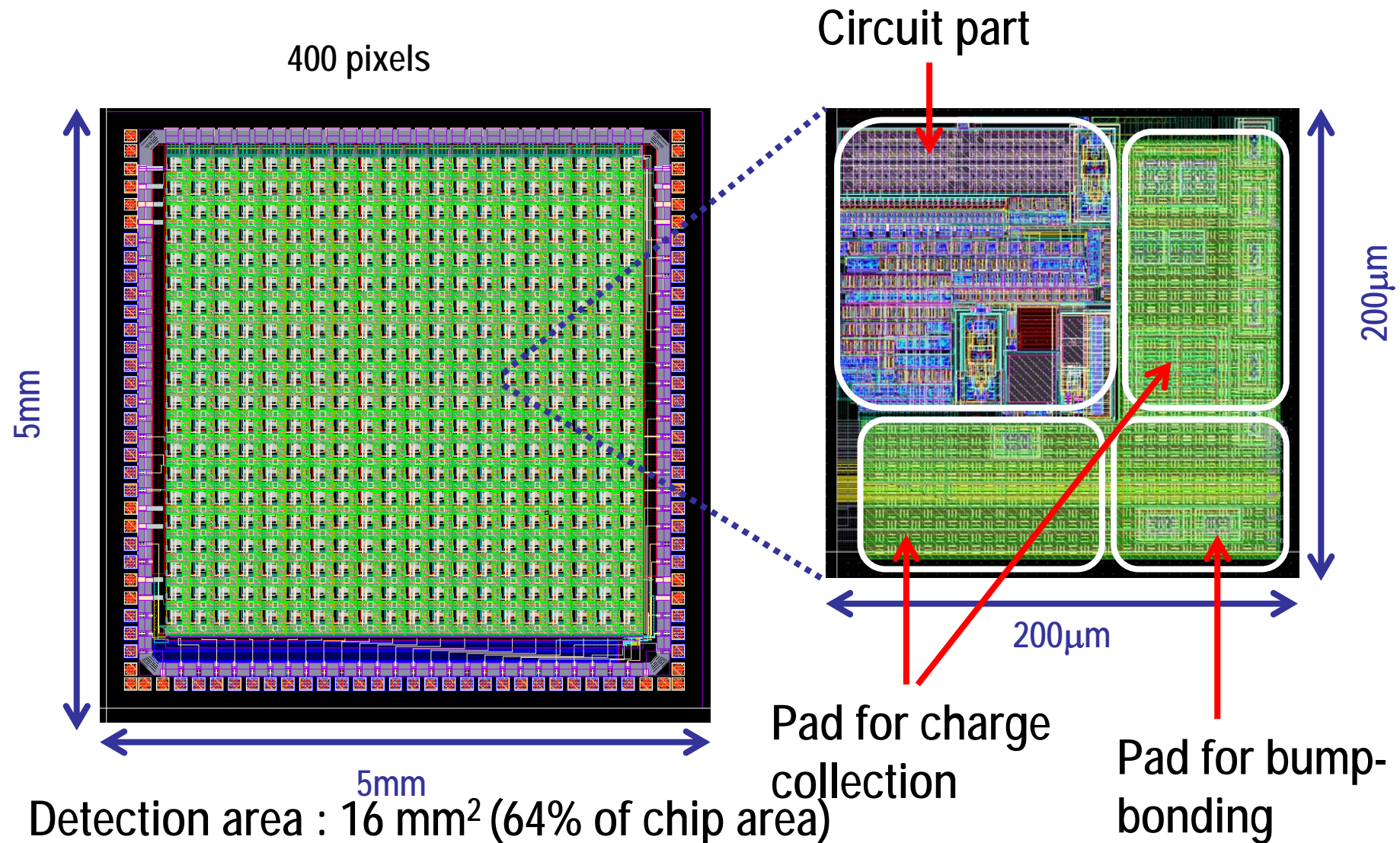
測定ボード

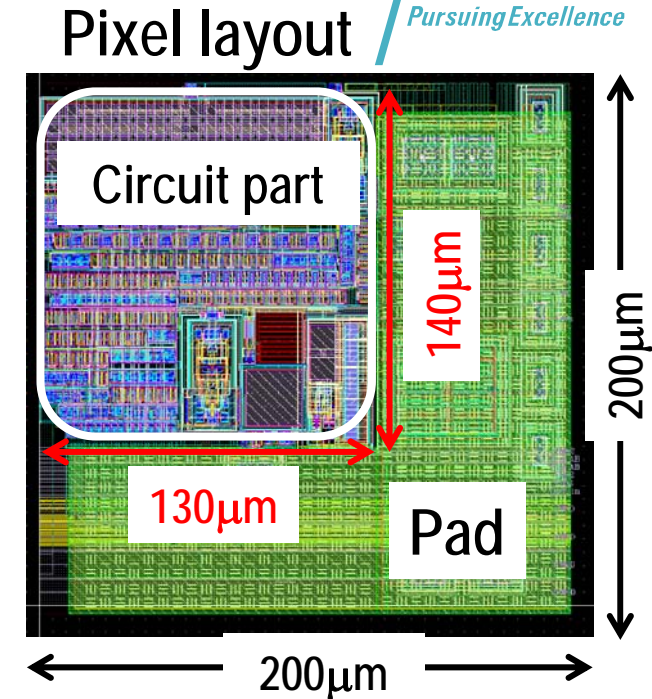
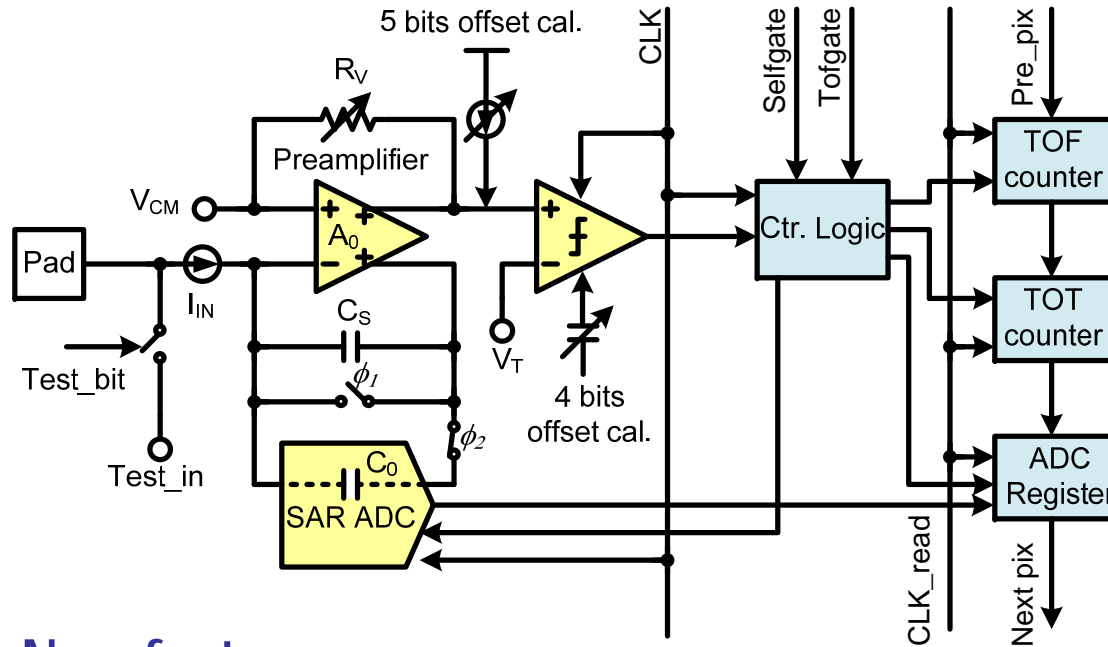
開発中のQPIX. V.1

36

TOKYO TECH
Pursuing Excellence

性能を改良したものを開発中。400Pixelに対応。ADC: 6bit → 10bit



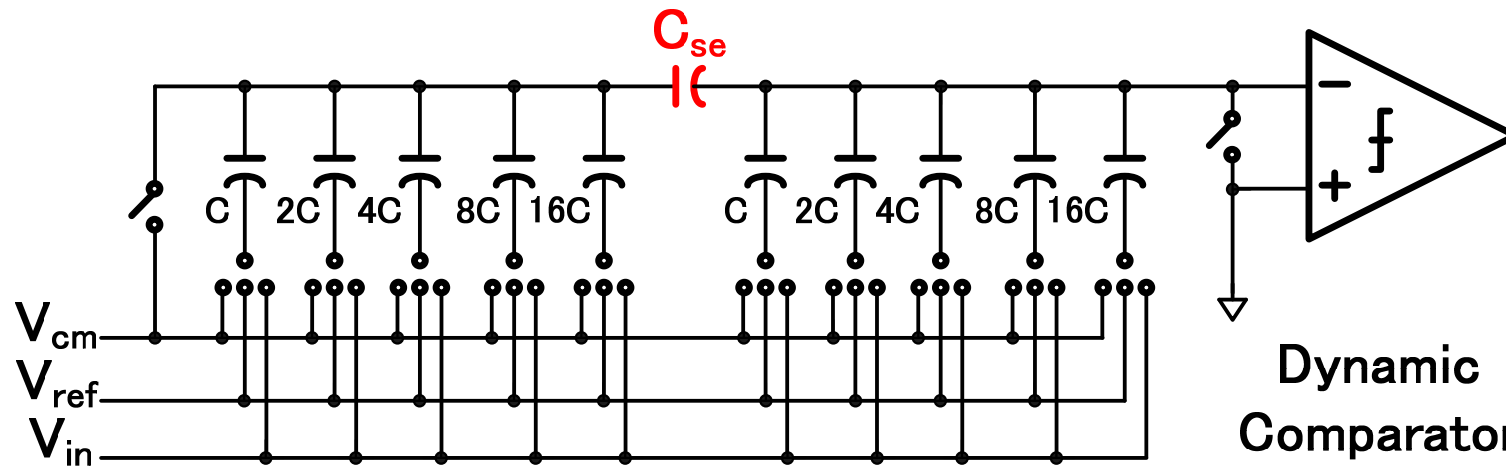


New features:

- ❑ ADC resolution: 6 bits → **10 bits** (total capacitance is the same)
- ❑ Full-custom designed DFF → save **62% area** of Standard-cell
- ❑ Offset calibration {
 - Comparator input offsets σ : 12.3 mV → **1.5 mV**
 - Preamp output offset σ : 48.5 mV → **3.9 mV**
- ❑ **LFSR** = counter + shift register → compact circuitry, matrix readout facilitated
- ❑ Pad for charge collection and bonding

We are now developing QPIX V.1

- **Linear Feedback Shift Register (LFSR)**
 - Works as a counter in count state, and as a shift register in readout state
 - Small area
 - Convenient for matrix implementation
- **Optimization of DFF to save area and power**
 - Sense-amplifier based flip flop with a 38% area, about 70% static power consumption and about 40% dynamic power consumption of the standard cell
- **New amp with offset calibration**
 - Offset (σ) decreases about 92% (48.4mV \rightarrow 3.9mV)
- **Capacitance calibration comparator**
 - Improve the sensitivity (threshold: 245fC \rightarrow 35fC)
- **6-bit SAR ADC to 10-bit SAR ADC**
- **Pixel pad for charge collection and bonding**



SAR = Successive Approximation Register

- ☺ Compact
- ☺ Low power (no static current)
- ☹ Low speed (but we need only 6.7 Msps)

Optimal candidate for Qpix

Specification

Process	0.18 μm
Resolution	10 bit (ENOB : 8.4)
Speed	10 Msps
DNLmax	-0.25 LSB/0.25 LSB
INLmax	-0.25 LSB/0.38 LSB
Power	460 μW
Area	70 μm x 140 μm
FoM	202 fJ/conv.

✂ FoM = Figure of Merit

特性比較

40

	QPIX.v.1	QPIX v.0	Timepix
Chip	20 x 20 pixels	2 x 8 pixels	256 x 256 pixels
Dimensions	130 x 140 μm^2	140 x 200 μm^2	50 x 50 μm^2
Preamp Gain	0.43 mV/fC	0.4 mV/fC	100 mV/fC
Comparator threshold	35fC	245 fC	0.1 fC
ADC LSB/MSB	1.6 fC/1.6 pC	25 fC/ 1.6 pC	-
Readout information	TOF: 14 bits	TOF: 14 bits	14 bits (TOF or TOT or counter)
	TOT: 8 bits	TOT: 8 bits	
	ADC: 10 bits, 10 Msps	ADC: 6 bits, 10 Msps	None
Power/channel	150 μW	350 μW	6.5 μW
Read out	Serial/Parallel	Parallel	Serial/Parallel

- **LSI design**
 - Titech: A. Matsuzawa, T. Kurashina, M. Miyahara
Vu Minh Khoa, and Li Fei
- **MPGD (Micro Pattern Gas Detector)**
 - KEK: S. Tanaka, Y. Arai, J. Haba
- **TPC (Time Projection Chamber)**
 - Saga Univ.: A. Sugiyama, T. Azuma
- **Dark matter search**
 - Kyoto Univ.: K. Miuchi

アナログCMOS回路設計の教育

2010.07.01

技術セミナー

43

TOKYO TECH
Pursuing Excellence

アナログCMOS回路設計技術のための土曜セミナー

6年に亘り開催され、毎年約100人が受講しているセミナー

松澤が監修し、講師を務めている

学生は毎回1000円程度で受講できる

<http://www.mmjp.or.jp/tmc-seminar/index.html>

第1回 4 /17(土) ★電子回路設計とアナログ信号処理の基礎

第2回 5 /15(土) ★CMOSデバイス

第3回 6 /12(土) ★アナログCMOS回路の基礎

(株)日本情報技術センター

第4回 6 /26(土) ★CMOS ADC/DACの基礎

第5回 7 /10(土) ★パイプライン型CMOS ADCとOPアンプ設計

7 /31(土) 8 /7(土) ◎シミュレータを活用した回路設計・I CMOSアナログ基本回路とOPアンプ設計

第6回 8 /28(土) アクティブCMOSフィルター設計

第7回 9 /18(土) $\Sigma \Delta$ ADC, DAC設計

第8回 10 /9(土) PLL設計

第9回 10/30(土) RFCMOS回路設計 1 (ワイアレスシステムとその基礎)

第10回 11/20(土) RFCMOS 設計 2(基本RF-CMOS回路)

第11回 12/11(土) 回路・システムシミュレーション技術

第12回 1 /8(土) アナ・デジ混載LSI設計とデジタルアシスト技術

1 /22(土)1 /29(土) ◎シミュレータを活用した回路設計・II アナ・デジ混載回路の設計

テキストのご紹介

44

TOKYO TECH
Pursuing Excellence

アナログCMOS回路を学ぶ方のために
回路理論や半導体の基礎から書き起こしました。
ADC, DAC, PLL, フィルターなどのほとんどのアナログ
CMOS回路設計の基礎について具体的に記述しております。
大学院、社会人レベルのテキストです。

STARC会員の方は半額割引があります。
詳しくは以下のホームページへ

<http://www.starc.jp/index-j.html>

学生の方が授業・ゼミで使用する場合は先生への
無料配布の可能性があります。
以下にお問い合わせください。

半導体理工学研究センター (STARC)
研究推進部 教育推進室 鴨野 豊 (Kamono Yutaka)
TEL:045-478-3786(ダイヤルイン)
E-Mail: kamono.yutaka@starc.or.jp

目次 (381ページ)

1. アナログCMOS回路とその学び方
2. 電気回路理論と信号処理の基礎
3. 半導体の基礎と半導体デバイス
4. MOSTランジスタのアナログ特性
5. 基本回路
6. 演算増幅器
7. フィルタ回路
8. A/D D/A変換器
9. $\Delta \Sigma$ 型A/D D/A変換器
10. 発振器とPLLシステム
11. 回路シミュレーション技術
12. レイアウトと実装技術



2010.07.01

Tokyo Tech

- ミリ波(テラヘルツ)応用、環境・エネルギー・医療などの新分野開拓が重要
- LSI(=システム)が実現できることが重要
- 大学が企業が出来ない分野のLSI技術を開発する
- 大学でも先端LSIを開発できるが、多くの課題がある
- 超高周波・超高速技術の開発
 - ミリ波CMOSによるギガビットワイアレス伝送
- 超低電力アナログ・RF技術の開発
 - ワイヤレスセンサーテレメトリー技術
 - 超低電力 容量・デジタル変換器:nA動作
 - ピクセルADCを用いた新粒子検出器
- アナログCMOS設計ができる技術者の育成が必要
 - 技術セミナー
 - テキストの執筆