

低温液体TPC用 フロントエンドASICの開発

2010.7.1

Open Source Consortium WS 2010 @ KEK

長崎総合科学大学 房安貴弘

Contents

- フロントエンドASIC“TPCFE”の開発
- 大学から見たOSC
- 長崎総合科学大学における社会人向け講座

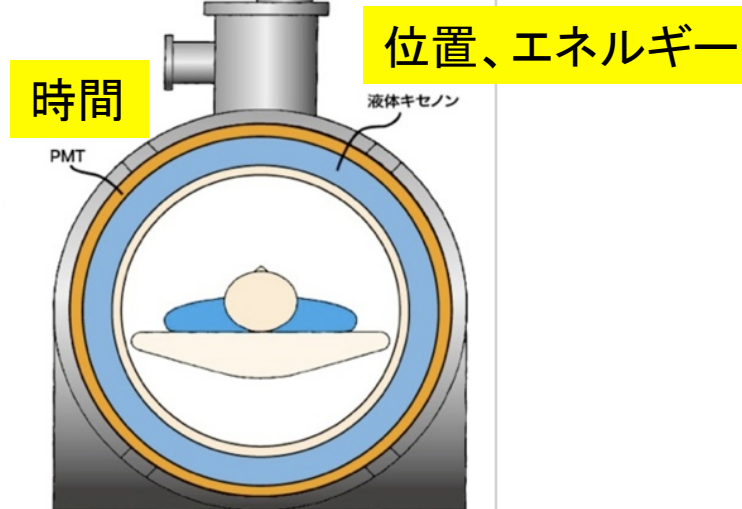
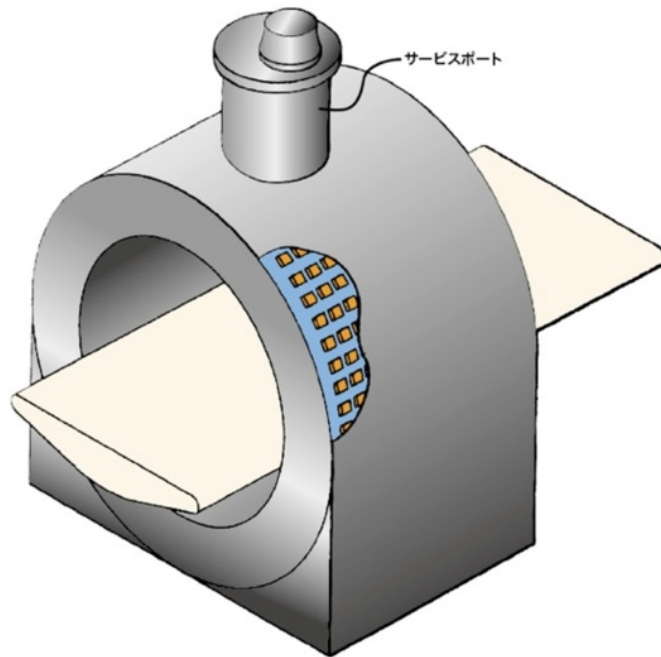
1. フロントエンドASIC “TPCFE”の開発

LXeTPC(液体キセノンTPC) プロジェクト

- keV～MeVガンマ線の3D位置とエネルギーを、高い精度で計測。
- 応用例：ガンマ線天文学、ダークマター探索、2重ベータ崩壊実験、陽電子断層撮影(PET)

Next-generation PET with LXeTPC

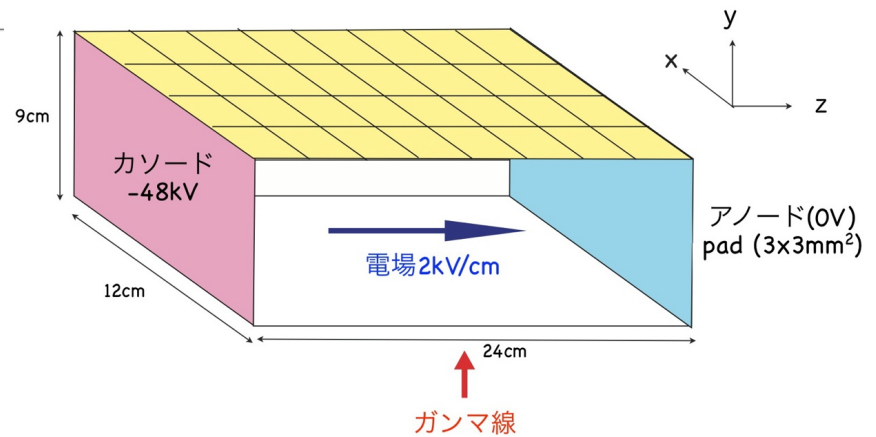
TXePET



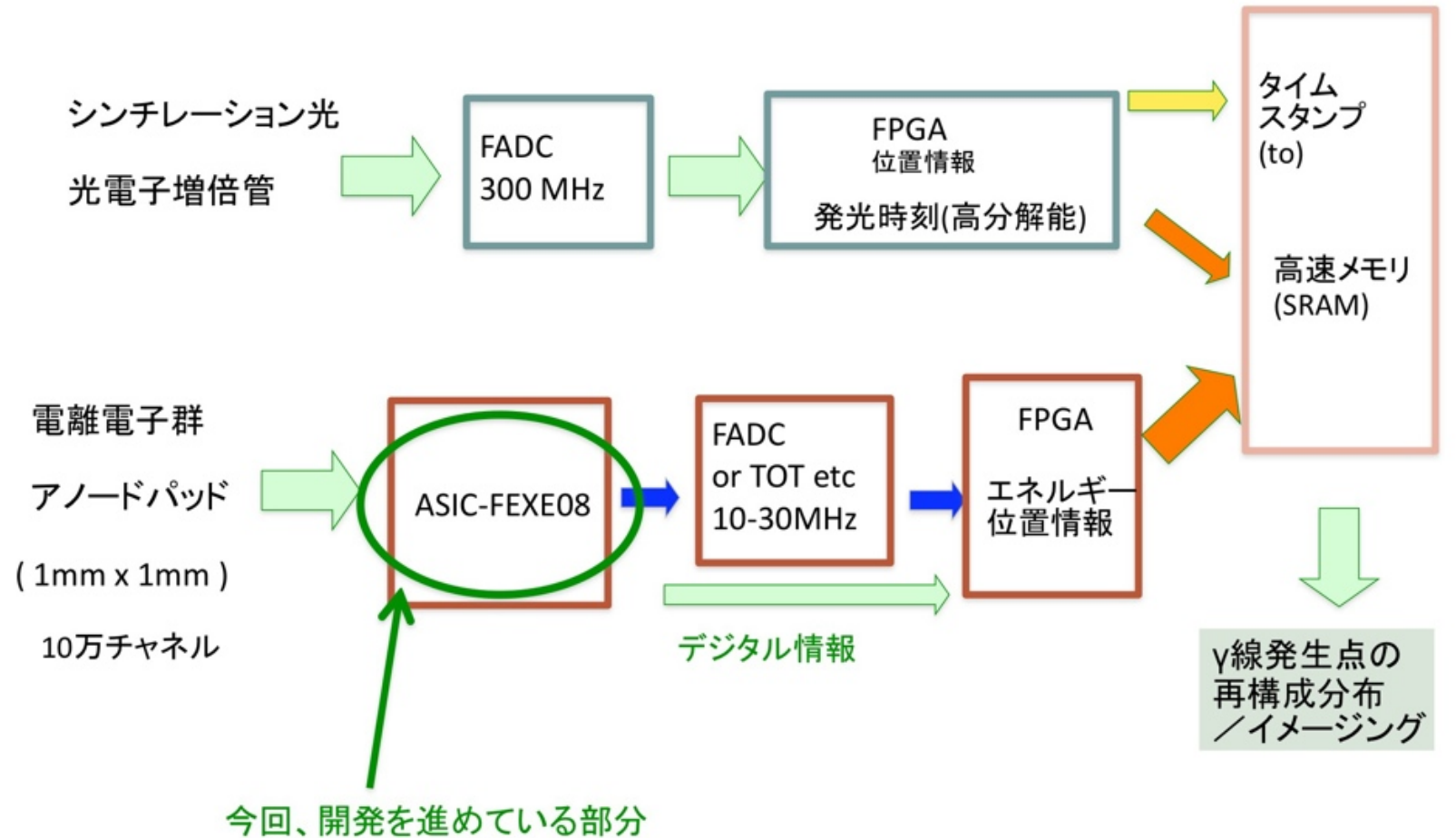
光電子増倍管 (PMT) 32本
($2.8 \times 2.8 \text{cm}^2$ /本)

2009年 9月 19日 土曜日

Slides by KEK田内様



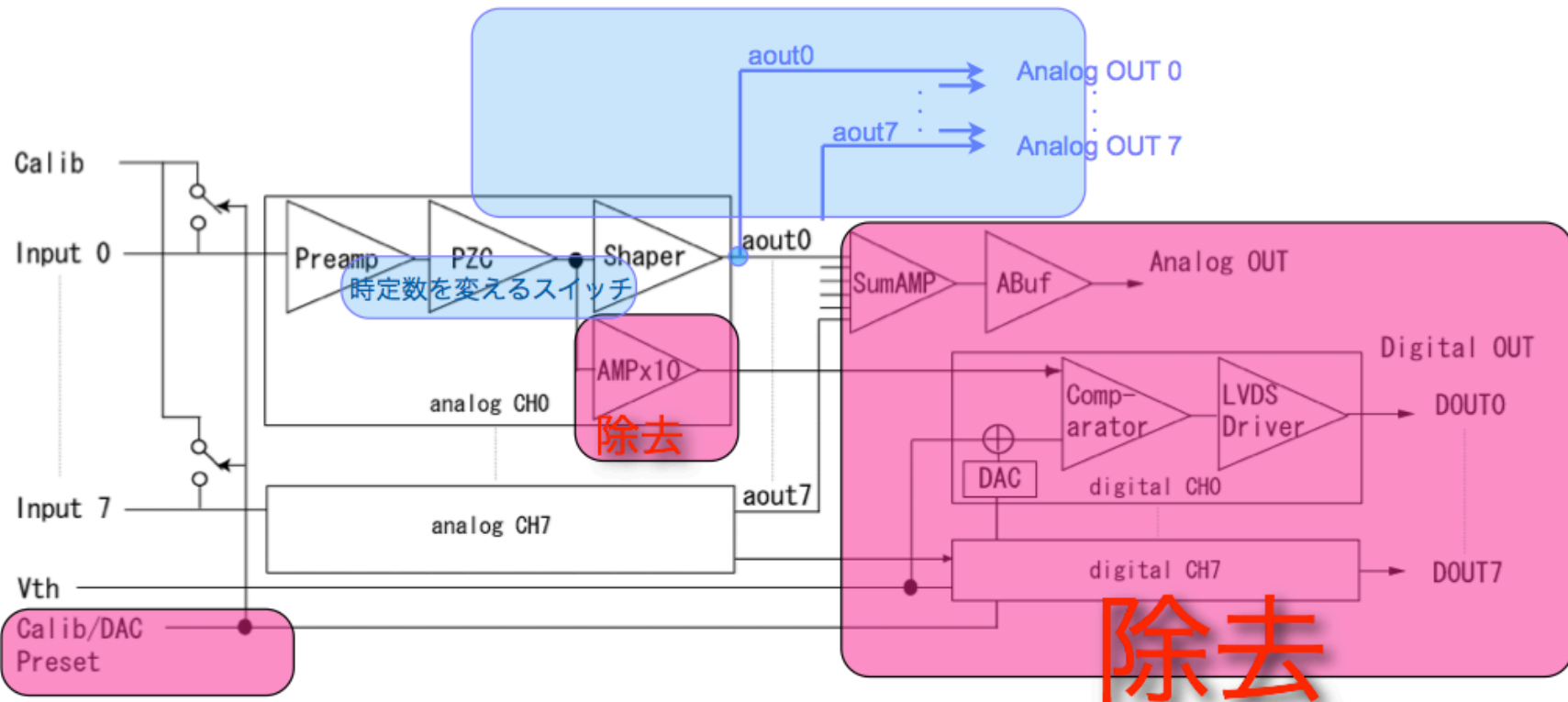
エレクトロニクスシステム



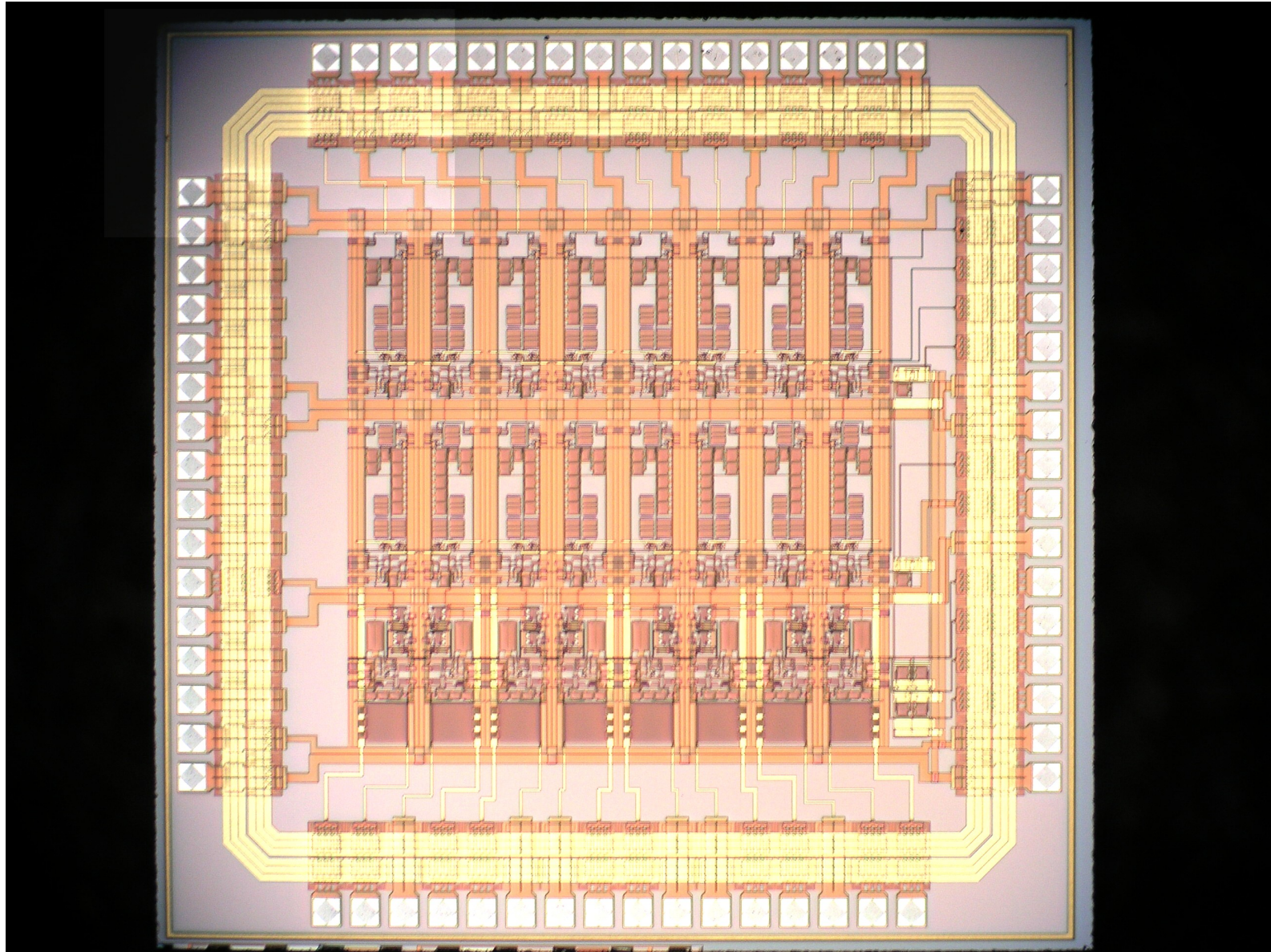
支援：KEKエレクトロニクスシステムグループによるASIC製作教育プログラム

初回試作FEXE08の設計

- ASIC製作教育プログラムの下、佐賀大・東氏による。
- FE2006をベースに、以下のように修正を加えた。
- Shapingは0.5us, 1us, variableを用意。
- 0.5umプロセス。

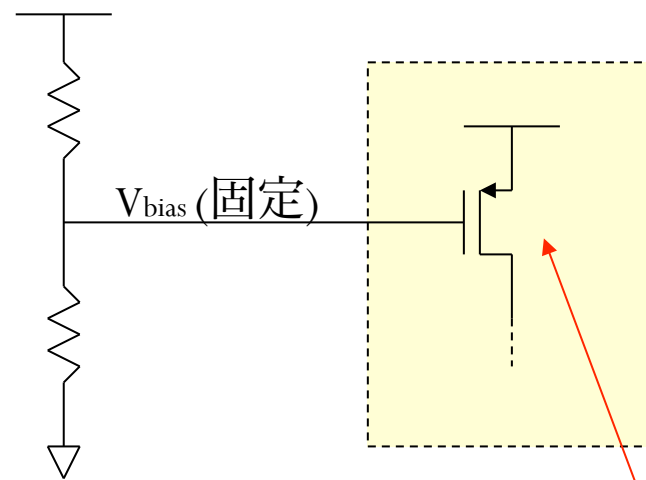
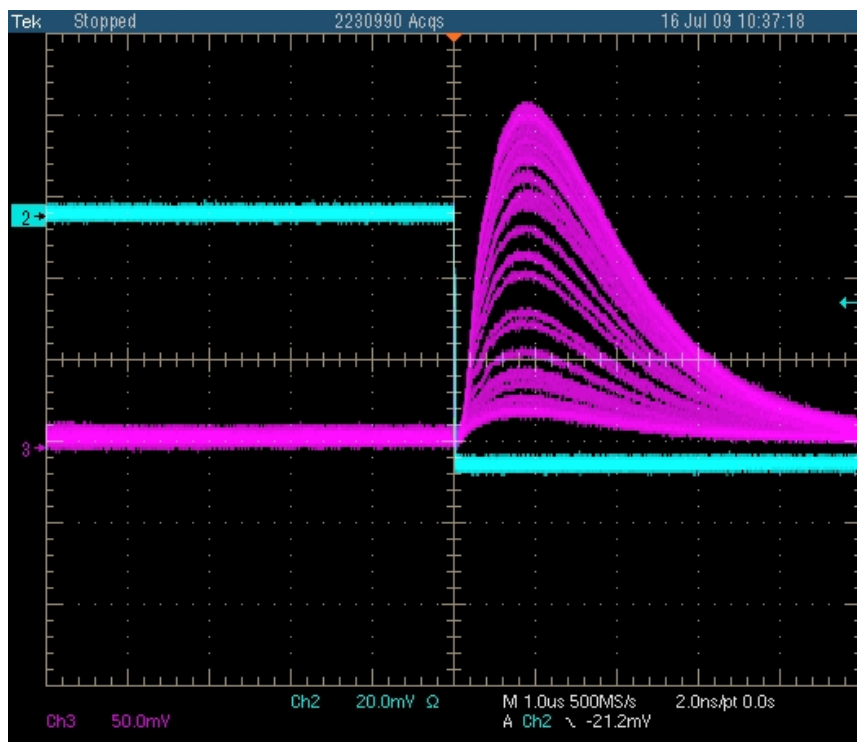


FEXE08試作 (0.5um CMOS)

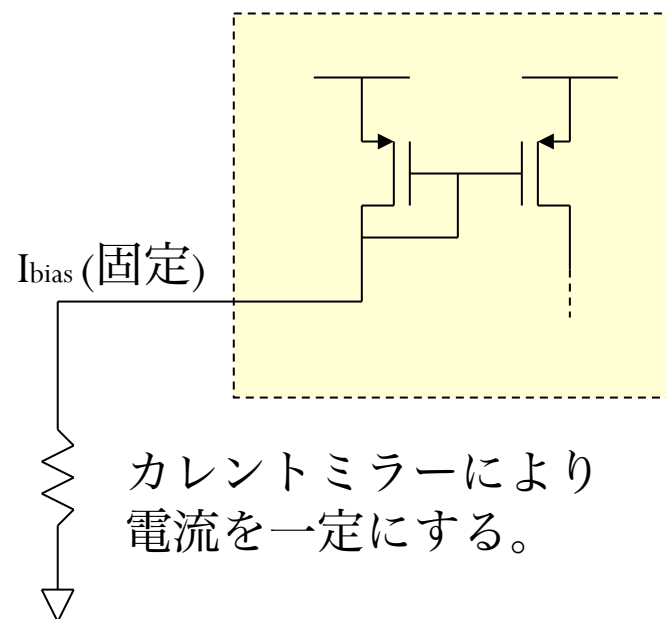


低温での動作

- -100°C では動作せず。
バイアス回路に問題。



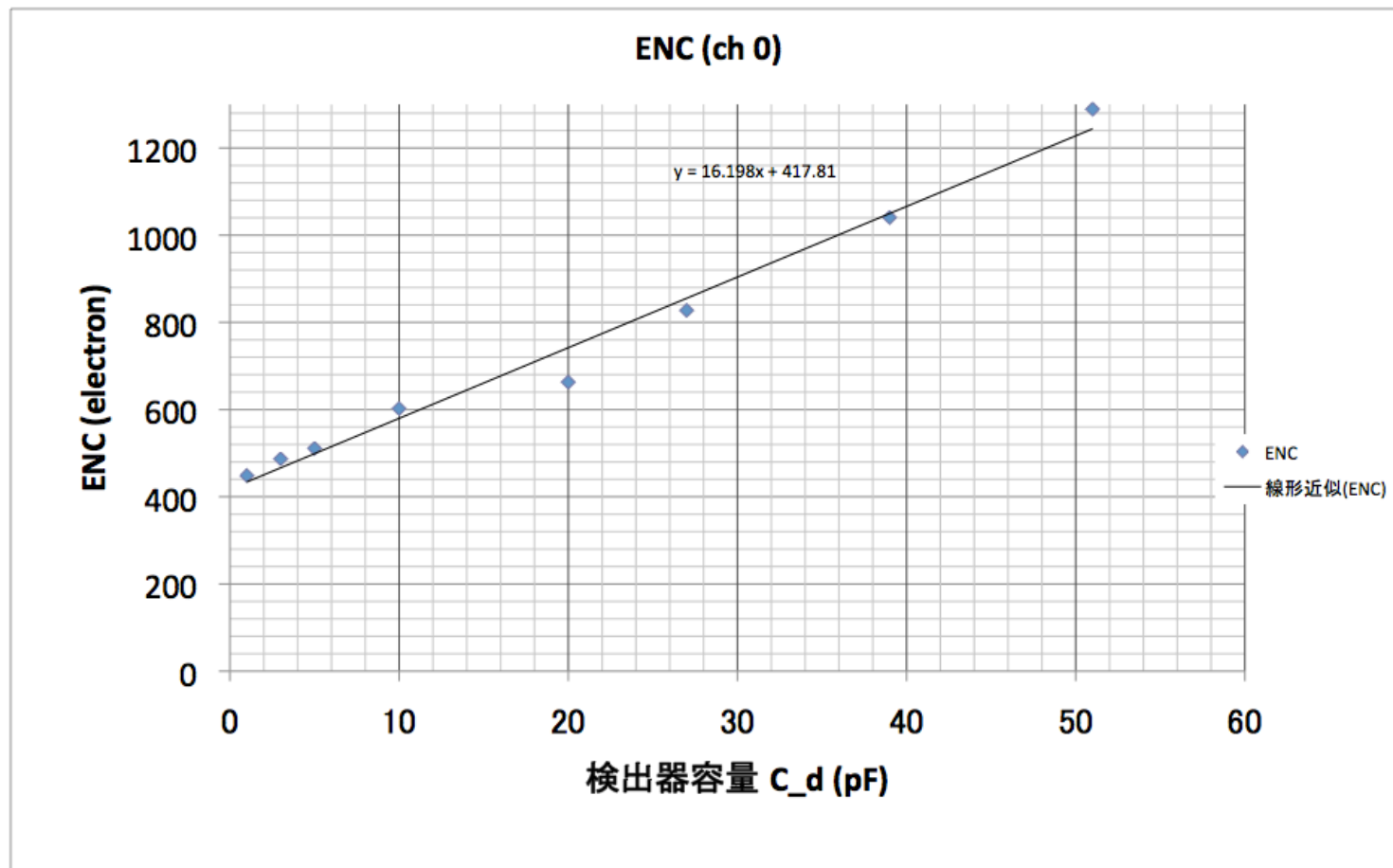
低温で V_t が上がると
オフになってしまう。
($\Delta V_t = +2 \sim 3 \text{mV/K}$)



カレントミラーにより
電流を一定にする。

試作結果

- 低ノイズ。ENC=418e + 16.2e/pF @R.T.



第2回試作への動き

- 低温動作を除き、他に大きなトラブルはなく、初めて設計したASICとしては上出来だった。
- そこで、より完成度の高いチップへと意欲。
- この頃からASICコンソーシアムの枠内で議論しながら設計を進める。
- 中性子基礎物理グループに興味を持っていただいた。そこで、液体キセノンTPCと中性子検出TPCとの共用ASICとして開発。
- 名称「TPCFE09」として第2試作へ。
- UMC 0.25um プロセスを利用。

TPCFE2 Members

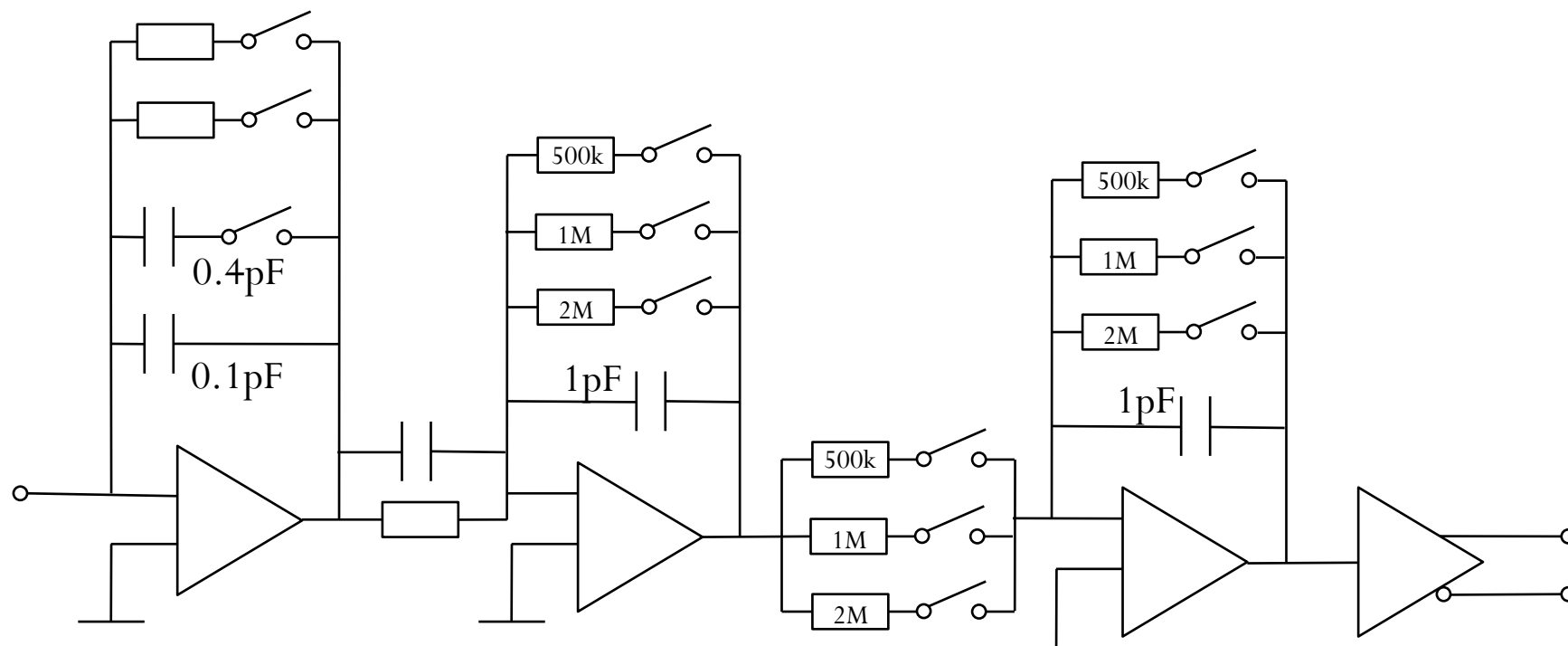
- リーダー：房安貴弘（長総大）
- デザイナー：東貴俊（佐賀大）
- LqXeTPCユーザー：田内利明、田中秀治（KEK）
- 中性子TPCユーザー：
三島賢二、吉岡瑞樹、有本靖（KEK）、
生出秀行、音野瑛俊（東大ICEPP）

※デザイナーはLqXeTPCユーザーの一員でもある。

TPCFE09仕様

	中性子TPC 希望仕様	LXeTPC 希望仕様	LXeTPC測定実績	TPCFE09仕様	TPCFE1x仕様案 (将来)
Dynamic Range	-500fC ~ -5fC	-75fC ~ +25fC	-200fC ~ +60fC	Range1: -100fC ~ +25fC Range2: -500fC ~ +125fC	
Conversion Gain	2V/pC	8.2V/pC	6.0±0.5V/pC	Range1: 10V/pC (0.1pF) Range2: 2V/pC (0.5pF)	
Gain Tolerance	~1%	~1%	~15%	~1%	
ENC	<2000e @ 1pF	<2000e @ 1pF	~400e @ 1pF	400e + 25e/pF @ 0.5 us	
Cross Talk	~1%	~1%	No Measurement	~1%	
Peaking Time	1us, 10us, Variable	0.5us, 1us, Variable	available	0.5us, 1us, 2us	
Power Dissipation	~20mW/ch	<20mW/ch	~10mW/ch	<10mW/ch	
Temperature Tolerance	25°C	-110°C	-110°C (changing R)	-110 ~ +25°C	
# of Channel	any	32ch	8ch	16ch	
ADC	-	10bit/10MHz	-	None	10bit/10MHz

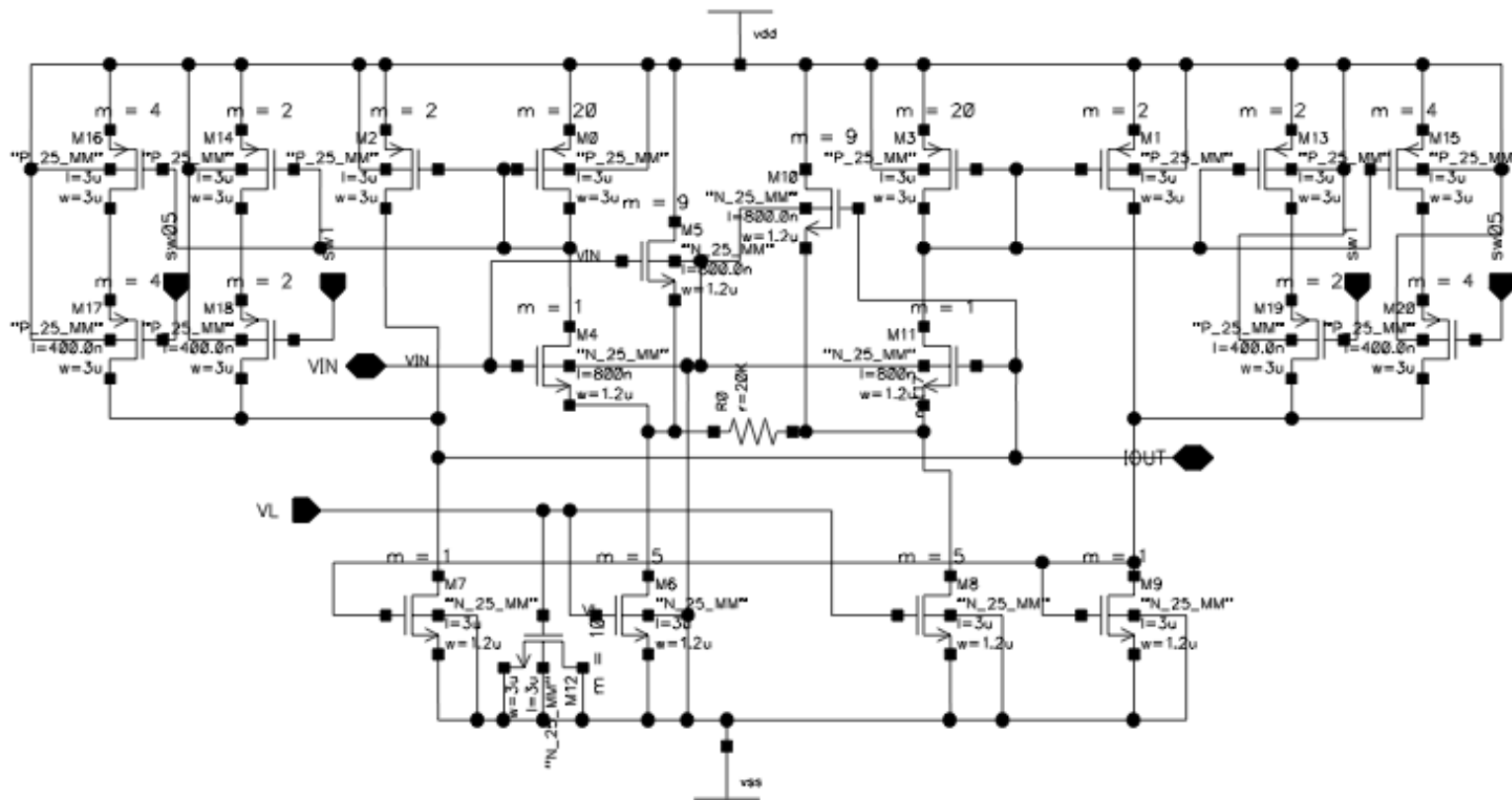
1chアナログブロック図



ゲインは
2種切り替え

Shaping Timeは
3種切り替え

Long Shaping用に高抵抗回路を使用



基準となる抵抗（ここでは20kΩ）を元に、出力電流を1/25, 1/50, 1/100にする。
→ 実効的に500kΩ, 1MΩ, 2MΩの抵抗を実現。(JAXA池田様による回路)

Schedule

- 現在、回路図設計がほぼ終了したところ。
- Simulation検証 → Jul/2010
- Layout設計の外注submit → End of Jul/2010
- 納品、測定評価の開始 → Sep/2010

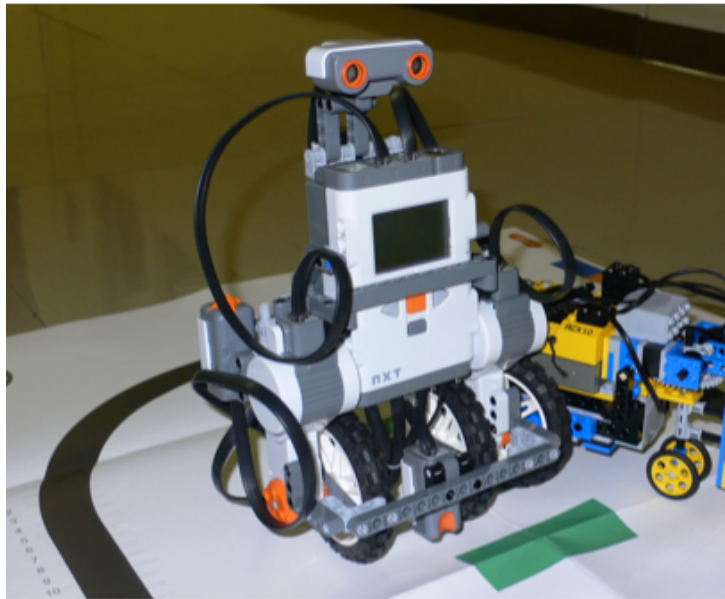
2. 大学から見たOSC ～本学の場合～

OSCのメリット

- 長崎総合科学大ではASIC設計を指導できる教員が3人おり、活発な研究活動を行ってきたが、研究室単位で構築できるノウハウには限界がある。コンソーシアムでの情報共有は有益。
- ASIC開発に携わる学生のマンパワーも不足がみ。今後の研究展開のためにも、大学の垣根を超えた協力体制は不可欠。

3. 長崎総合科学大学における 社会人向け講座

長崎県人材養成等支援事業

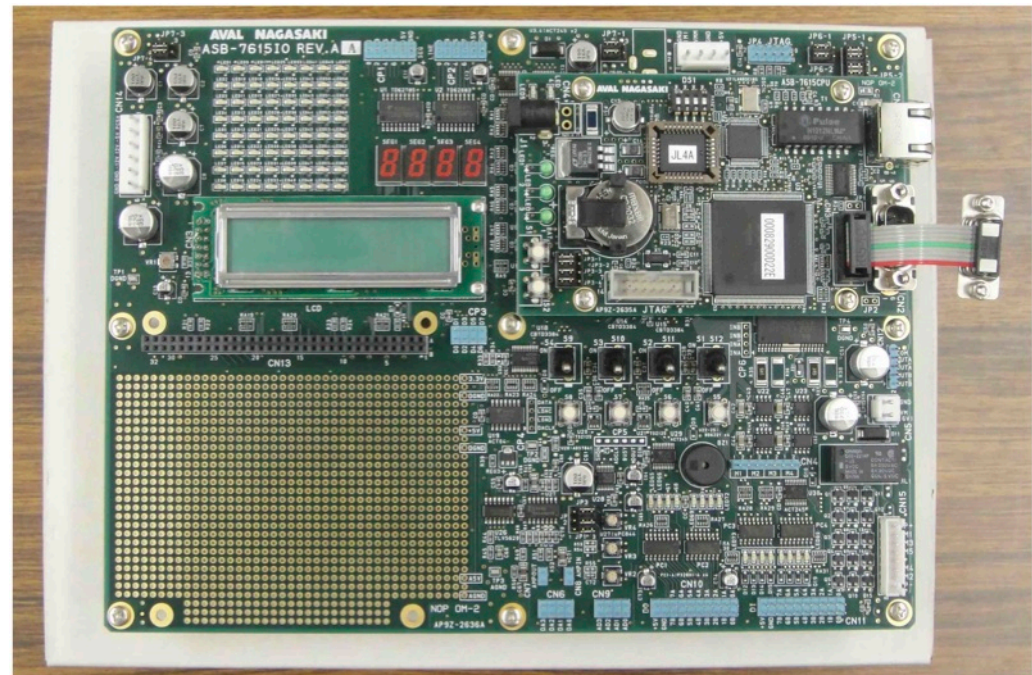


組込ソフト研修・入門
(組込みプログラミング)

主に社会人向けですが、
学生さんも参加できます。

電子デバイス設計講座
(FPGA設計の入門)

組込ソフト研修・中級
(マイコンプログラミング)



ご清聴ありがとうございました
