

AMC: Analog Memory Cell

阿部利徳

Representing AMC group

- Analog Memory Cell (以下AMC)の開発の目的、原理、開発現状、今後の展開、について話します。
- AMCは、高速波形サンプリング(~ 1 GHz)を高分解能(≥ 10 bit)で (低消費電力で) 行うICです。

イントロダクション

- 目的
- 動作原理
- 開発の現状
 - 去年度までのAMCの性能
 - UMC0.25umを用いたAMC(遠山、吉越、田中)
 - ADC付きAMCとその改良(阿部、藤森、田中)
- 今後

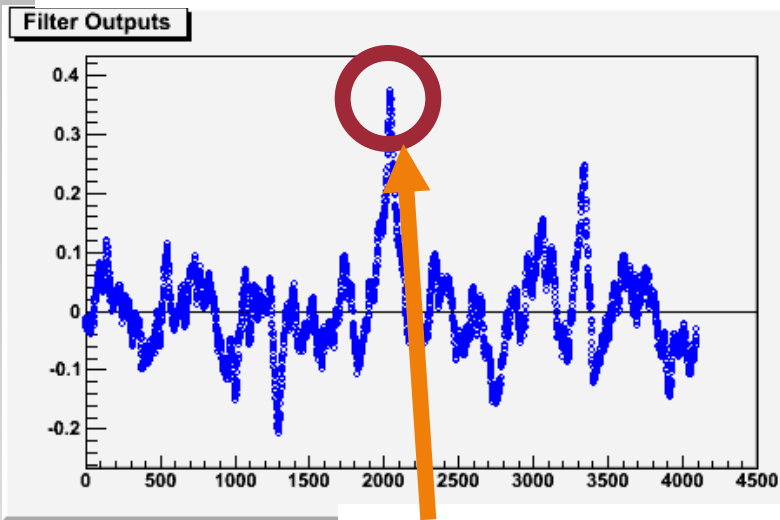
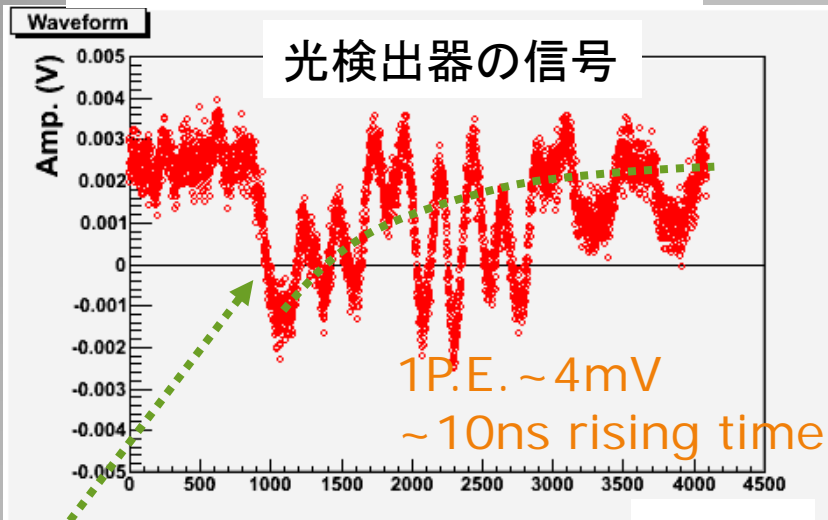
目次

- 高速波形サンプリング（+Digital Signal Processing）を用いた読み出しは、しきい値型読み出しに比べて、下記の特徴がある。
 1. ノイズの軽減化に有効
 2. Flexibilityがある
- 高速波形サンプリングを高分解能で行いたい。
→AMCで実現

目的

Waveform after preamp.

After digital signal processing

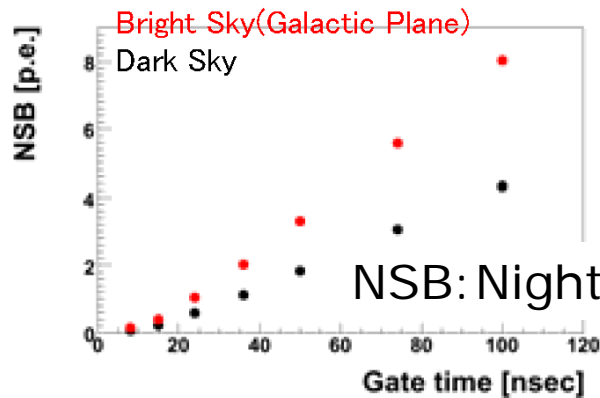


Signal

5GS/s 4096pts

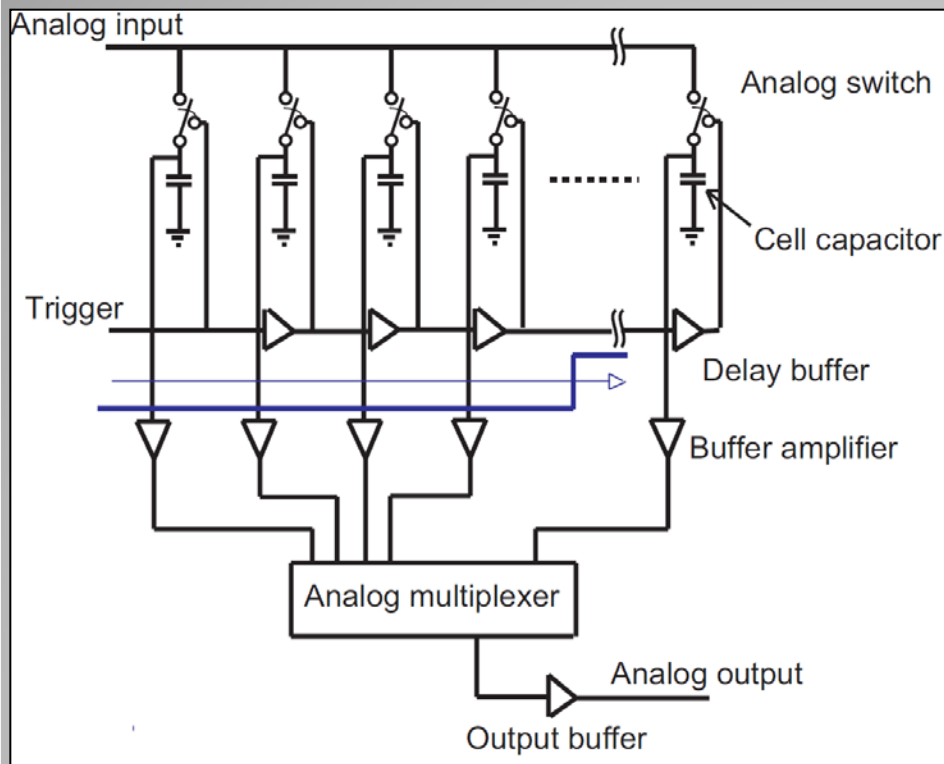
800ns

ノイズの軽減化に有効



Cherenkov Telescope

高速波形サンプリングの効用



○ 要求

1. GHzの波形サンプル
2. 高分解能($\geq 10\text{bit}$)
3. (低消費電力)

○ AMC

→ Switched Capacitor Array

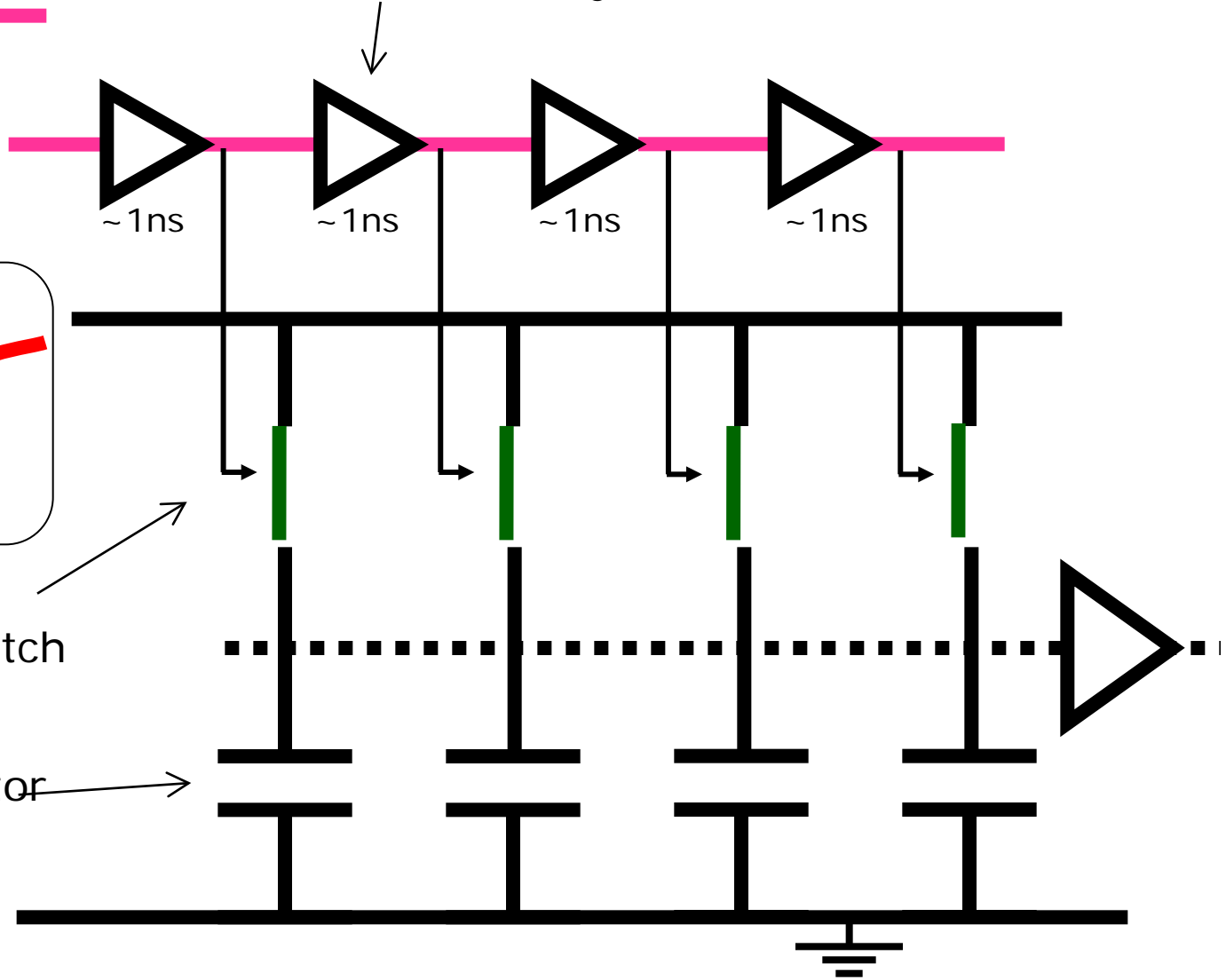
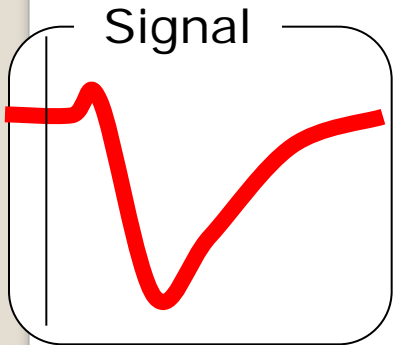
→ サンプルング時間は
遅延バッファアンプ

→ 高速外部クロックが
必要ない

AMC動作原理

Sample trigger

Gate to delay

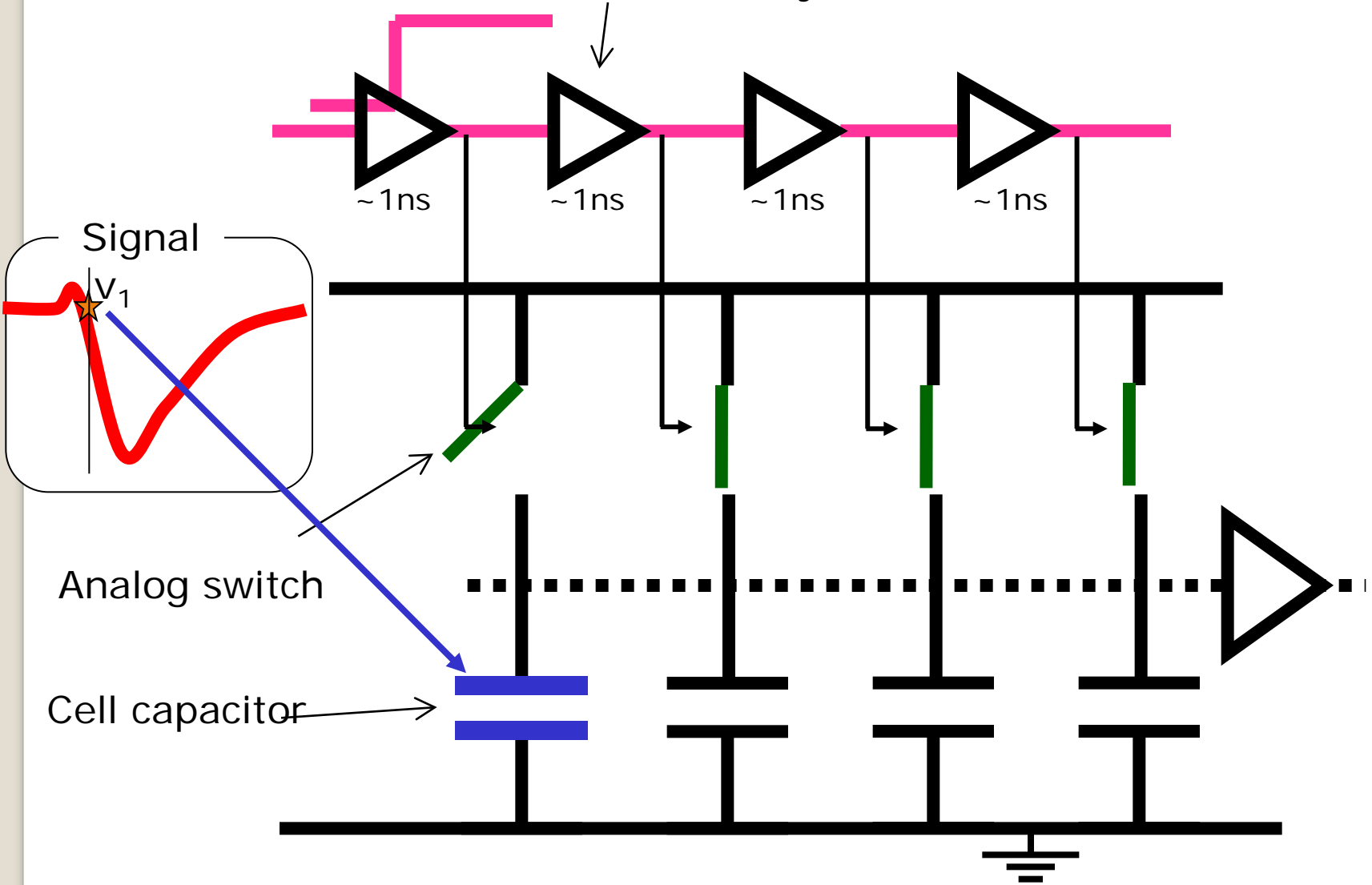


Analog switch

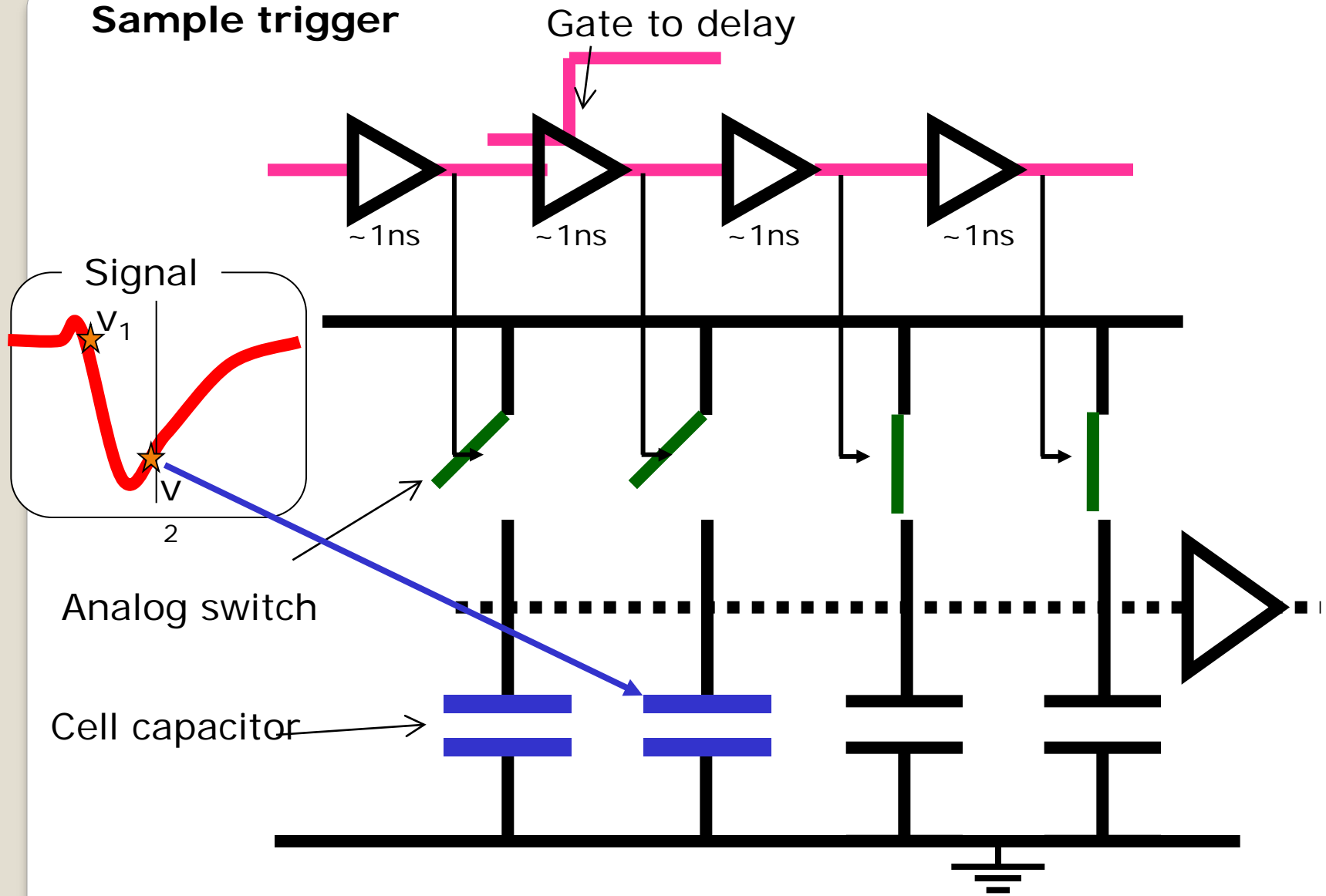
Cell capacitor

Sample trigger

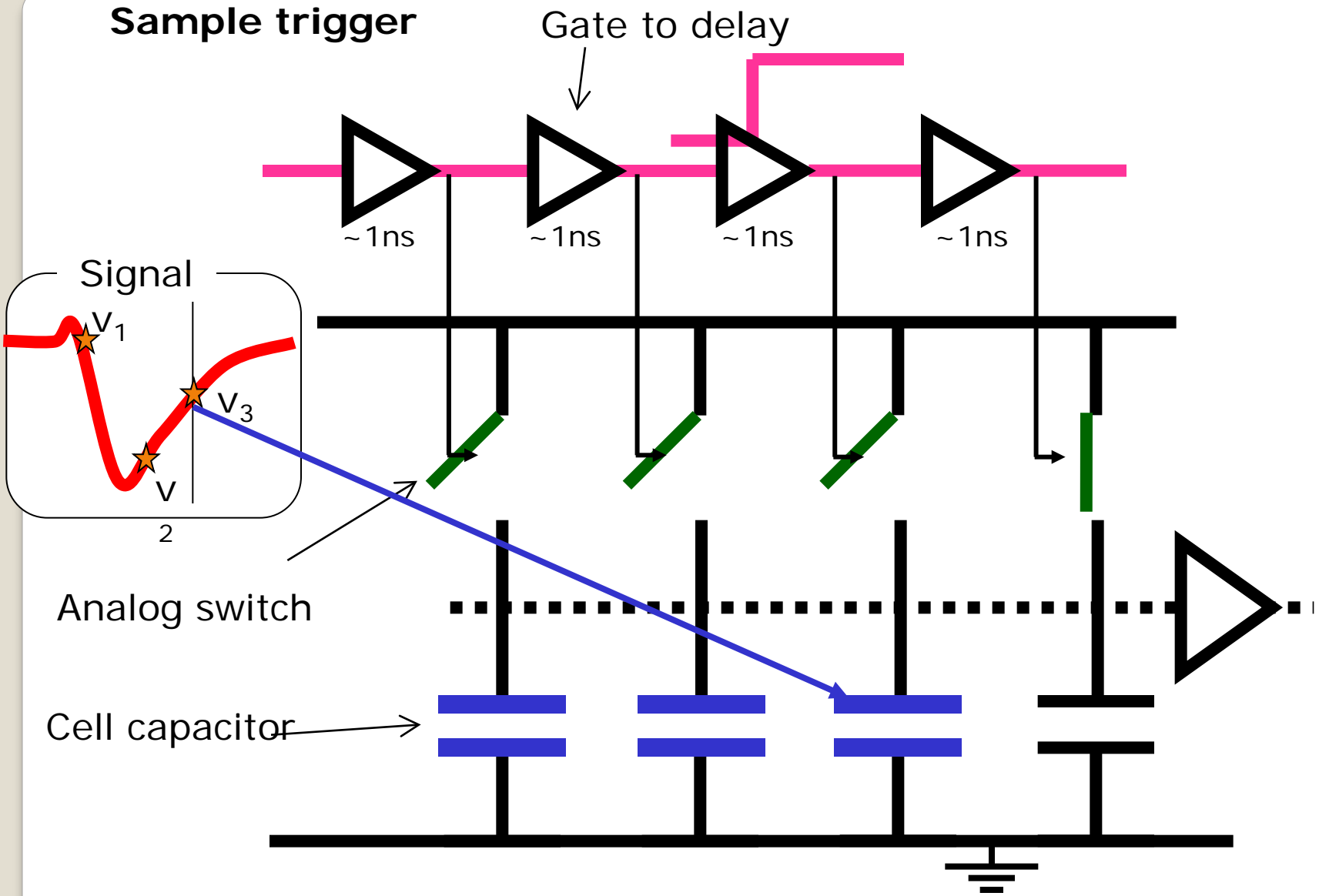
Gate to delay



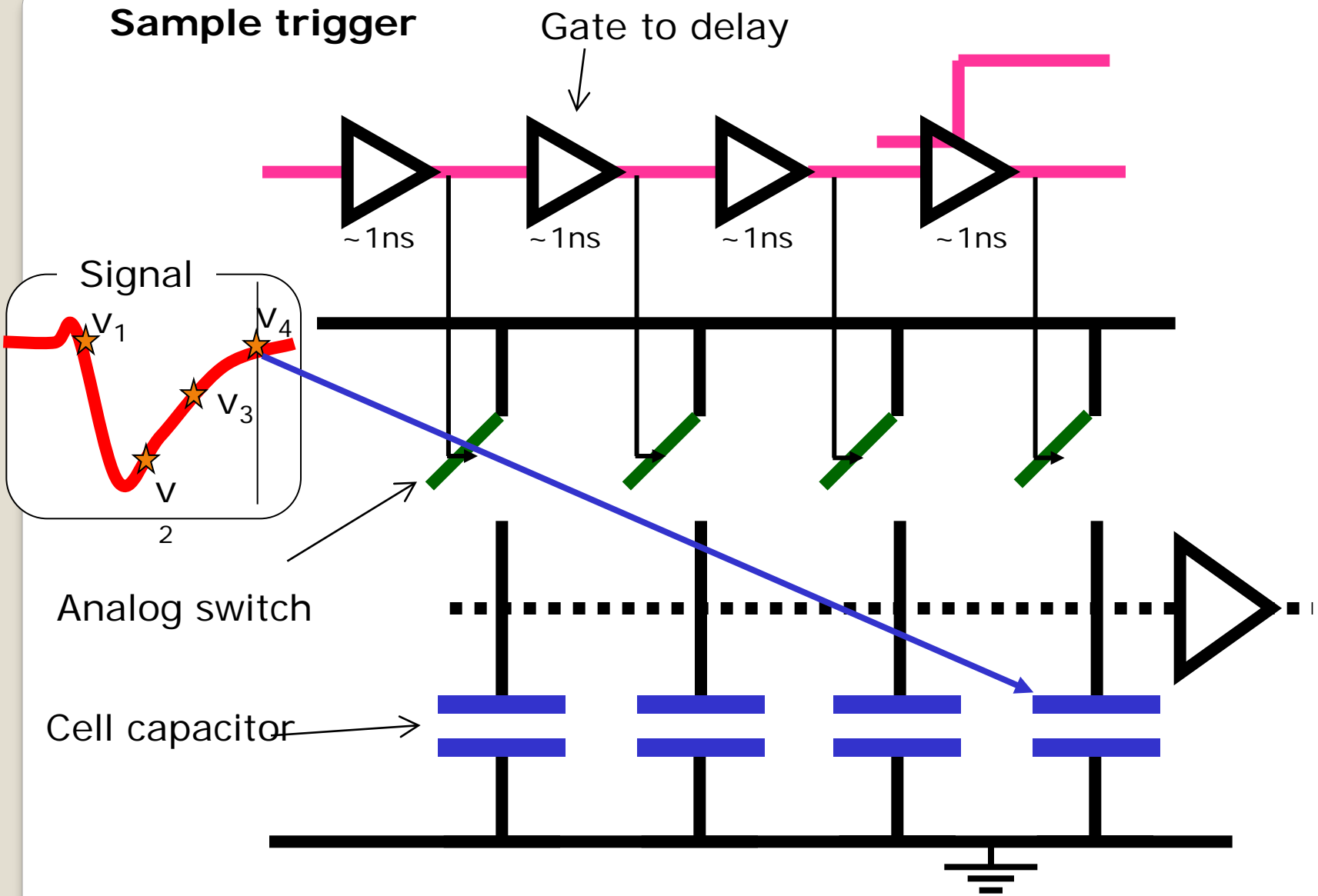
Sample trigger

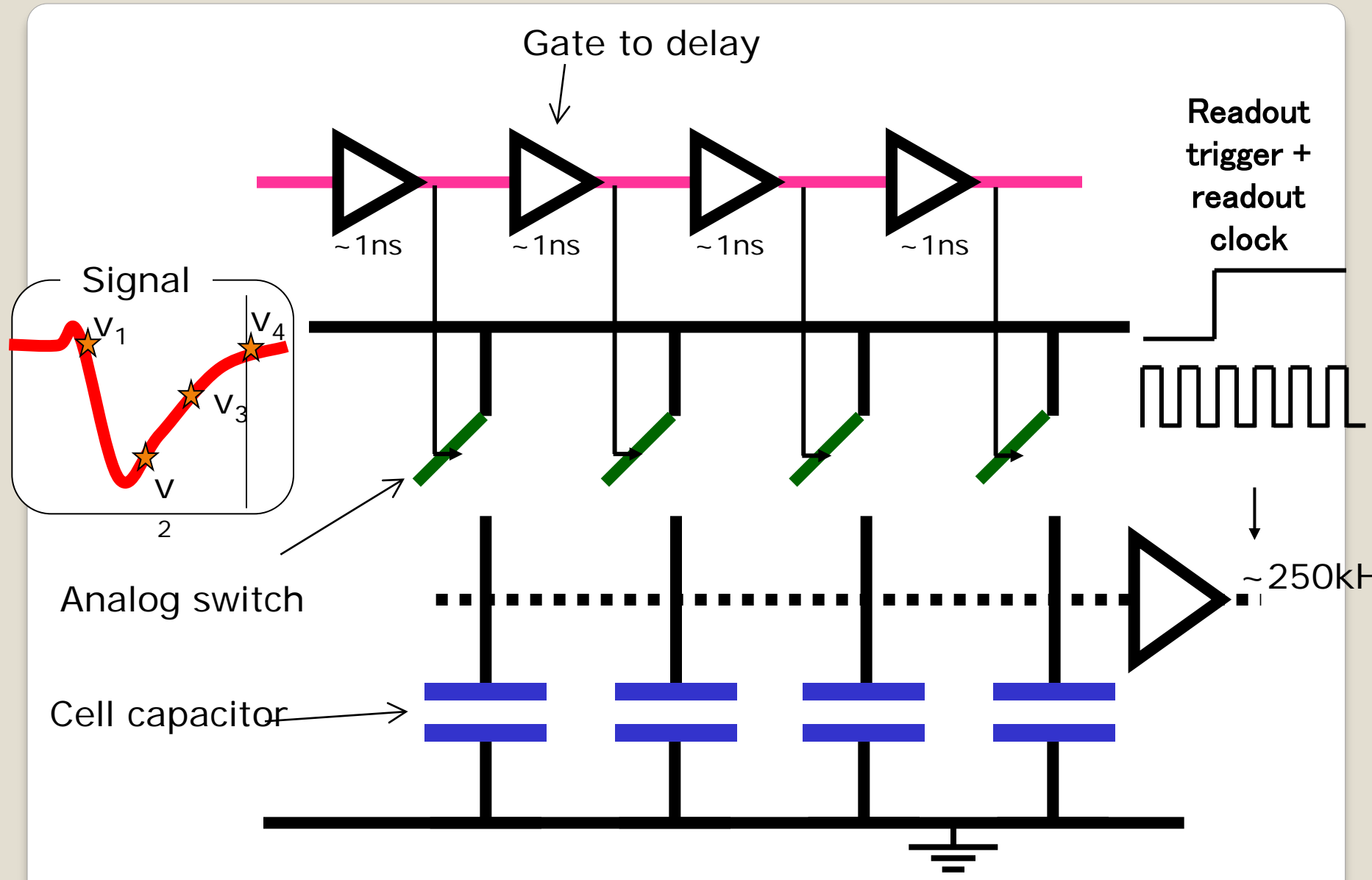


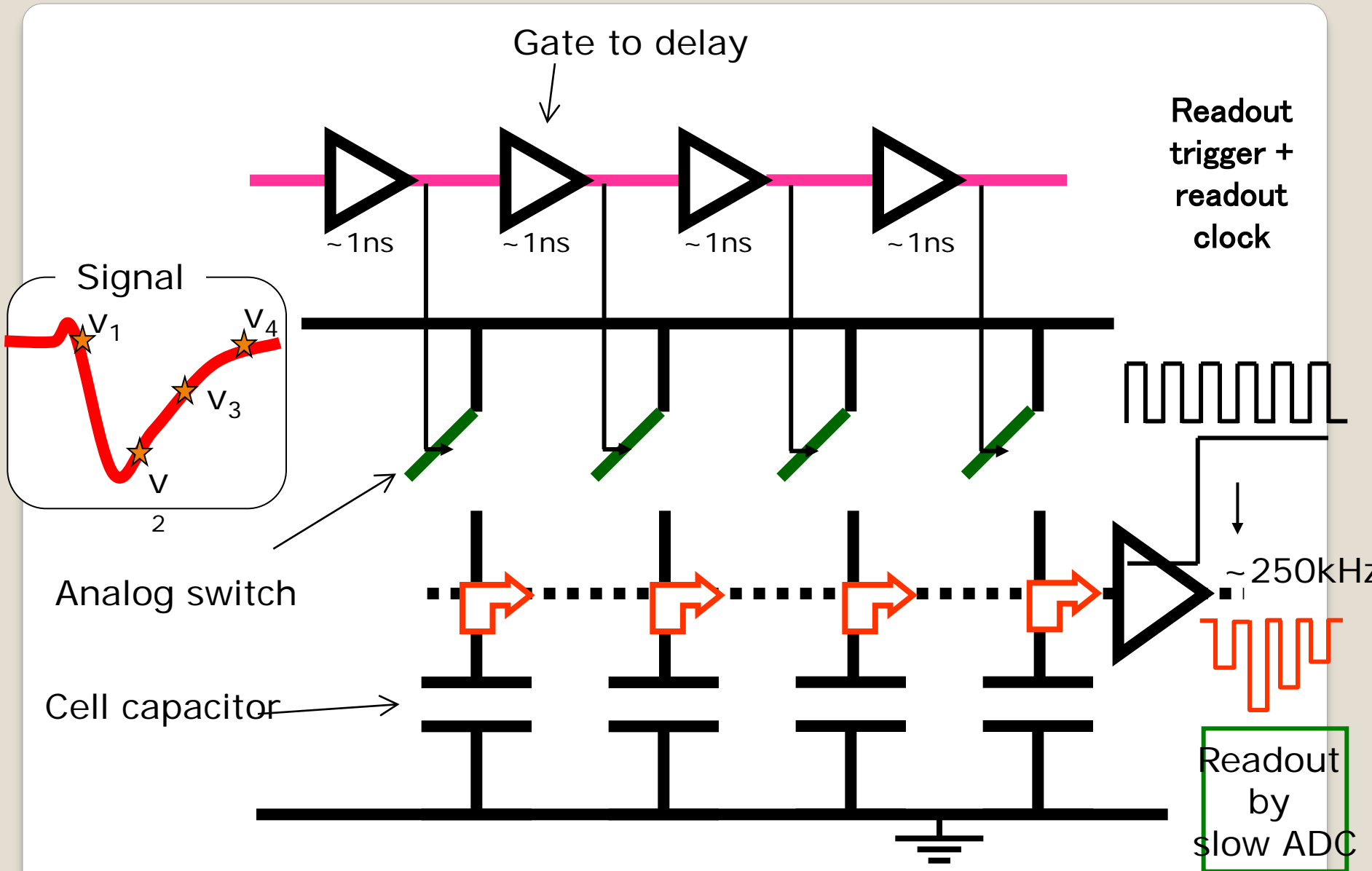
Sample trigger

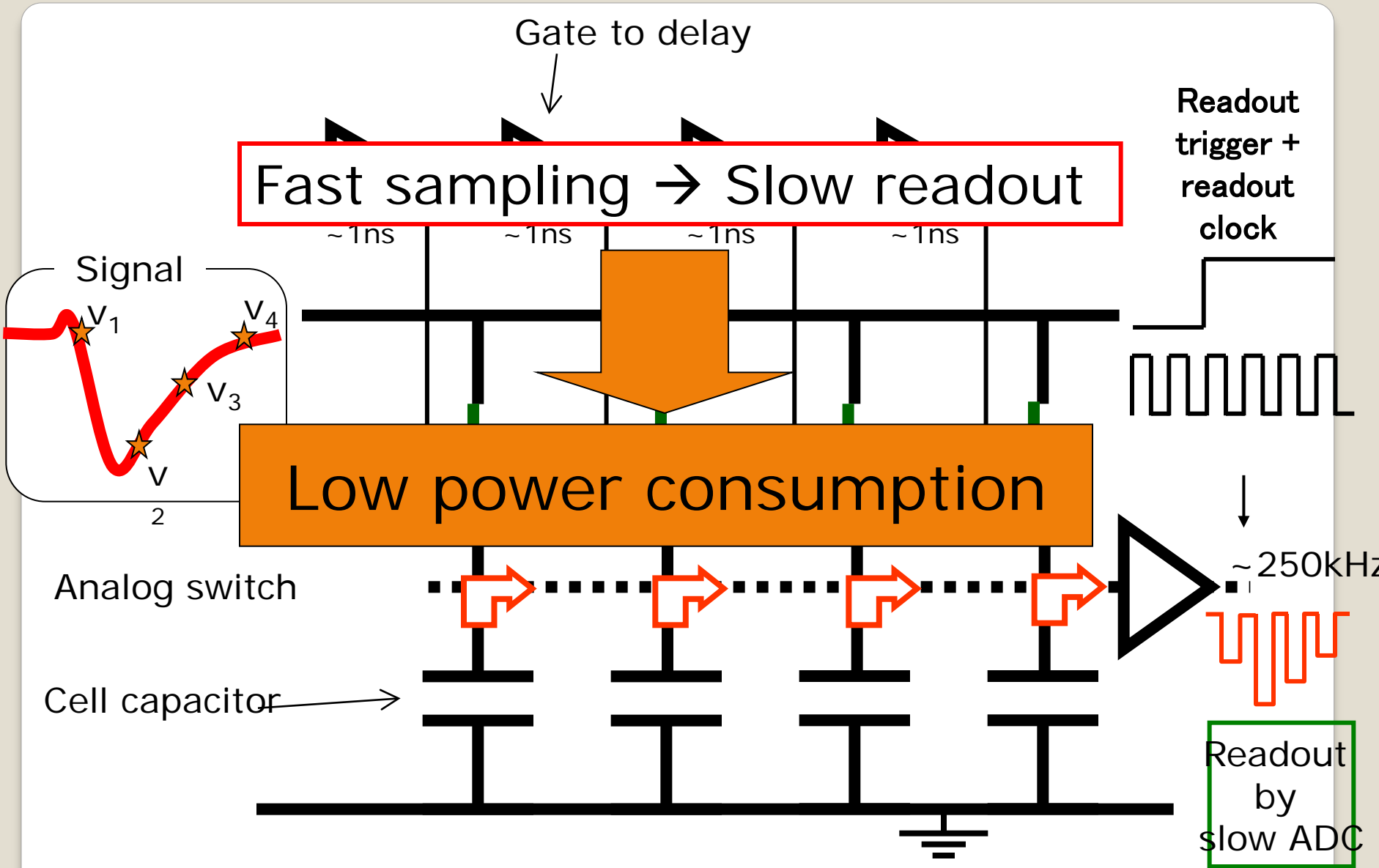


Sample trigger









	AMC (+slow FADC)	FADC (ADC081000 N.S.)
サンプリング頻度	~1GHz	1GHz
動作電圧	+5V	+1.9V
消費電力 /チャンネル	72mW(*) (+160mW FADC)	1.45W
分解能	≥10bit	~8bit

(*) readout clock=200kHz

AMC vs. 1GHz FADC

- TSMC0.5umプロセスを用いて開発
- サンプリング周波数~1GHzを確認
- 分解能11bit(≥ 10 bit)を確認
- 周波数帯域(< 100 MHz)を確認

去年までのAMC開発状況まとめ

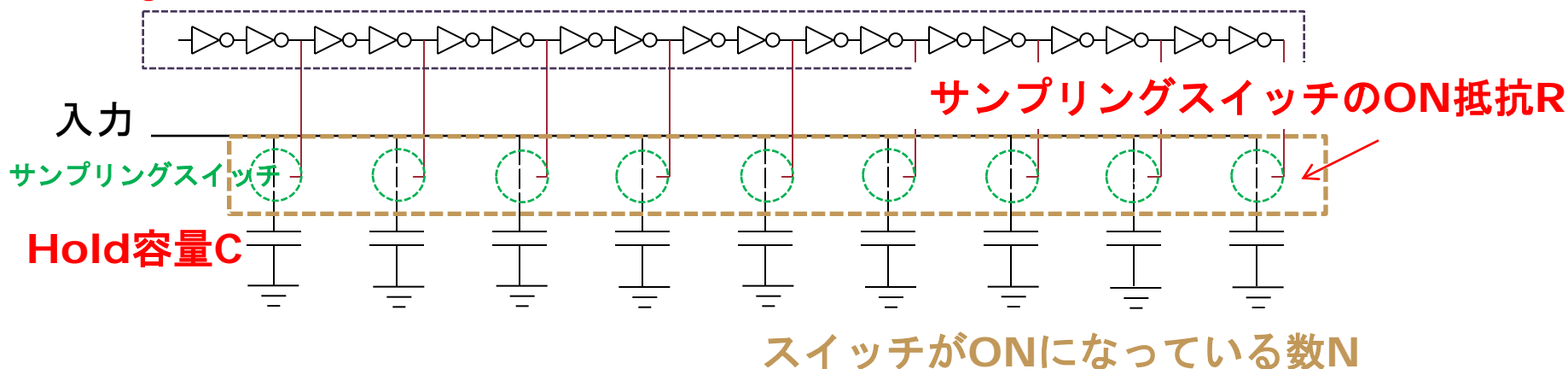
- AMCのさらなる高性能化
 1. アナログ帯域~GHzを目指す
 2. さらなる低消費電力化
 3. サンプルデータのデジタル化
- UMC0.25umプロセスでの開発
- ADCの内蔵化

今年度の開発目標

- 寄生容量、浮遊容量が小さくなる
 - 動作の高速化、周波数帯域の改善、オフセットの改善が期待される
 - さらにサンプル時にON状態のコンデンサーの数を少なくすることにより広帯域化を目指す
- 消費電力が1/4と軽減される(電源電圧5V→2.5V)
 - ただし、入力ダイナミックレンジが半分になる(分解能に影響)
 - 現在のノイズは kT/C 制限より大きい
 - ノイズをTSMC0.5umより小さくできれば、分解能を確保
- 遠山、吉越(ICRR)、田中(KEK)で開発

UMC0.25umを用いる目的

Delay Line



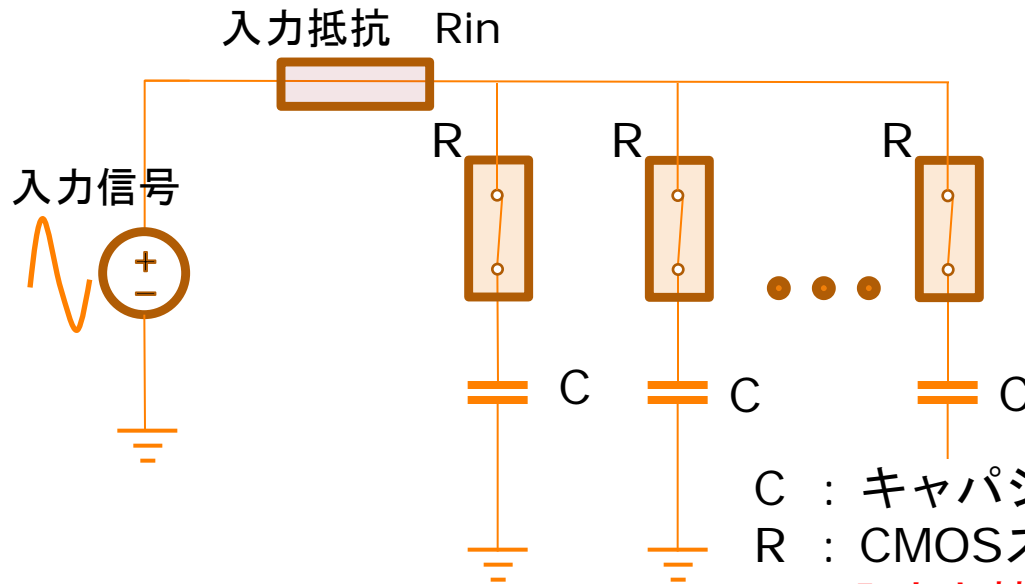
性能	要因	依存する設計パラメータ
サンプルスピード	Delay素子の遅延量	Delay素子のトランジスタサイズ等
周波数帯域		C、R、N
オフセットの大きさ	トランジスタの浮遊容量	C、R
精度	スイッチがON時の過渡現象	C、R、N
	熱雑音	C

設計パラメータ

設計アナログ帯域: 500MHz

$R_{in} = 100\Omega$ として設計
 N は5とした

AMCの解析モデル



- C : キャパシター1コの容量
- R : CMOSスイッチのON抵抗
- N : 入力と接続しているセルの数
- R_{in} : AMCの入力抵抗

$$f = \frac{1}{2\pi(RC + NR_{in}C)}$$

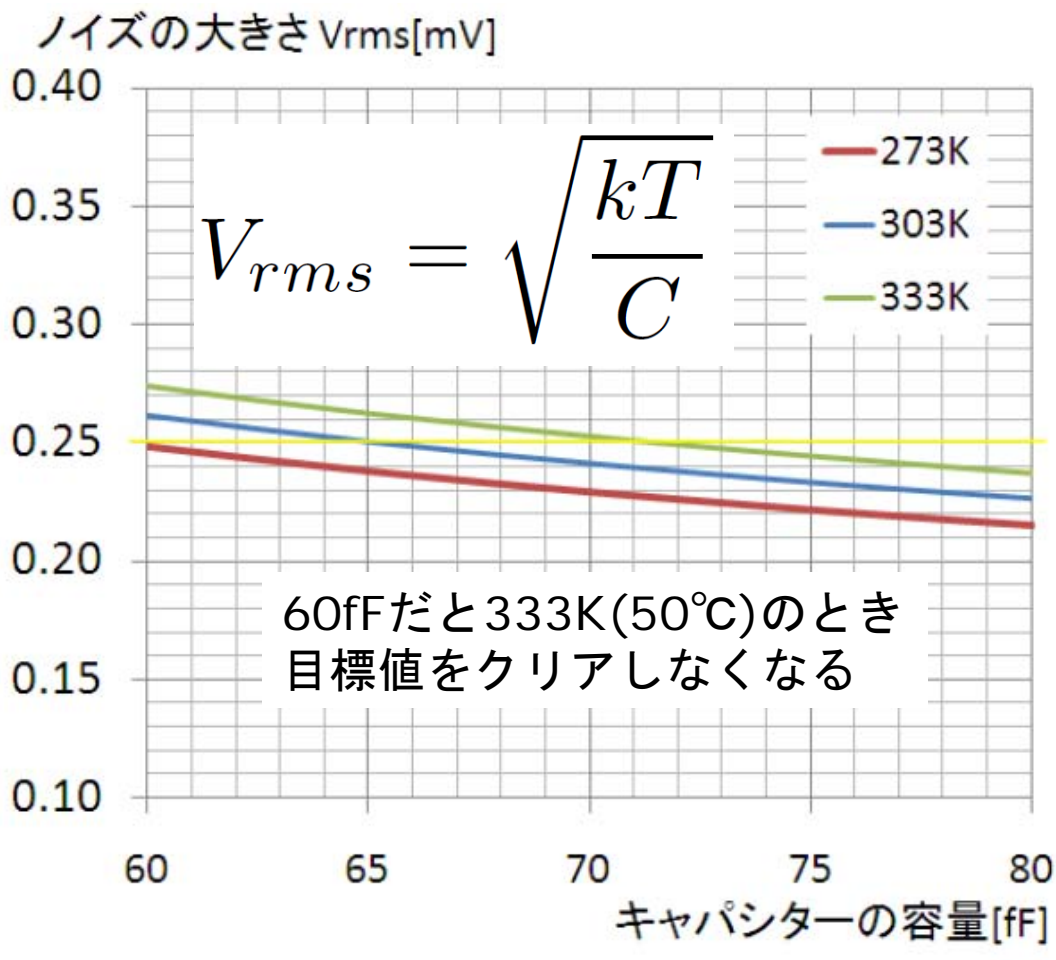
C と R は小さいほうが良い

周波数帯域

ノイズの大きさ V_{rms} : 0.25mV

(遠山、吉越、田中)

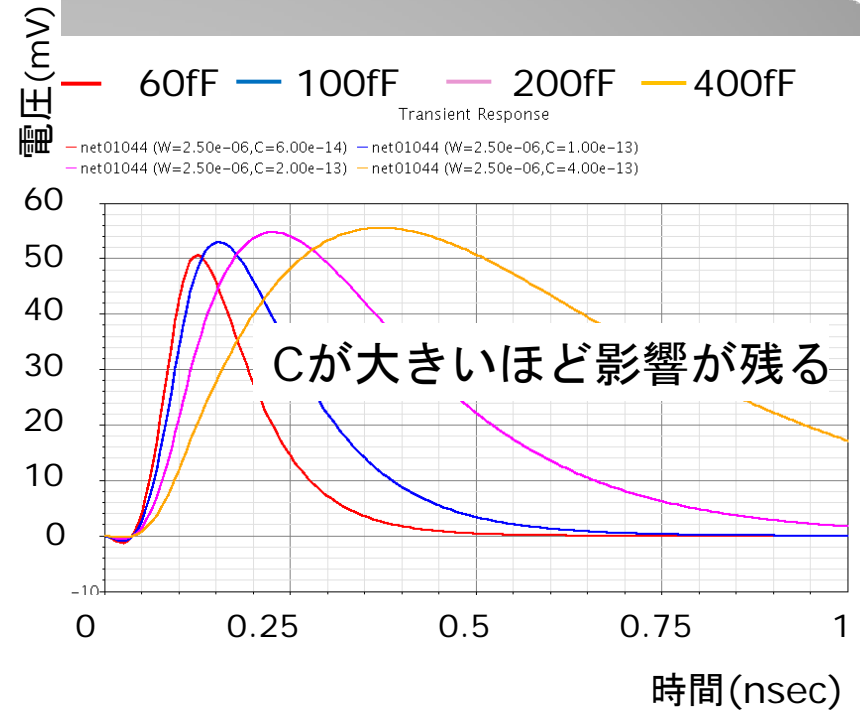
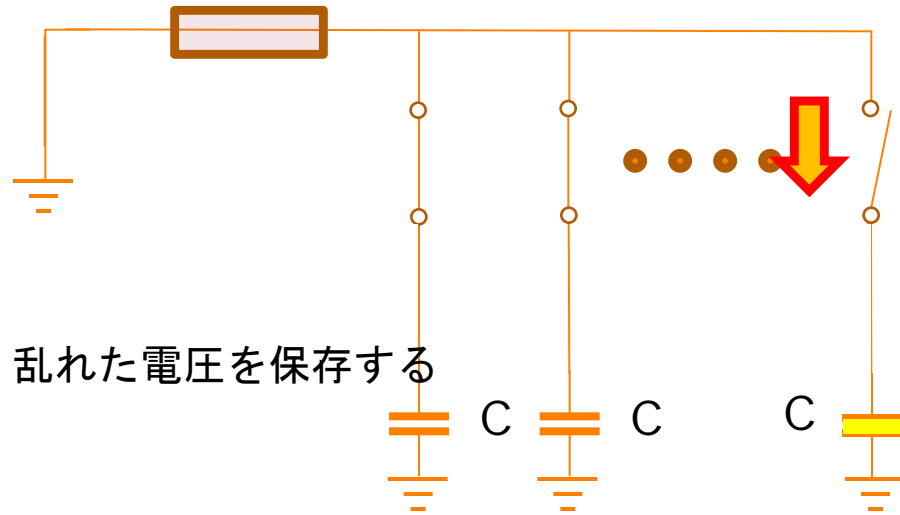
※1Vのレンジで12bit(1/4000)を目標にした



熱雑音

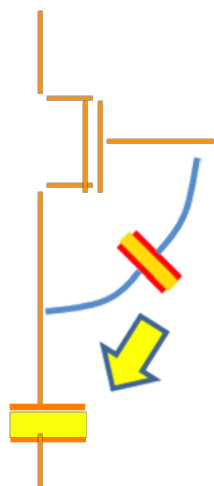
Rin : 入力抵抗

電荷が逃げる



設計値 : 電圧値の乱れを0.25mV以下

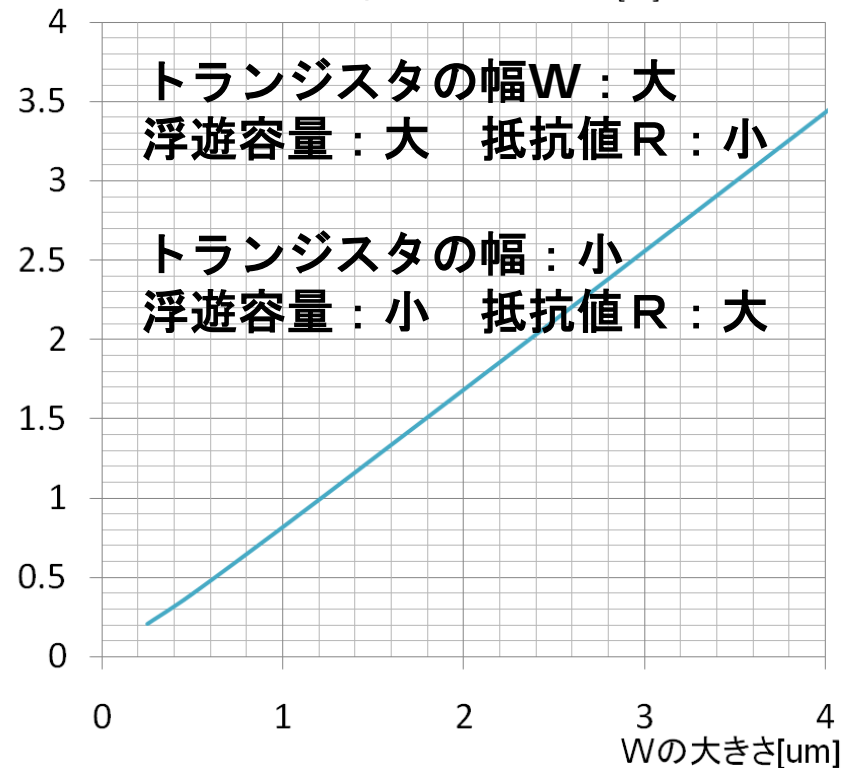
過度応答特性



浮遊容量を小さくする

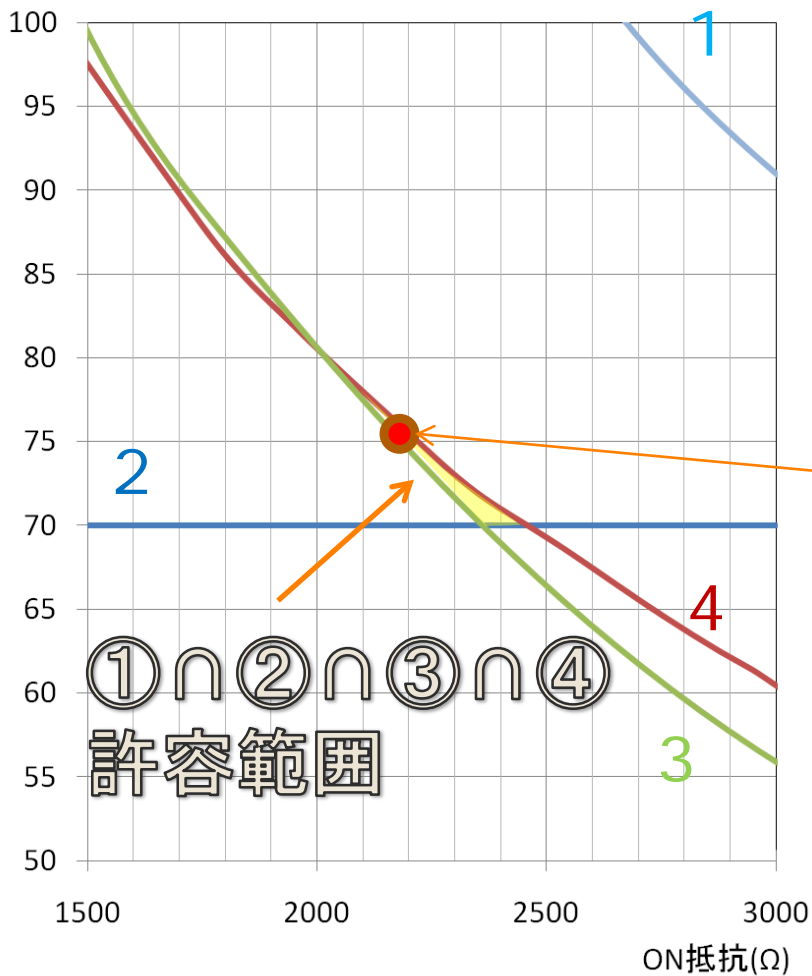
設計：浮遊容量の大きさを
Hold容量の1/400にする

NMOSゲート-ソース間の浮遊容量の絶対量[fF]



オフセット

キャパシター1つの容量(fC)

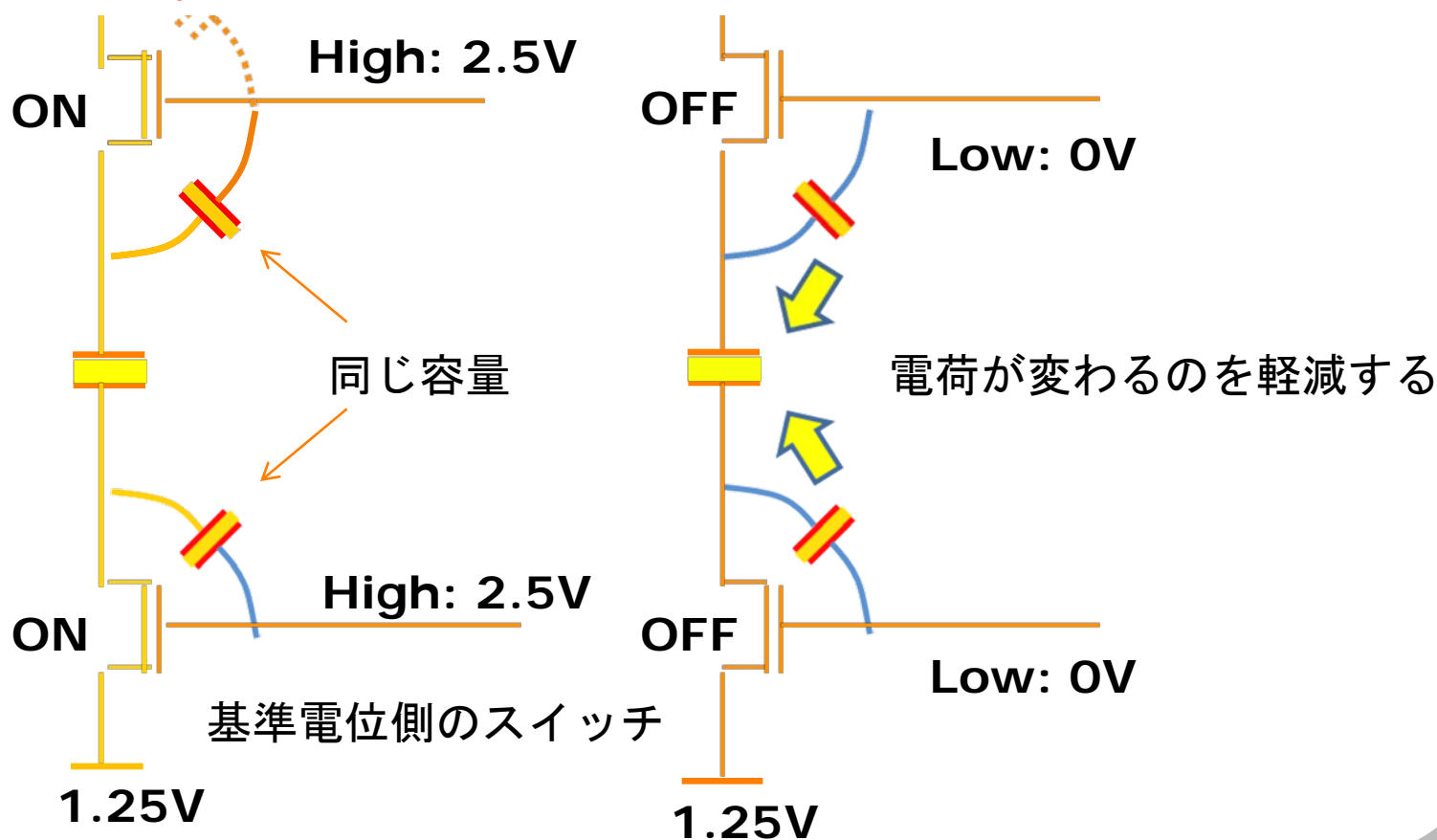


1. 入力周波数帯域
2. 熱雑音
3. 過度応答特性
4. オフセット

R=2200Ωを
C=75fFで設計

パラメータの最適化

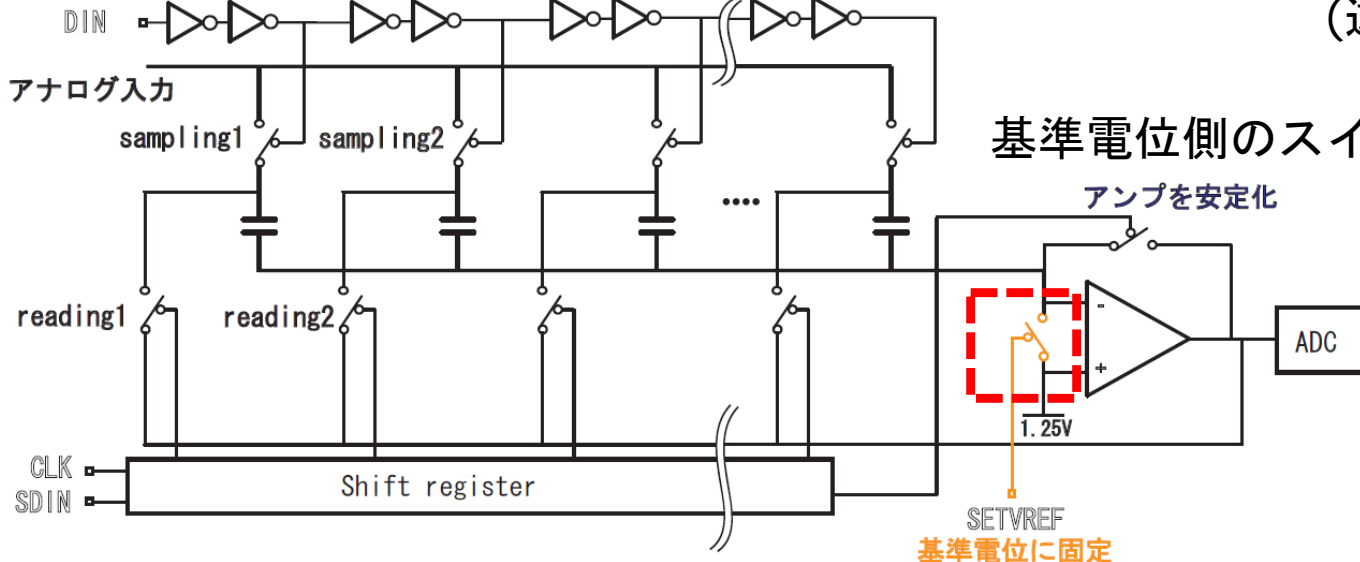
浮遊容量による影響をキャンセルさせるために同じサイズのスイッチを設置



オフセット対策その2

サンプリング開始

(遠山、吉越、田中)



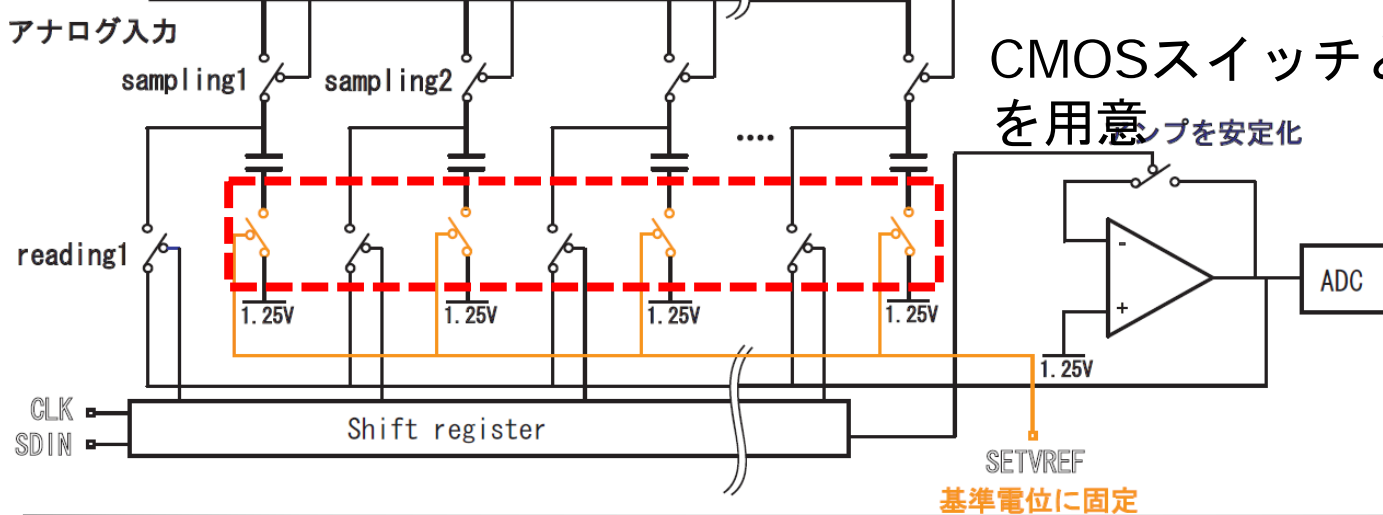
基準電位側のスイッチを**共通形式**

アンプを安定化

SETVREF
基準電位に固定

サンプリング開始

基準電位側のスイッチが**個別形式**



CMOSスイッチとNMOSスイッチ
を用意

SETVREF
基準電位に固定

スイッチの構造の違うTEG

試作品 (Test Group Element)

	Hold容量	読出し スイッチ	基準位側の スイッチ構成	cell数
TEG1-1	75fF	CMOS	共通	128
TEG1-2			個別	
TEG2				
TEG3	400fF	NMOS	共通	64
TEG4-1		CMOS		
TEG4-2			個別	
TEG5		NMOS		
TEG6				

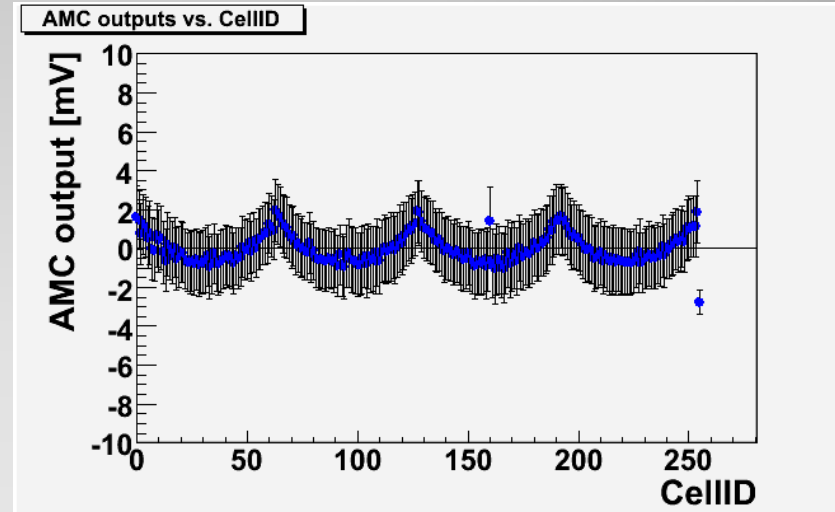
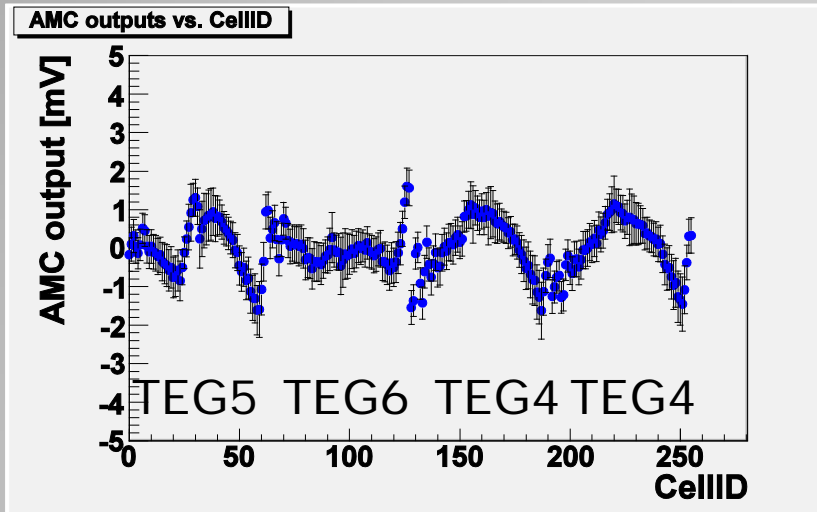
※前回のAMCとの比較のために400fFの場合も用意

評価項目	TEG4	TEG5	TEG6
サンプリング信号幅 > 1us			
コモンモードシフト ($\sigma < 2\text{mV}$)	○	○	○
ペDESTAL ($\sigma < 2\text{mV}$)	○	○	○
固有ノイズ ($\sigma < 1\text{mV}$)	○	○	○
DC入力レンジ (~1.5V)	○	○	○
AC特性 (ゲインのバラつき)	△	△	△
サンプリング信号幅 ~ 10ns			
コモンモードシフト ($\sigma < 2\text{mV}$)	○	○	○
ペDESTAL ($\sigma < 2\text{mV}$)	△	△	○
固有ノイズ ($\sigma < 1\text{mV}$)	○	○	○
DC入力レンジ (~1.5V)	○	○	○
AC特性 (ゲインのバラつき)	○	○	○

評価結果

New

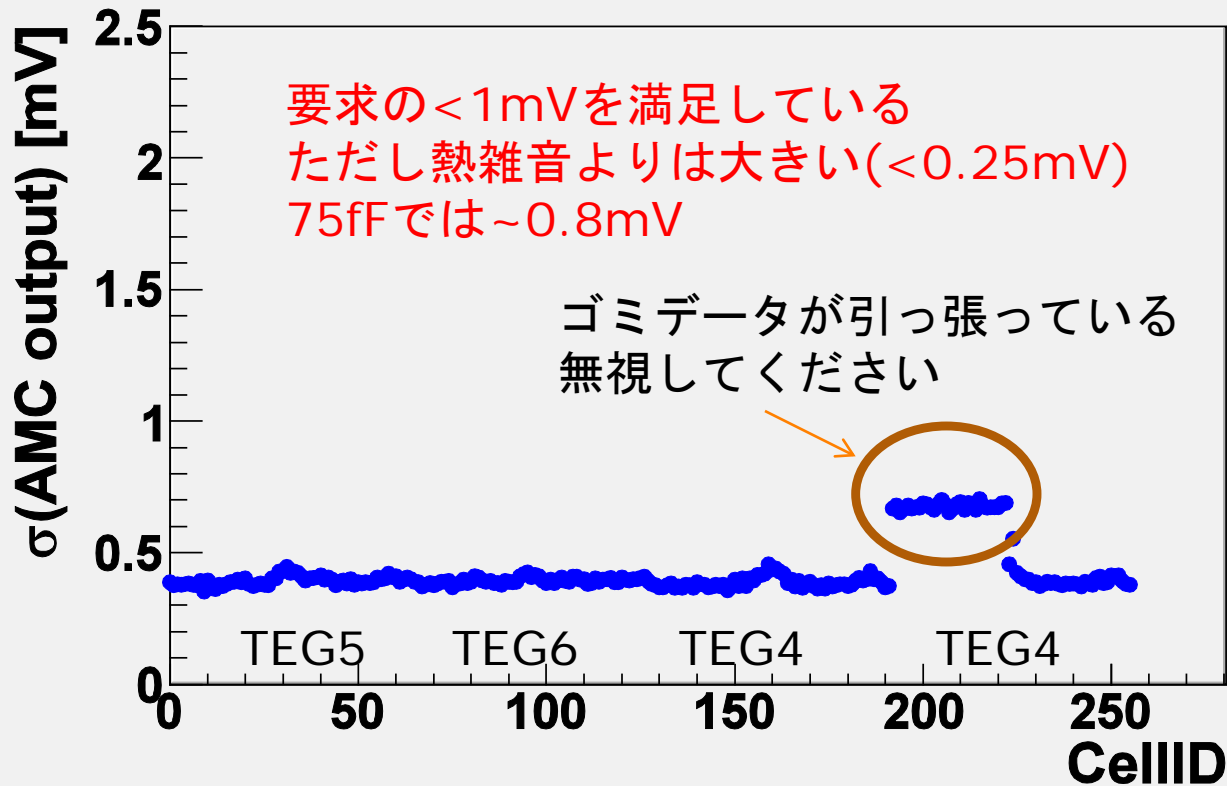
今までのAMC



TEG6(個別NMOSスイッチ)のばらつきが一番小さい

400fFペデスタル分布(DC入力1.85V) 10ns

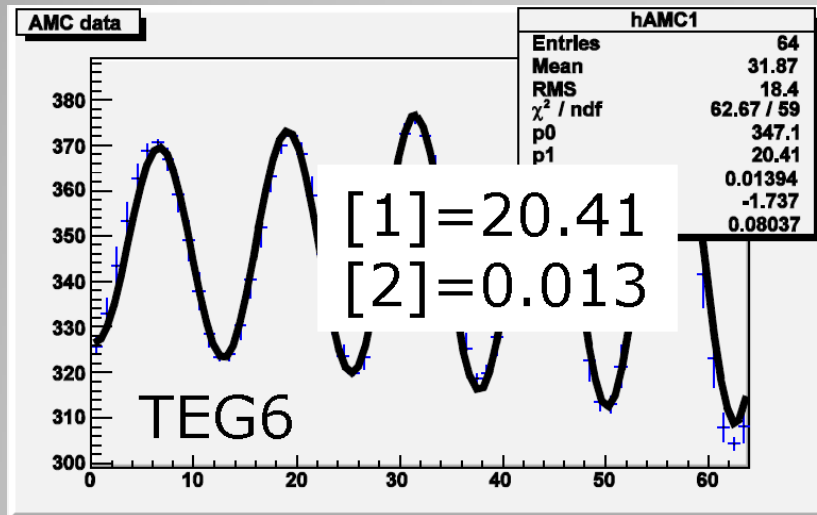
Sigma(AMC outputs) vs. CellID



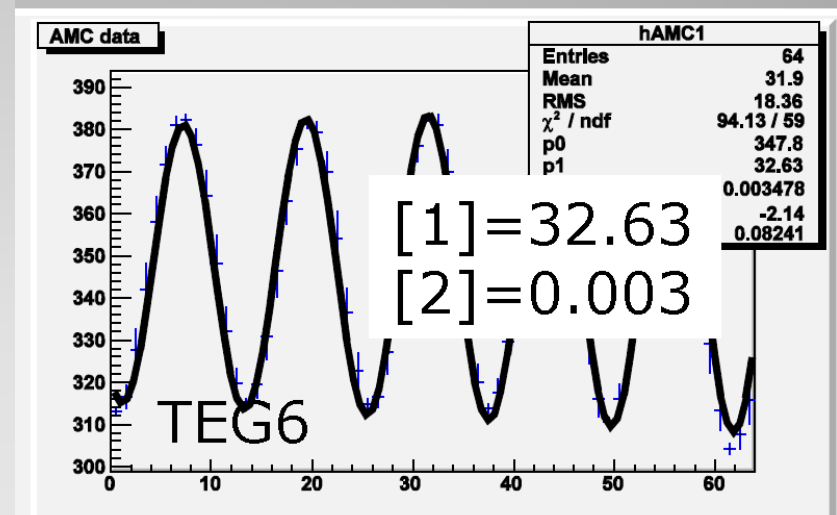
読み出しスイッチとOpAmp間の浮遊容量~200fF + OpAmpのノイズ~0.25mV

400fF固有ノイズ(DC入力1.25V)

今までのサンプリング



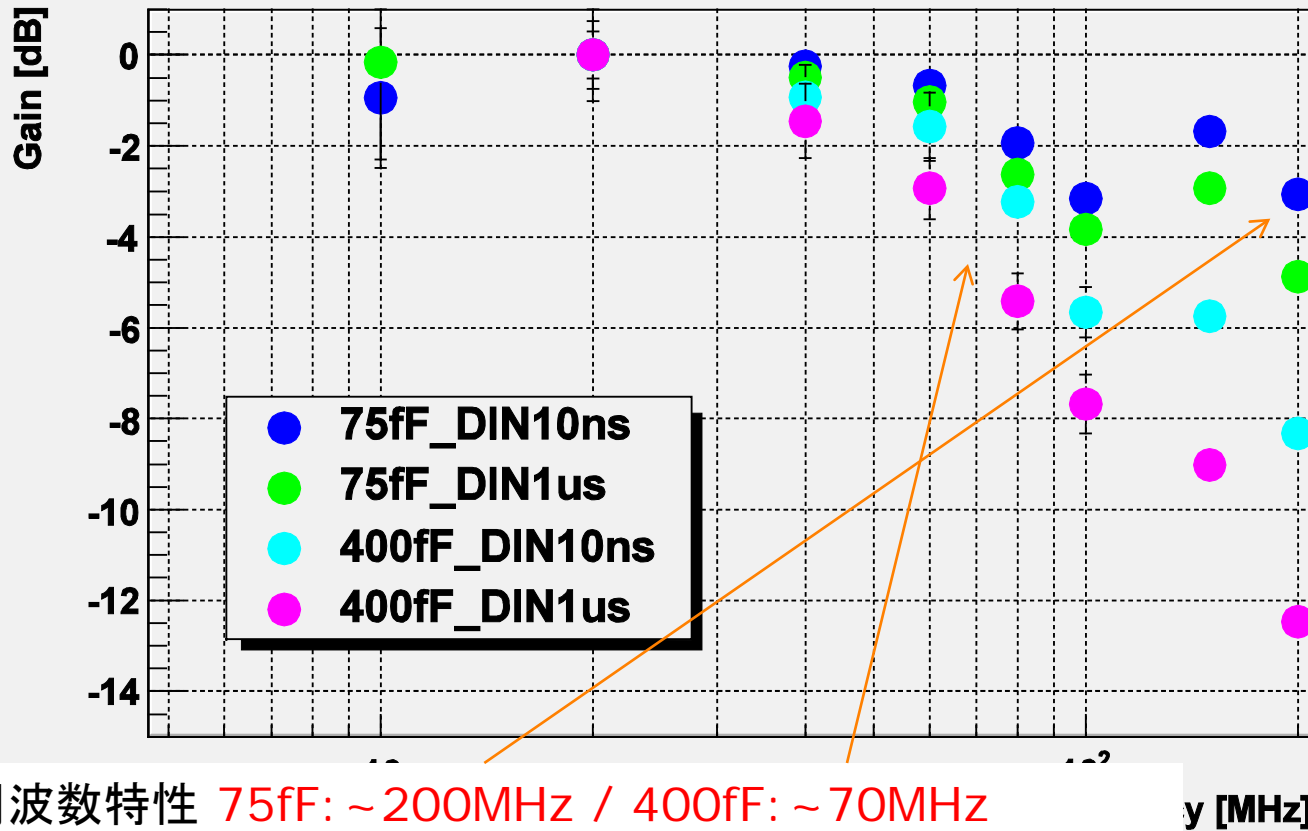
N=10のサンプリング



100MHz 500mVppを入力 N=10は、1.5倍の出力、ゲインの変化は半分以下

AC出力

Input Analog Band Width ac_result



周波数特性 75fF: ~200MHz / 400fF: ~70MHz
400fFの特性が前回より低いのはテスト基板の問題か？

周波数帯域特性

項目	値/
チャンネル数	1
分解能	12bit
ダイナミックレンジ	2Vp-p
サンプル速度	100kSPS
消費電力	<10mW

- AMCの特徴

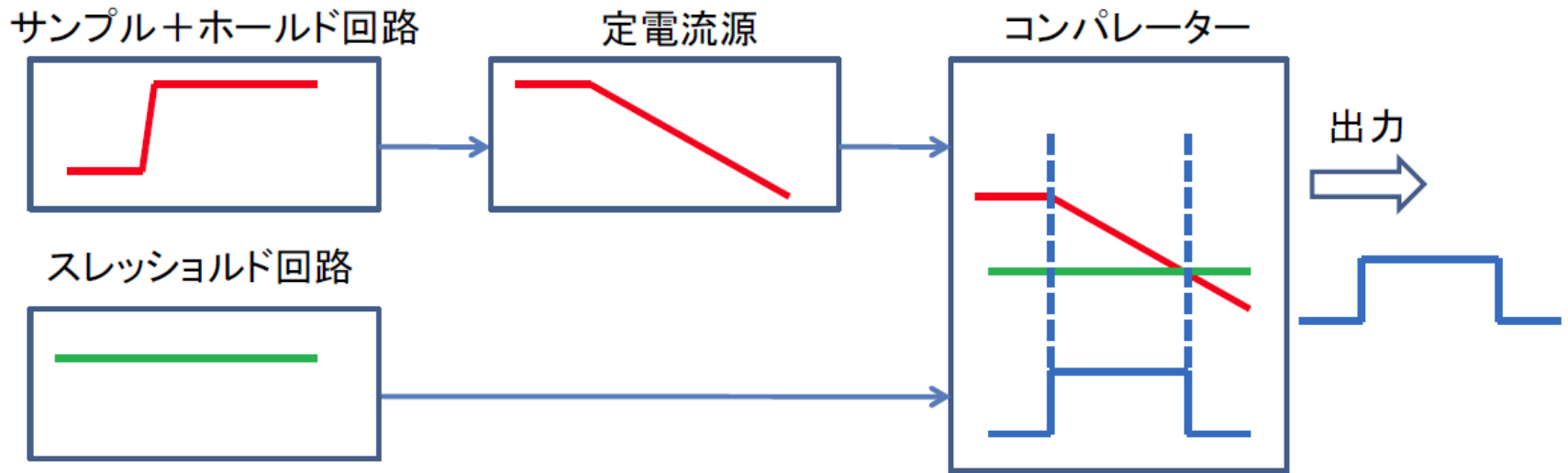
1. 高速波形記録
2. 高分解能
3. 低消費電力
4. 比較的ゆっくりとした読み出し時間

→ サンプル速度より高分解能を重視した低消費電力タイプ

→ Wilkinson type ADC

KEK ASICトレーニングコースを利用
TSMC 0.5umプロセス

ADCの仕様要求

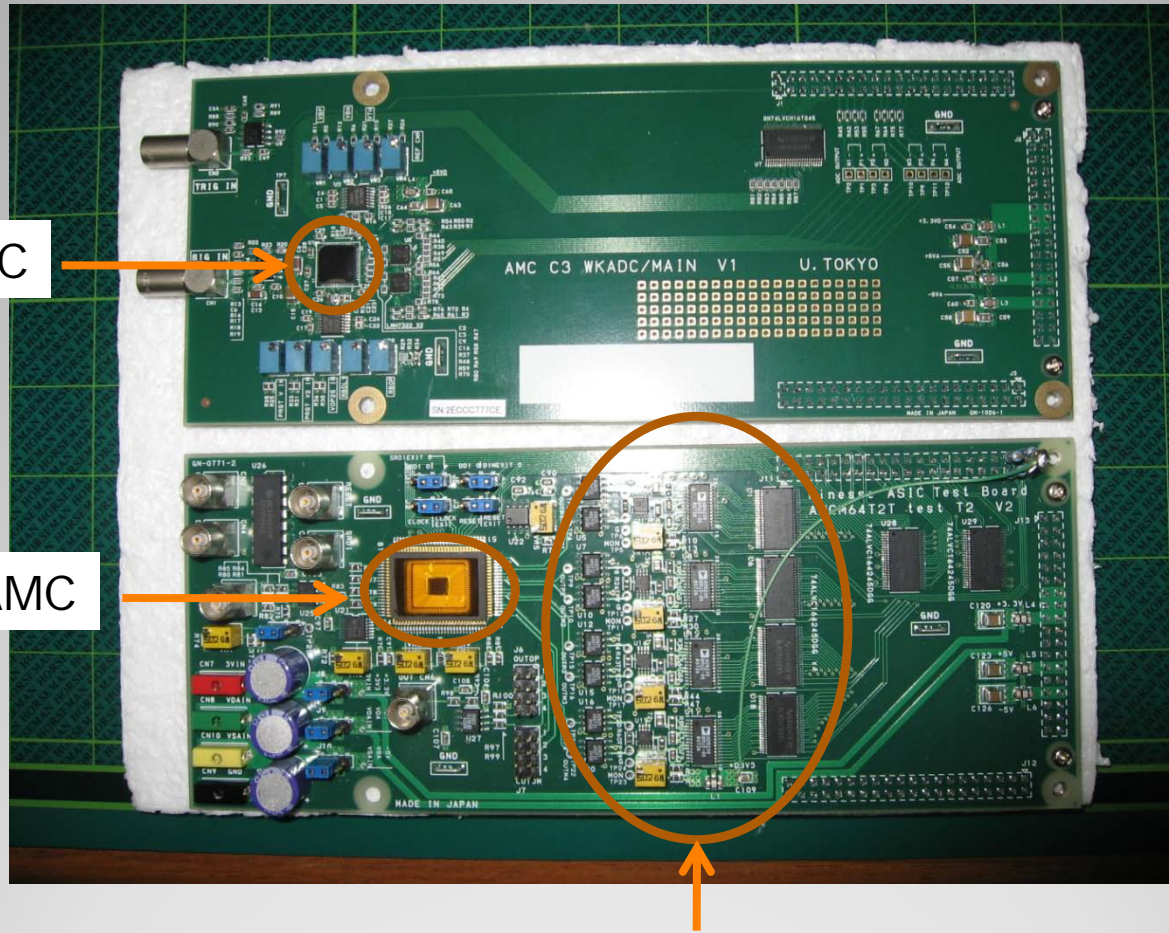


電圧を時間に変換→TDCでデジタル化
今回は、デジタル信号処理用FPGAにTDC(1ns)を搭載
 $12\text{bit}/1\text{ns} = 4096/1\text{ns} \sim 4\mu\text{s}$

電圧時間変換回路

新しいAMC

今までのAMC



ADCに関連する部品が要らなくなった

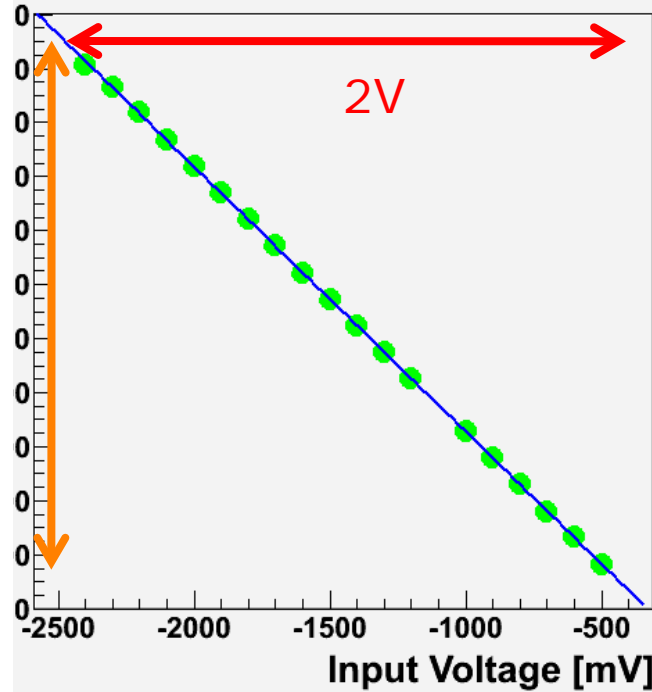
ADC付AMCと今までのAMC

入力電圧 vs. ADC出力

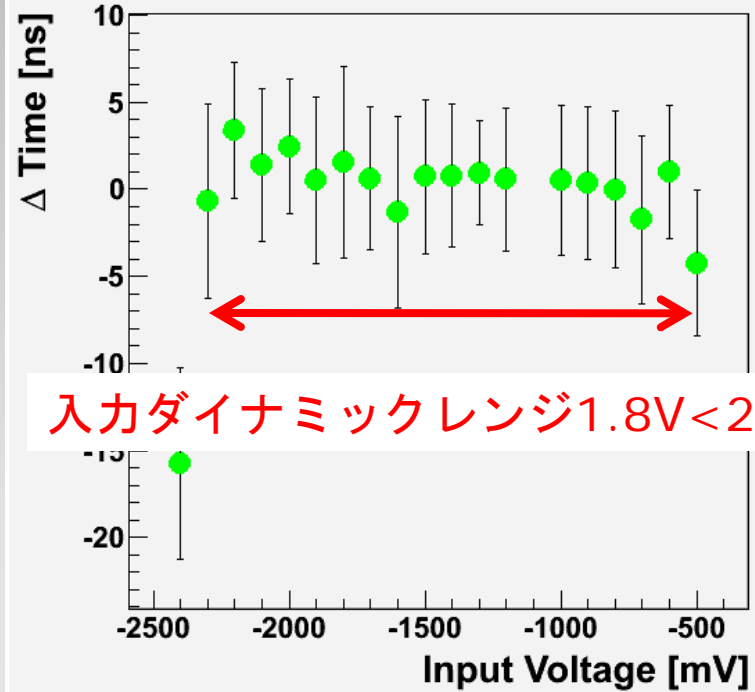
入力電圧 vs. 残差

最大AMC出力 = $1.8\mu\text{s} < 4\mu\text{s}$

vs. Input Voltage

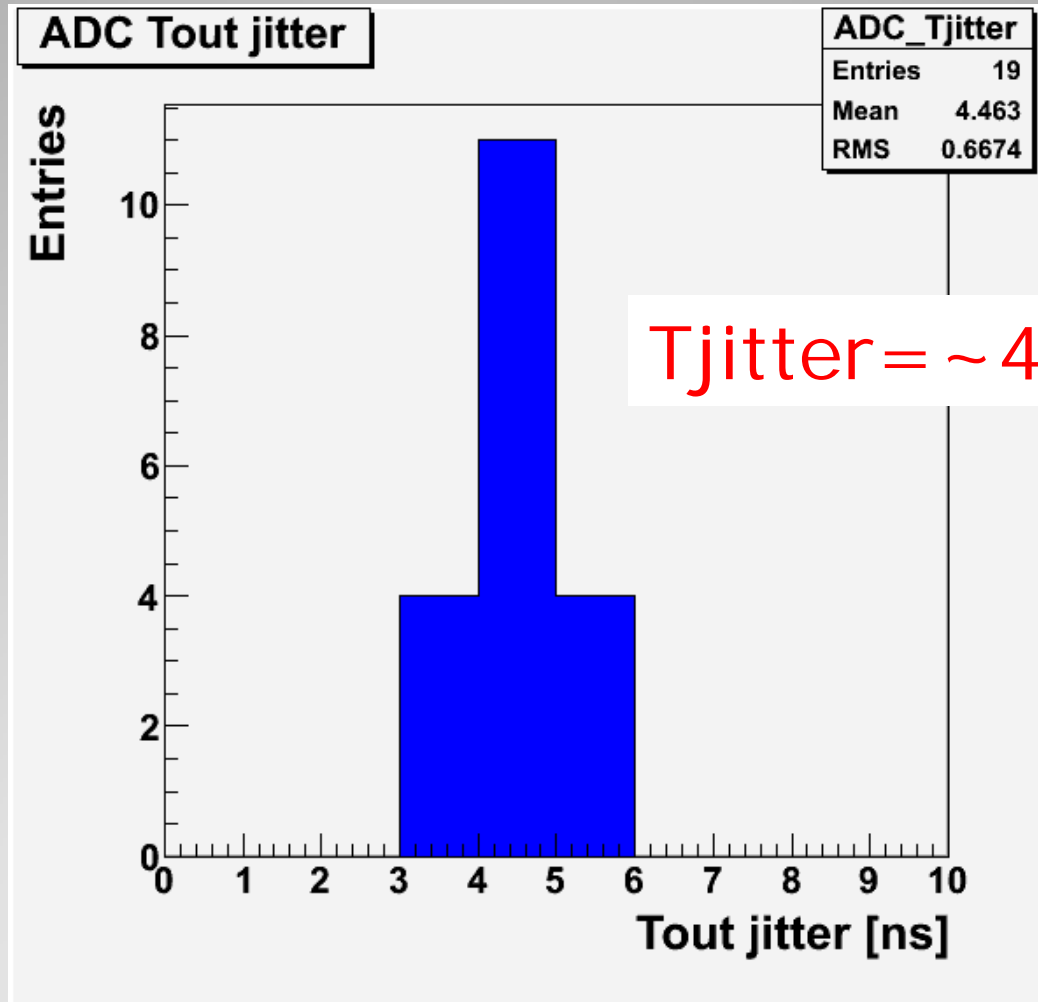


Δ Time vs. Input Voltage



入力ダイナミックレンジ $1.8\text{V} < 2\text{V}$

ADCリニアリティ



Tjitter = ~4.5ns > 1ns

ADC出力 jitter

- ADCの動作を確認した
- ただし、ADCの分解能は8bitで、目標としていた12bitは得られなかった。
→ 藤森くんが改良版を作成

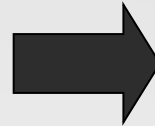
Wilkinson型ADC一回目まとめ

- AMC
 - 400fF × 256cell
 - 8 output
 - ADC
 - Wilkinson型
 - (目標)12bit
 - 250 kSPS (4usで読み出し)
 - 時間幅で出力し、後段FPGAのTDCで読み出し
- ⇒ $4\mu\text{s} / 2^{12} = 1\text{ns}$ の精度が必要

前回

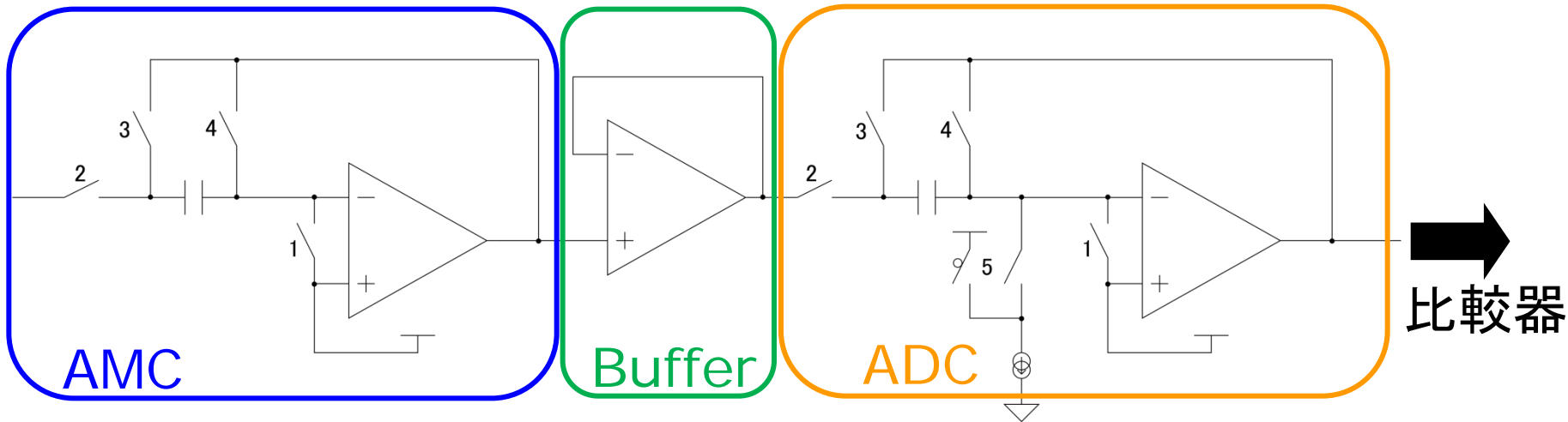
今回

- ・ 動作が不安定
- ・ 0.50umプロセス

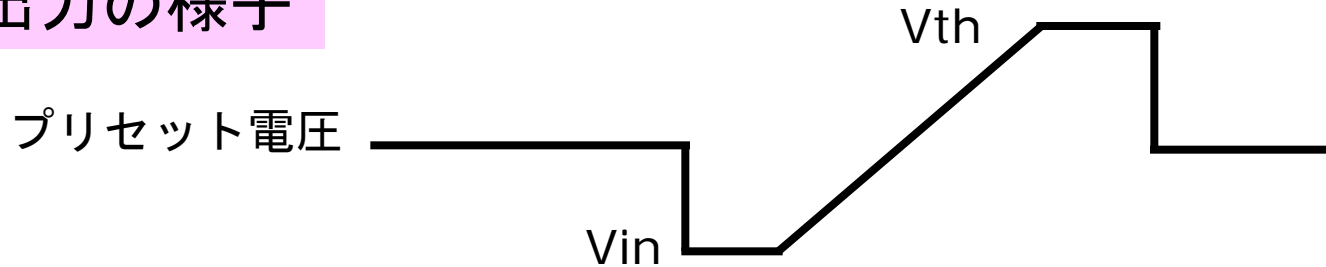


- ・ 確実に動作するものを作る!!
- ・ 0.25umプロセス

改良型ADC概要

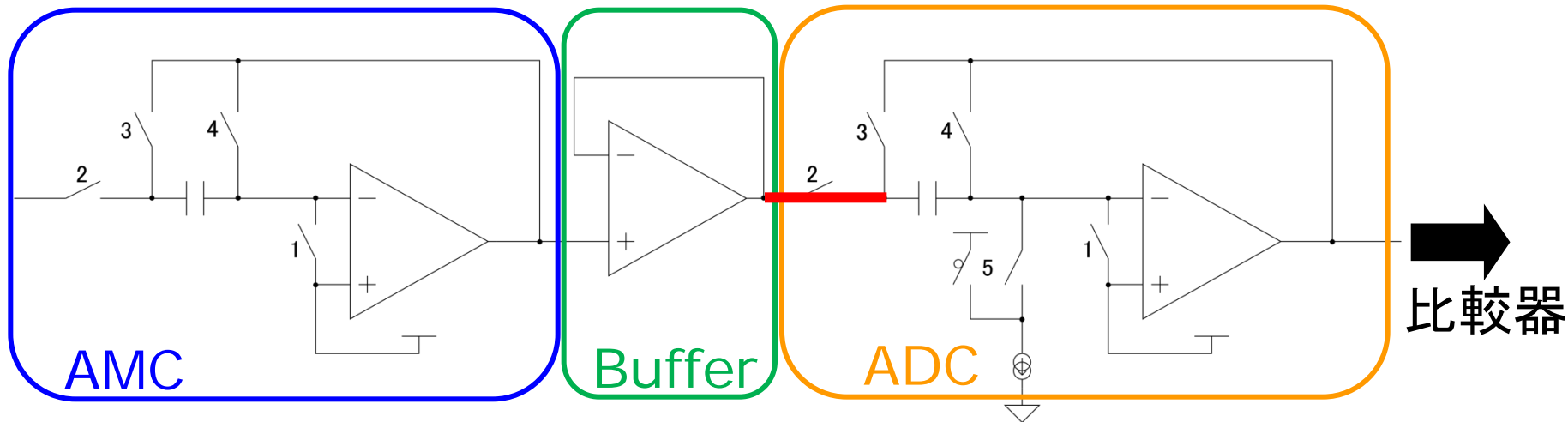


ADC出力の様子



- 定電流源でランプ。比較器出力の時間幅が V_{in} で決まる。
- FPGAからコントロール

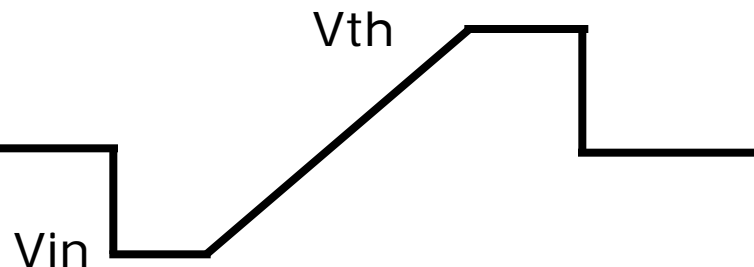
動作の仕組み



ADC出力の様子

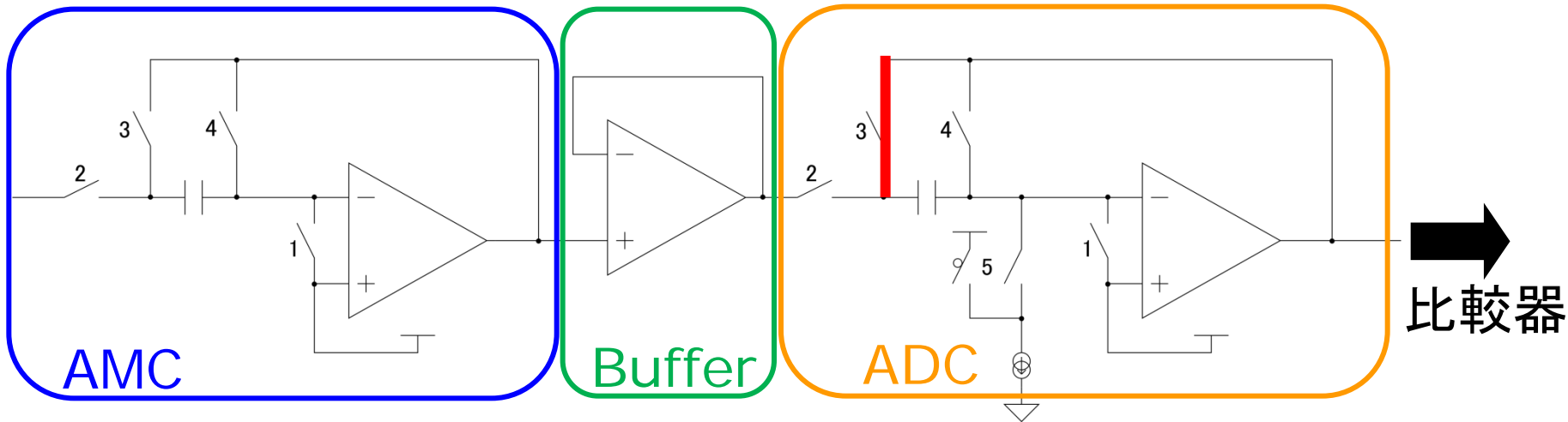
プリセット電圧

SW2でコンデンサ
にサンプル

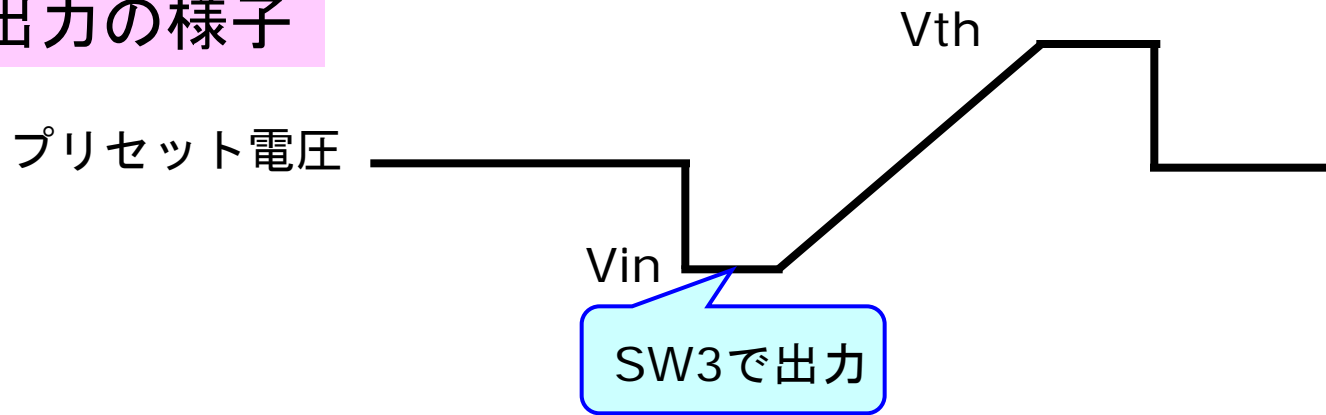


- 定電流源でランプ。比較器出力の時間幅がVinで決まる。
- FPGAからコントロール

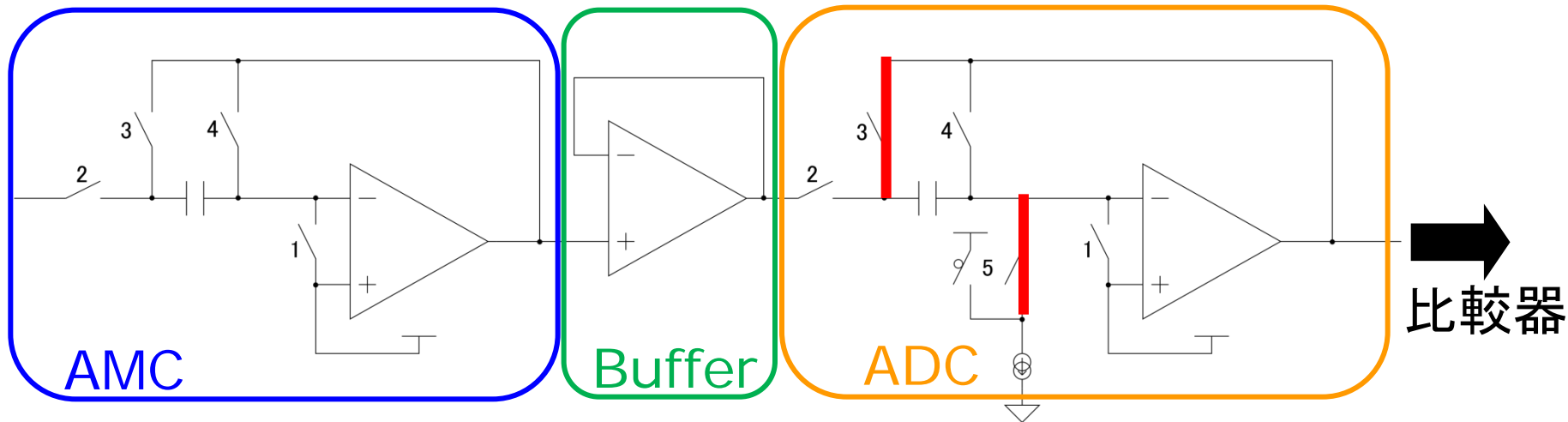
動作の仕組み



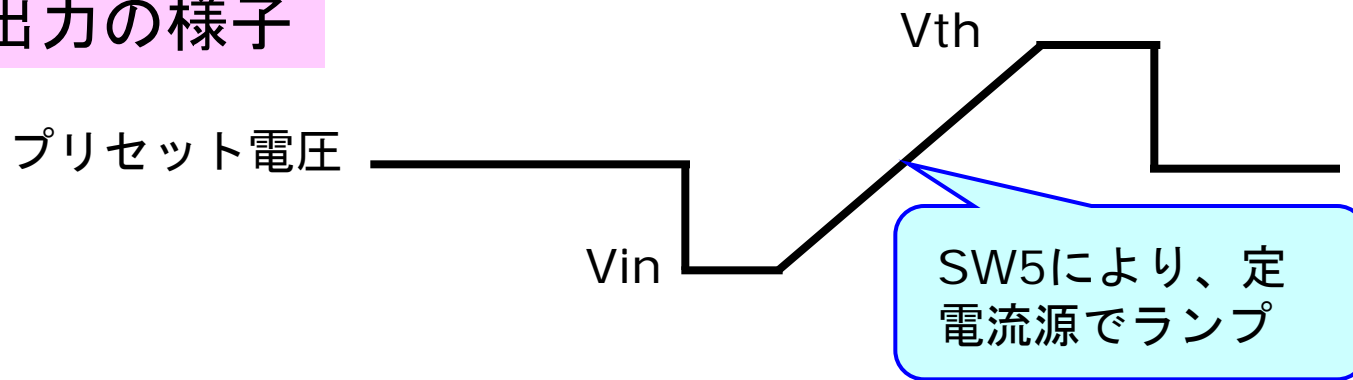
ADC出力の様子



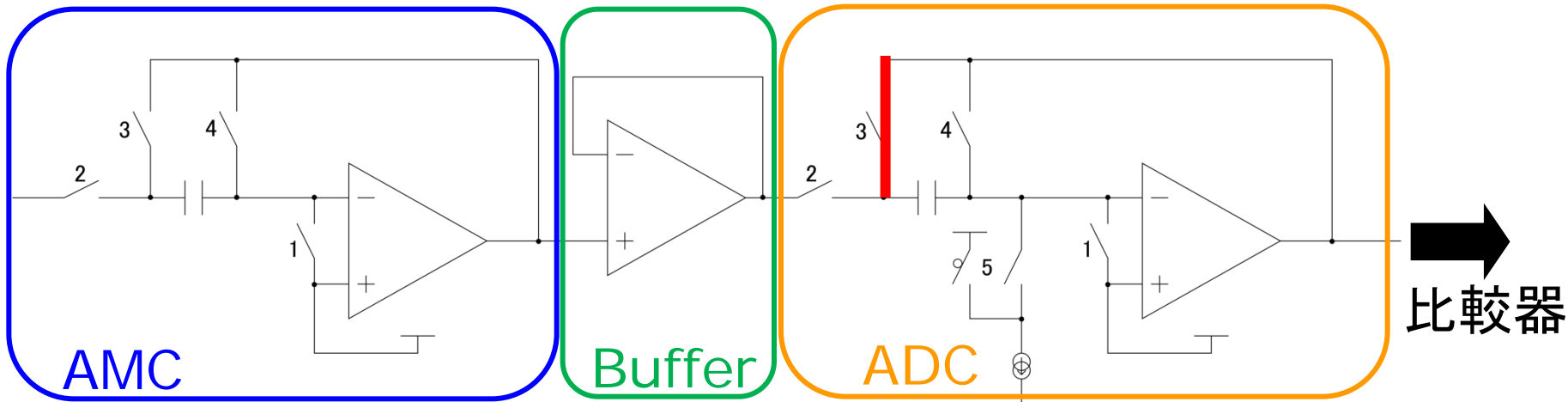
- 定電流源でランプ。比較器出力の時間幅が V_{in} で決まる。
 - FPGAからコントロール
- ## 動作の仕組み



ADC出力の様子



- 定電流源でランプ。比較器出力の時間幅がVinで決まる。
 - FPGAからコントロール
- ## 動作の仕組み



ADC出力の様子

プリセット電圧

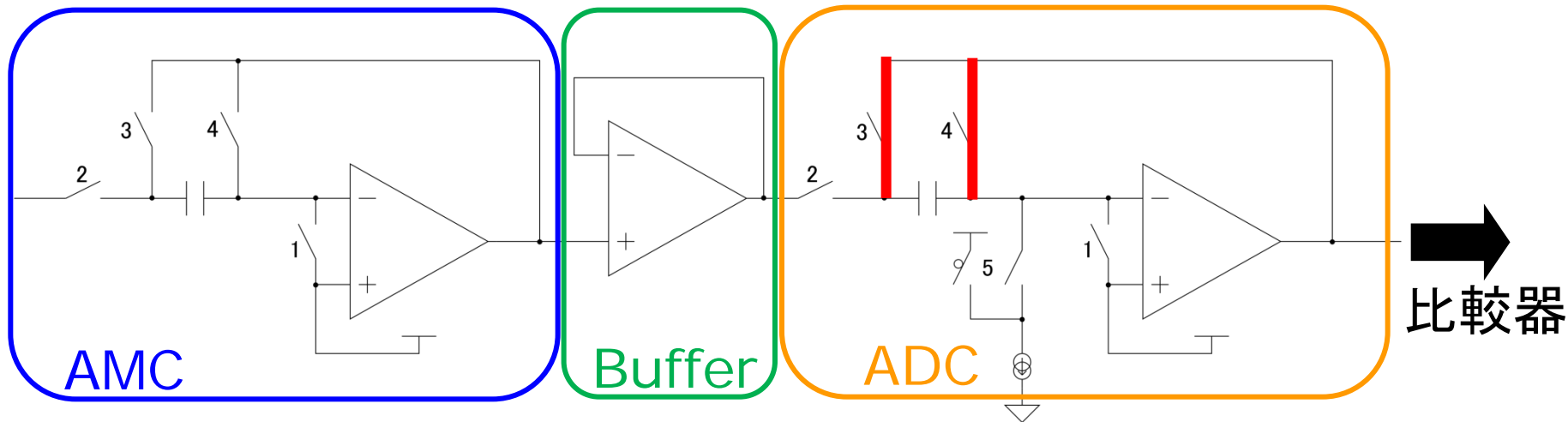
V_{in}

V_{th}

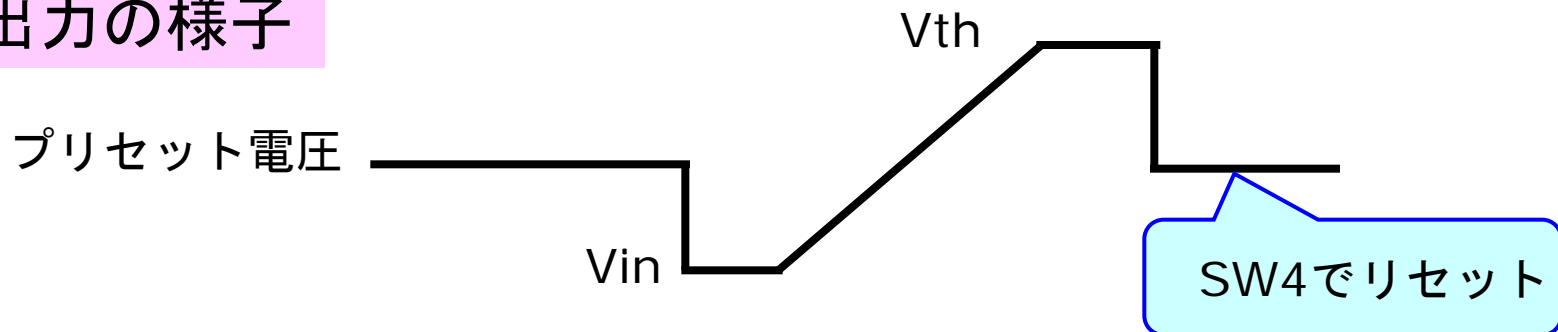
閾値以上で、比較器がHigh

- 定電流源でランプ。比較器出力の時間幅が V_{in} で決まる。
- FPGAからコントロール

動作の仕組み

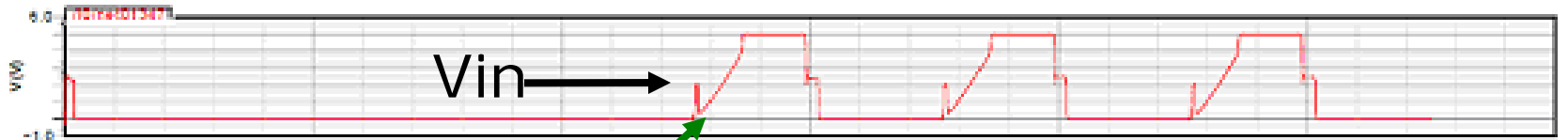


ADC出力の様子

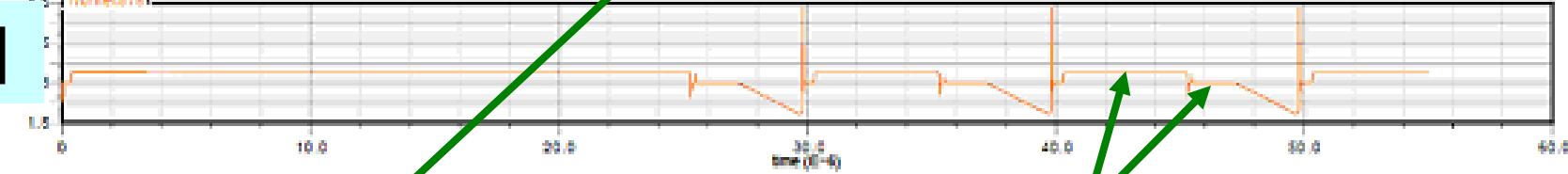


- 定電流源でランプ。比較器出力の時間幅が V_{in} で決まる。
 - FPGAからコントロール
- ## 動作の仕組み

AMP出力



AMP負入力

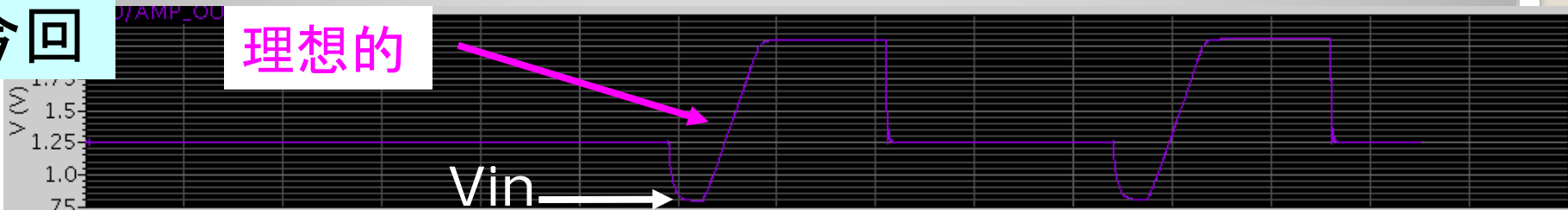


前回

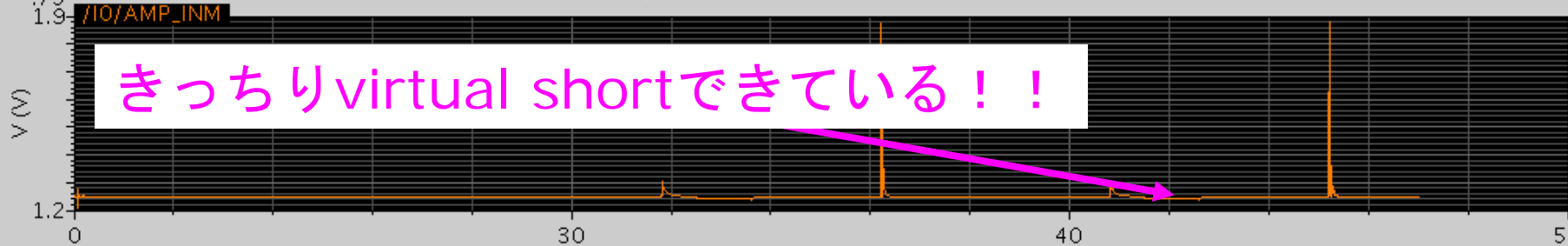
もはやVinではない！！プリセット値が違う！！

今回

理想的



きっちりvirtual shortできている！！



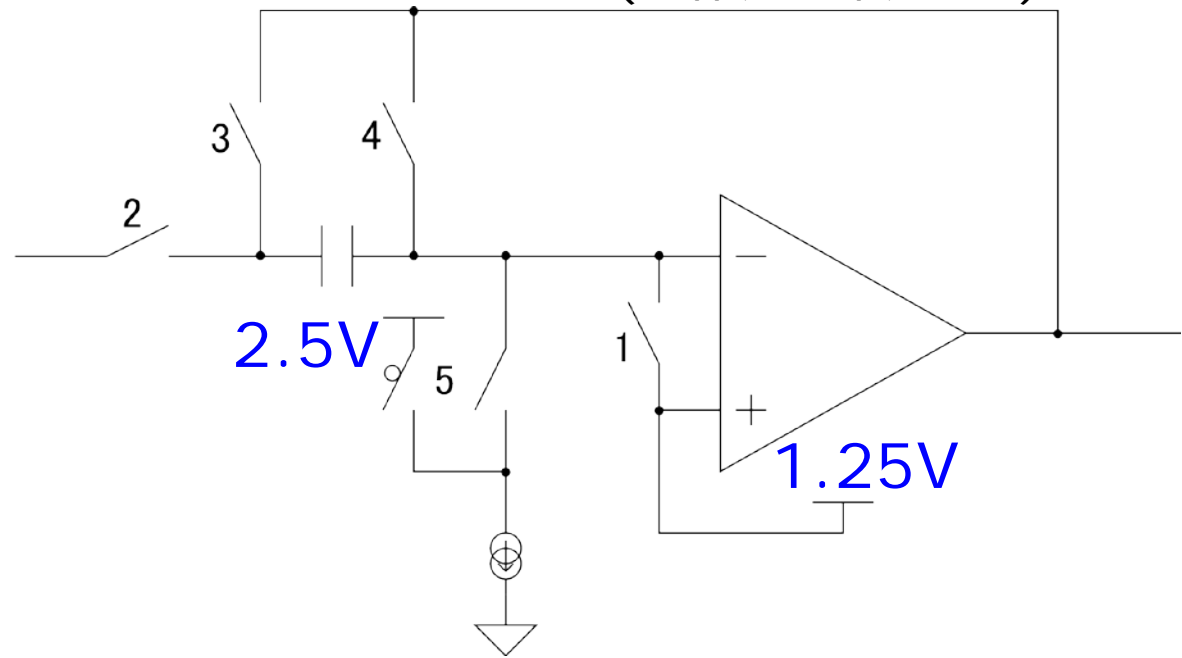
失敗は成功のもと

- 0.25um プロセス
 - ⇒ 速いスイッチで漏れ電荷を防ぐ
 - ⇒ 低消費電力

- 高ゲインAMP (後述)
 - ⇒ リニアリティの向上

- スイッチ論理変更 (次ページ)
 - ✓ 定電流源引込み元からの、電荷の流れ込み
 - ✓ リセット方法の変更
 - ⇒ 波形の改善

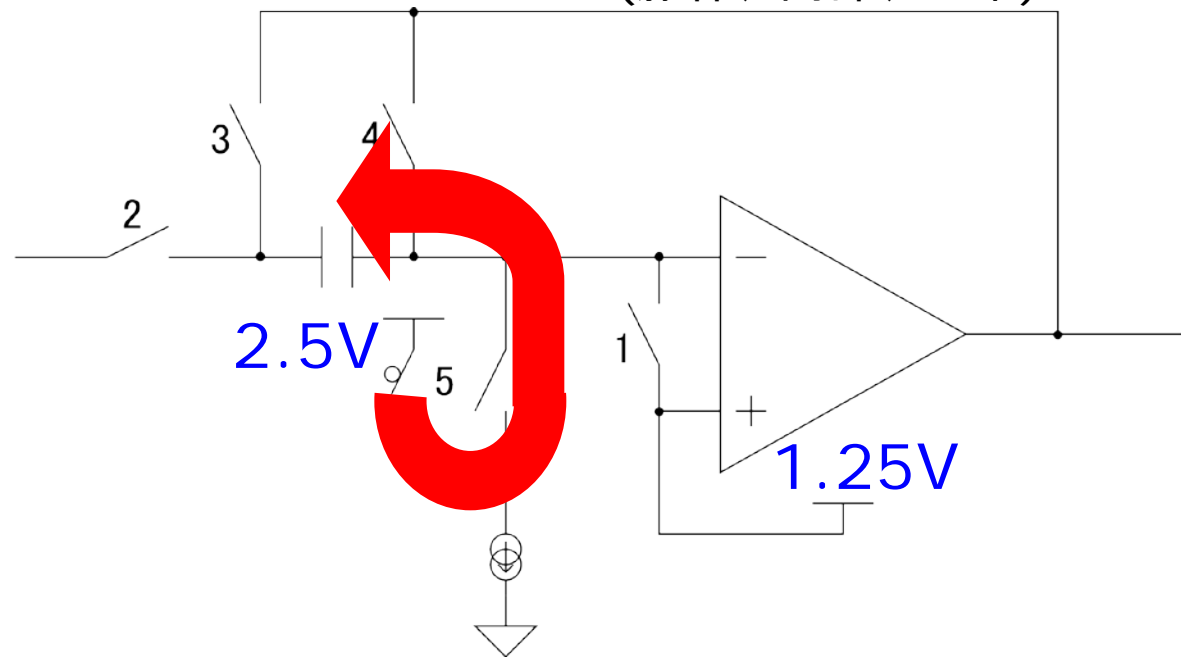
改良点



スイッチ論理変更(1)

-定電流源引込み元からの、電荷の流れ込み

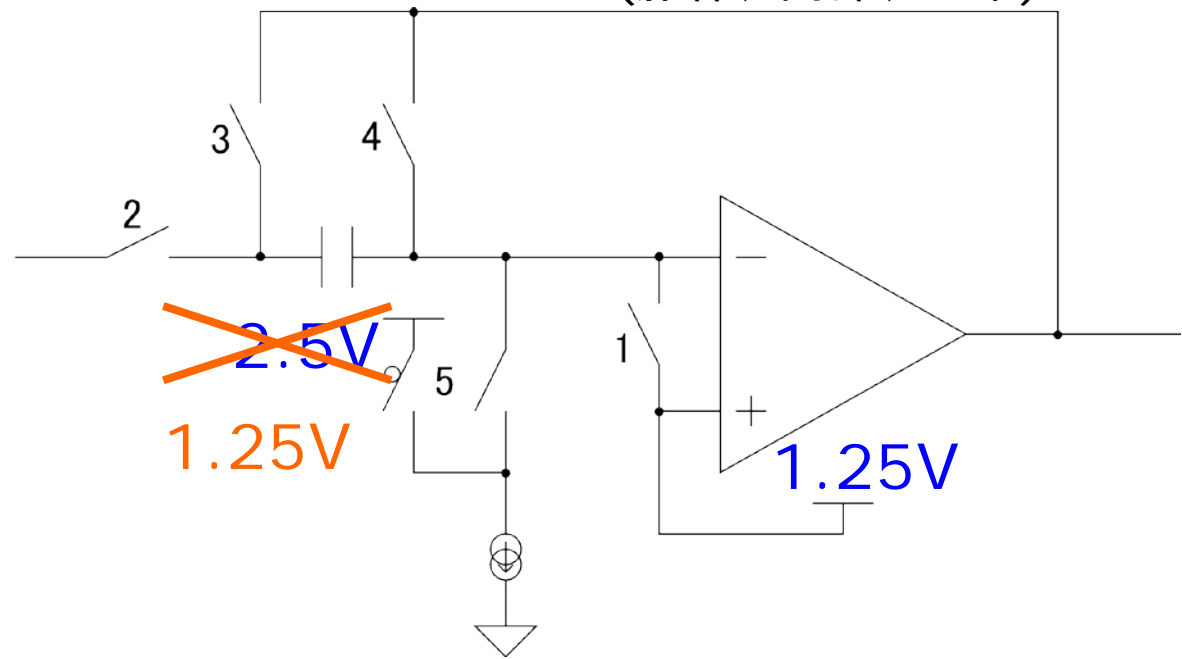
- 定電流源の引き込み元が間違い
 - SW5を入れた時に逆流し、 V_{in} が保持できない。



スイッチ論理変更(1)

-定電流源引込み元からの、電荷の流れ込み

- 定電流源の引き込み元が間違い
 - SW5を入れた時に逆流し、 V_{in} が保持できない。
- AMP +端子と同じ電圧から引くと解決

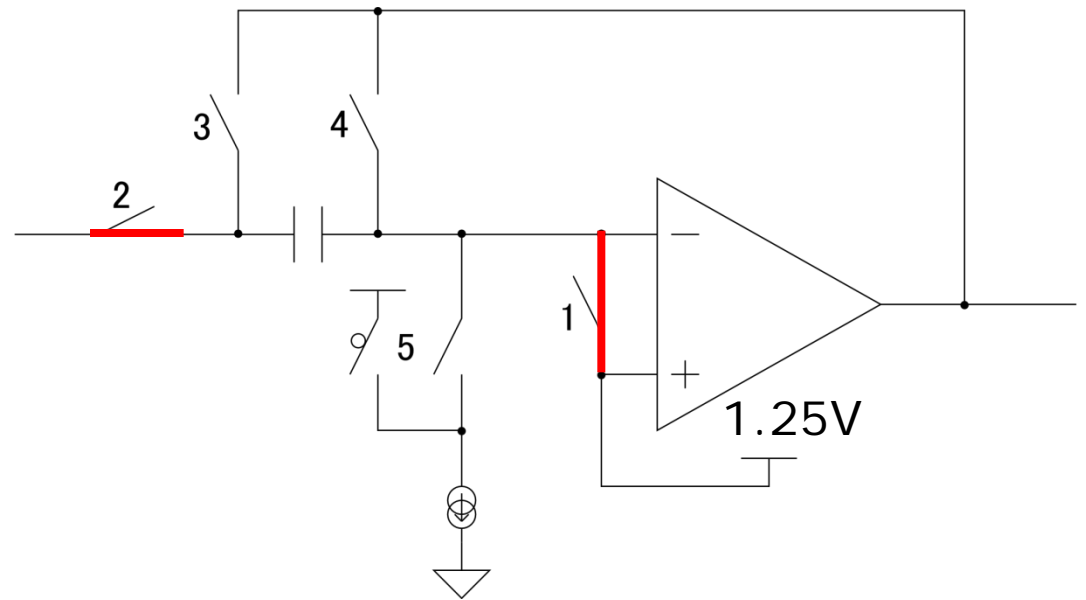


スイッチ論理変更(1)

-定電流源引込み元からの、電荷の流れ込み

(藤森、阿部、田中)

SW1: サンプル時AMP側
電位を1.25Vに保つ?

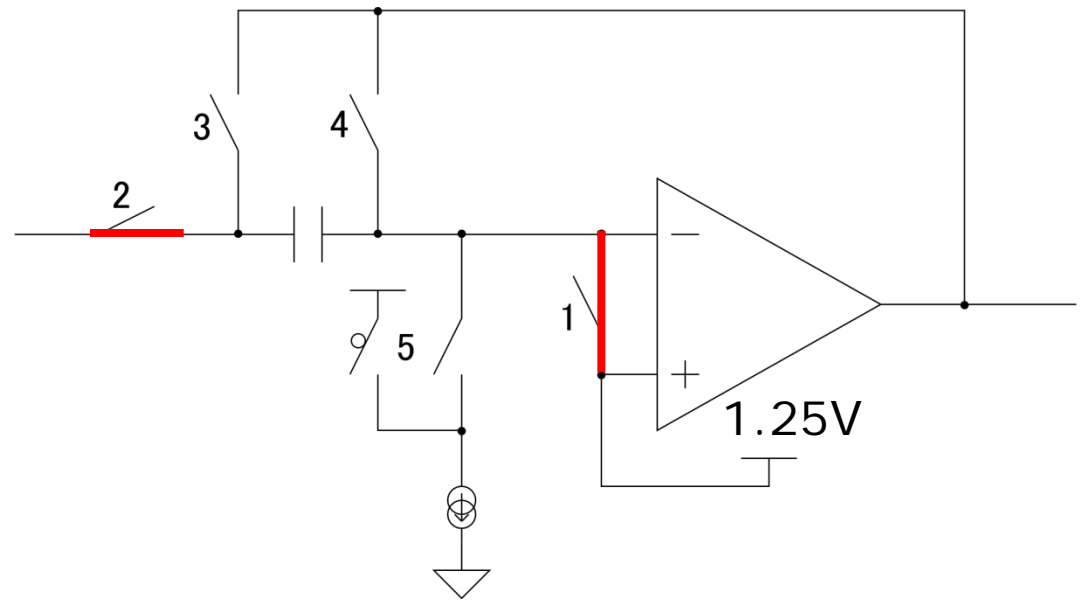


スイッチ論理変更(2)

-リセット方法の変更

SW1: サンプル時AMP側
電位を1.25Vに保つ?

- SW4を入れなければ、
AMP出力不定



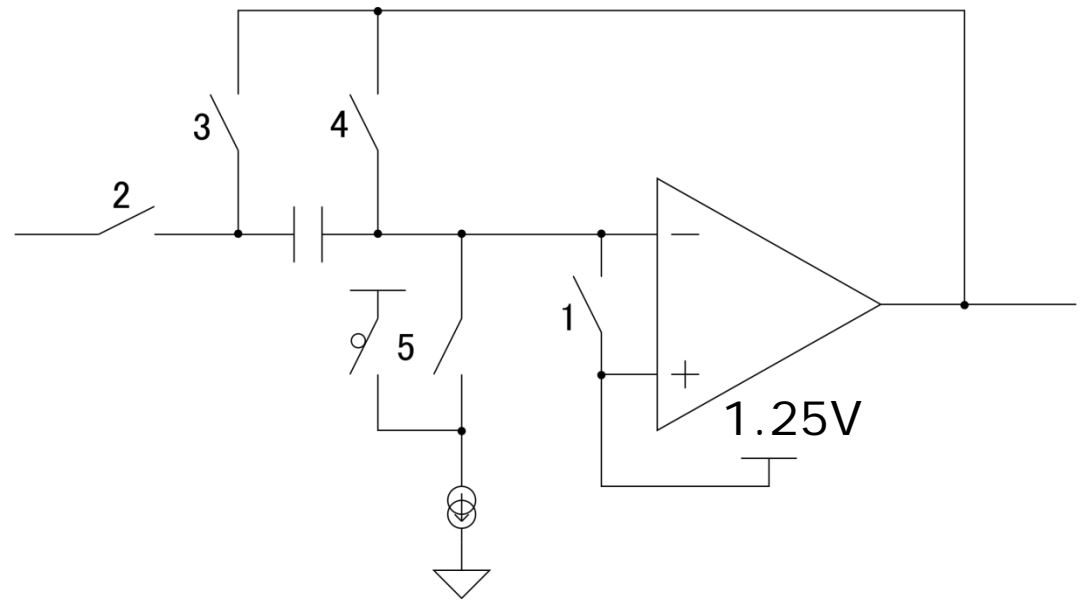
スイッチ論理変更(2)

-リセット方法の変更

SW1: サンプル時AMP側
電位を1.25Vに保つ?

●SW4を入れなければ、
AMP出力不定

●SW1 off後AMP負入力が
1.25Vからずれる。



スイッチ論理変更(2)

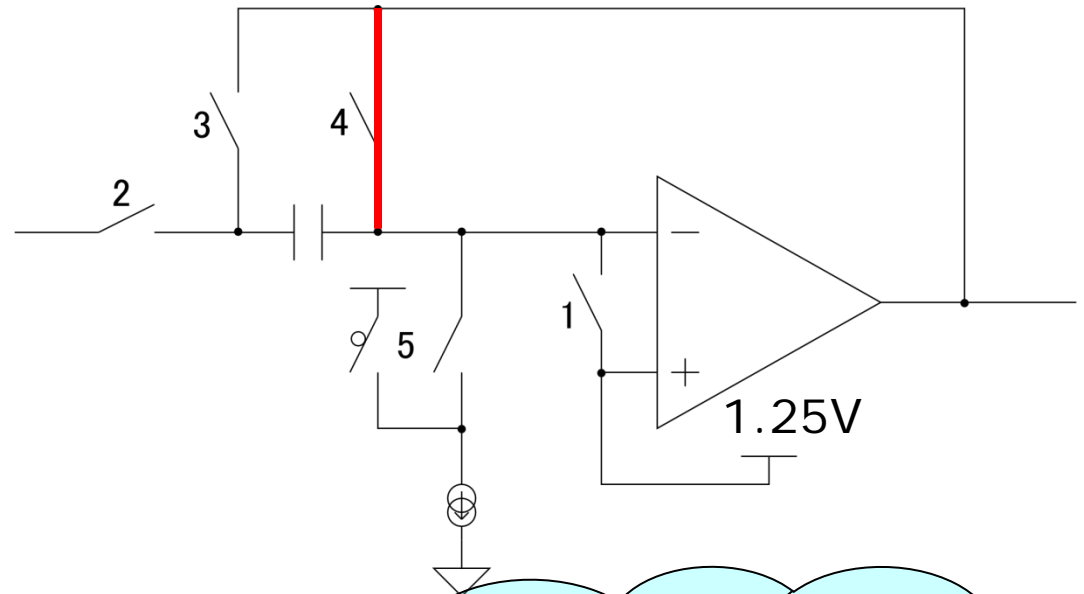
-リセット方法の変更

SW1: サンプル時AMP側
電位を1.25Vに保つ?

●SW4を入れなければ、
AMP出力不定

●SW1 off後AMP負入力が
1.25Vからずれる。

⇒ADC非動作時・サンプ
ル時ともにSW4で入出力
を固定したら、波形が非
常に綺麗になった。



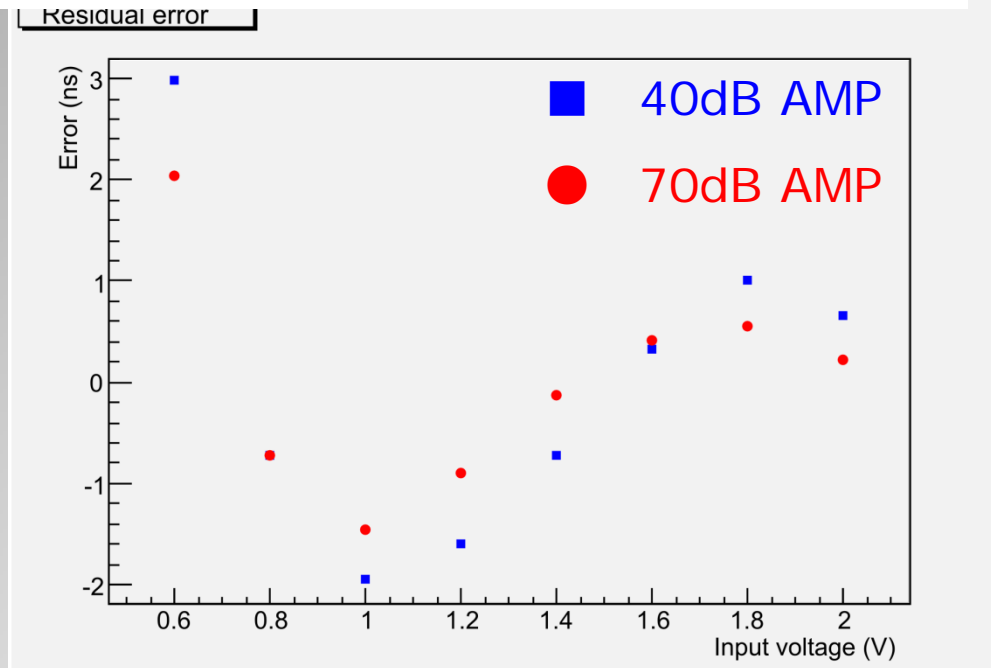
教訓 :

波形は納得いくまできちんと
シミュレーションすべし!

スイッチ論理変更(2)

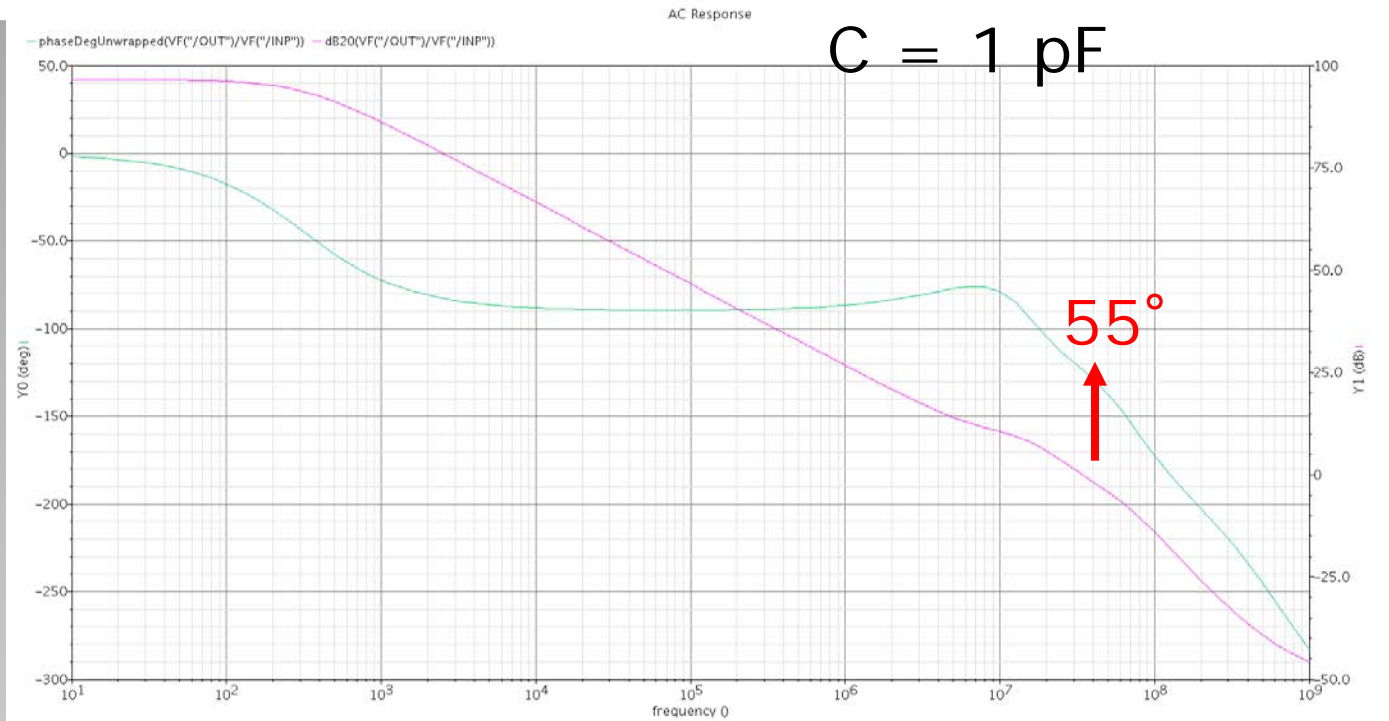
-リセット方法の変更

▶ 高ゲインAMP ⇒ リニアリティの改善



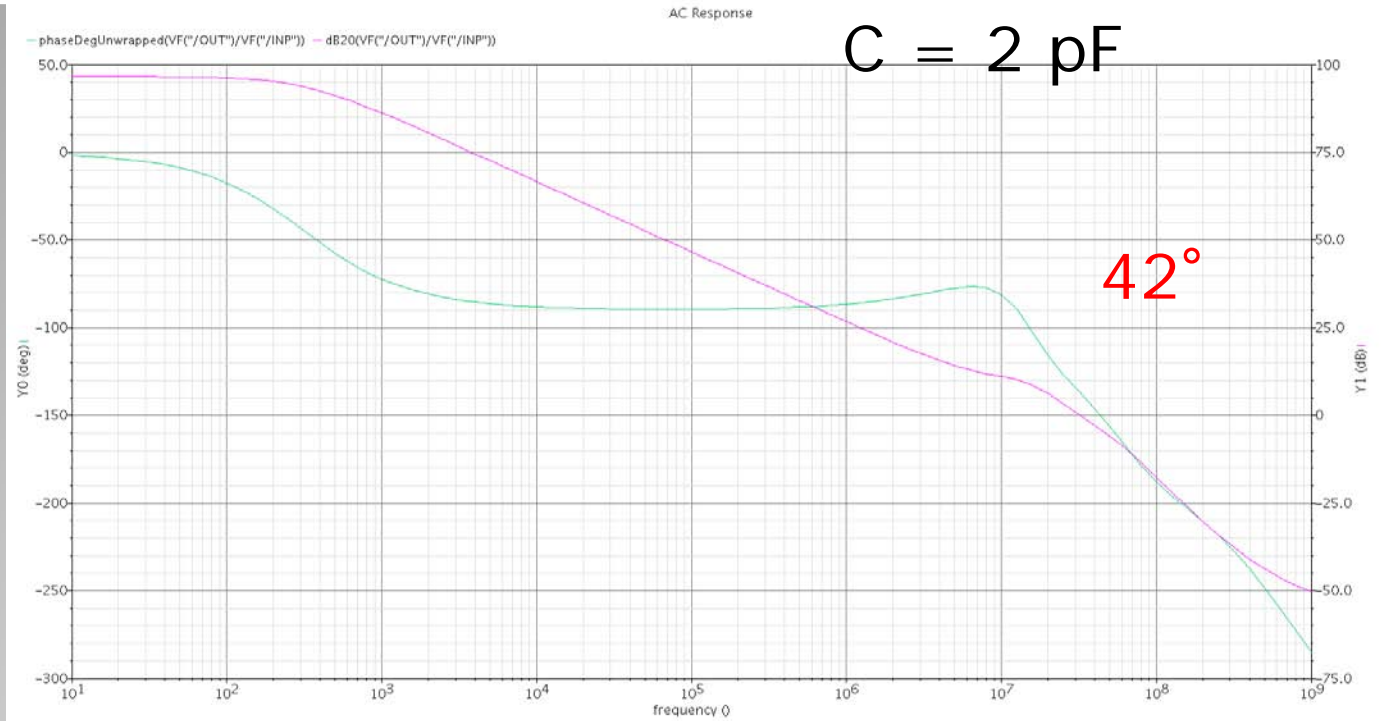
- Resolution: 11~12bit 程度
- Dynamic range: 0.7-2.0 V
⇒ 期待通りの性能が見込まれる。

高ゲインとシミュレーション結果



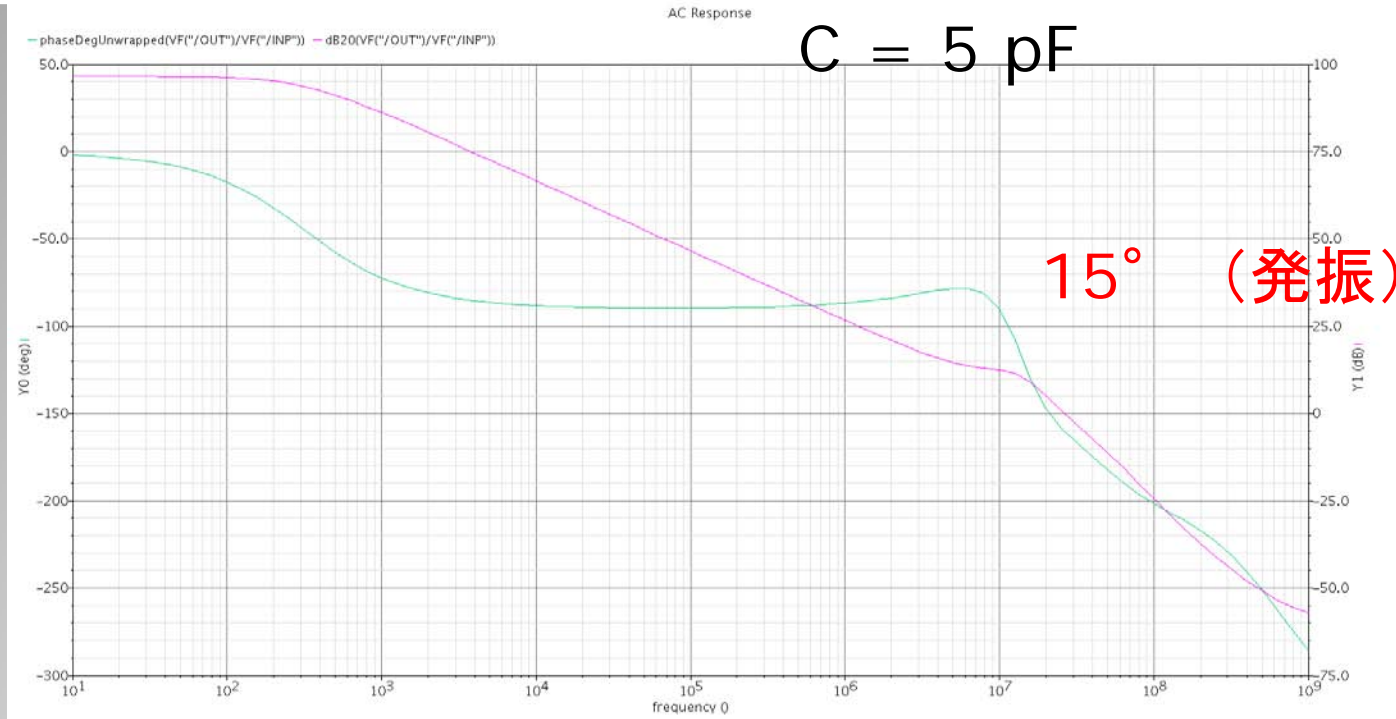
- Phase Margin := phase @ gain = 0 dB
- 高ゲインAMPで、高負荷の時は要注意。

安定性



- Phase Margin := phase @ gain = 0 dB
- 高ゲインAMPで、高負荷の時は要注意。

安定性



- Phase Margin := phase @ gain = 0 dB
- 高ゲインAMPで、高負荷の時は要注意。
- 400fF < 2pF limitより安定を確認。

安定性

- 前回のバージョンの問題点を逐一見つけて丁寧に解決した。
- 乞うご期待！

改良版Wilkinson型ADCまとめ

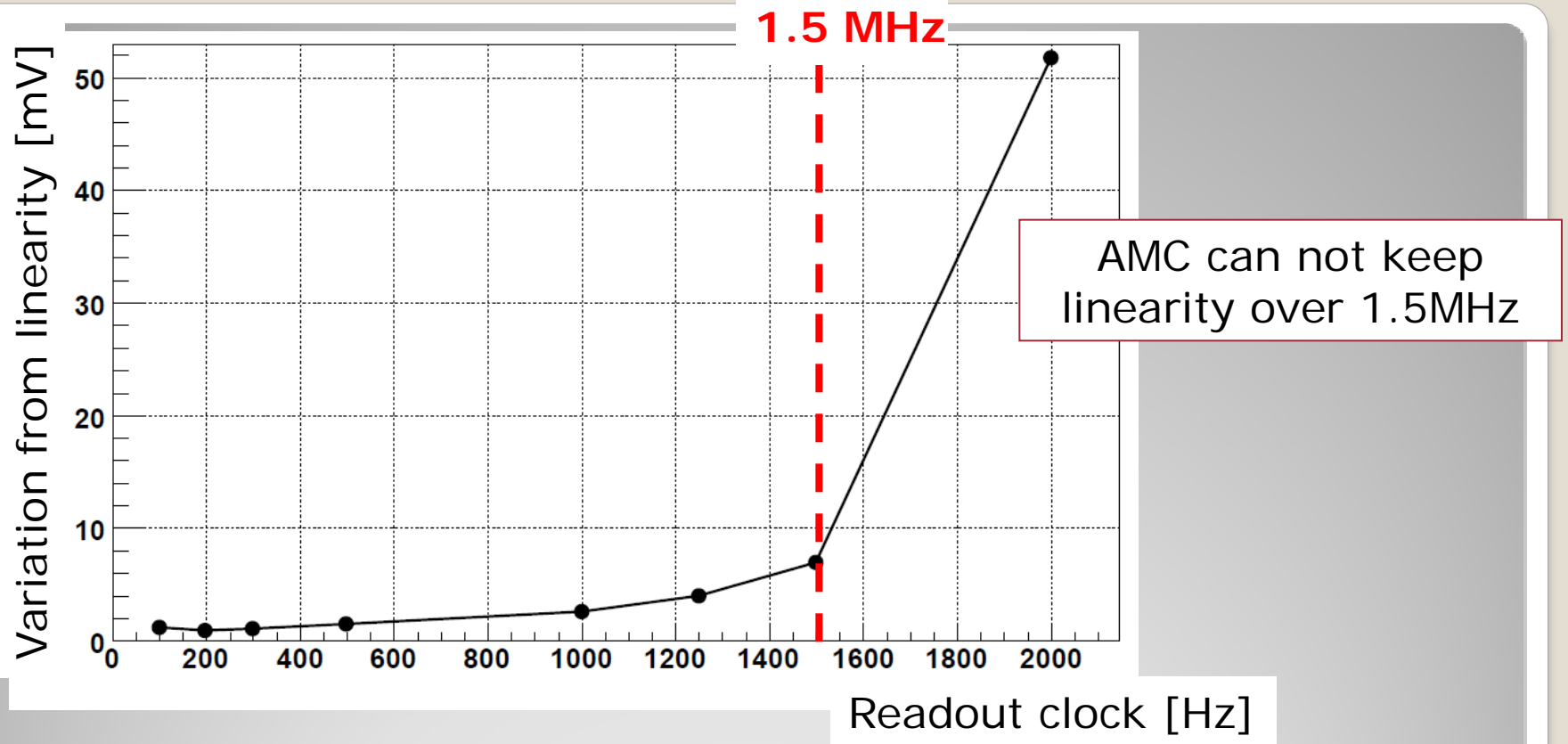
- 既知の問題の解決

- ノイズが熱雑音より大きい→浮遊容量+Amp雑音？
- 周波数特性の広帯域化→新しい回路構造
- サンプリング時間の安定化→PLLの取り込み

- トリガーレス読み出しへの取り組み

- Wilkinson型より高速(~30MHz)のADCを組み込む

今後の展開



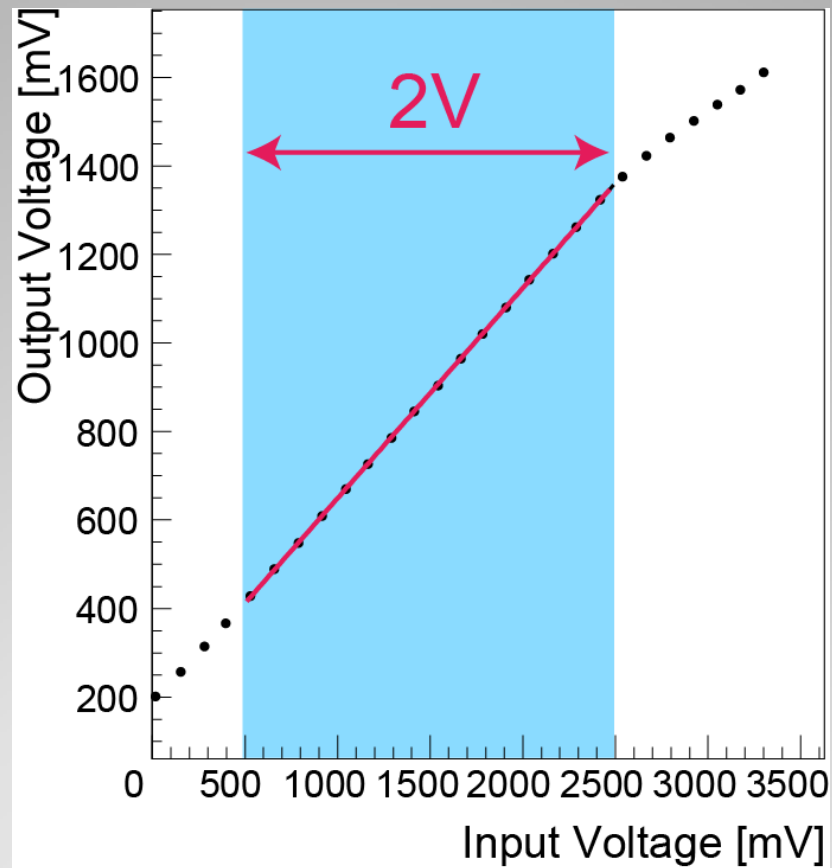
ADCをASIC内に内蔵することにより高速化が可能

AMCの読み出し速度とリニアリティ

- AMCは、高速波形サンプル＋高分解能を目指したICです。
- プロセスを0.5um→0.25umに変更して、性能が向上した。
- ADCを組み込み、最初の動作確認を行った。改良版の設計はもう済んでいる。
- 今後は、さらなる高性能化、トリガーレス読み出しへの取り組みを行う。

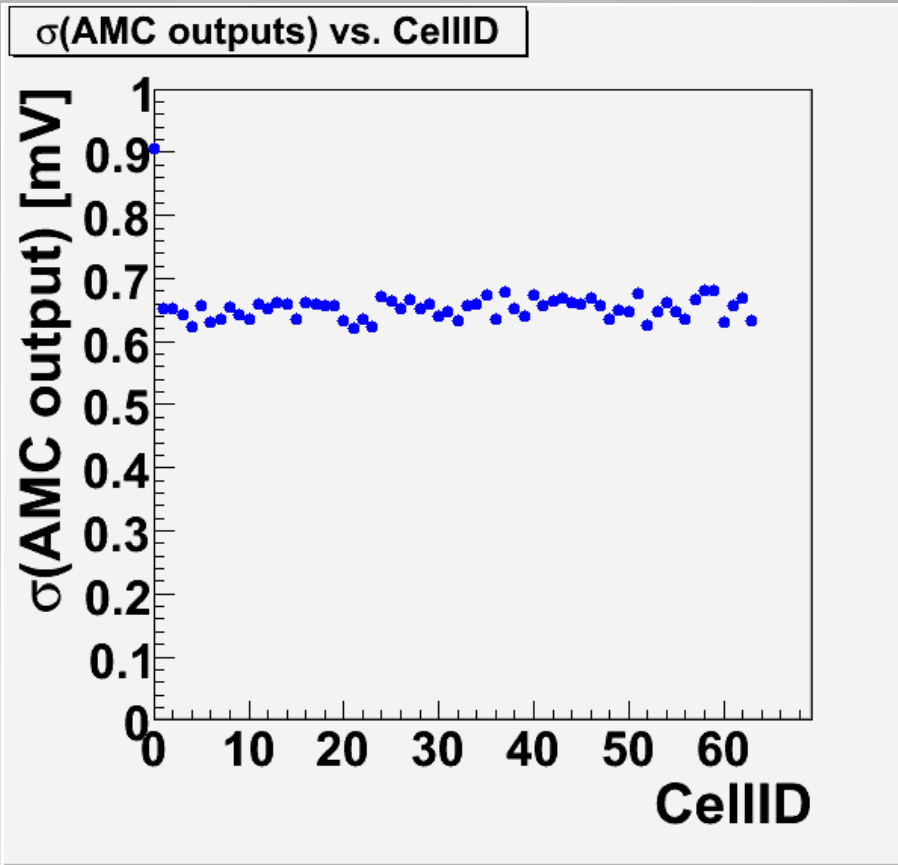
まとめ

バックアッパスライド



Input range: 2V (preamp = $2V_{p-p}$)

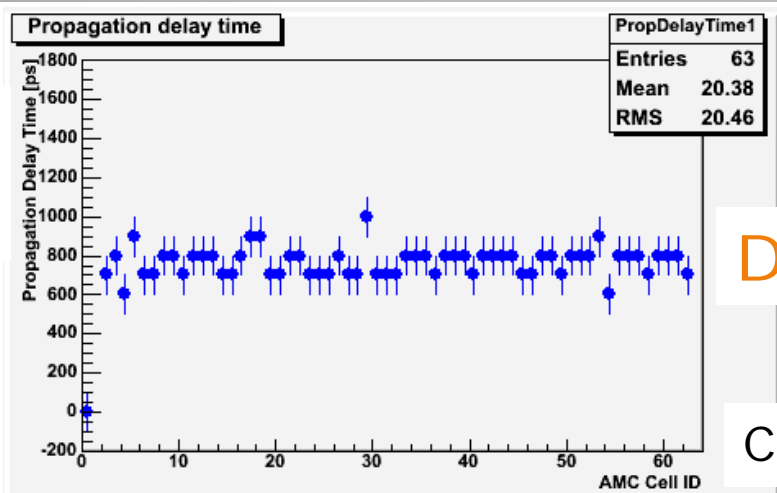
AMC DC Linearity



Resolution: 11bit (=2V/0.7mV)

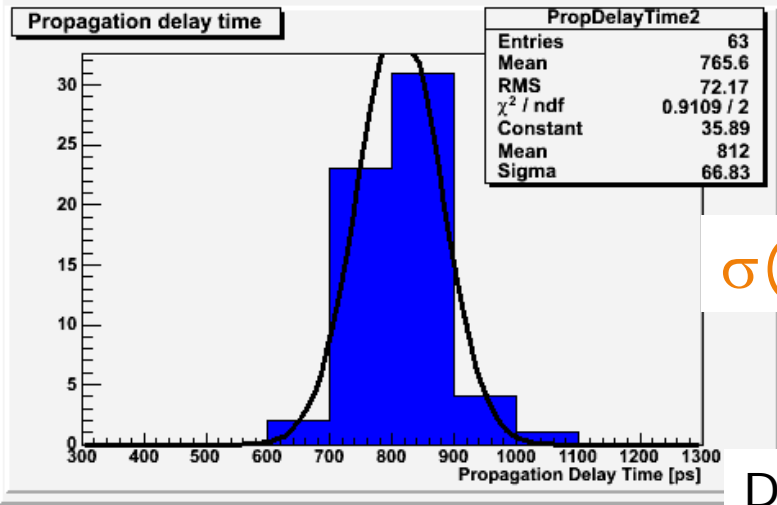
AMC noise

Delay Interval



Delay interval = 812 ps

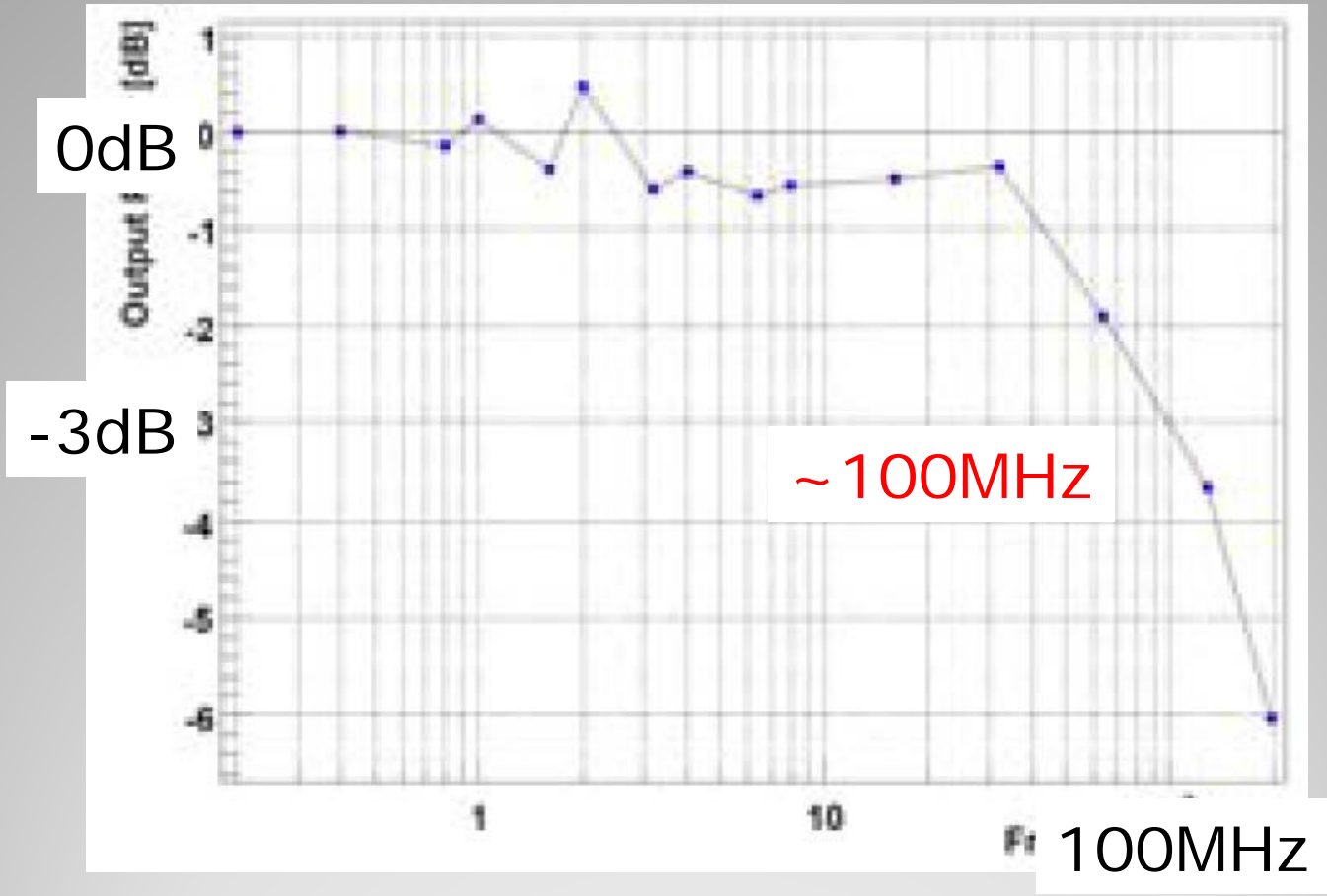
Cell ID



$\sigma(\text{delay interval}) = 66 \text{ ps}$

Delay interval [ps]

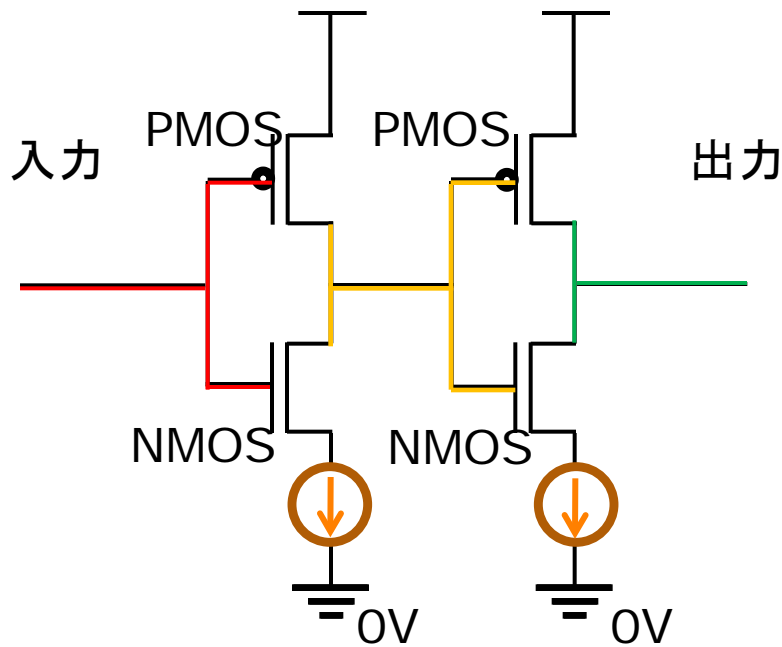
AMC delay interval difference



周波数特性

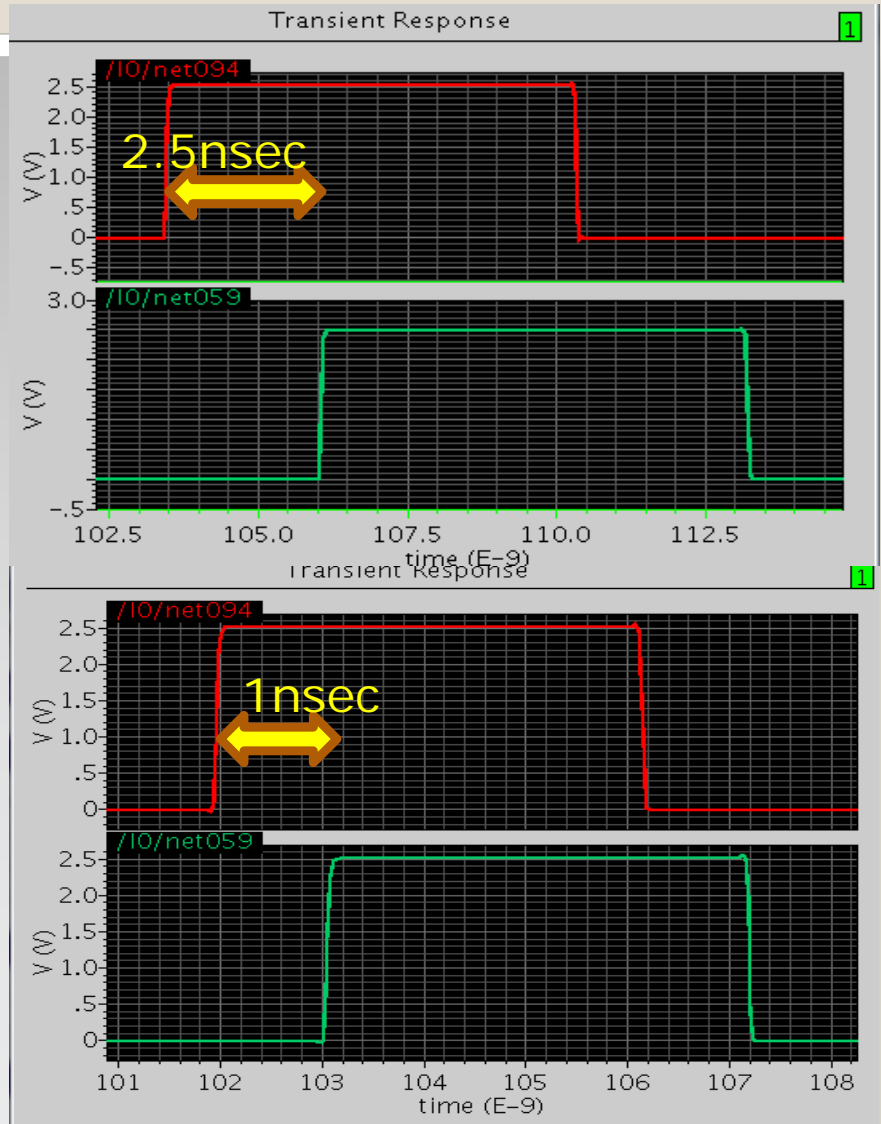
(遠山、吉越、田中)

- スイッチングスピード: 400MHz~1GHz
- スイッチがONになっている数Nの制御

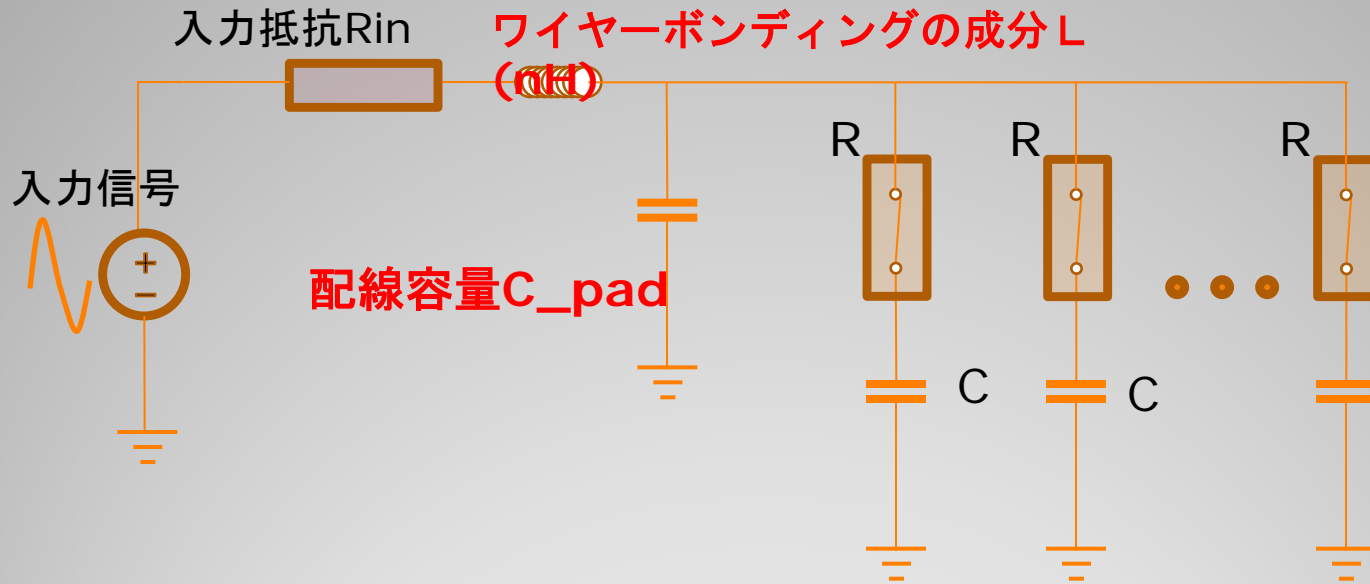


電流源で電圧変化を制御パルス幅の維持

Delay Lineの設計



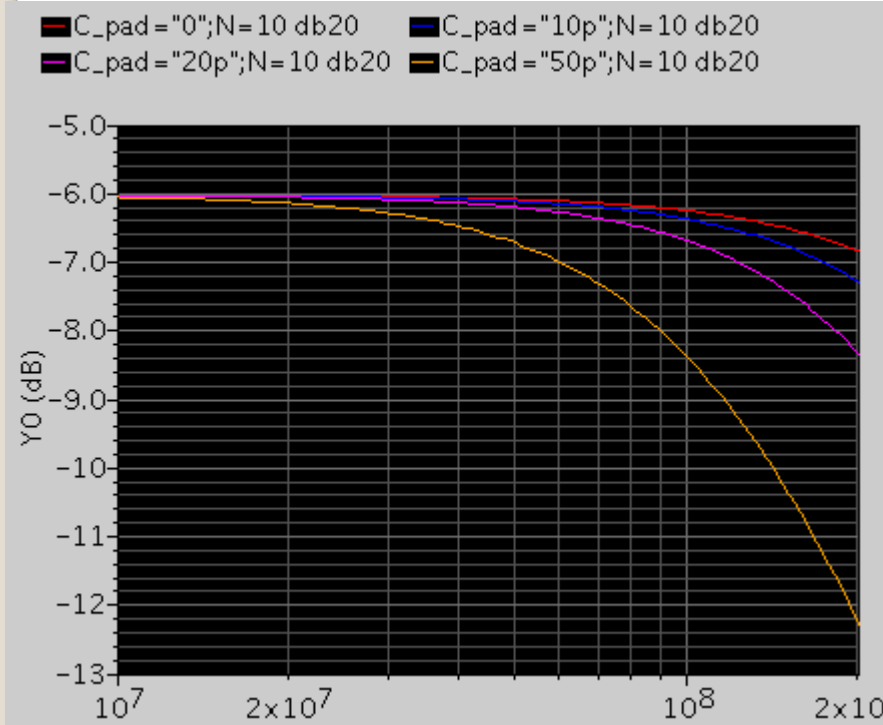
周波数特性のシミュレーションモデル



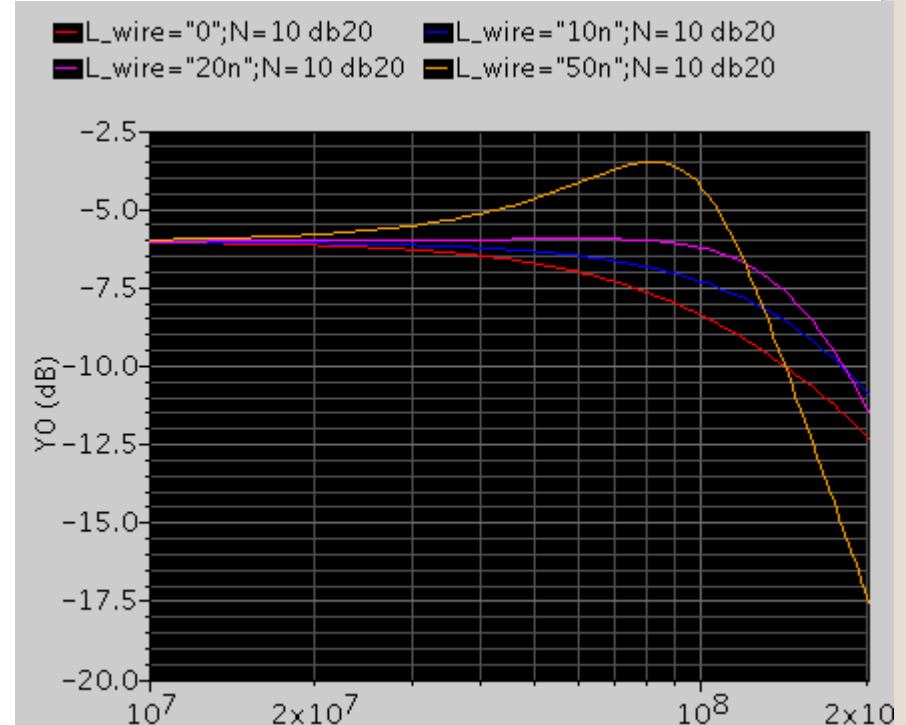
パッド容量とワイヤーボンディングによるインダクタンス成分を追加して再モデル化した

TEG6 N=10 におけるシミュレーション結果

インダクタンスは0 nHでパッドの浮遊容量を0pFから50pFまで変化させた



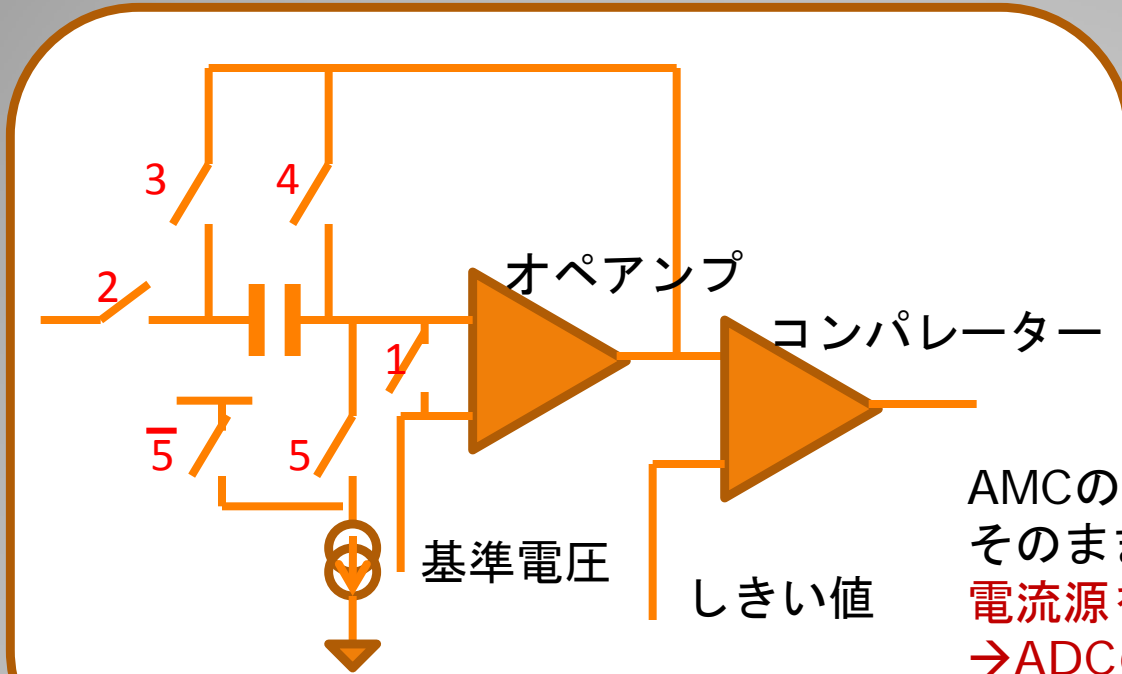
パッドの浮遊容量は50pFでインダクタンスを0nHから50nHまで変化させた



帯域が落ち、pad容量が50pF程度で-3db落ちのところが100MHz程度になる

※シミュレーションの都合上-6dBを基準(0dB)としている

こぶの構造が見える



AMCのサンプル用コンデンサーをそのまま使う。
電流源をフィードバック内に設置
→ADCの非線形性はスイッチと定電流源からきている
→フィードバック内に置くことにより非線形性が改善されることが期待できる

ADCの組み込み