

J-PARC/MLF ミュオン施設における MPPC型陽電子検出器のFPGA

小嶋健児^{AB}、幸田章宏^{AB}、鈴木 聡^C、門野良典^{AB}、宮崎正範^D、平石雅俊^D、村上武^{AE}、池野正弘^{AE}、内田智久^{AE}、田中真伸^{AE}

KEK Open-It^A、KEK物構研^B、KEK計算センター^C、総研大^D、KEK素核研^E

Kenji M. Kojima's CV

1991~1993: muon @ KEK

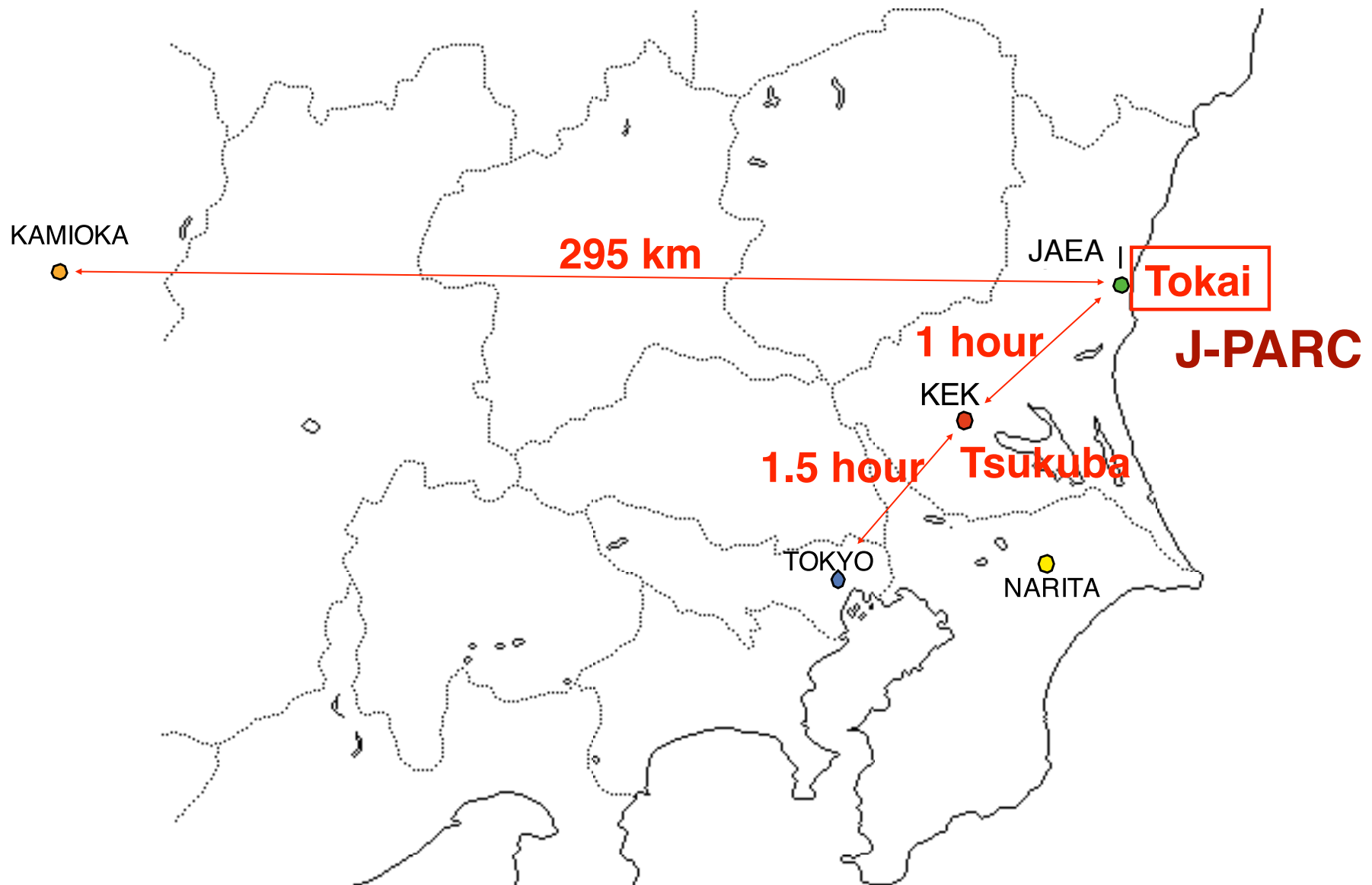
1993~1998: muon @TRIUMF/Columbia U.

1998~2009: Infrared @ U.Tokyo

2009.11~: muon @ J-PARC

Present status of J-PARC

J-PARC=Japan Particle Accelerator Research Complex





JAEA reactor (JRR-3M)

Linac

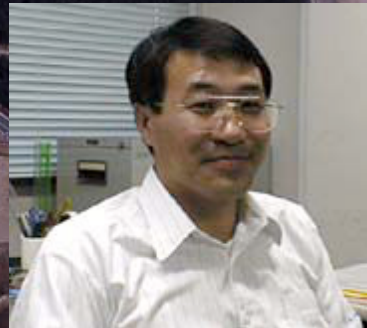
**J-PARC Facility
(KEK/JAEA)**

South to North

**3 GeV
Synchrotron**



**Neutrino Beams
(to Kamioka)**



**Materials and Life
Experimental
Facility (MLF)**

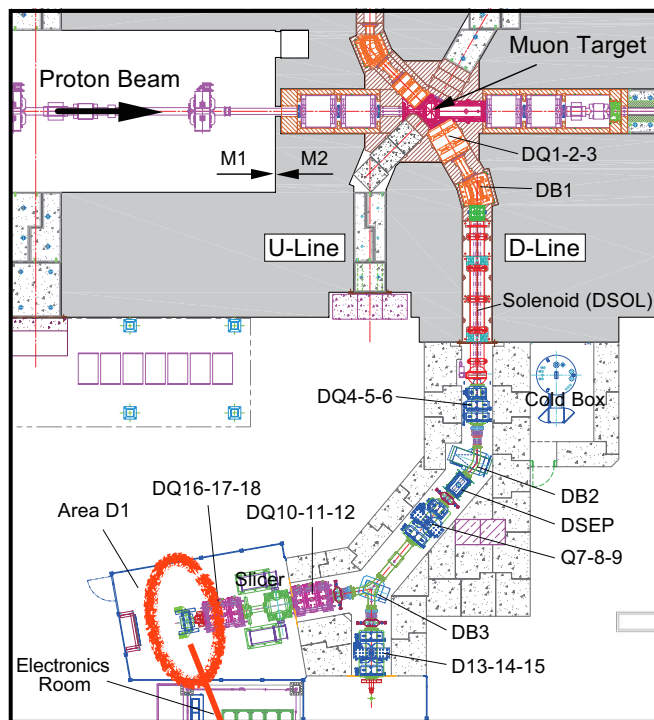
**50 GeV
Synchrotron**

-  JFY2007 Beams
-  JFY2008 Beams
-  JFY2009 Beams

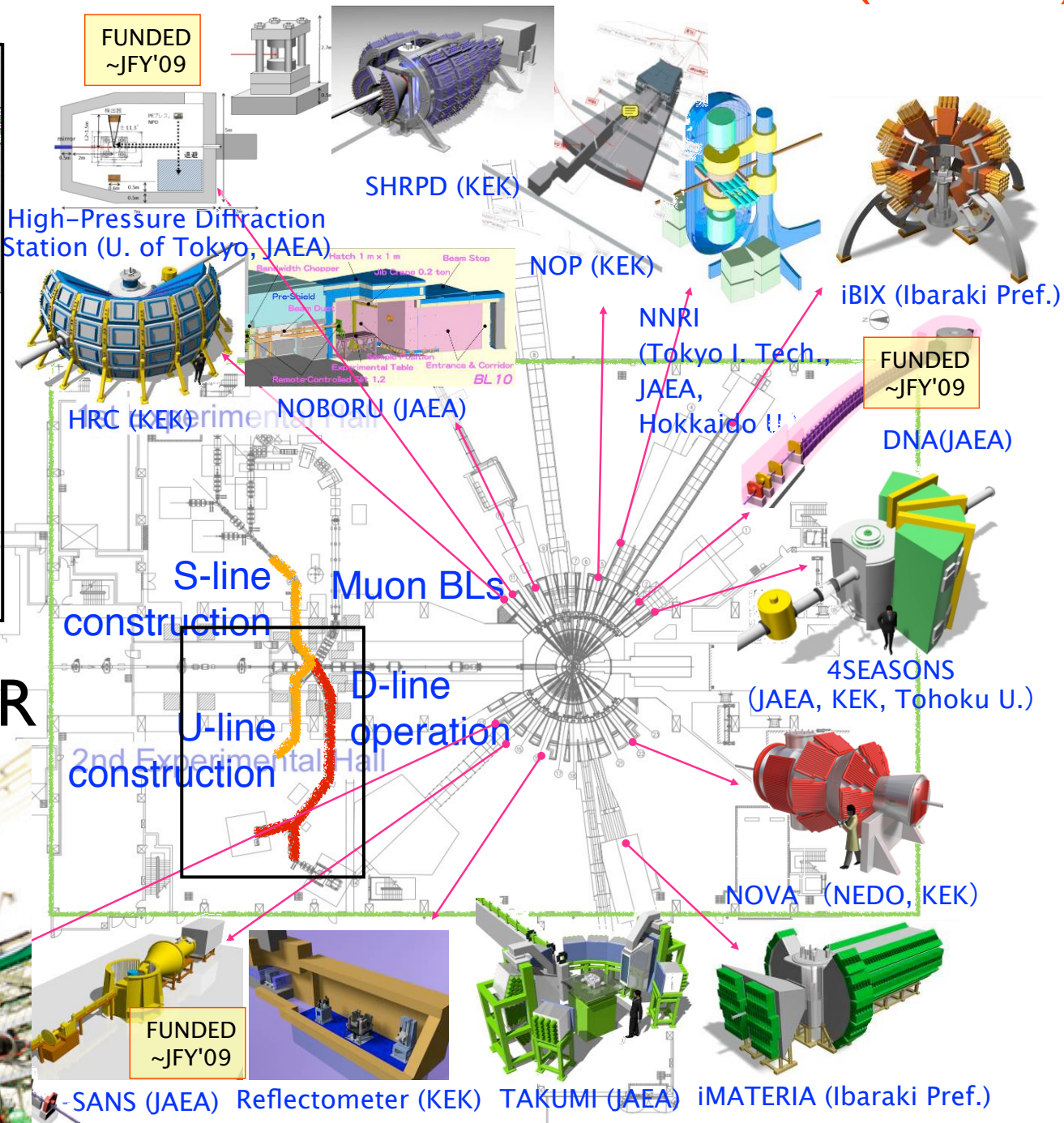
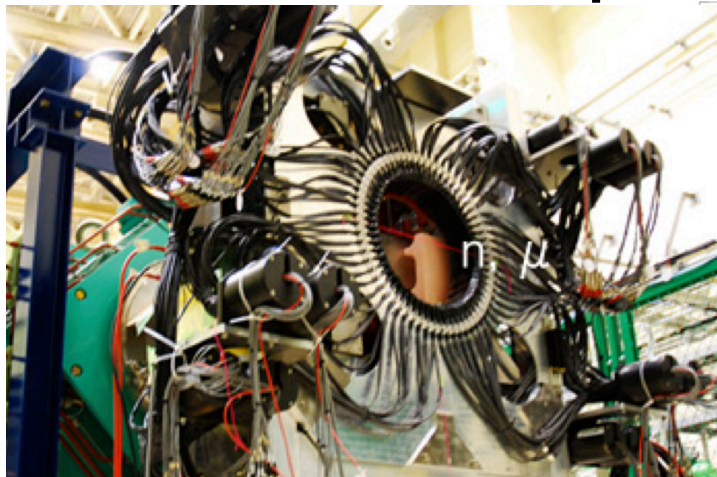
**Hadron Exp.
Facility**

Bird's eye photo in January of 2008

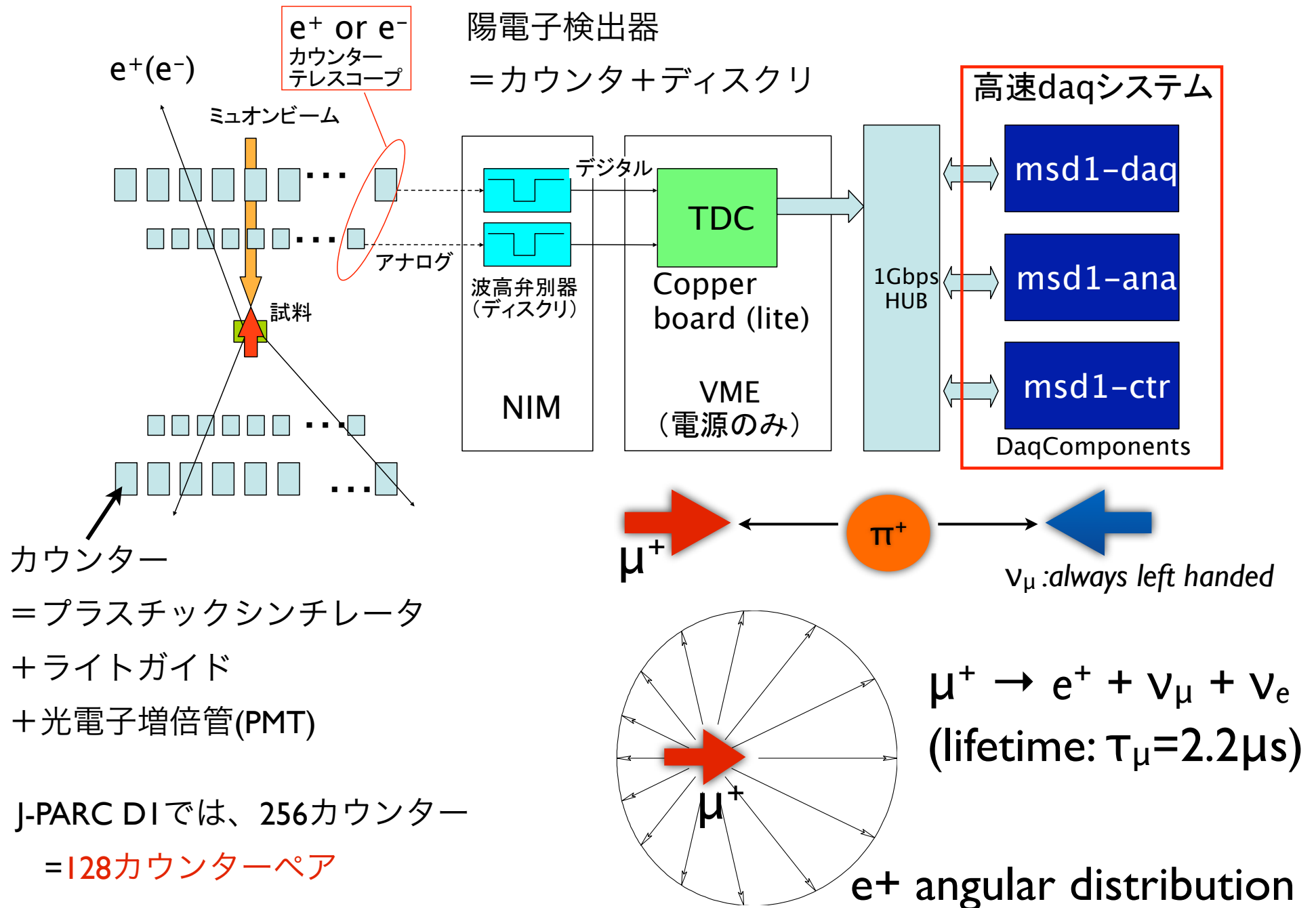
J-PARC/MLFの中性子施設 + ミュオン施設(MUSE)



e⁺ detectors for μ SR

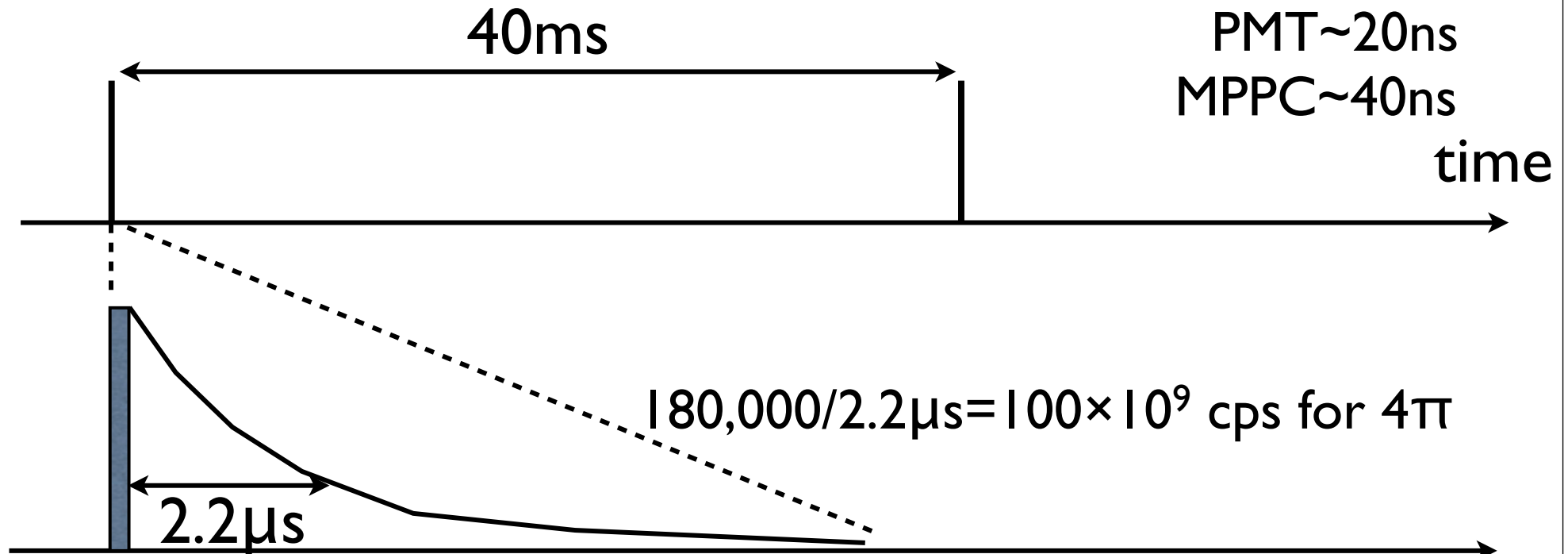


μSR分光器 (パルスミュオン) の概念図



なぜ多数の陽電子カウンタに細分化するのか？

- パルス構造×ミュオン寿命×検出器の不感時間



180,000 muons/300kW

φ40mm コリメータ

↓

φ15mm コリメータ / 100kW

8000 muons/pulse

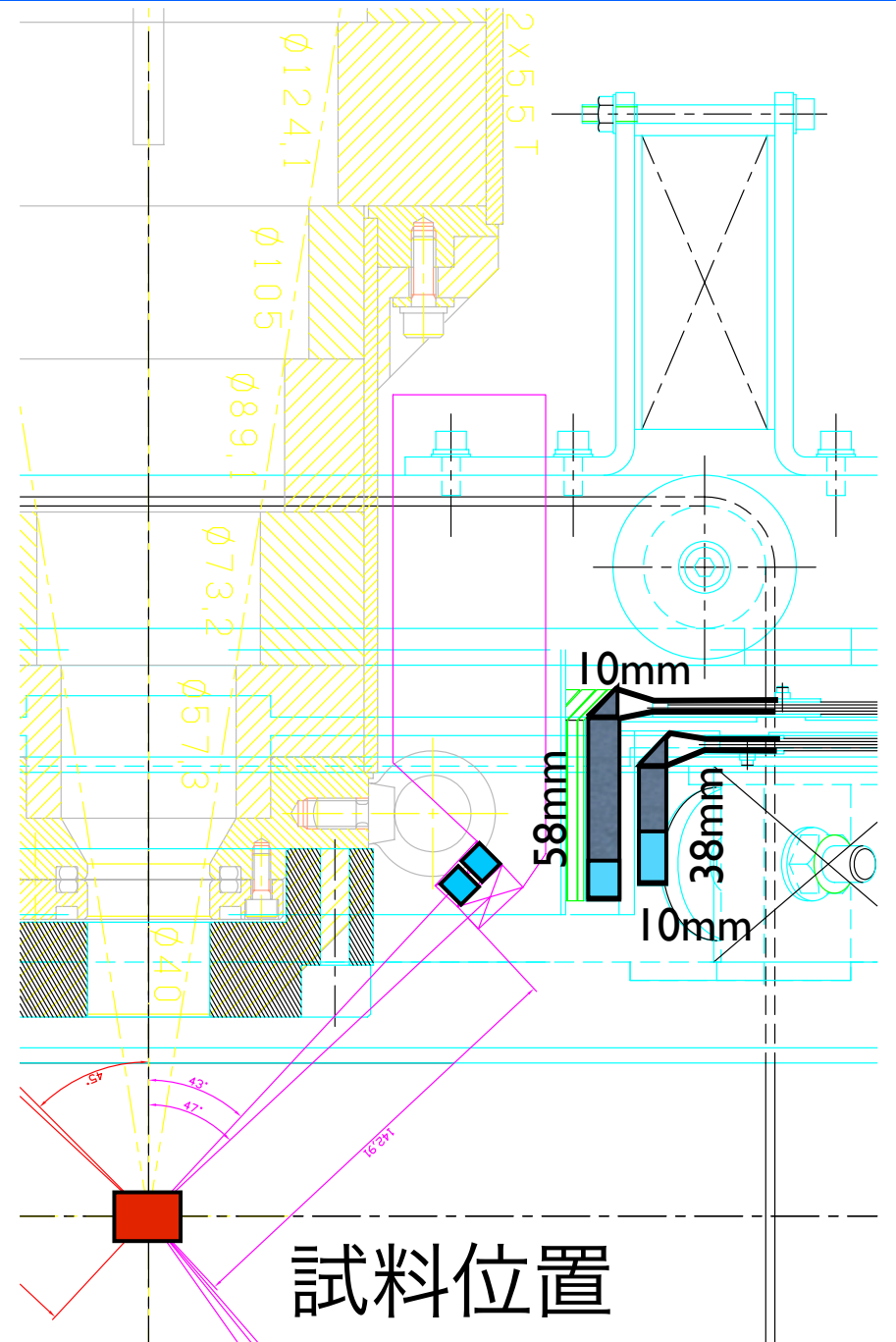
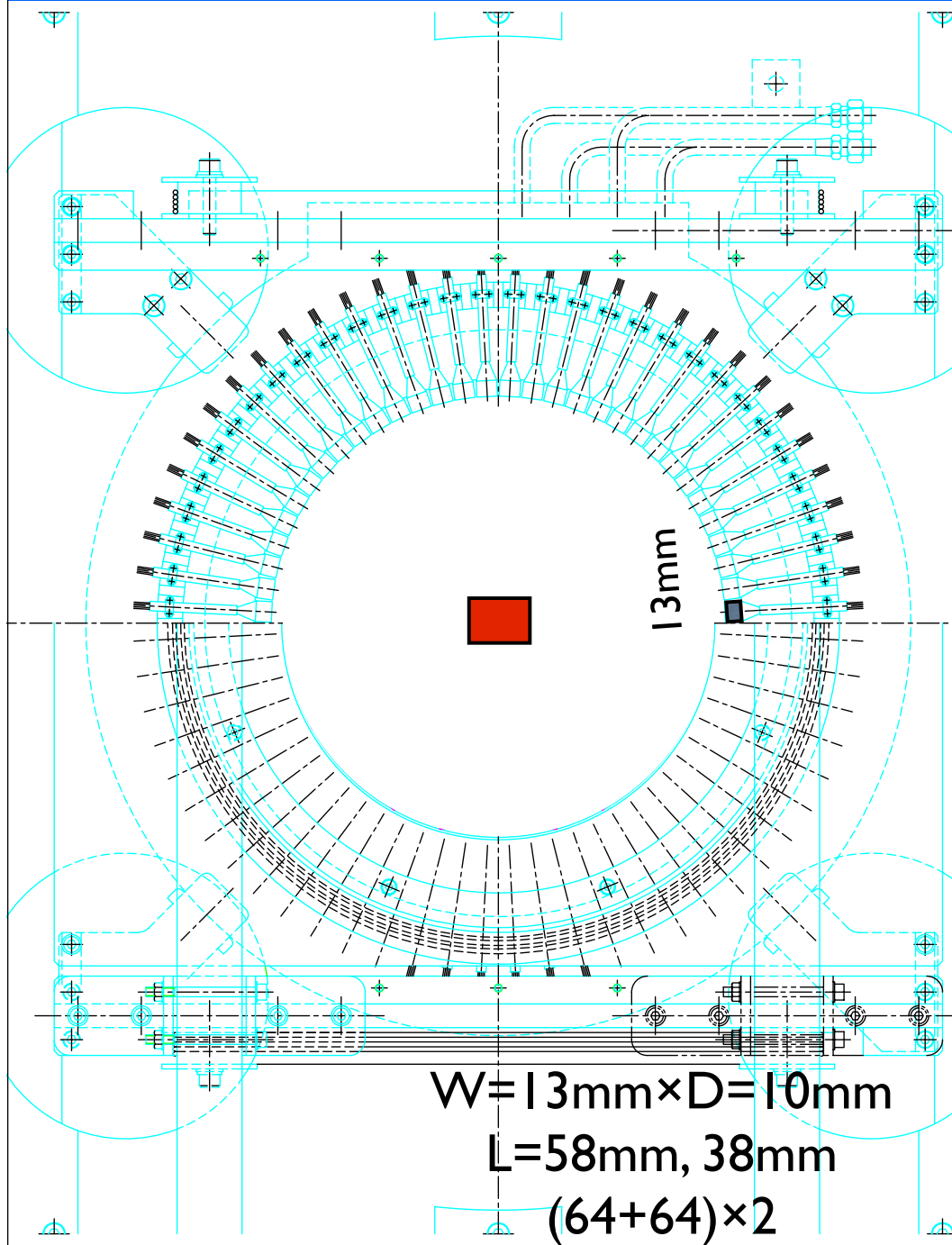
有効立体角8% / 128カウンタペア

→ $100\text{Gcps} \times 0.08 / 128 = 40\text{Mcps}$

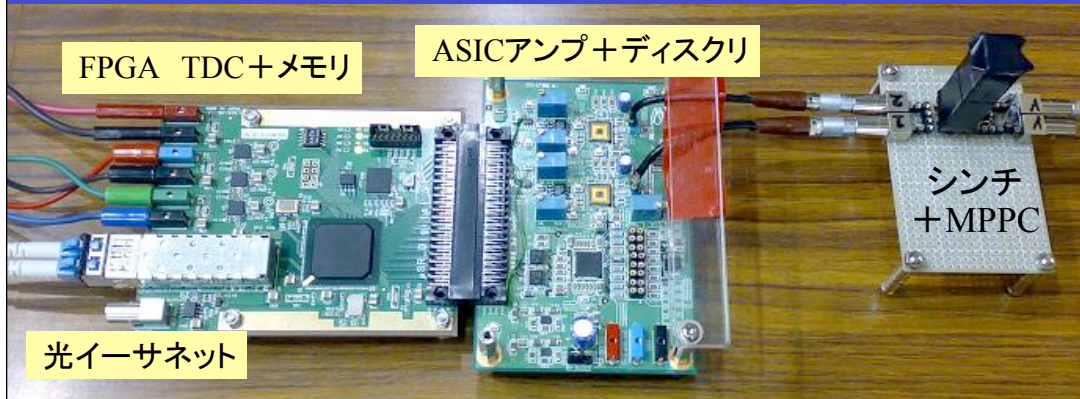
or $100\text{hits}/\text{counter} = 20\text{ns}$ separation

→ $5\text{hits}/\text{counter} = 400\text{ns}$ separation

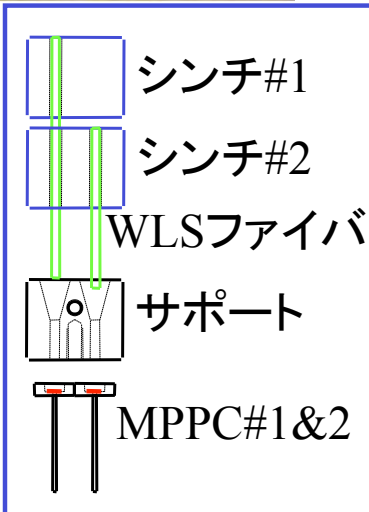
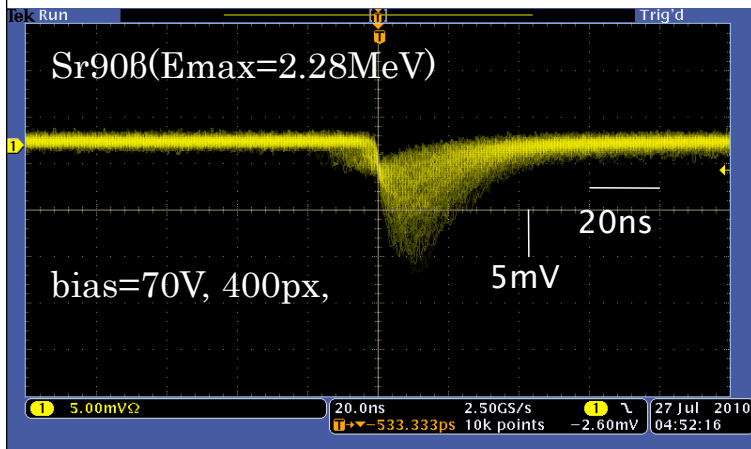
μ SR分光器 (D Ω 1) のカウンター増強計画



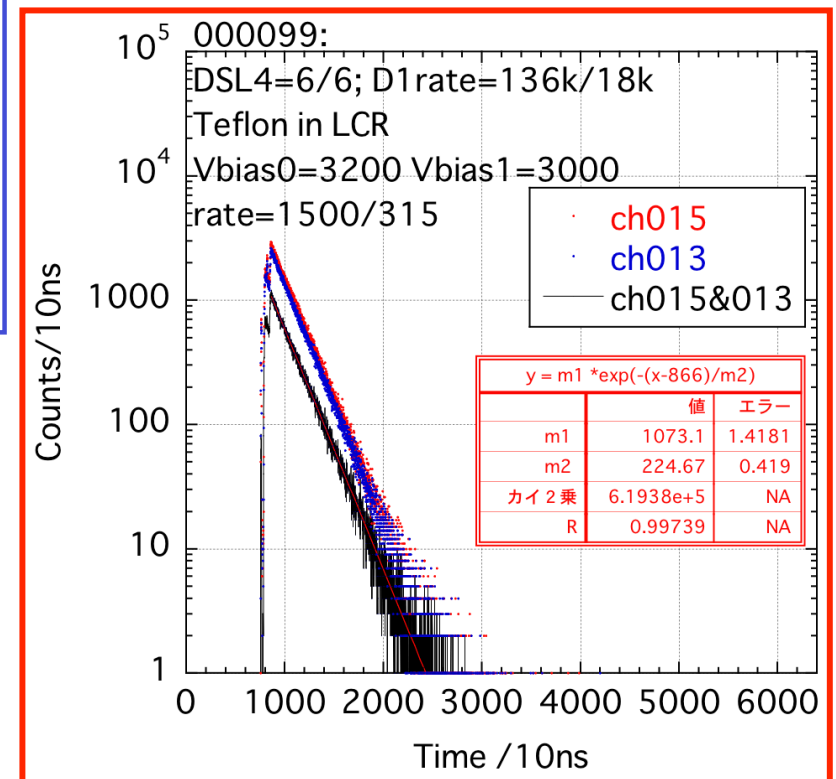
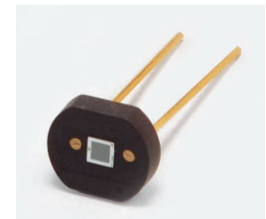
MPPCベース新型陽電子検出器開発



D1汎用 μ SRスペクトロメータ(DQ1)は陽電子検出器の立体角が5%しかない。
 →RIKEN/RAL並に増強したい。
 大強度＝検出器の細分化の必要あり。
 光電子増倍管は価格が高い、磁場に弱い。
 →半導体ベースの検出器(MPPC)へ。



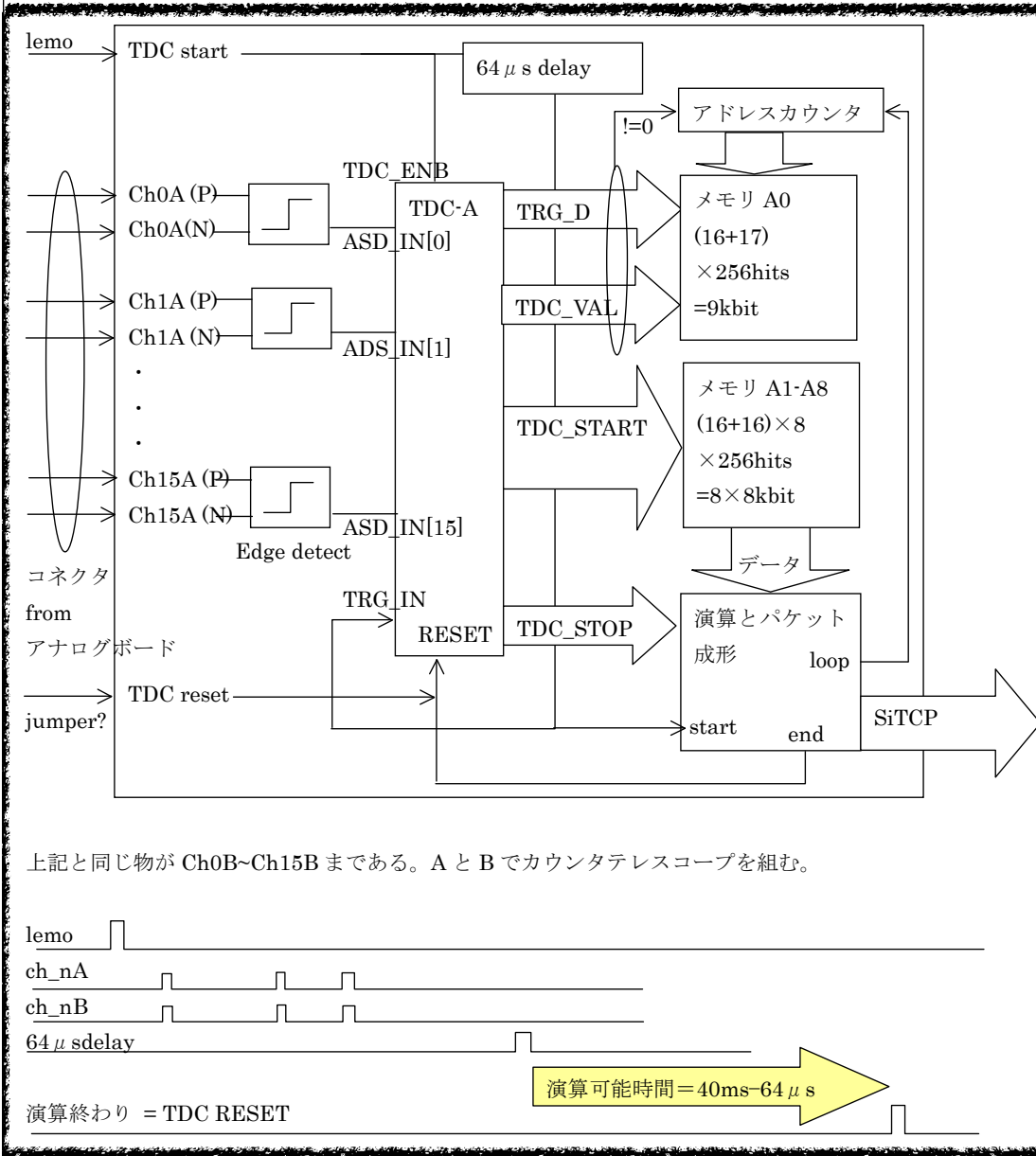
受光面1.3mm×1.3mm
 バイアス電圧～70V
 価格:約3000円/個
 Rise-time: <1ns, recovery~40ns



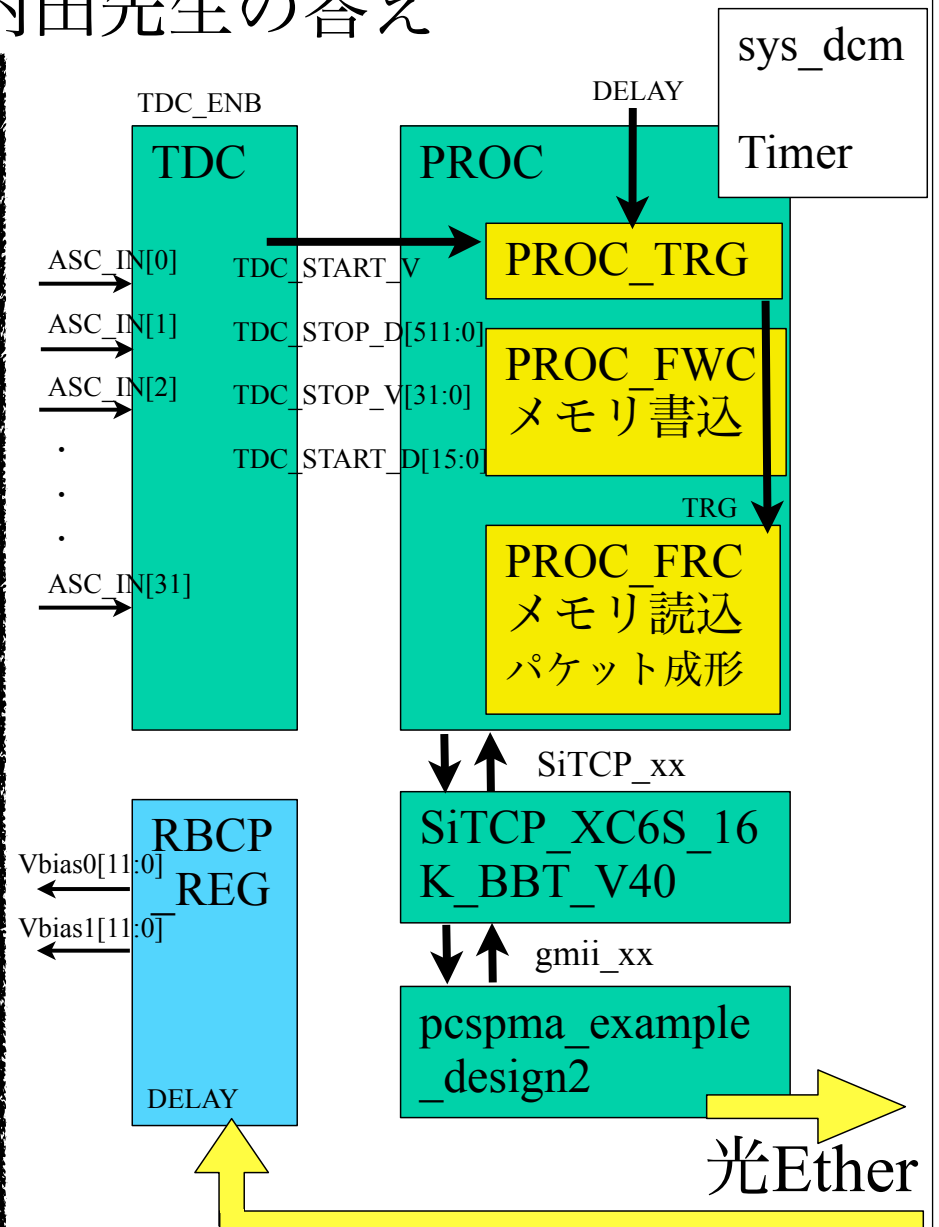
KEK素核研・計算機センターの助けを借りて陽子パルスからミュオン崩壊陽電子信号までの時間をメモリに保存し、TCPパケットでPCに送るシステムを開発。NIMモジュール不要。
 32チャンネルの検出器1ブロックから1本の光イーサネットケーブルだけが出る。
 D1にて最初のin-beamテスト結果(右図)。
 μ e崩壊時間スペクトルを確認。量産型を開発中。

Block diagram of FPGA code

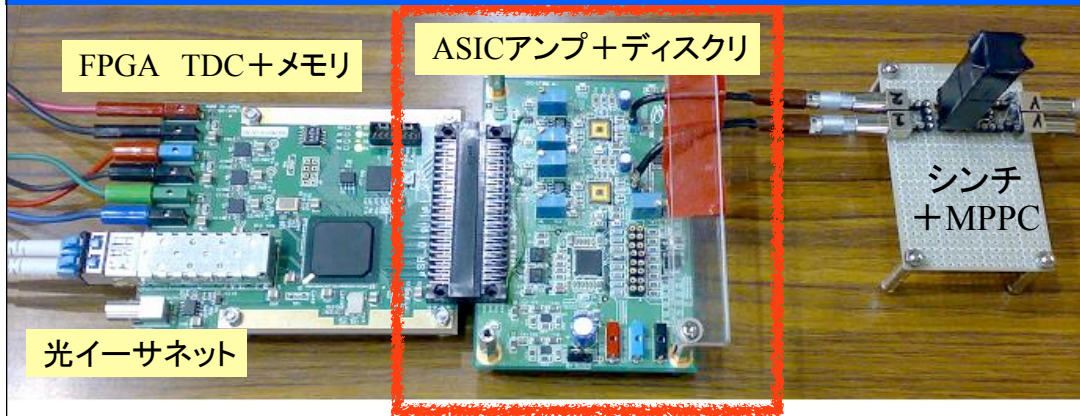
小嶋くんの答案



内田先生の答え



Improvement plan



(1) アナログボードの変更

Old ASICアンプ: (1ch)×2

→New ASICアンプ: (8ch)×4に変更

(2) ディスクリ閾値のデジタルコントロール

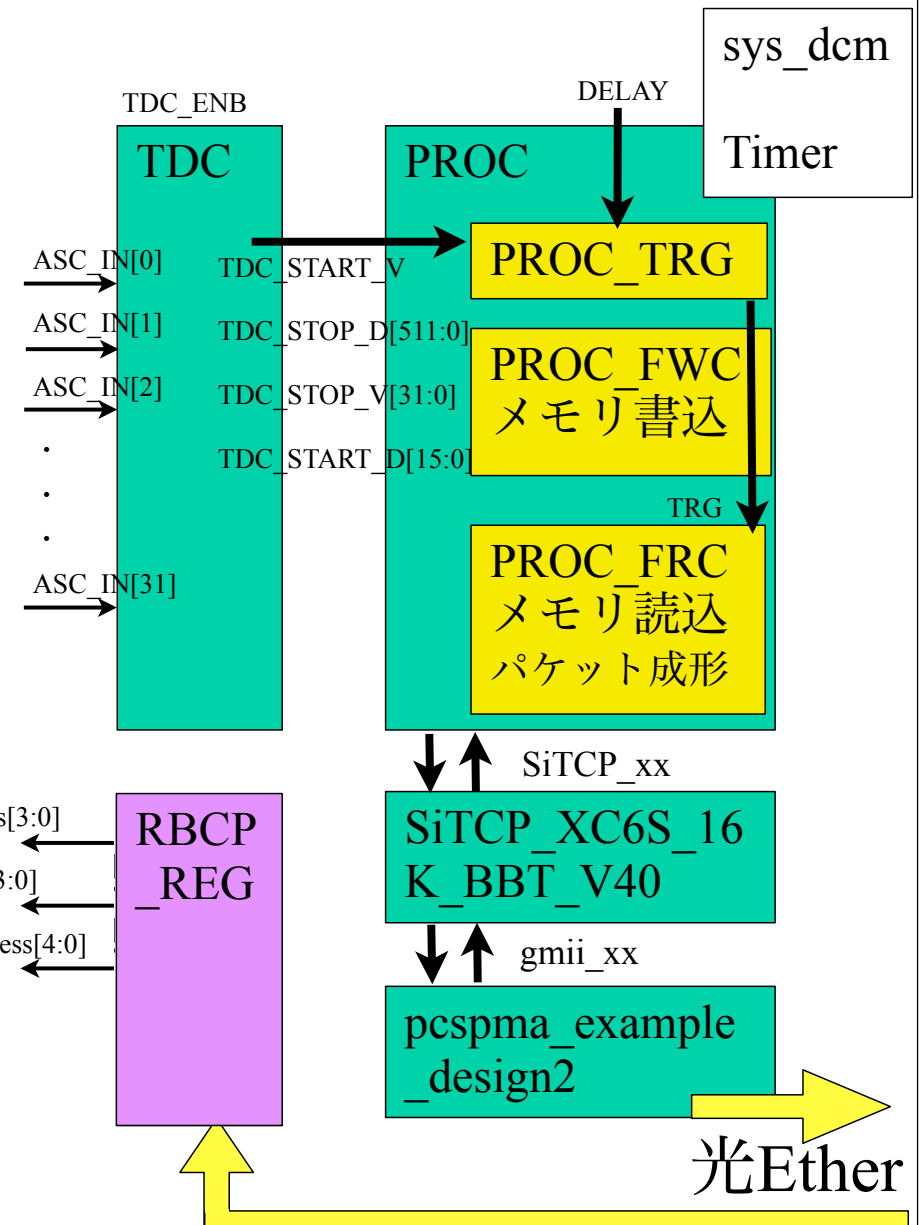
RBCP_REGを書き換え

Vbias 0~31

Vthreshold 0~31

コネクタ端子が足りない? MPPCアドレスバス?

32チャンネルfull spec版の完成 (FY2011初頭)



練習問題とトレーニング

何だか順番が逆ですが・・・

1/6-7に内田先生にマンツーマン演習をしてもらいました。
(本当はFPGAトレーニングコースに出れたら良かったのだが。)

1. ISEの使い方 (合成から書き込みまで)
2. μ SR用の各モジュールの説明
3. テストベンチの説明とVeritakの使い方

この演習で

→FPGA トレーニングコースを自習

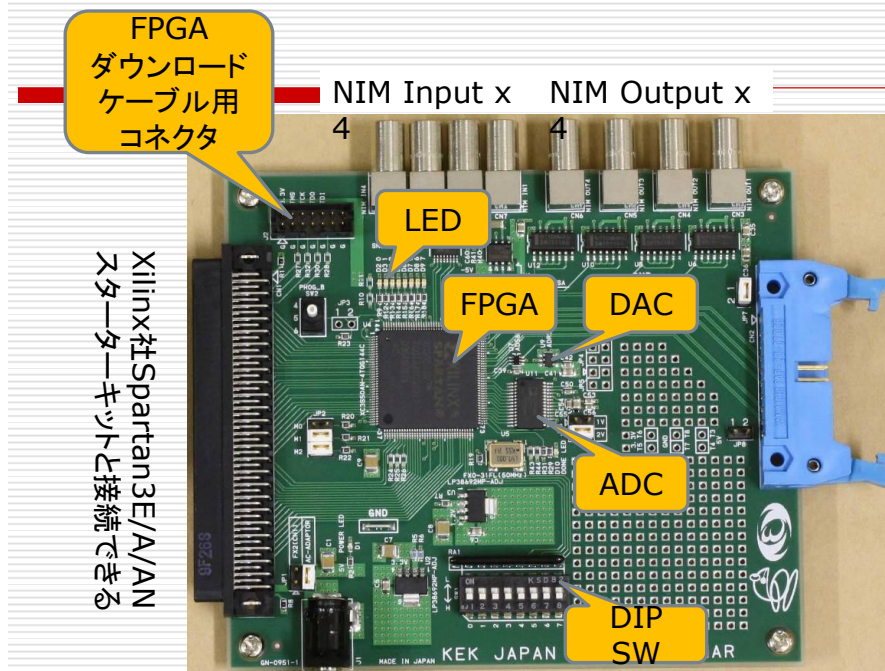
出来るようになりました。(→2/4完了)

次に

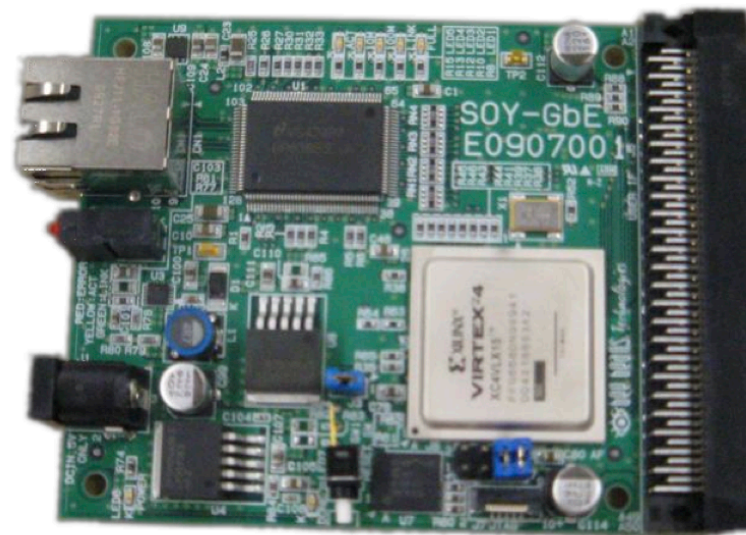
→BBTのSOY(SiTCP)を実習ボードにつないでSiTCPの訓練中。

FPGAトレーニングコースのSiTCPコース (Spartan 3/6 SK使用)のライブラリ (S3A_SK_SiTCPなど) がそのまま使えない。コネクタの信号線を読んでUCFを作る必要あり。信号線がシリアルなので、RBCPにシリアル/パラレル変換 (SIO) が必要。

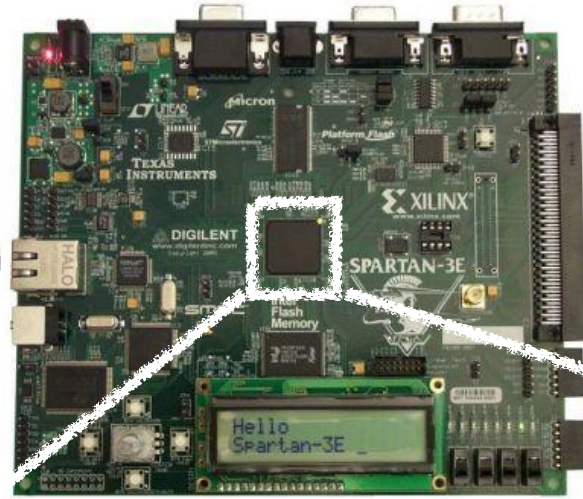
実習ボード



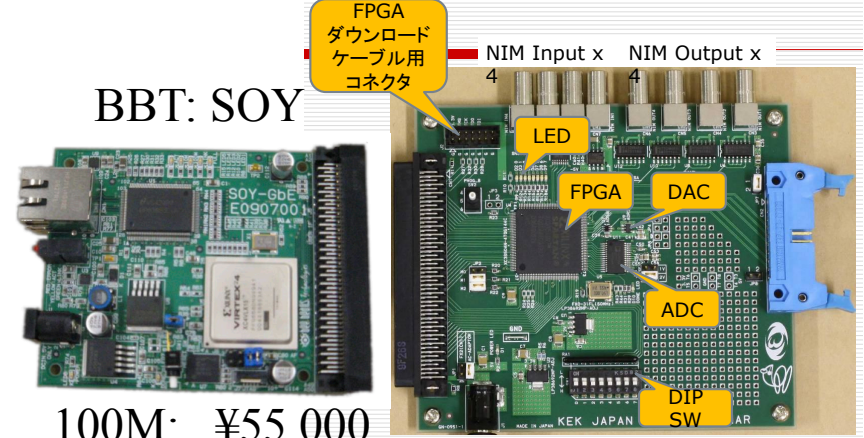
FPGA seminar 2010



Xilinx SK vs. BBT SOY+seminar brd



HW-S3ANSK: ¥33,600
~100M
EK-S6-SP601: ¥41,790
~1GbE

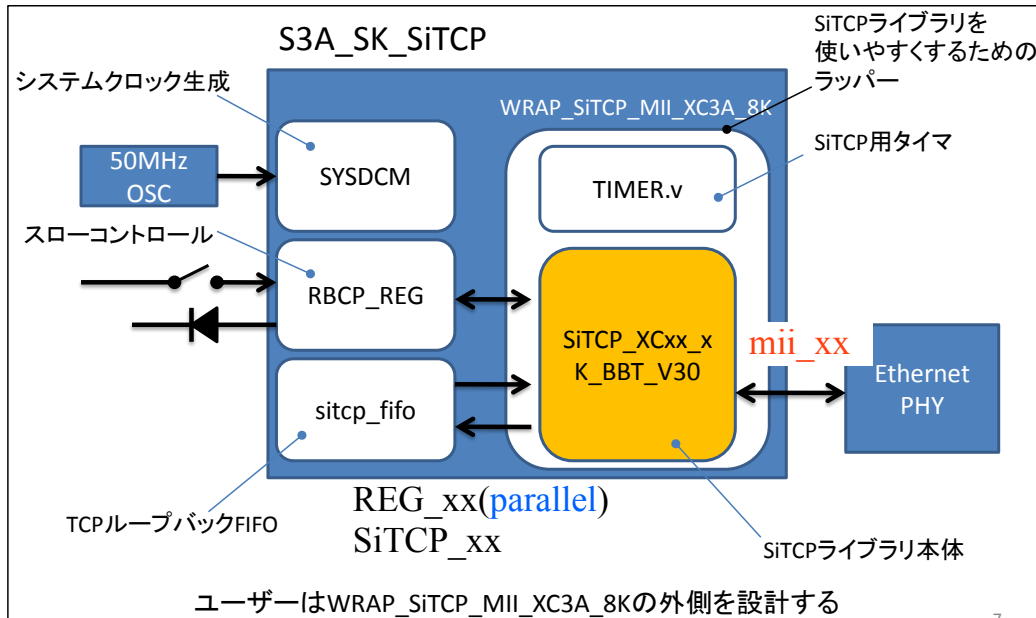


BBT: SOY

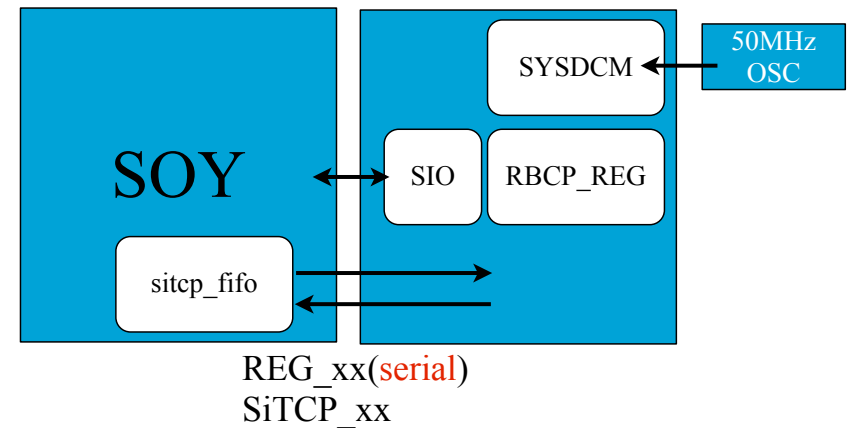
100M: ¥55,000
1GbE: ¥130,000

G095-1: ¥21,300

total: ¥76,300



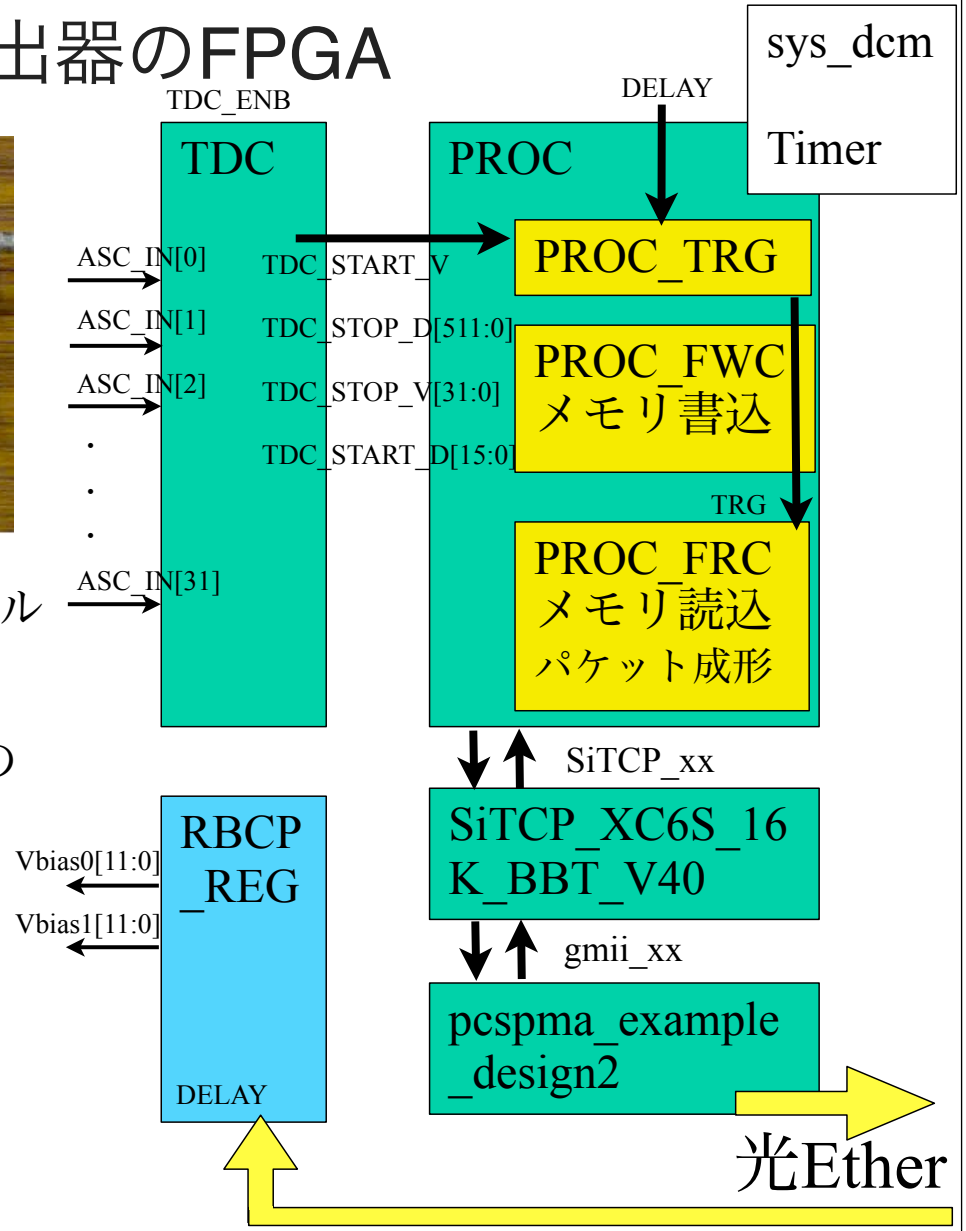
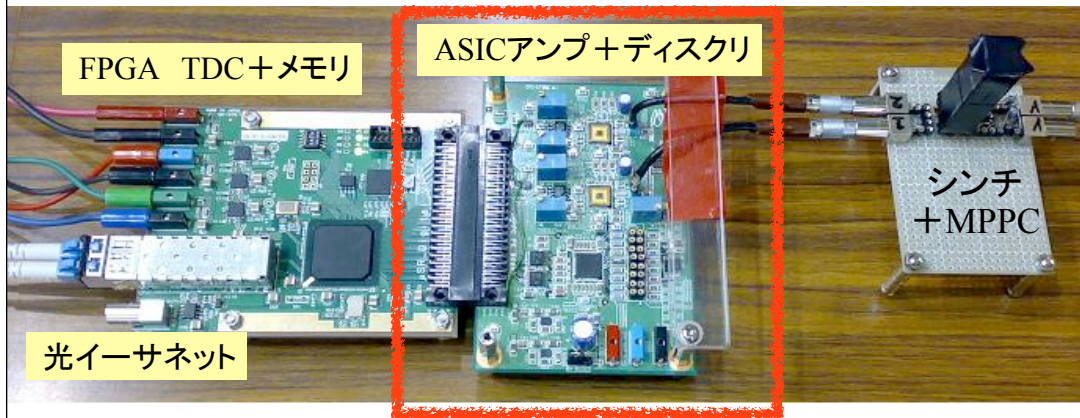
1GbEまで使えて価格が安い。
BBTがSiTCPのライブラリを配布している。



NIM-in/outを使えるが価格が高い。
 세미나ボードのFPGAはSpartan 3だから、
1GbEは無理？

まとめ

J-PARC/MLF ミュオン施設における MPPC型陽電子検出器のFPGA



- (1) 最初のビーム実験で、 μe 崩壊時間スペクトルは確認された。
- (2) 2chテスト用アナログボードから、32ch用のアナログボードの変更が予定されている。
Old ASIC: (1ch) \times 2 \rightarrow New ASIC(8ch) \times 4
- (3) ディスクリ閾値のデジタルコントロールも予定されている。

\rightarrow RBCP_REGの書き換え

OpenITへの要望・提案

ゼロからのFPGAプログラミングを始めてみて・・・

FPGAトレーニングコースは重要：

最低限ISE、veritakなどのツールの使い方が分からないと始められない。
→年2回開催されるとうれしい？

質問できる場が必要：

FPGAフォーラムのような掲示板サイト？BBTのSiTCPサイト？OpenIT-FPGA-ML？
書込んですぐ応答があるぐらいの人口があるのか？
手近な人＝内田先生＝に質問が集中するとおそらくパンクする。
初心者はウェブで検索するキーワードが分からない。（「概念」の検索は難しい）

共通言語＝ライブラリの整備がおそらく重要

BBTの配布しているライブラリがどれくらい一般的なのかよくわからない。
ハードウェア依存をどこまで許せるか。