

CAEN V1495を用いた Multichannel Scalerの開発

Open-It PCB-FPGA部門研究会

2011年 2月16日 京都大学

大阪大学 理学研究科 物理学専攻

M1 仲井 裕紀

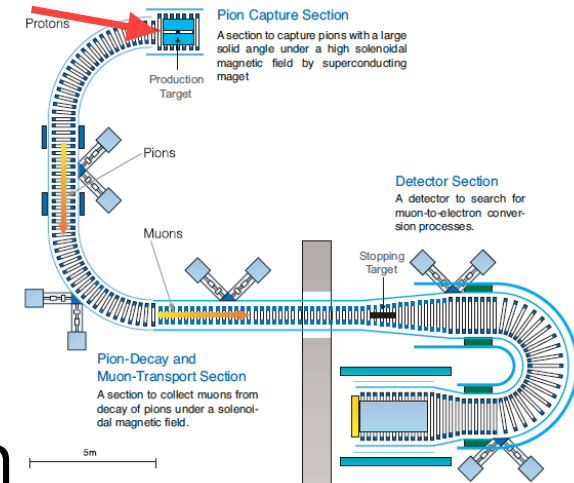
CONTENTS

- COMET実験
 - パルス陽子ビーム
- Bunched Slow Extraction Test実験
- Multi Channel Scalerの開発
 - 初期モデル
 - 改良版
 - 現在のモデル
- まとめと今後

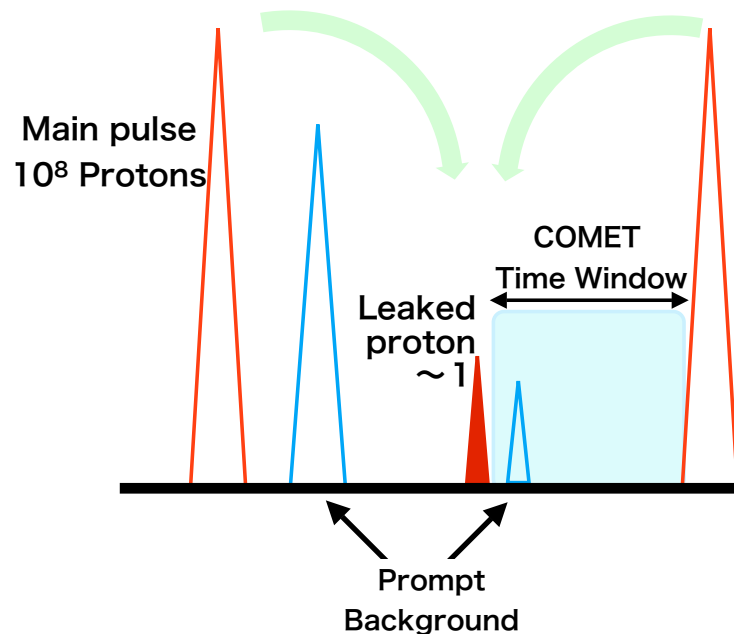
COMET

(COherent Muon to Electron Transition)

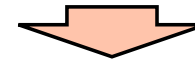
- 荷電レプトン混合現象探索
- $\mu^- \rightarrow e^-$ 転換過程を 10^{-16} より高い感度
- MEG実験@PSIと相補的な関係
- J-PARC ハドロンホール@東海村



パルス陽子ビームのExtinction



- 10^{-16} の探索感度を達成するために
 - Prompt Backgroundを減らす



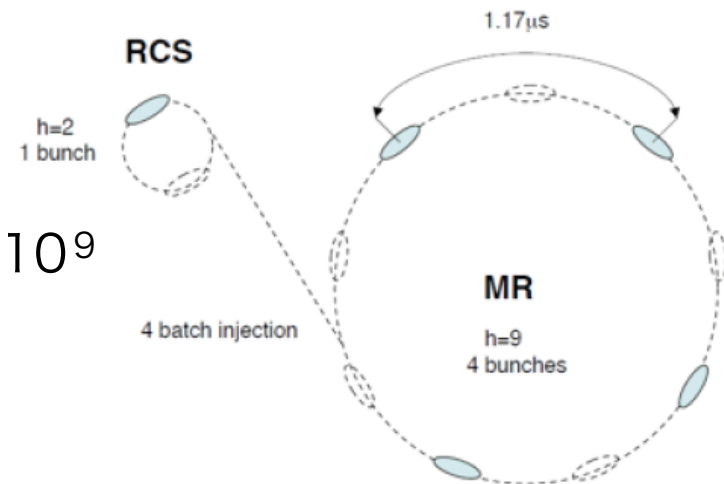
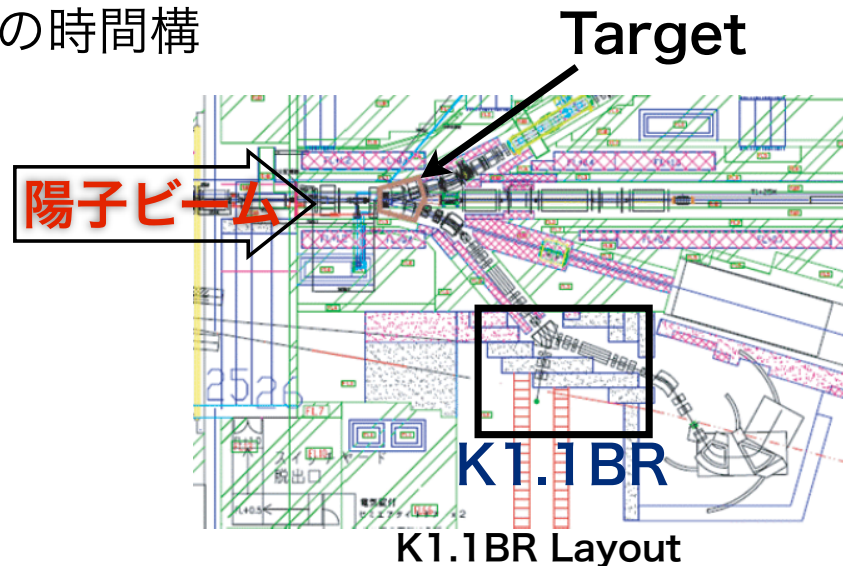
- パルス間の消滅率(Proton Extinction) $\rightarrow 10^{-9}$ 以下

$$R_{\text{Ext}} = \frac{\text{\# of p b/w pulse}}{\text{\# of p in a pulse}} < 10^{-9}$$

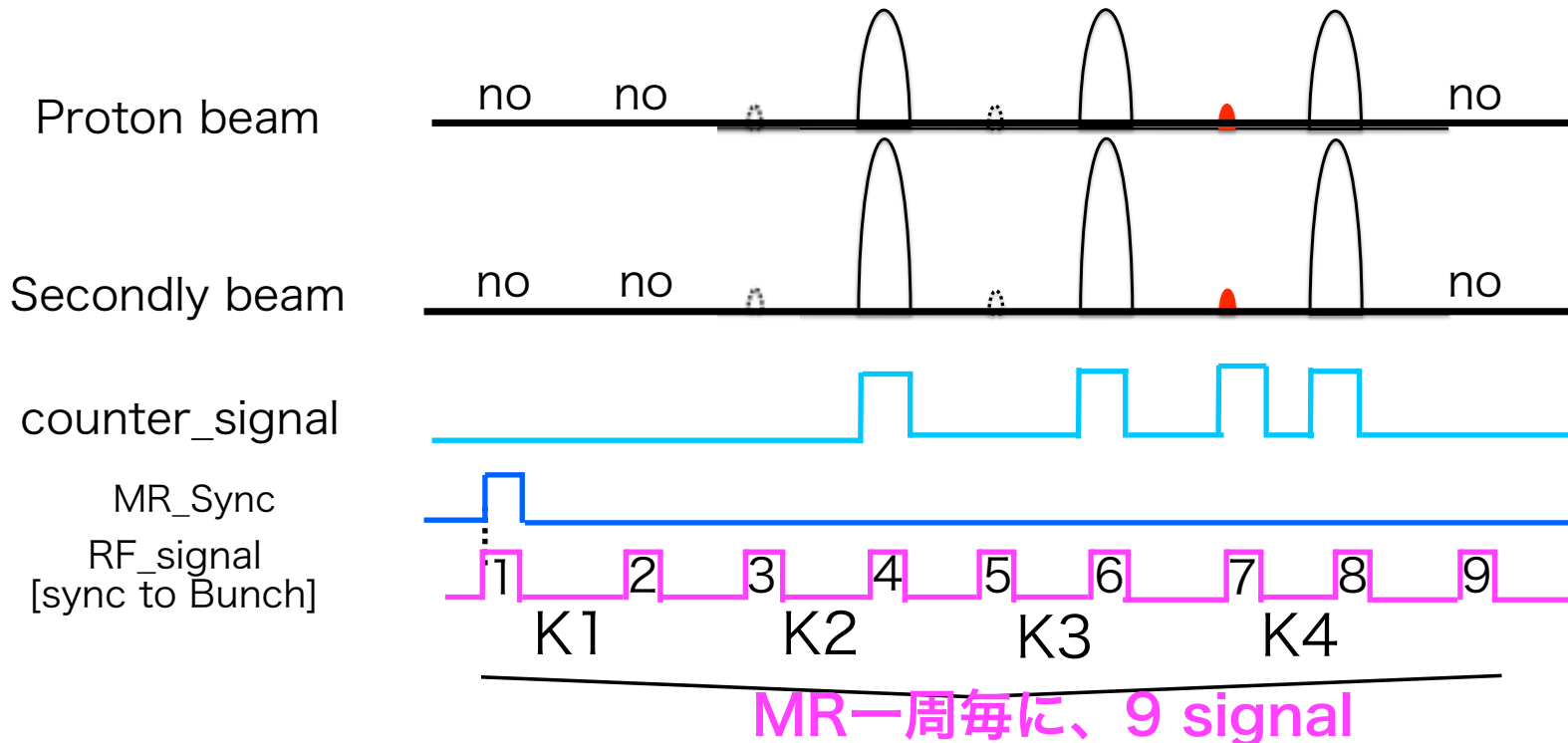
- COMET実験成功の鍵を握る！

Slow Extraction from MR

- J-PARC MRからのパルス陽子ビームの時間構造を測定する。
 - 二次ビームラインのK1.1BRを使用
 - ビームのオペレーション
 - $h=9$ (3 fill, 6 empty)
→状況に応じて調整可能
 - 30 GeVに加速
 - **Slow Bunched Extraction**
 - バunchの位置とタイミング
 - MR入射KickerとRFの信号を利用
 - Read out
 - 二次ビーム(~ 1 MHz)を数十分測定し 10^9 Sample計測する

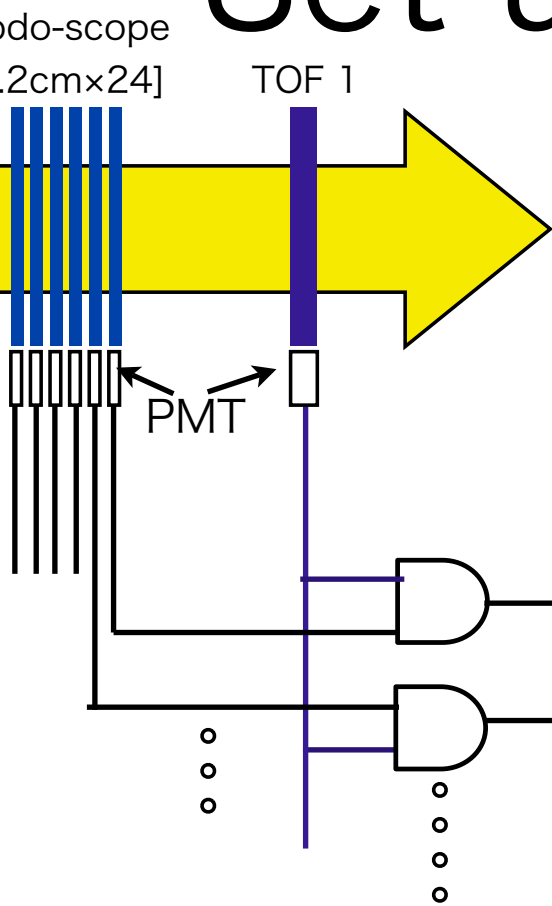
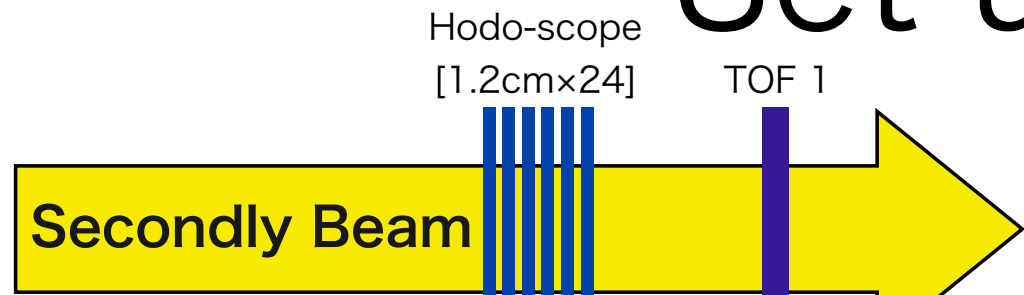


Beam Set up



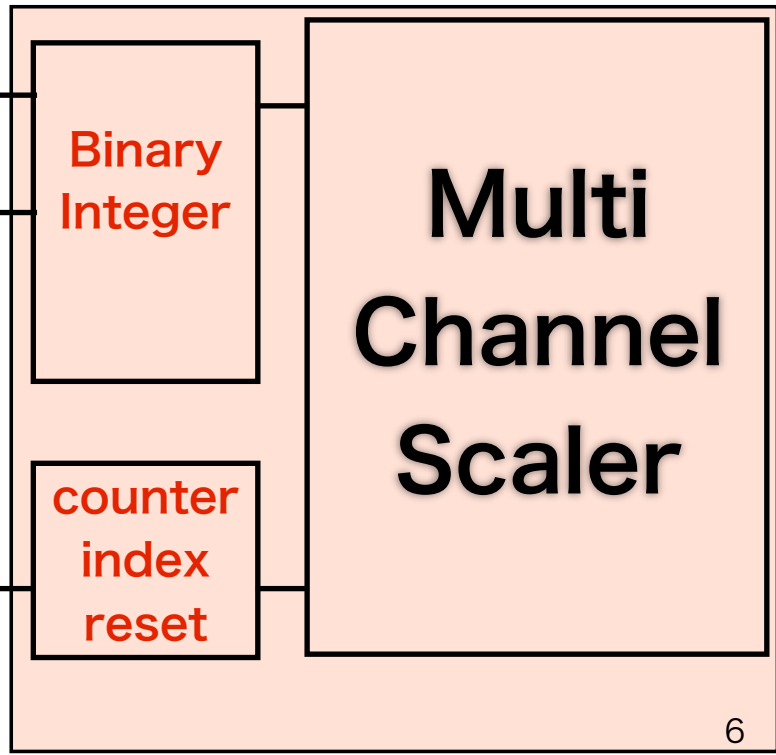
- 3 bunch filled,
no injection-no injection-
empty-filled-empty-filled-empty-filled-no injection

Set up



MainPulseは、レートが高く
Hodoscopeが必須
→複数台のscalerが必要
→FPGAにより合算して
DAQすれば便利

MR_Sync
[Source of RF]



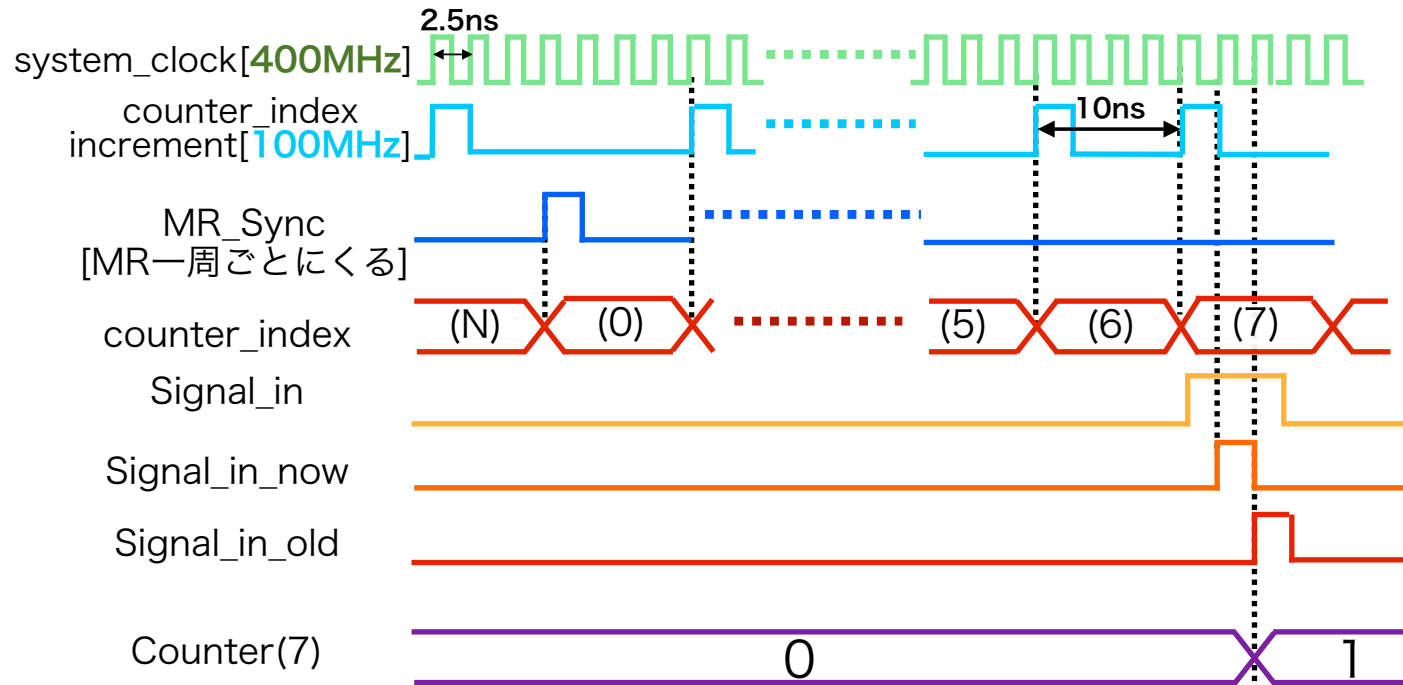
Multichannel Scaler の開発

使用したモジュール

- CAEN社 VME V1495 General Purpose VME Board
 - AlteraのFPGA(cyclone)を搭載する
→自由にロジックを変えられる
 - 405MHzの周波数で動作可能
 - 入力信号のチャンネル数が十分(96+ LEMO 26ch)
 - Linux,Windowsで動作
 - 価格は約50万円

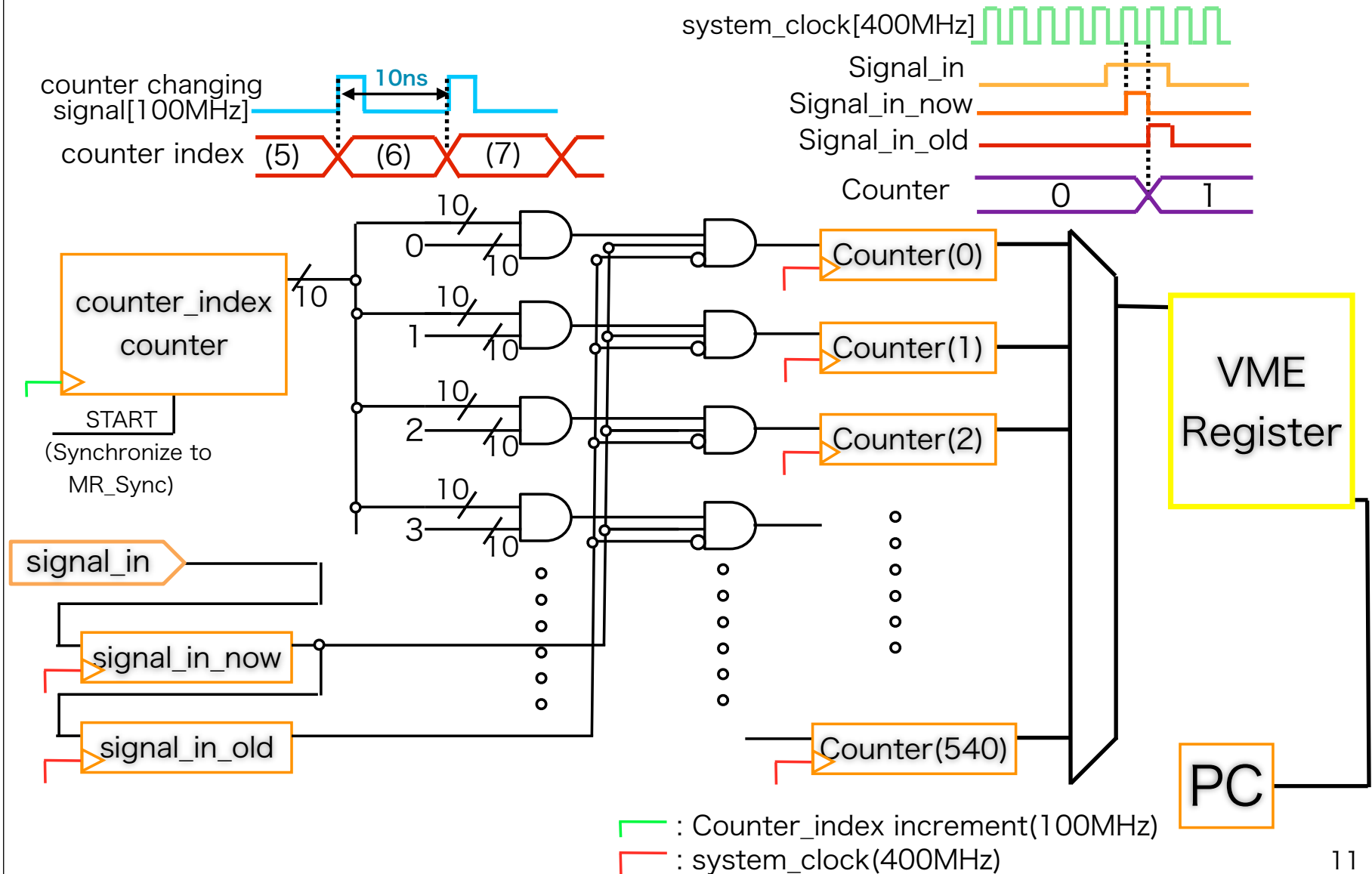


MCSに実装した動作

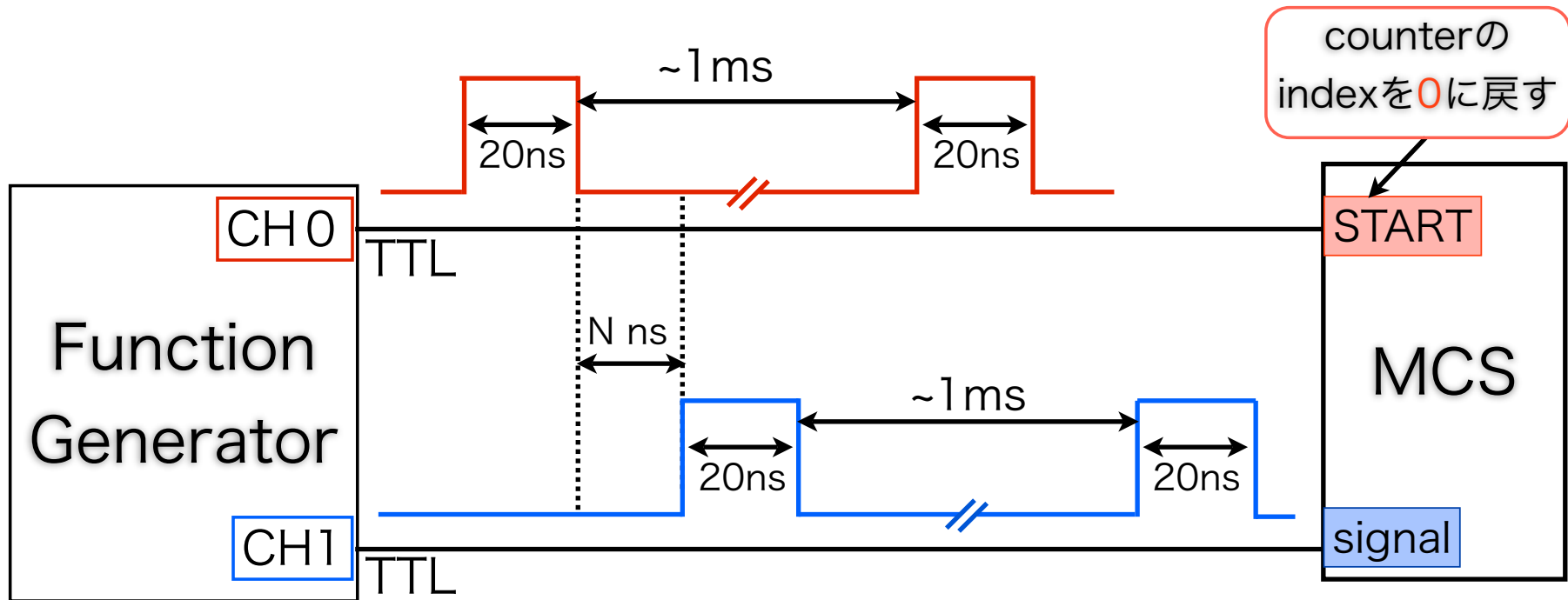


- system_clockは400MHz
- 100MHzでカウンターを切り替える(10nsごと)
- MR_Syncでcounter_indexをリセットする
- 400MHzでsignal_in_now,signal_in_oldを確認してカウンターを回す

初期ロジックダイアグラム



動作試験のロジック

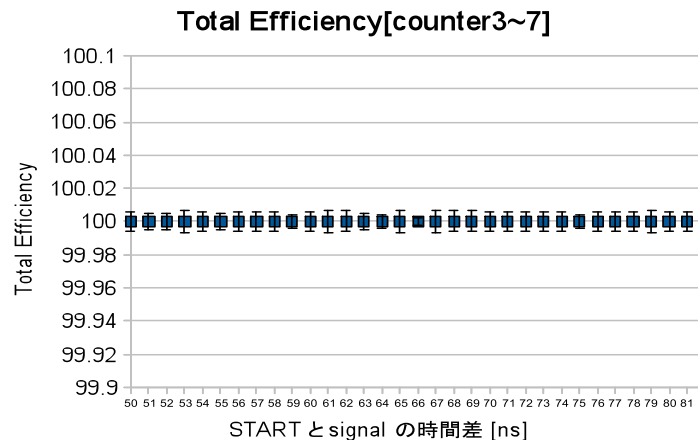
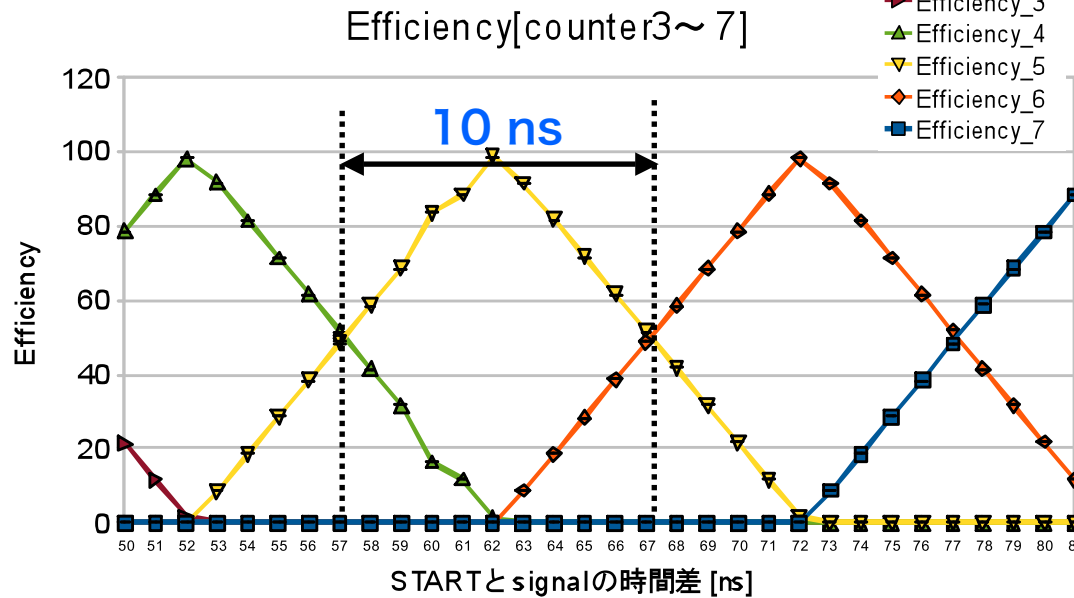


START: パルス幅20nsを1msごとに1cycle
signal: パルス幅20nsを1msごとにSTARTより
N[ns]のdelayして1cycle

Function GeneratorとMulti Channel Scalerの内部clockは
同期していない

動作試験結果

$$\text{Efficiency} = \frac{\text{Counter(N)のカウント数}}{\text{STARTの数}}$$



・三角形になっている→切り替えに時間が掛かっていることが想像できる。

・10ns(FWHM)ごとにカウンターが切り替わっている

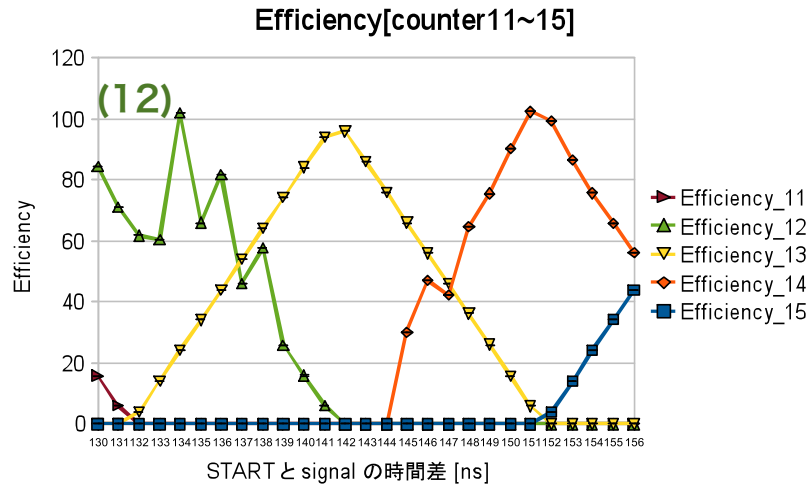
➡ Time resolution 10ns

・Total Efficiencyは100%

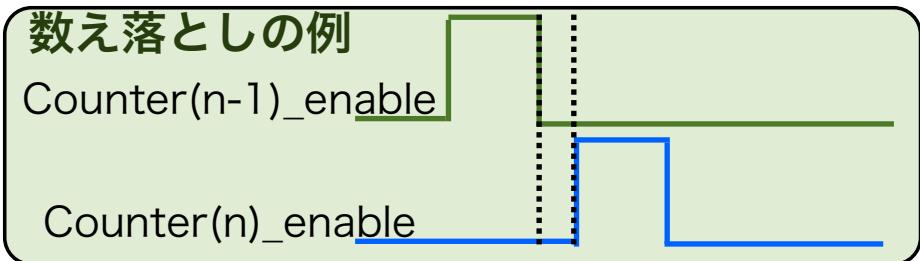
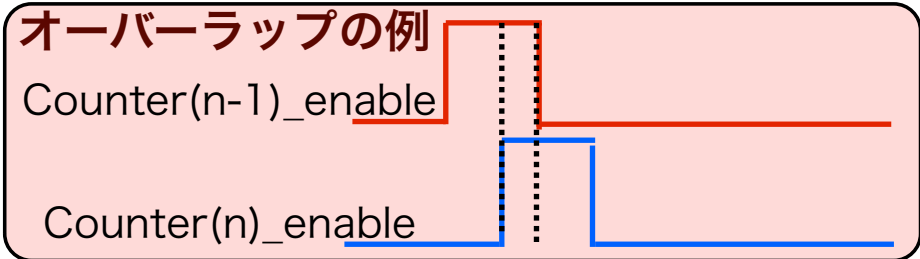
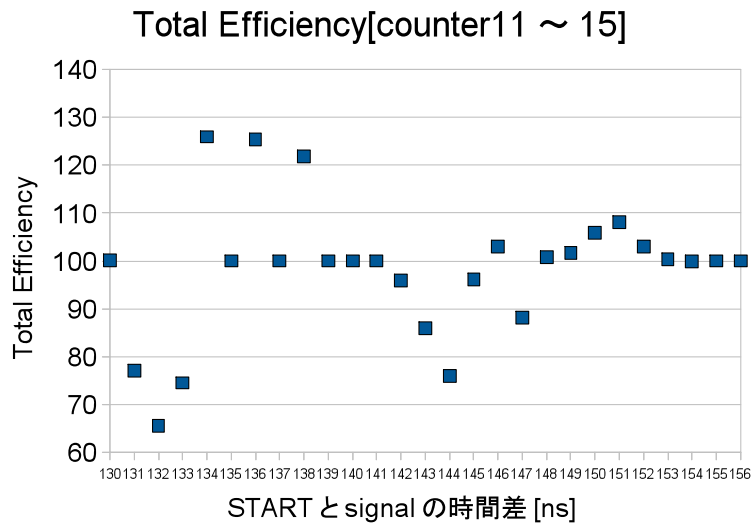
➡ 取りこぼし、オーバーラップはない

問題点

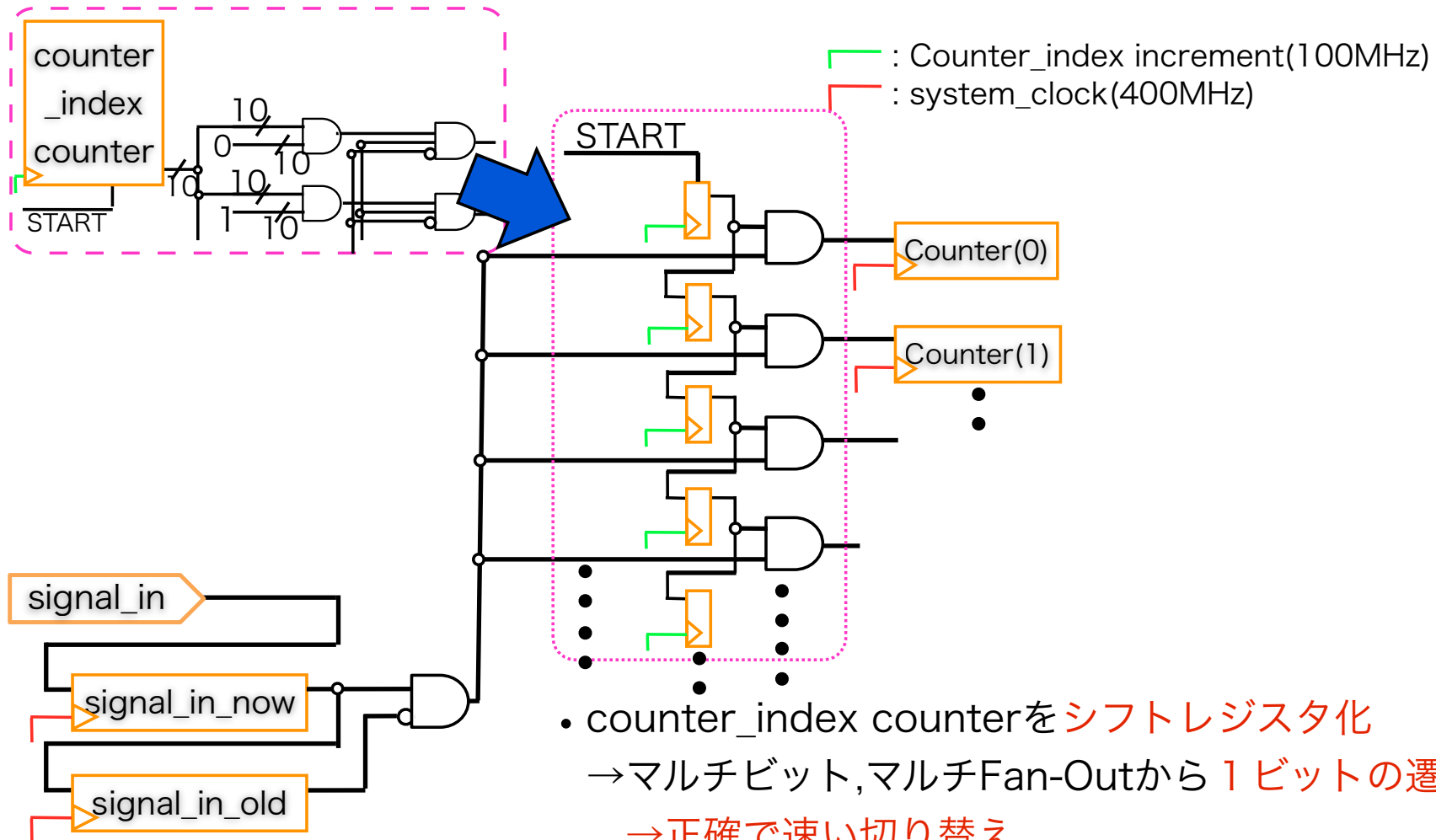
$$\text{Efficiency} = \frac{\text{Counter(N)のカウント数}}{\text{STARTの数}}$$



- Counter(11)~Counter(15)で測定を行った
- Efficiencyが特にcounter(12)で乱れている
- 恐らくCounterの切り替え部分がFPGA内部で遅れていると推測。
[Timing Analysisも利用]



第2ロジックダイアグラム

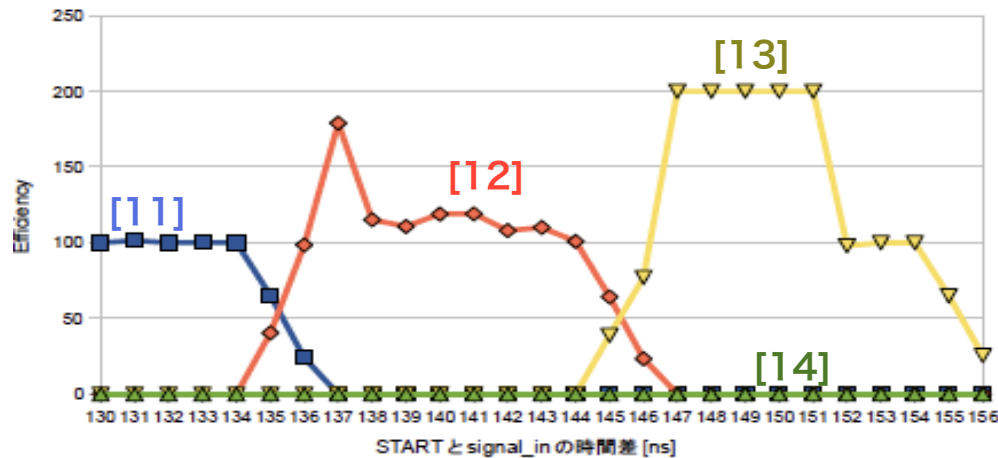


- counter_index counterをシフトレジスタ化
→マルチビット,マルチFan-Outから1ビットの遷移
→正確で速い切り替え
- 入力信号のANDを事前にとることで内部線も半分

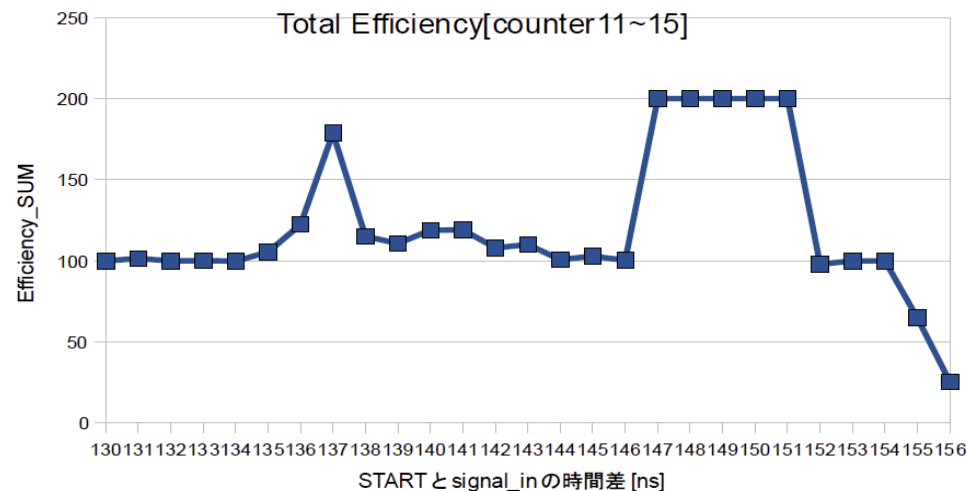
動作試験結果2

$$\text{Efficiency} = \frac{\text{Counter(N)のカウント数}}{\text{STARTの数}}$$

Efficiency[counter11~14]



Total Efficiency[counter11~15]



- Counter(11)~Counter(15)で測定を行った。
- counterすべてが乱れている。
- Efficiency_SUMは最大100%のはずが、200%のEfficiencyのときもある。

➡ Counterの切り替え部分以外にも原因がある。

誤動作の原因追求

- Timing Analysisによって原因を追求した。
- 入力信号をすべてのカウンタに受け渡しているところでDelayが生じている。

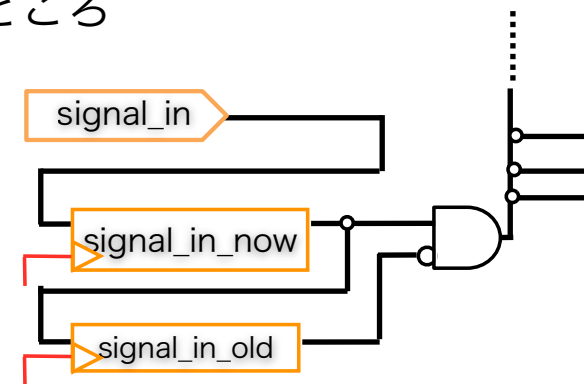
➔ 一つのレジスタ当りのFan-outが多い！

➔ Timing Analysisにより10Fanout / レジスタ
までならDelayは生じない

➔ ロジックエレメンツが不足！
[FPGAがcycloneのため]

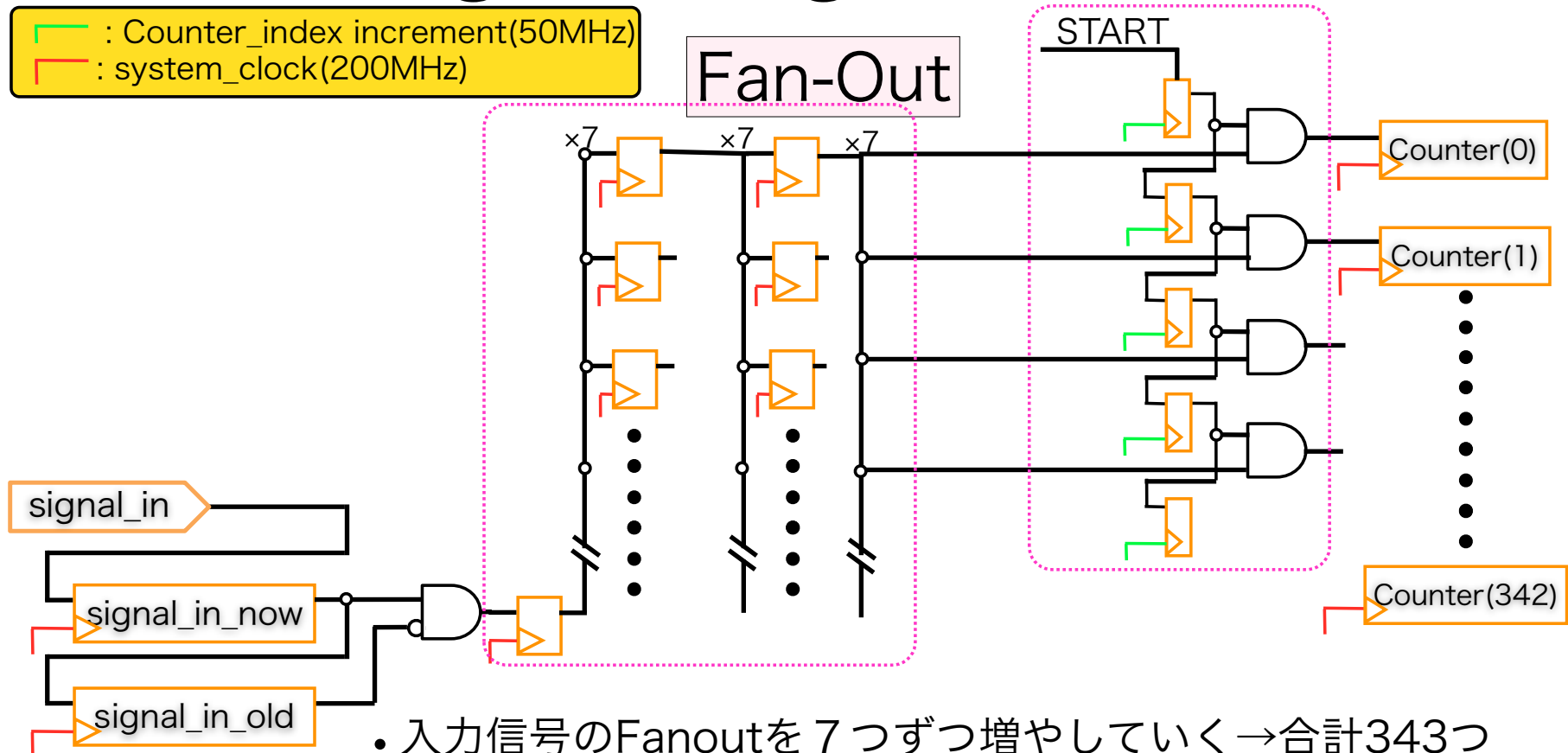
➔ 結果7Fanout / レジスタに辿りつく。

➔ 行き先の無いFanoutを無くすために、
counterの数も $7^3=343$ 個に統一する。



デバイス	EP1C20
ロジック・エレメント数	20,060
M4K RAM ブロック(4 Kビット + パリティ)数	64
RAM ビット数	294,912
PLL数	2
最大ユーザ I/O ピン数	301
差動チャンネル	129

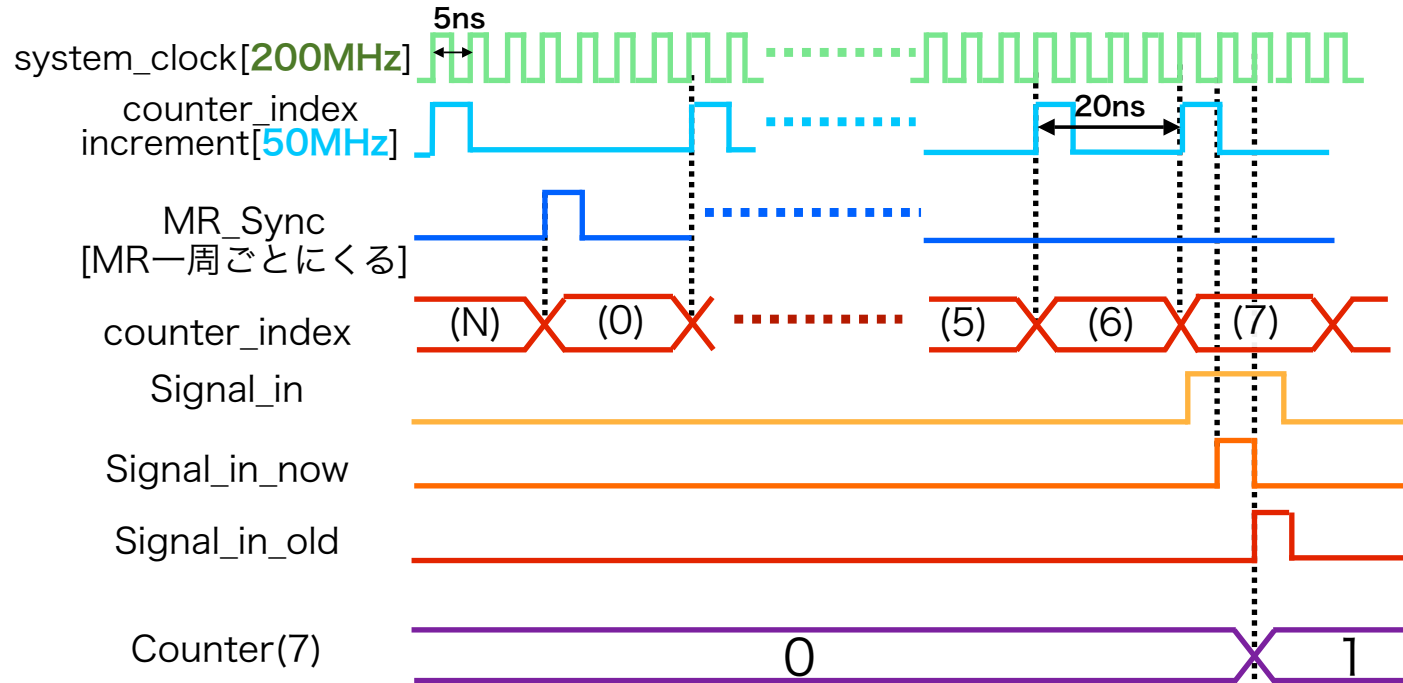
Logic diagram(現在)



- 入力信号のFanoutを7つずつ増やしていく → 合計343つ
- → 理論上一つのレジスタ当りのfan-outを7つに制限。

- ❖ 動作が改善仕切らなかったなので、スペックを変更。
 - ➡ system_clockを半分に落とした。
 - ➡ counter Resetを外部からTTLに入れるように造る
 - ➡ Inefficiency ⇒ [32bitt counter → 20bit counter]

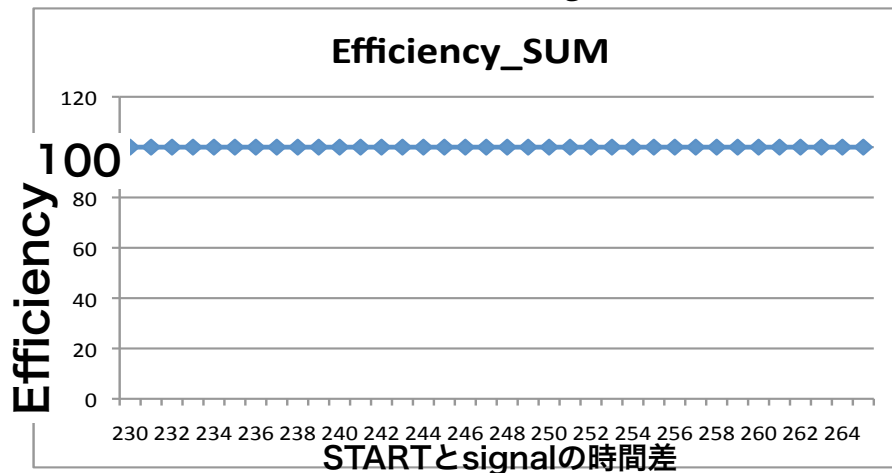
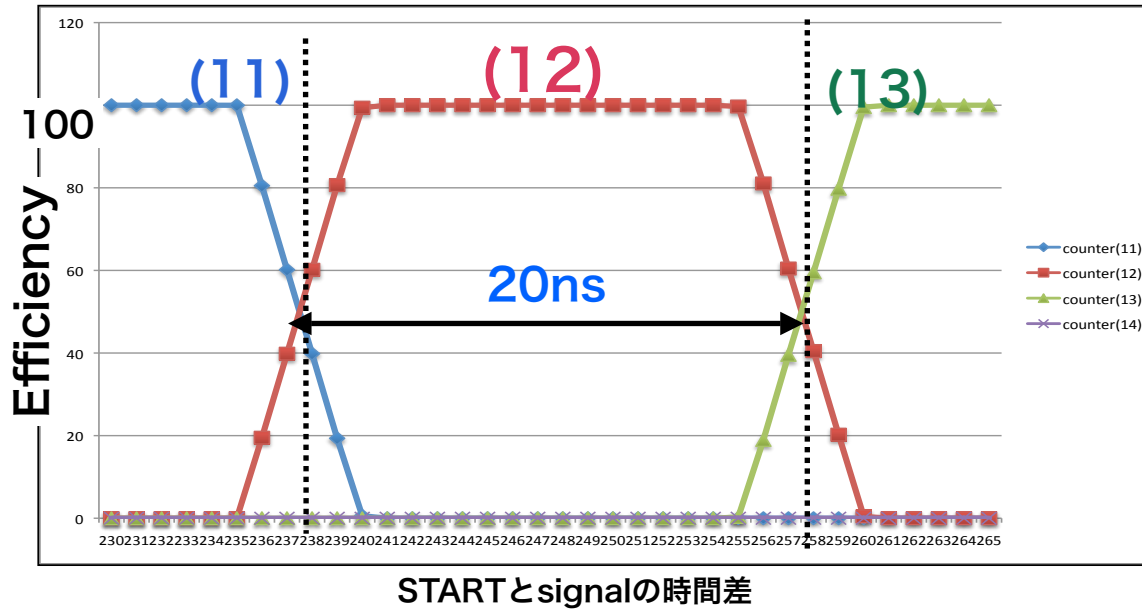
MCS[最終版]に実装した動作



- system_clockは200MHz
- 50MHzでカウンターを切り替える(20nsごと)
- MR_Syncでcounter_indexをリセットする
- 200MHzでsignal_in_now,signal_in_oldを確認してカウンターを回す

動作試験結果

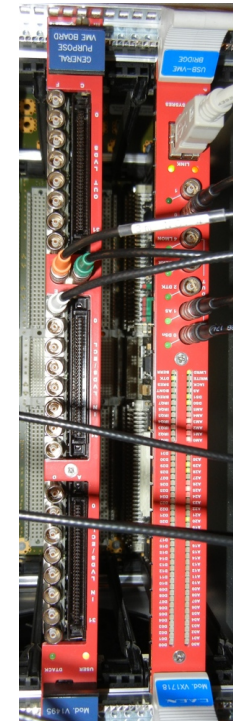
$$\text{Efficiency} = \frac{\text{Counter(N)のカウント数}}{\text{STARTの数}}$$



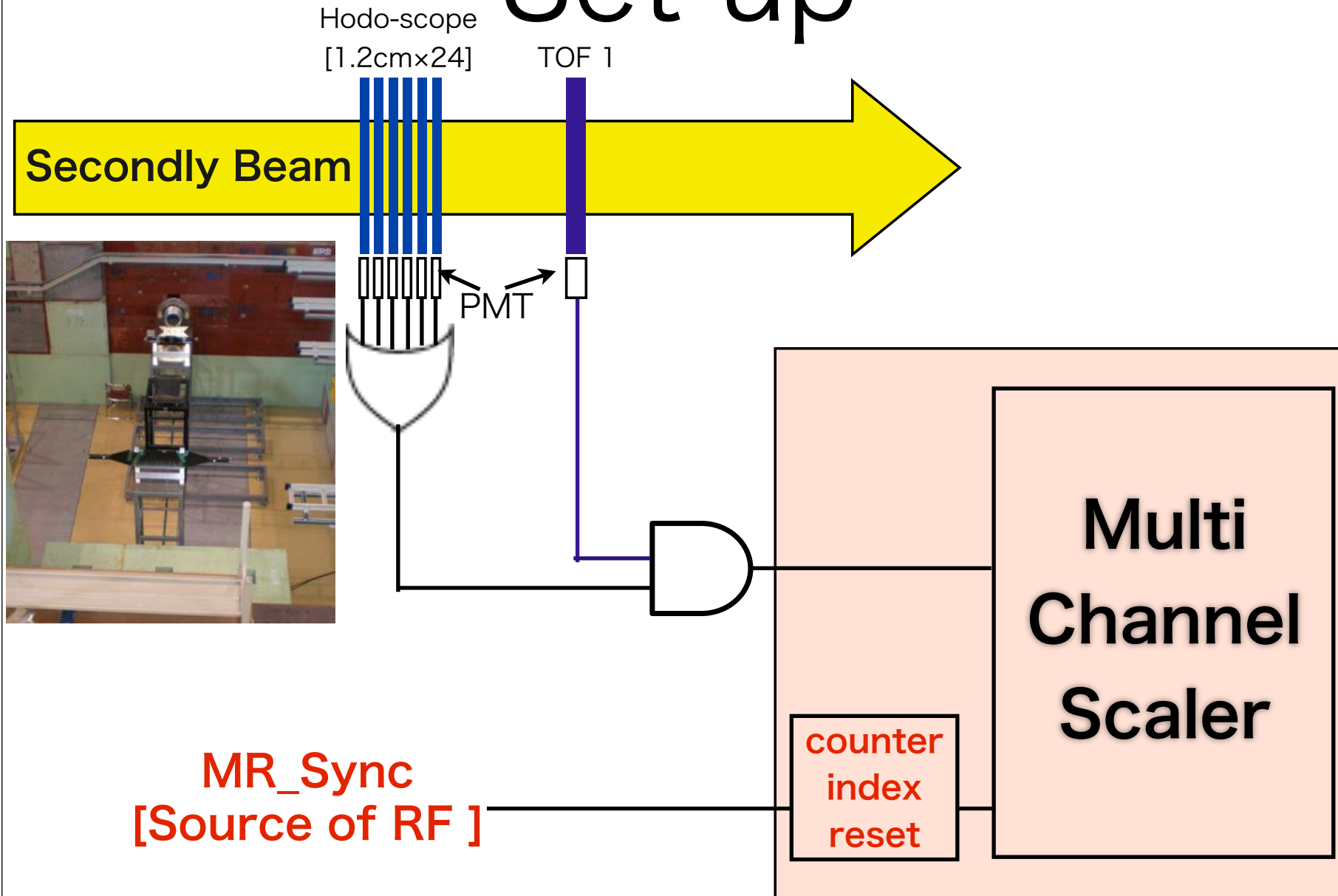
- 20ns(FWHM)ごとにカウンターが切り替わっている。
➡ Time resolution 20ns
- 5ns以内にcounterが切り替わっている。
➡ 素早い切り替え!
- Total Efficiencyは100%
➡ 取りこぼし、オーバーラップはない

今後の課題点

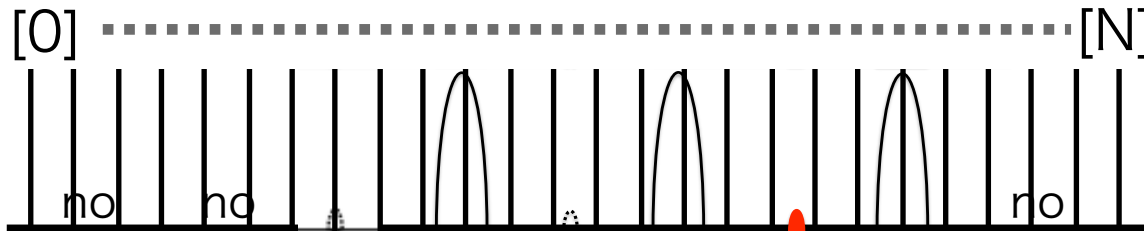
- 高統計を貯めるために
 - レート耐性を上げる必要性
 - ➔ 多チャンネル化が必要
(LEMOコネクタ分は増やしたい)
 - 多チャンネル化のために、
 - 現在使用しているLogic elementsは75%である。
- ➔ より簡略したLogicの導入が必須 orFPGA内部のメモリ(EAB)を使用したLogicに変更？



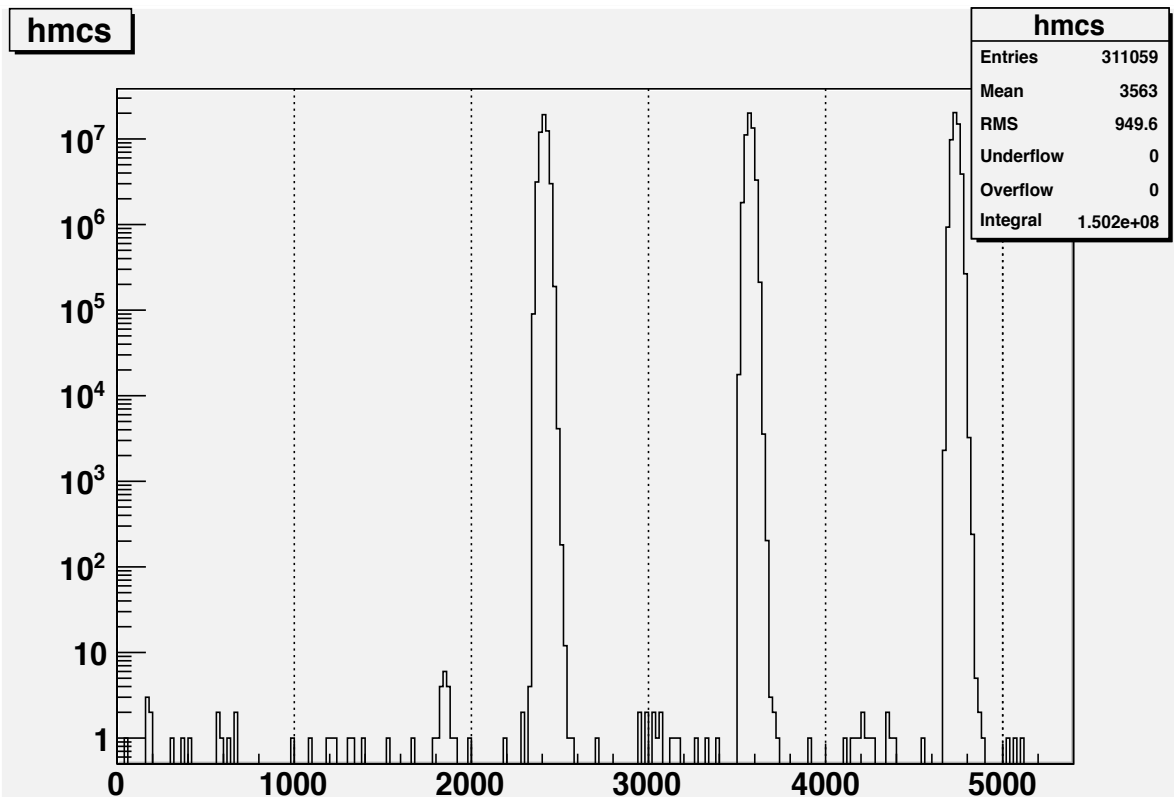
Set up



実際に使用した結果



・K1.8BRにて実際の測定に使用した。

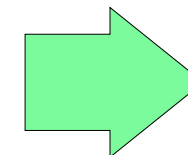


・オペレーション通りのTime Structureを確認した。

➡ Extinctionを求めることに成功した。

• Main Pulse Proton :
 1.501×10^8 particles

• Leaked Proton:
 81 particles



Extinction:
 5.4×10^{-7} 23

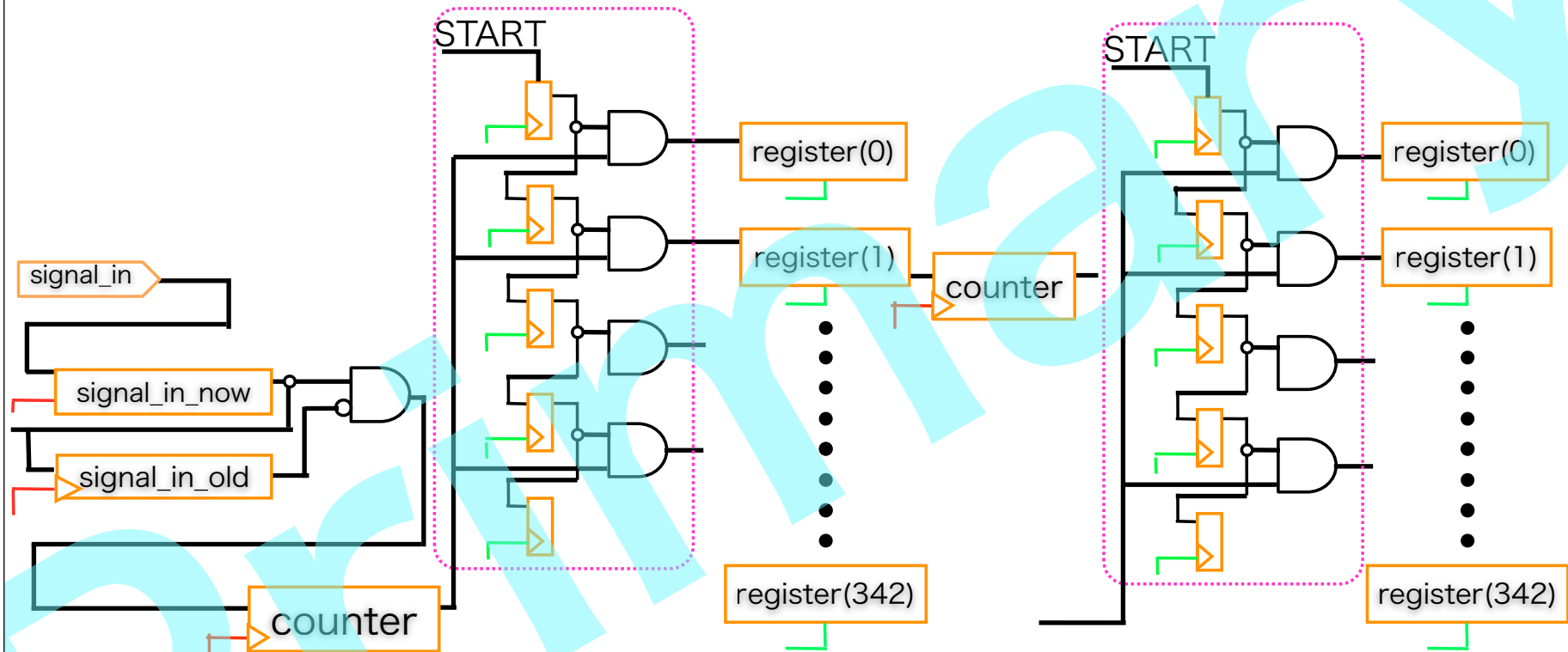
まとめと今後

- μ -e 転換現象を探索するため研究開発を行っている。
- COMETに関するExtinctionの測定のためにMultichannel Scalerを開発した。
- レジスタのFan outを適切にしてやるのが正常動作への鍵であった。
- 高速処理の必要なところにshift registerを用いbit数の多いものの使用を避けた。
- MCSは多チャンネル化の必要性に迫られているため、より省容量なロジックに改良が必要。
- **LIDERの測定やメスバウアーの測定、などMCSは様々な用途で応用できる。**

THE END *of* SLIDES

Back up Slides

MCS Logic diagram [草案]

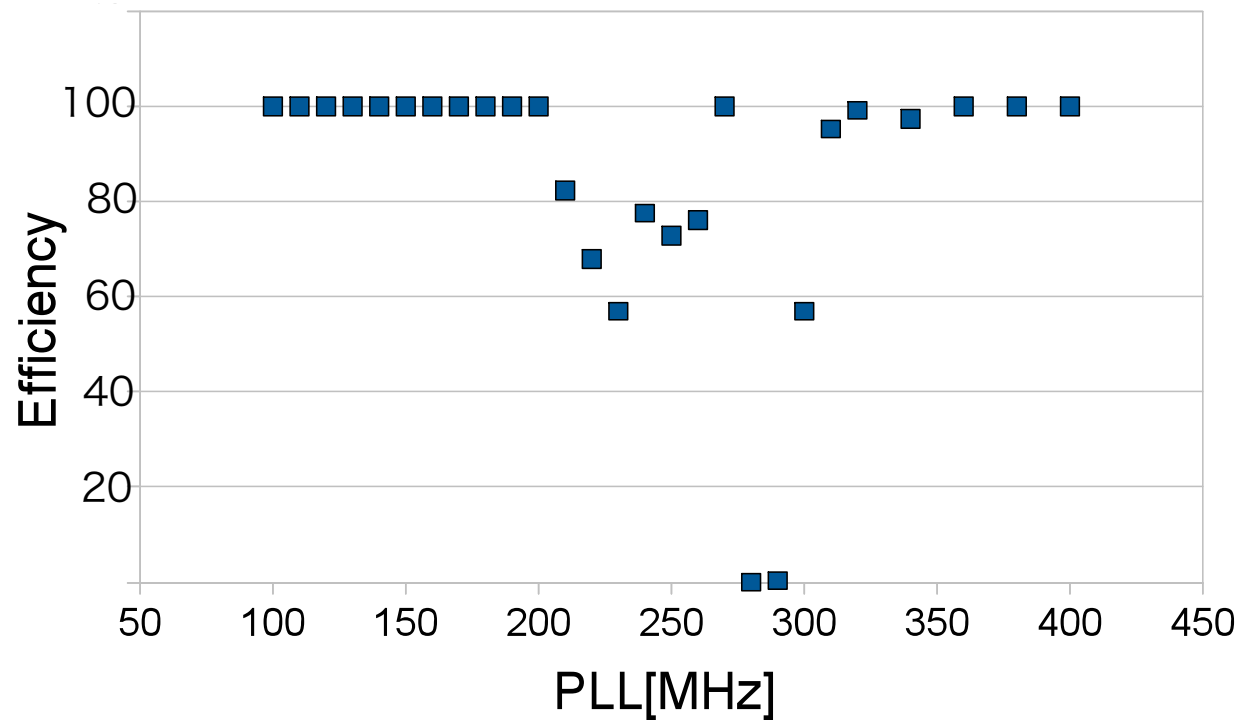


□ : Counter_index increment(50MHz)

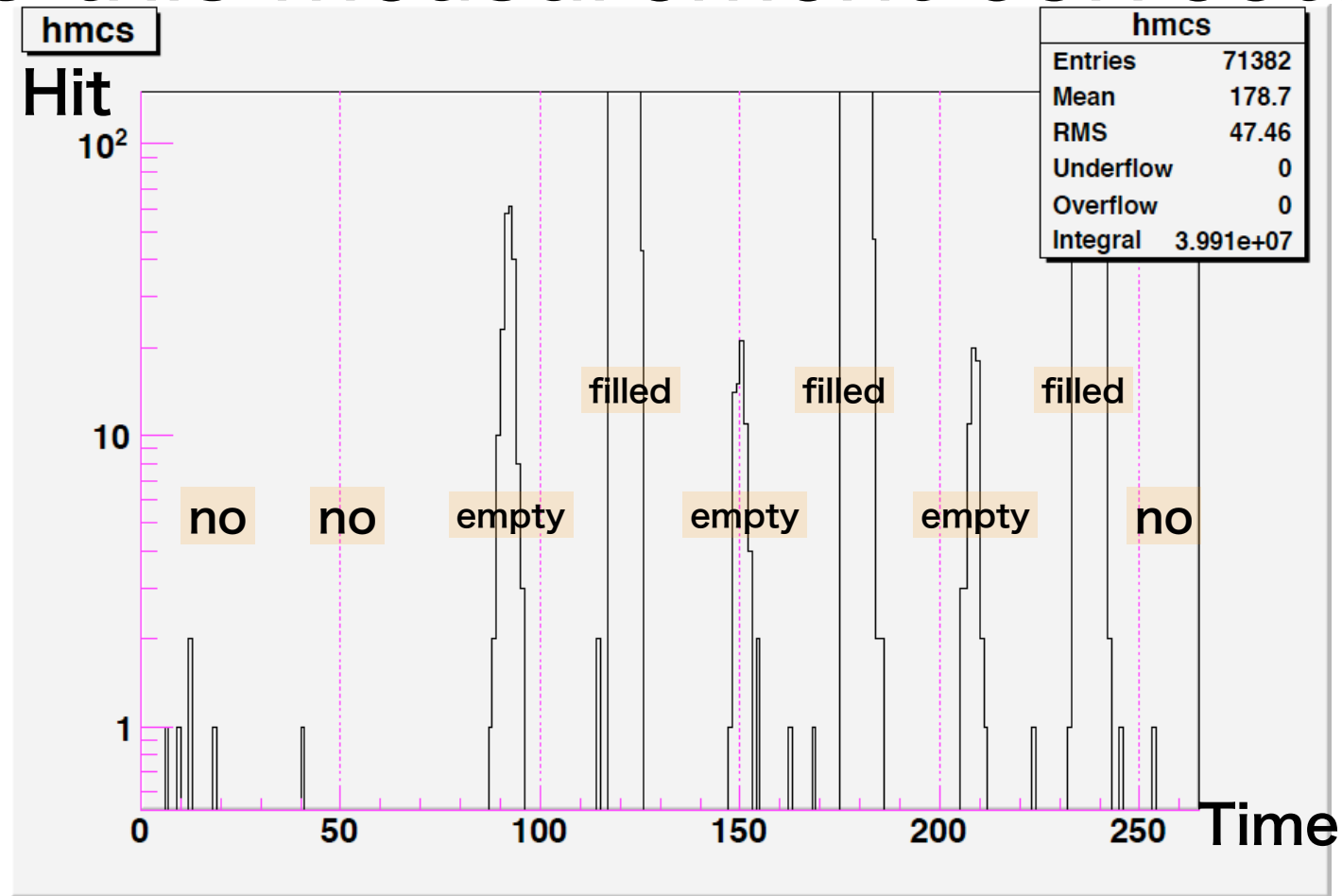
□ : system_clock(200MHz)

System clockの決定

Efficiency の合計



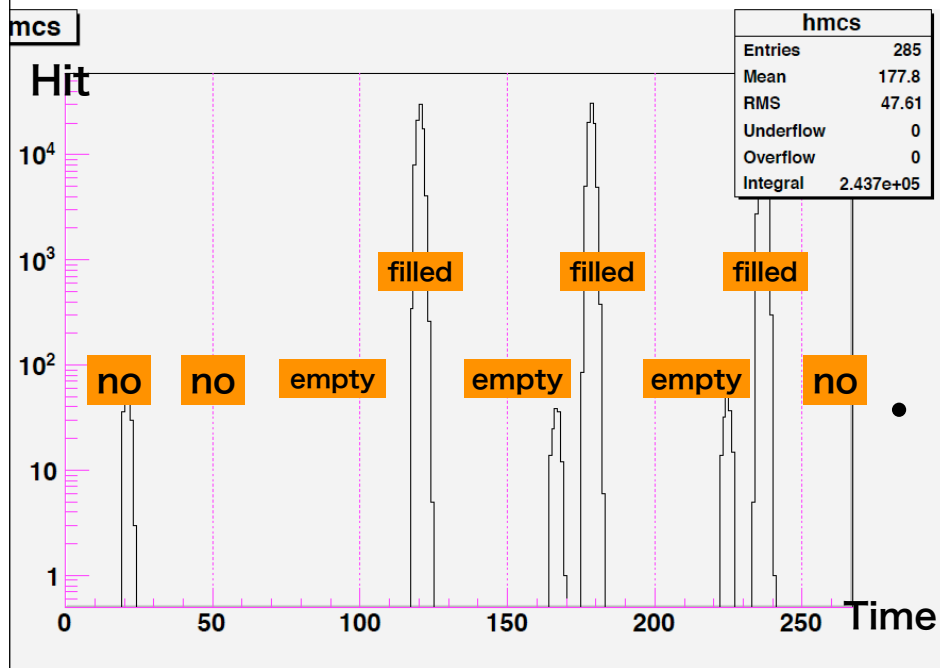
Is this measurement correct?



- Chopper phase changed to 35°. This should have leaked proton at empty buckets.

This measurement set up is correct!

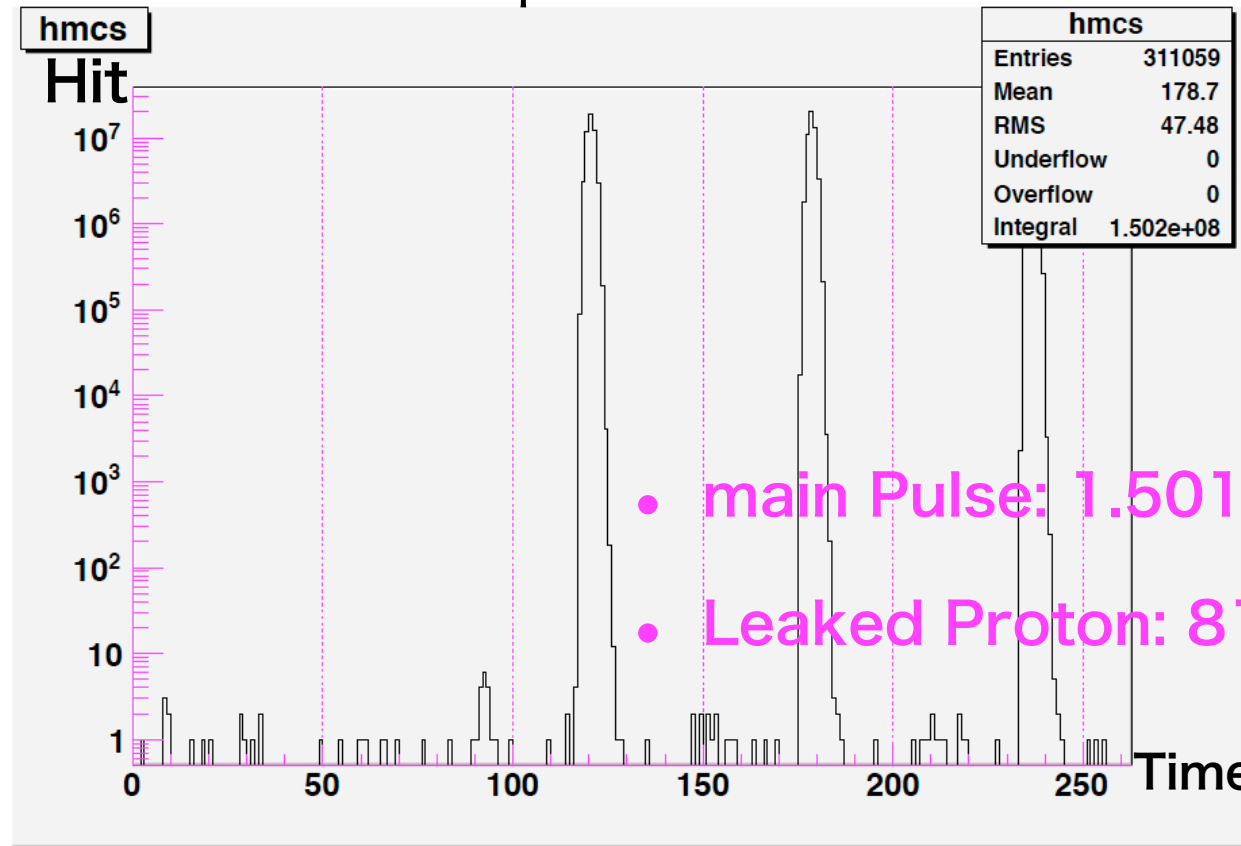
Issues



- Have after pulse when set beam high rate.
- Mainly caused by reflection Delay cable for ADC of Hodo-scope, TOF1, and TOF2.
- ➔ Remove delay cable and terminated, so after pulse almost disappeared.
- Old modules may have after pulse.
- After pulse's origin may be Kaon ?.....

Result

- Got Extinction without reflection problems by Analyzing only MCS data.
- Multi-stop TDC data is under analysis.



- main Pulse: 1.5017×10^8 samples
- Leaked Proton: 81 samples

• Extinction : 5.4×10^{-7}

Result2



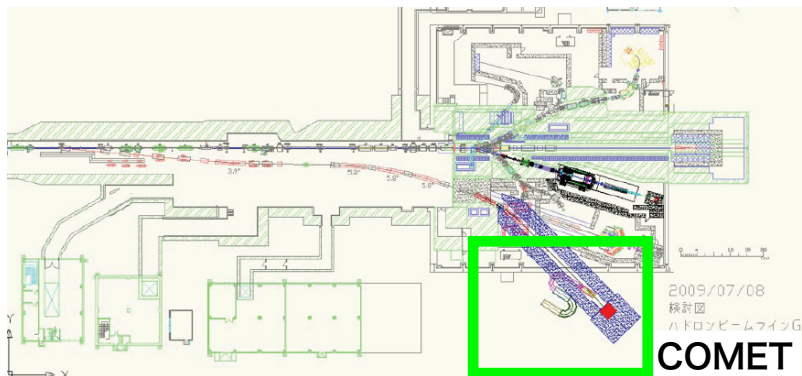
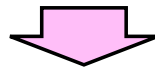
Need Up-date for the next measurement

- In order to Measure the true extinction
 - Need new counters because the counters used can't distinguish between signal and noise.
 - Make Hodo-scope $\times 2$
 - Need new modules in order to lose after pulse. (discriminator,coincidence_logic,and.....)
 - Need to set up CFD to distinguish between Kaon and pion and make TOF.
- Need high statics to confirm extinction data !

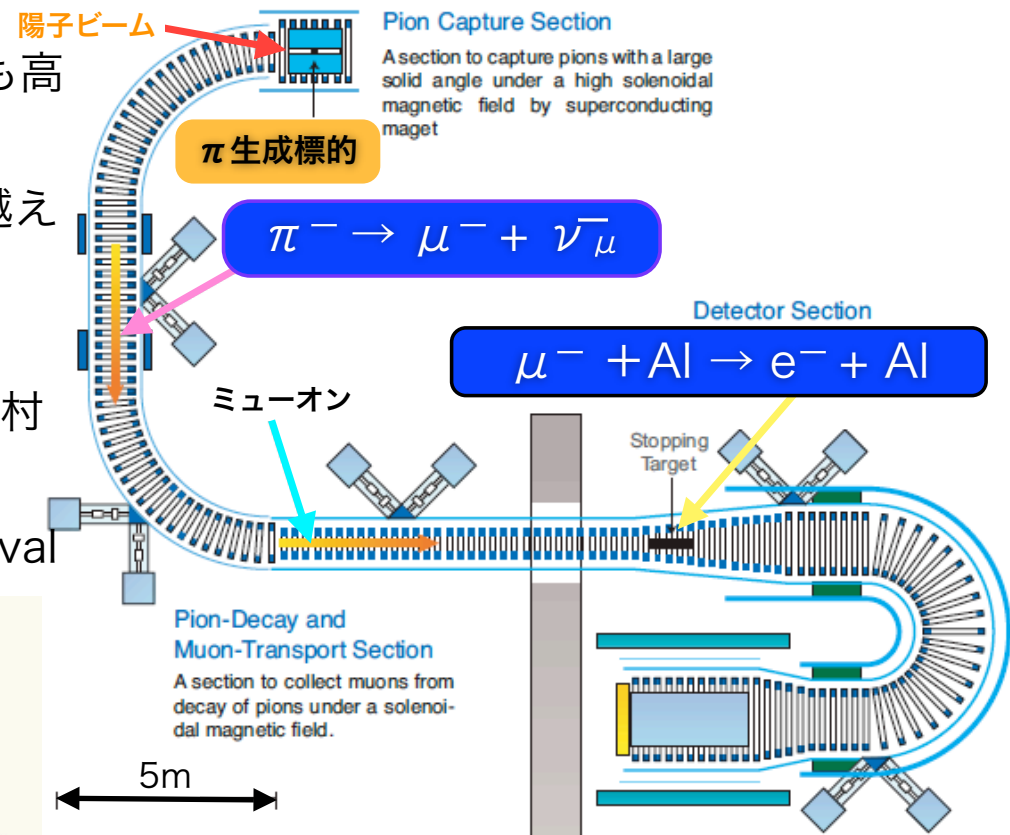
COMET

(COherent Muon to Electron Transition)

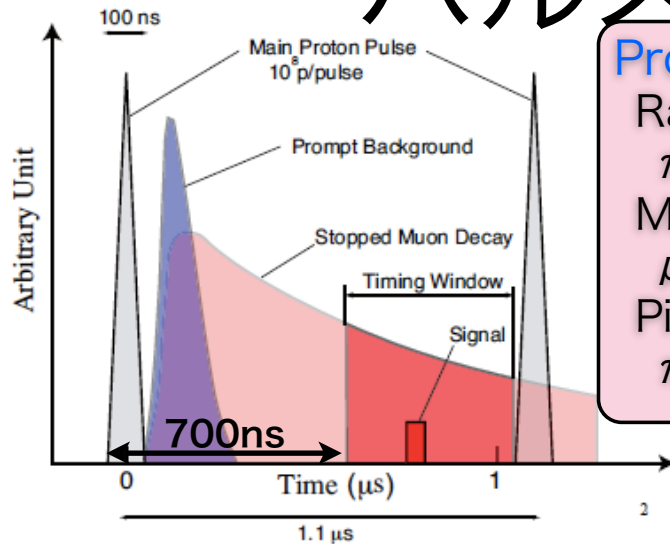
- 荷電レプトン混合現象探索
- $\mu^- \rightarrow e^-$ 転換過程を 10^{-16} よりも高い感度で測定する
- SUSY-GUTなど、標準模型を越える理論に感度を持つ
- MEG実験@PSIと相補的な関係
- J-PARC ハドロンホール@東海村
- J-PARC PAC: Stage-1 approval



COMETのLayout@Hadron Hall

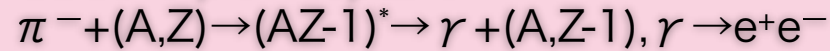


COMET実験での パルス陽子ビーム

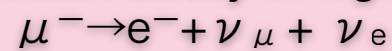


Prompt Backgroundの例(ビームに同期)

Radiative pion capture



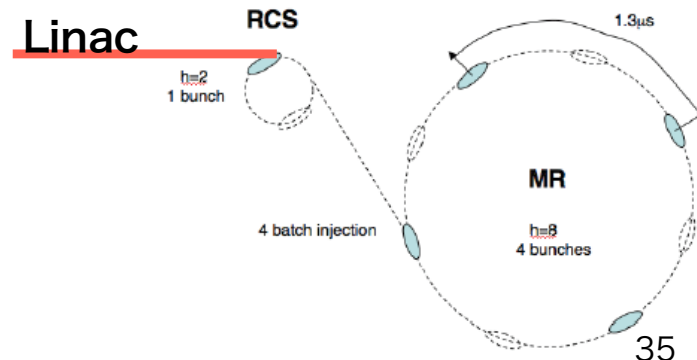
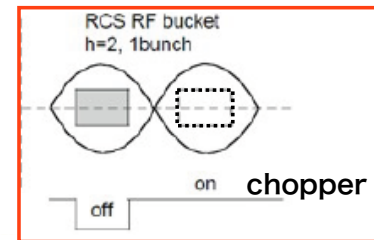
Muon decay in flight



Pion decay in flight



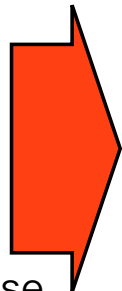
- Prompt Backgroundとして e^- が生じる
- μ -e 転換は遅延事象($\tau = 880 \text{ ns}$)
- →パルス化→陽子の入射から700 ns以降に測定
 - 一次陽子ビーム：パルス陽子ビーム (Rate= $\sim 1 \text{ MHz}$, 8 GeV, 60 kW)
 - Linac : Chopperでパルス化
 - RCS : $h=2$, 1 Filled-Bunch
 - MR : $h=8$, 4 Filled-Bunches
 - バンチしたまま遅い取りだしを行う



使用したモジュールについて

市販のMCS(一例)

- Ortec社 Model 9353 100ps Time Digitizer/MCS (PCI_board)
 - Multistop TDCとMultichannel Scalerのどちらかのモードを選択できる
 - 180ps Time resolution
 - 入力は2チャンネルのみ
 - Windowsで動作
 - 価格は約240万円



今回使用したもの

- CAEN社 VME V1495 General Purpose VME Board
 - AlteraのFPGA(cyclone)を搭載する
 - ➔ 自由に設定を変えられる
 - 405MHzの周波数で動作可能
 - 入力信号のチャンネル数が十分
 - Linux,Windowsで動作
 - 価格は約50万円



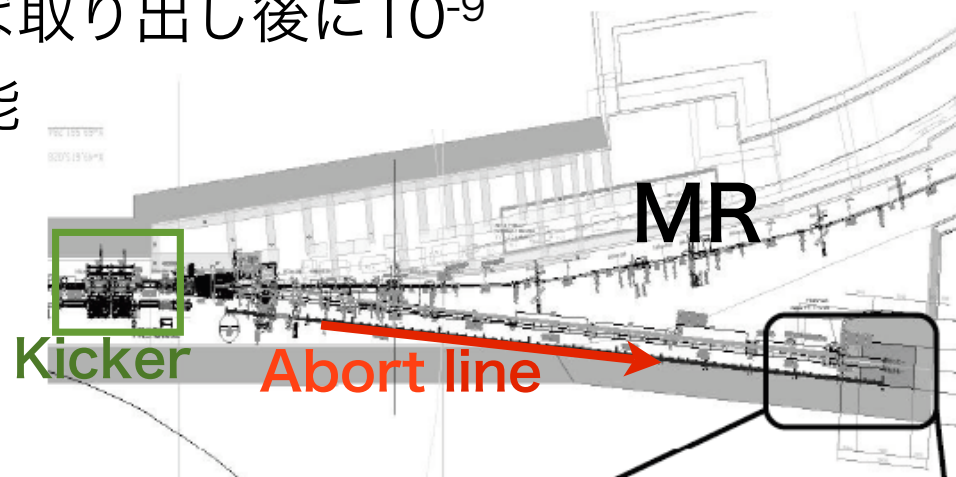
選定理由

- 入力チャンネルが十分にある
 - ➔ counterのセグメント化
- FPGAにより汎用性が非常に高い
- 今回の測定において10nsのTime resolutionで十分
- 他に比べ価格が安価である

- 別に用意したMultistop TDCについて
 - Aqiris社 TC890
 - 6チャンネル
 - 50psのタイミング分解能
 - 400万イベント保存可能
 - 最高100MB/sの高速DMAモード

J-PARCでのExtinction測定

- これまでの測定
 - MRのAbort lineから速い取り出しによる測定 $\sim 2 \times 10^{-5}$
 - MLF(from RCS)での測定 $\sim 1.13 \times 10^{-7}$
 - 10^{-7} であれば取り出し後に 10^{-9} まで改善可能
-
- MRのBunched slow Extractionによる測定
 - ビームタイムは10月下旬を予定!



実験のロジック

