

MPPPC読み出しのための 汎用モジュールの開発

大阪大学 石島 直樹

大阪大学

東北大学

岡山大学

KEK

花垣 和則

本多 良太郎

吉村 浩司

中村 勇

田中 真伸

東野 聡

三輪 浩司

内田 智久

五十嵐 洋一

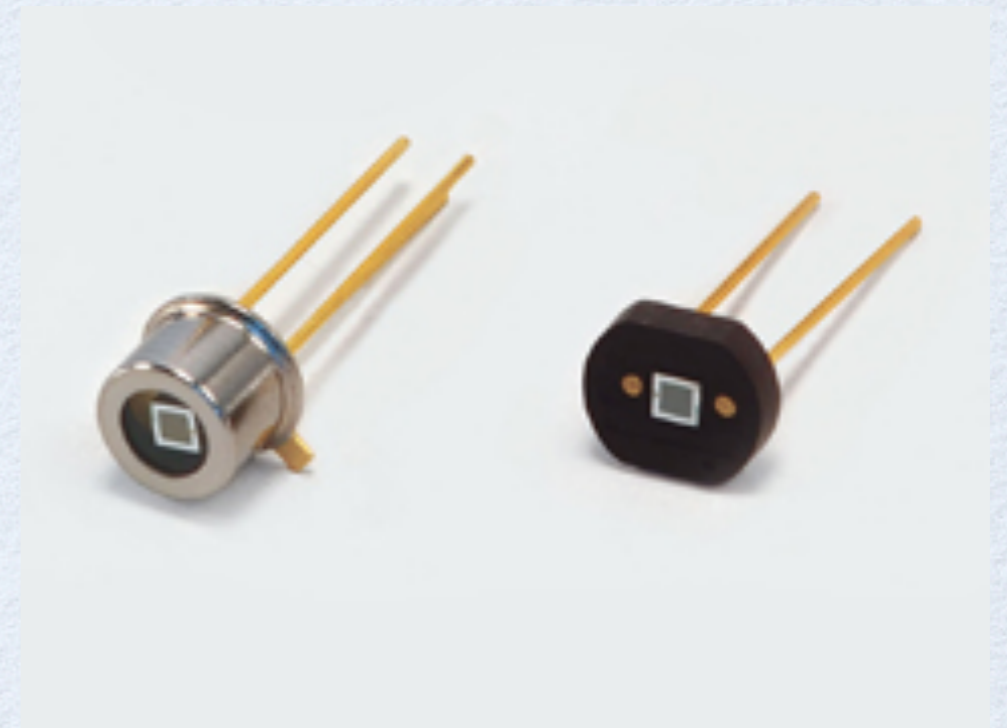
池野 正弘

計測システム研究会 2013



MPPC(Multi Pixel Photon Counter)

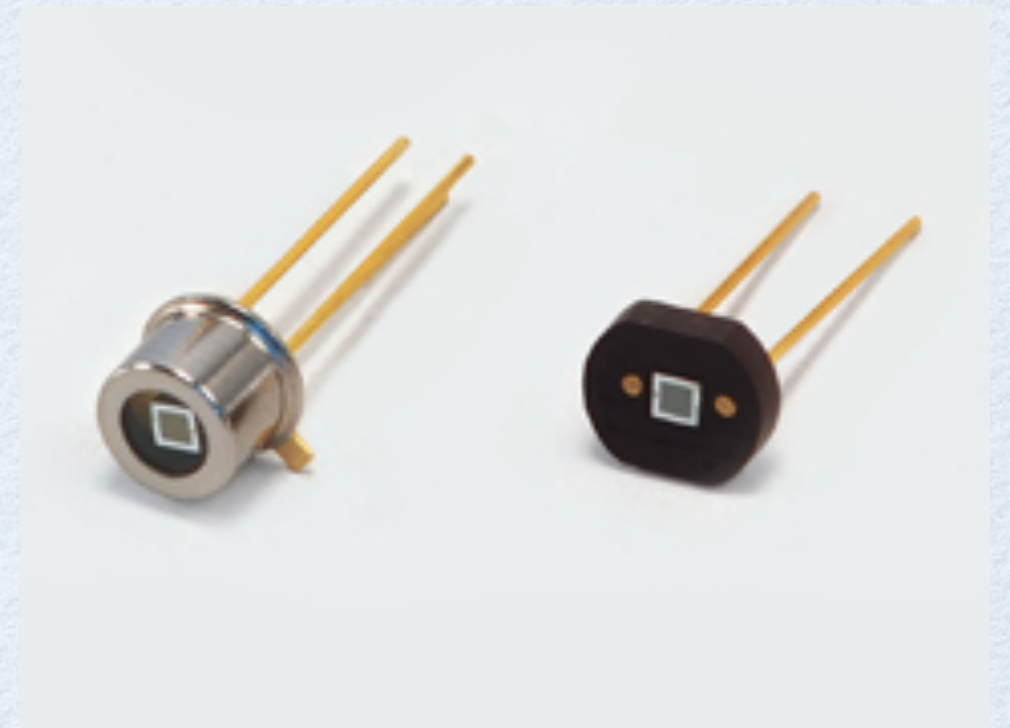
- 小型 (数 mm^2)
- 優れたフォトンカウンティング能力
- 低バイアス電圧($\sim 70\text{V}$)で作動する
- 磁場中で使える



MPPPCの読み出し

Set up が大変

- 多チャンネルが要求される
- AMPがMPPPC個々に必要
- Bias VoltageがSensitive



MPPCの読み出し

Set up が大変

汎用回路

簡単に使える
MPPC用回路があると良い

ちょっとした事に
使いたい

- トリガーシンチレーター
- ファイバートラッカー
- **ビームプロファイルモニタ**
- etc

自分の研究室の目的はこれ

Open-it

という訳で

MPPC読み出しモジュールを作りたいがノウハウがない



KEK Open-it への参加

KEK測定器開発室

(中村さん、吉村さん)

東北大学

(三輪さん、本多さん)



KEKエレクトロニクスG

(内田さん、池野さん
五十嵐さん、田中さん)

EASIROC ASICを用いた多チャンネル

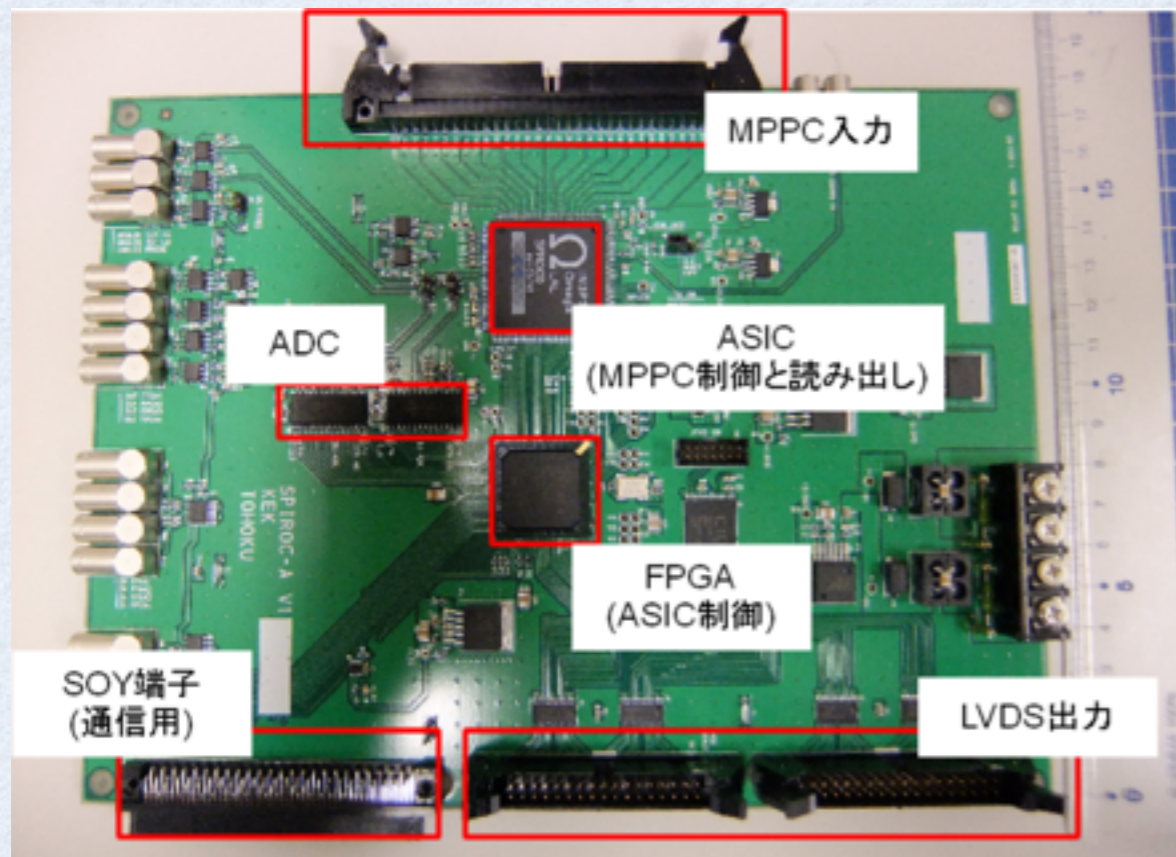
MPPC読み出し試作ボード開発のノウハウ

回路設計、FPGA、DAQsystem

などのノウハウ

EASIROC MODULEの開発

既存のテスト回路を改良し、
モジュールとして完成させる



EASIROC board (東北大学、KEK)

必要な仕事

- 仕様の決定

2012.11

- 部品の選定とテスト

- 回路図作成

- 基板設計 (業者委託)

now

- 動作確認、性能評価

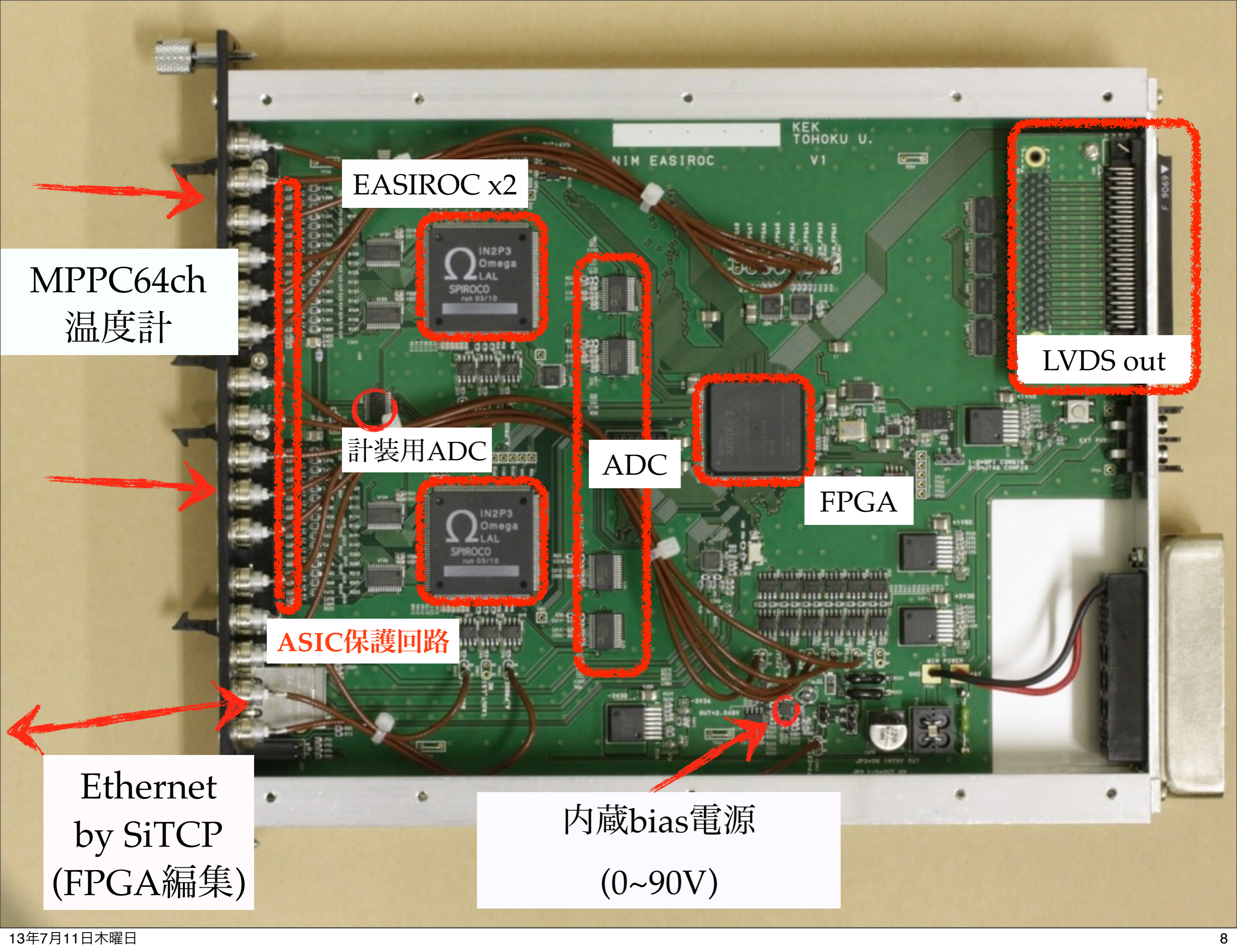
- DAQ構築

試作品



MODULEの主な仕様 (テスト回路からの変更点)

- 64ch MPPC の同時駆動 (32ch→64ch)
- 各chのbias、gain調整
- ADCデータの取得 (Signal, 各種モニタ)
(new)
- signalの時間データの取得 (LVDS or FPGA)
- MPPC用bias電源の内蔵 (~80V)
(new)
- EthernetによるPC制御
- Digital I/O による他機器との同期



EASIROC x2

MPPC64ch
温度計

LVDS out

計装用ADC

ADC

FPGA

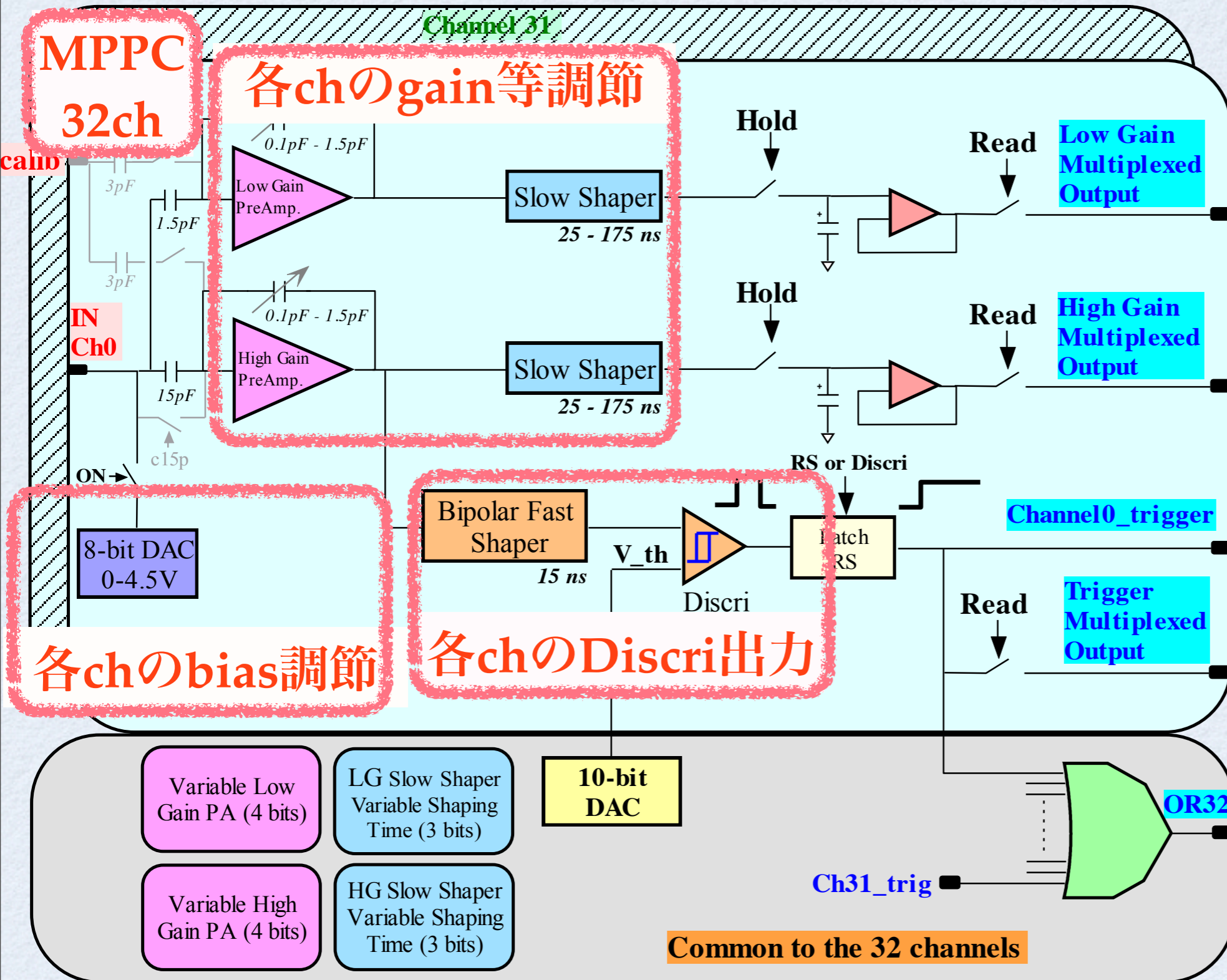
ASIC保護回路

Ethernet
by SiTCP
(FPGA編集)

内蔵bias電源
(0~90V)

EASIROC

(Extended Analogue SiPM Integrated Read Out Chip)

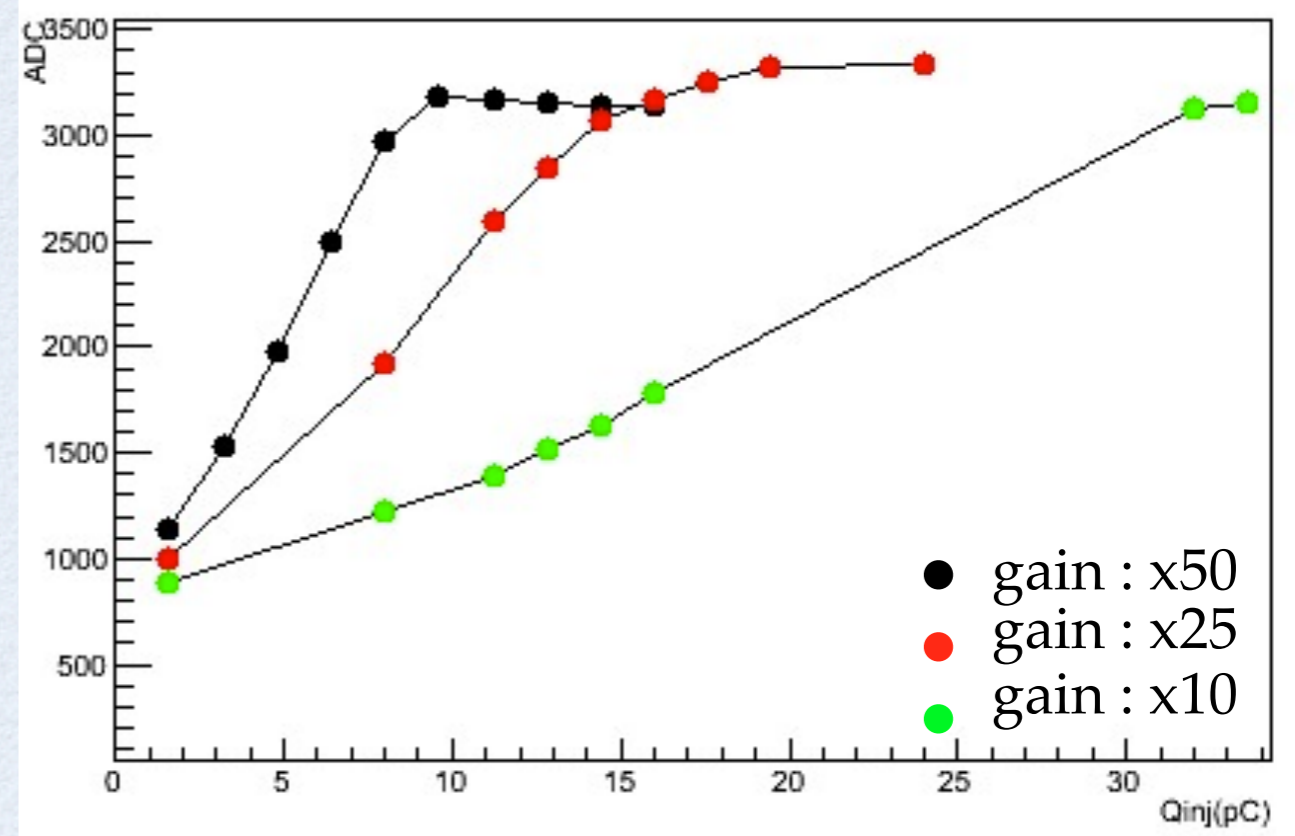
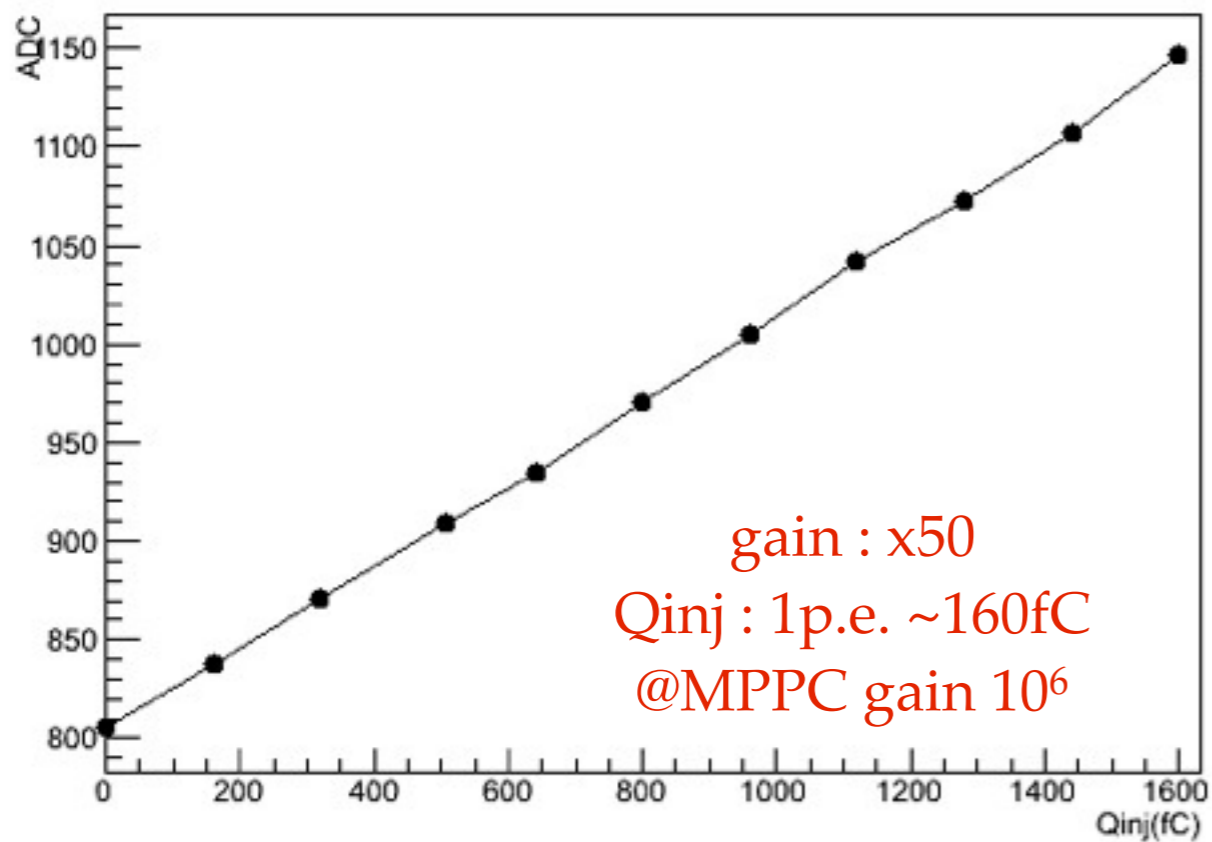
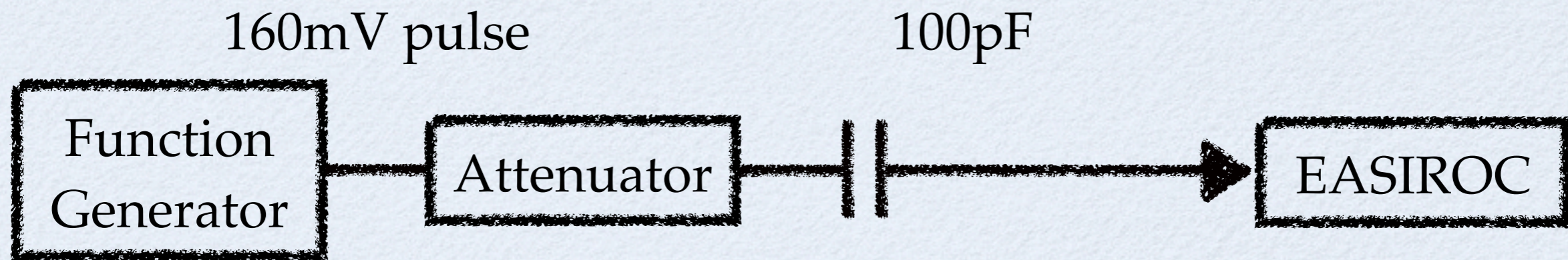


- PreAMP
x1 ~ x150
- 許容電荷
160 fC ~ 320 pC
@MPPC gain ~ 10^6
- Signal Shaping Tim
25ns ~ 175ns
- signal/noise ~ 10
@MPPC gain ~ 10^6

性能評価

全ての機能が動作するか
SPEC通りの性能がでるか
(Signal1に対する新規部品の影響)

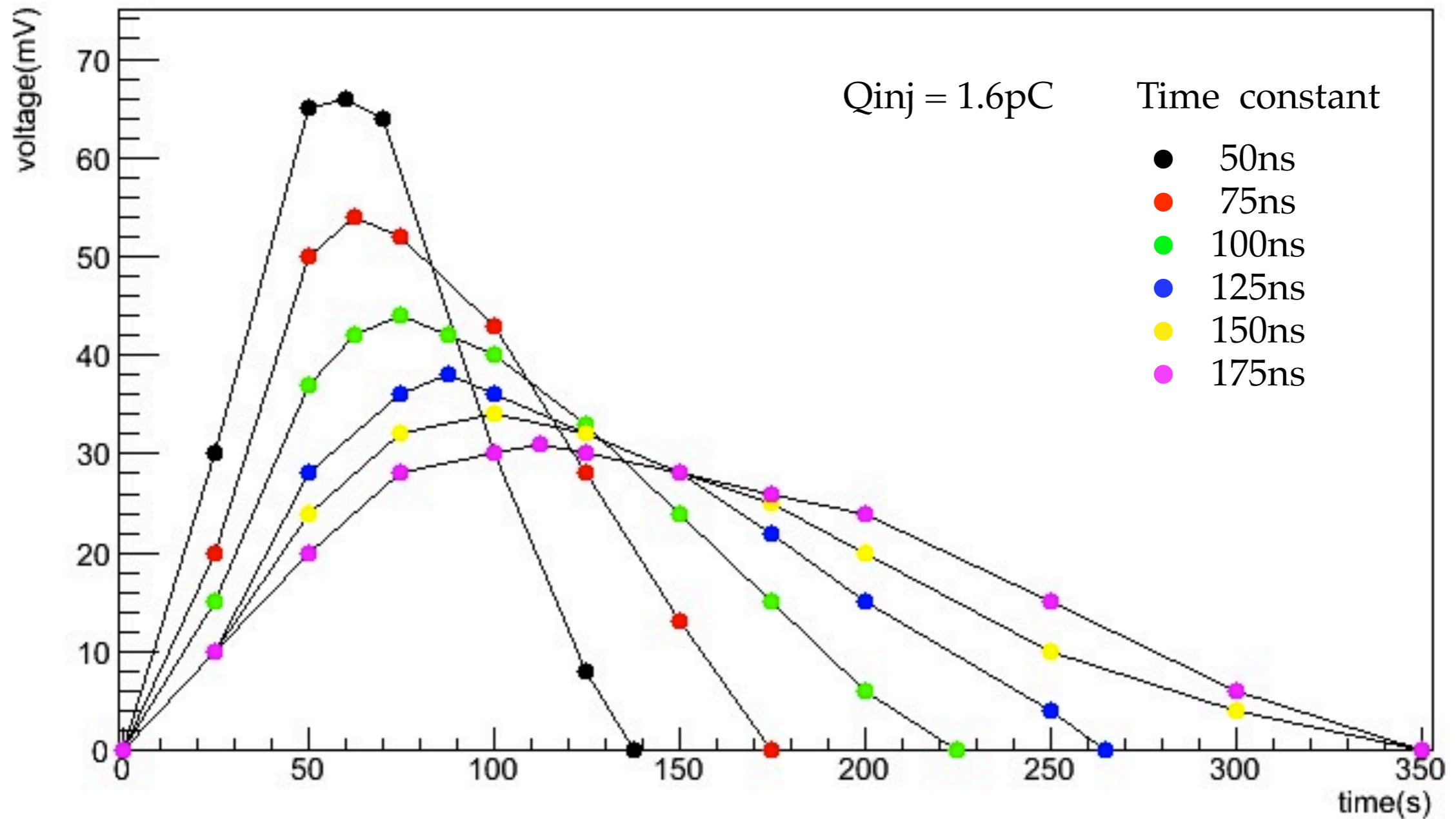
Analog linearity



入射電荷とADCcountの線形性

$Q_{inj} \times \text{gain}$ (許容電荷) < 320pC(2000p.e.)

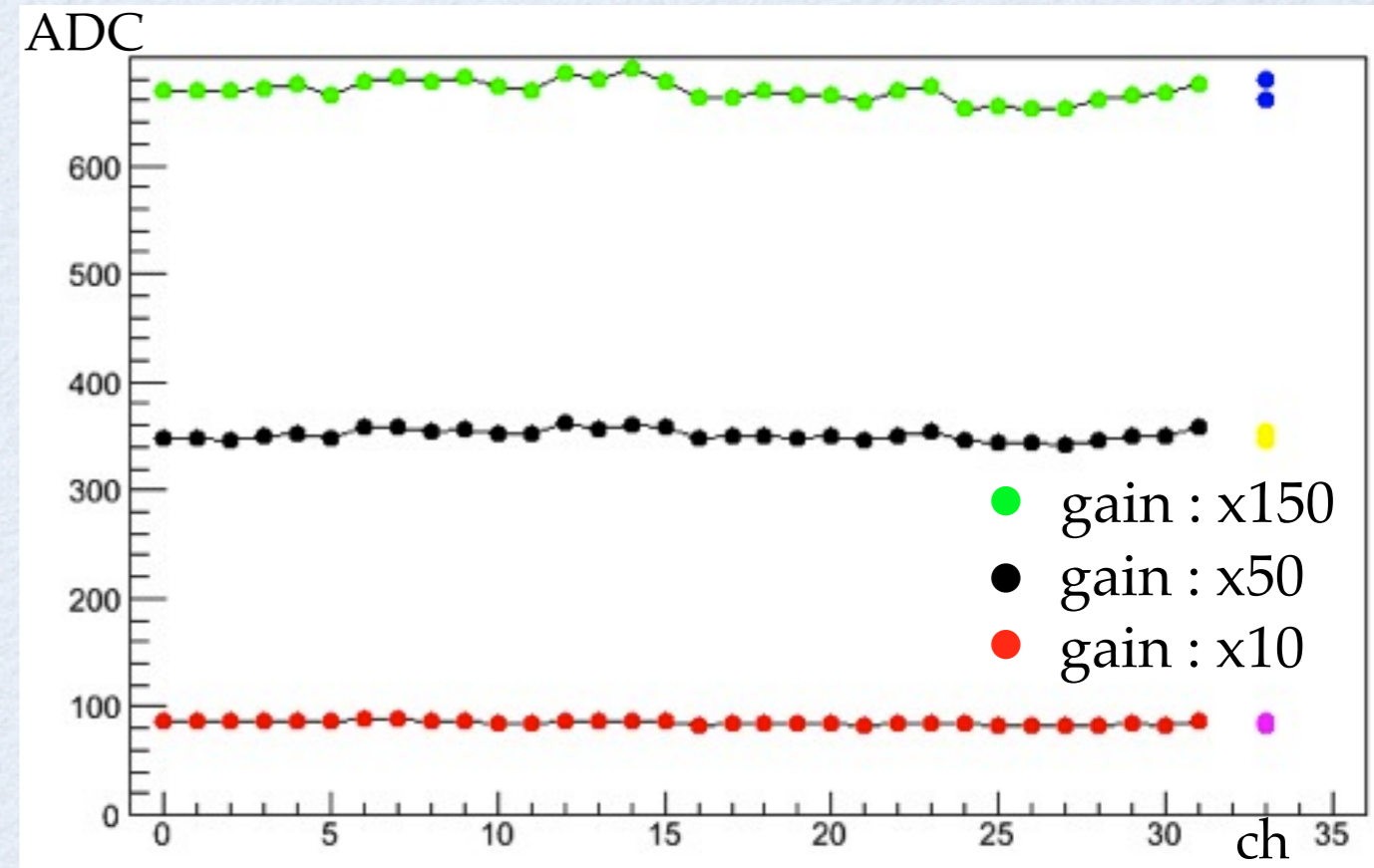
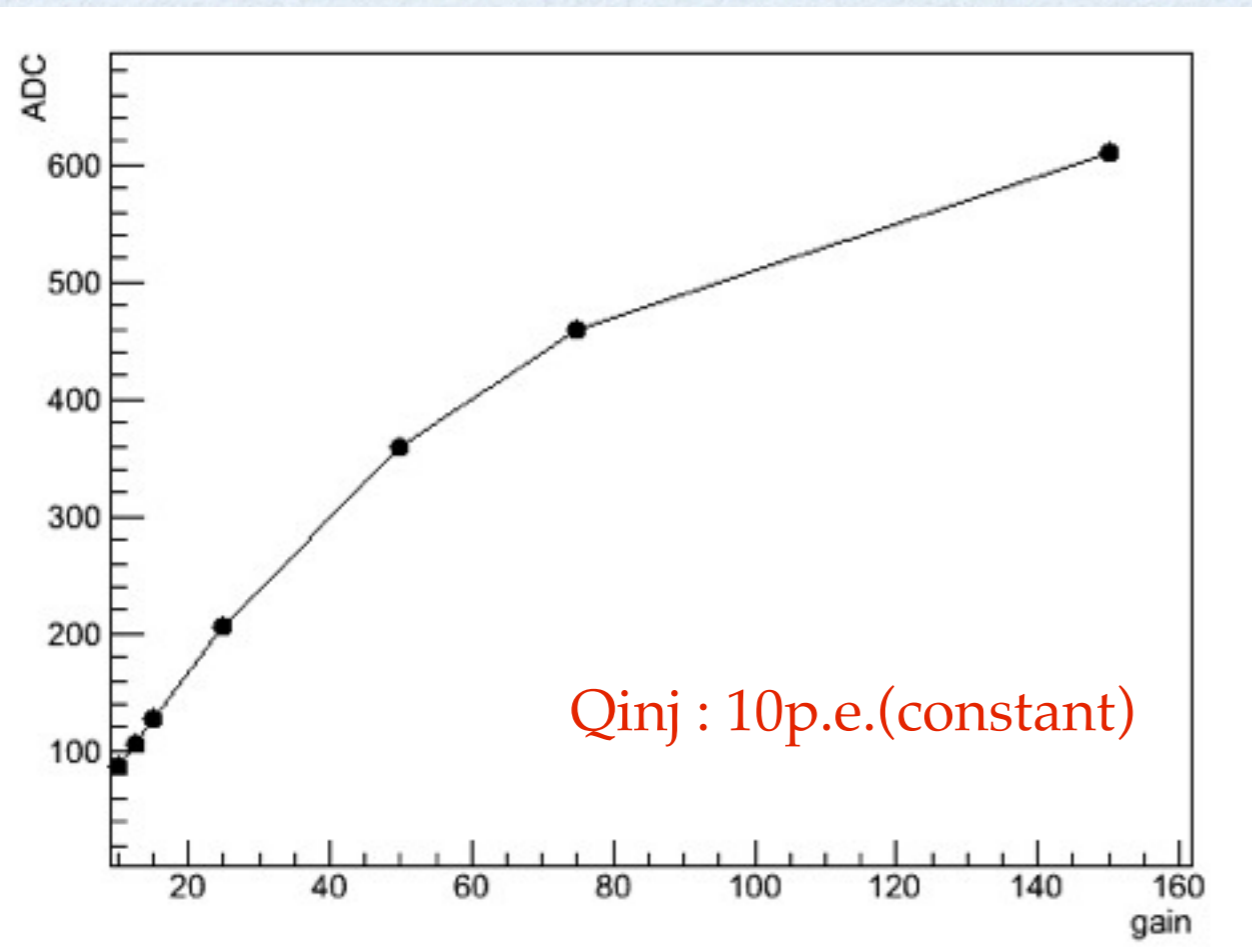
Slow Shaper



Prove Signal(in front of ADC) by oscilloscope

動作確認

Pre AMP gain

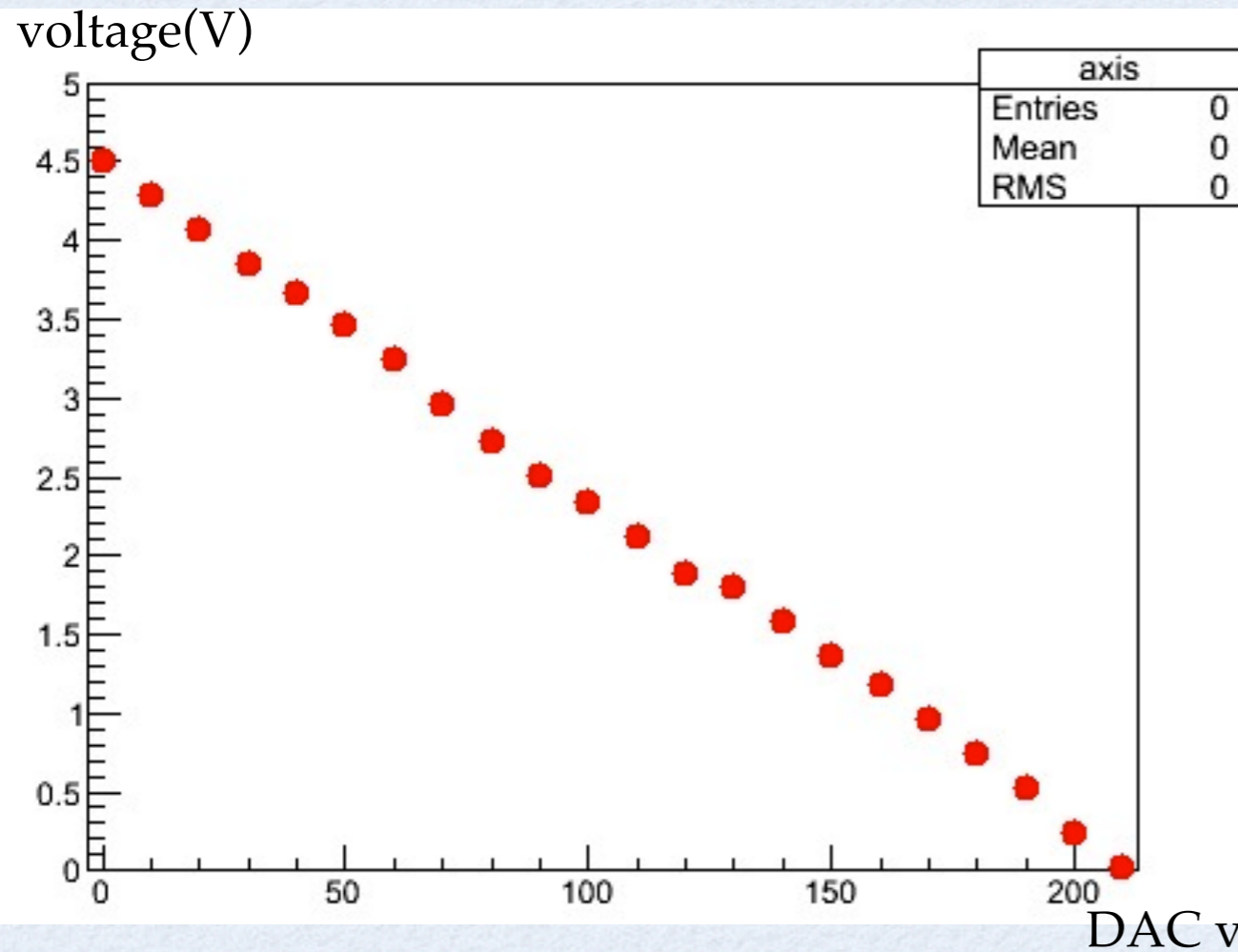


Pre AMP gain の設定(feedback capacitor)
を変えたときのADC値の変化

32ch間のgainのばらつき
gain/RMS noise ~ 100
dispersion ~ gainの2%(x150)

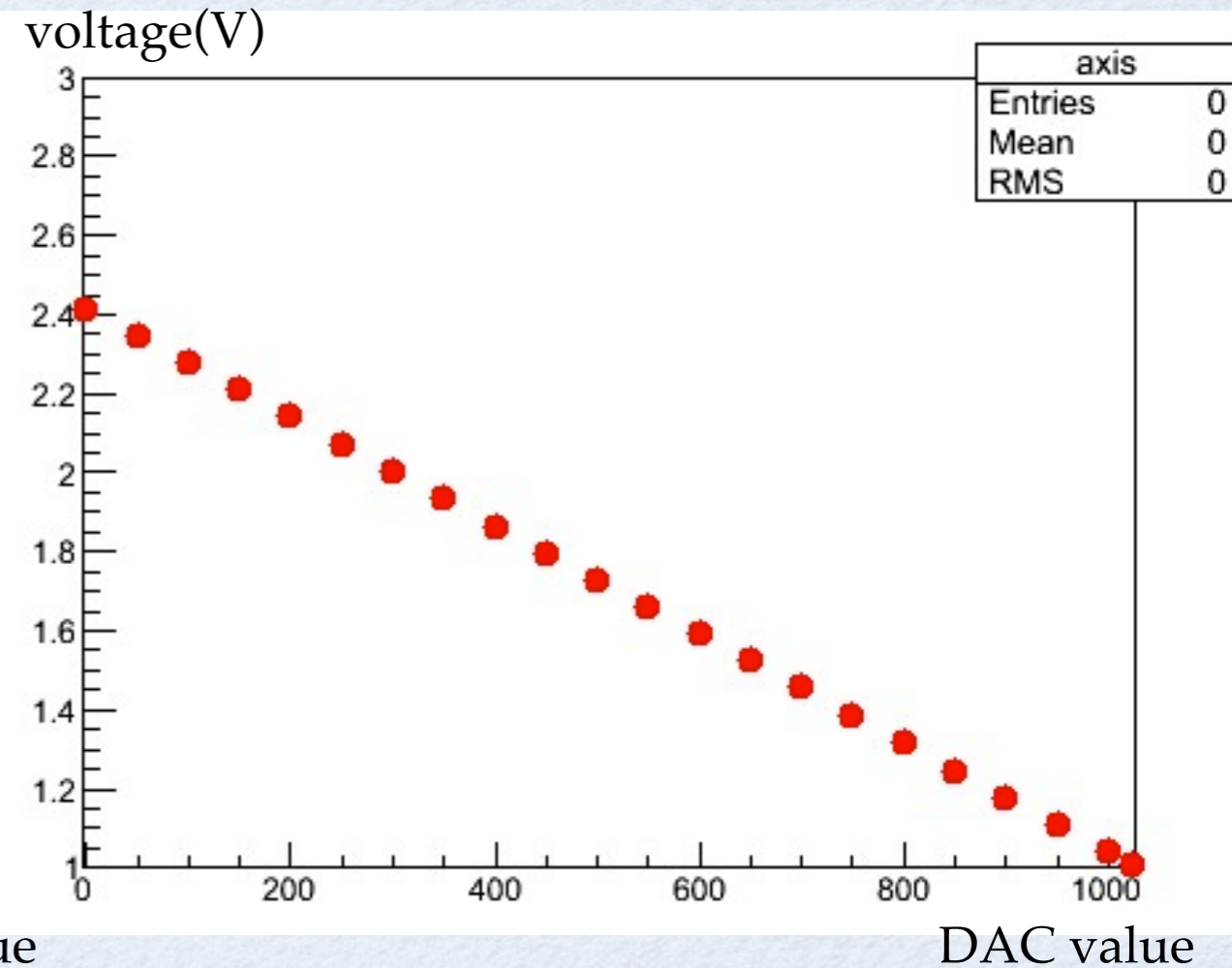
公称値ほどのgainは出ていないが、ch間のばらつきは十分すくない
(さらに、biasの調節で補正できる)

DAC linearity



MPPC bias 調整用 DAC(8bit)

→ LSB : 21.0 ± 0.02 mV

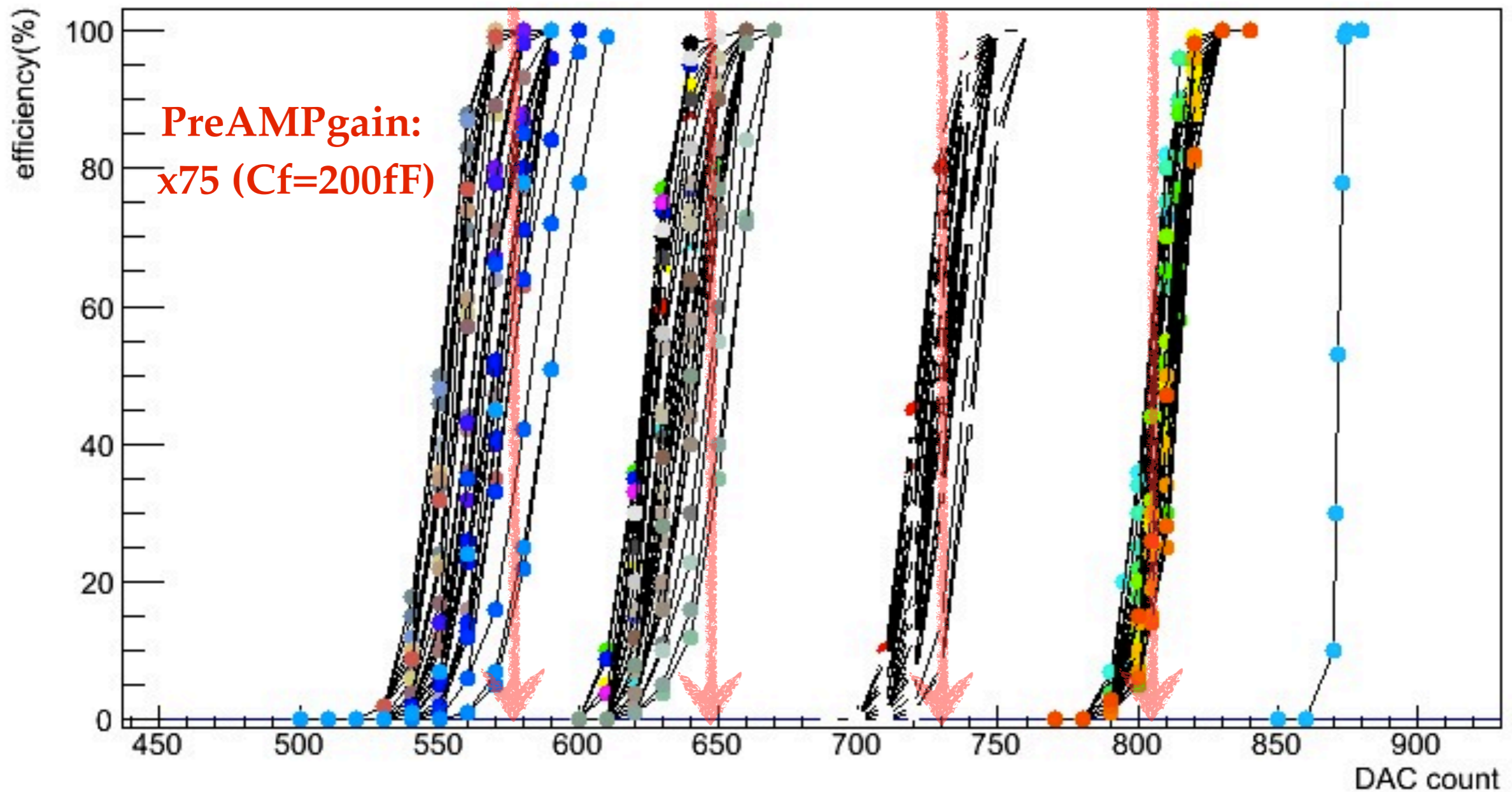


Discr output Threshold
調整用DAC(10bit)

→ LSB : 1.364 ± 0.001 mV

THDAC efficiency

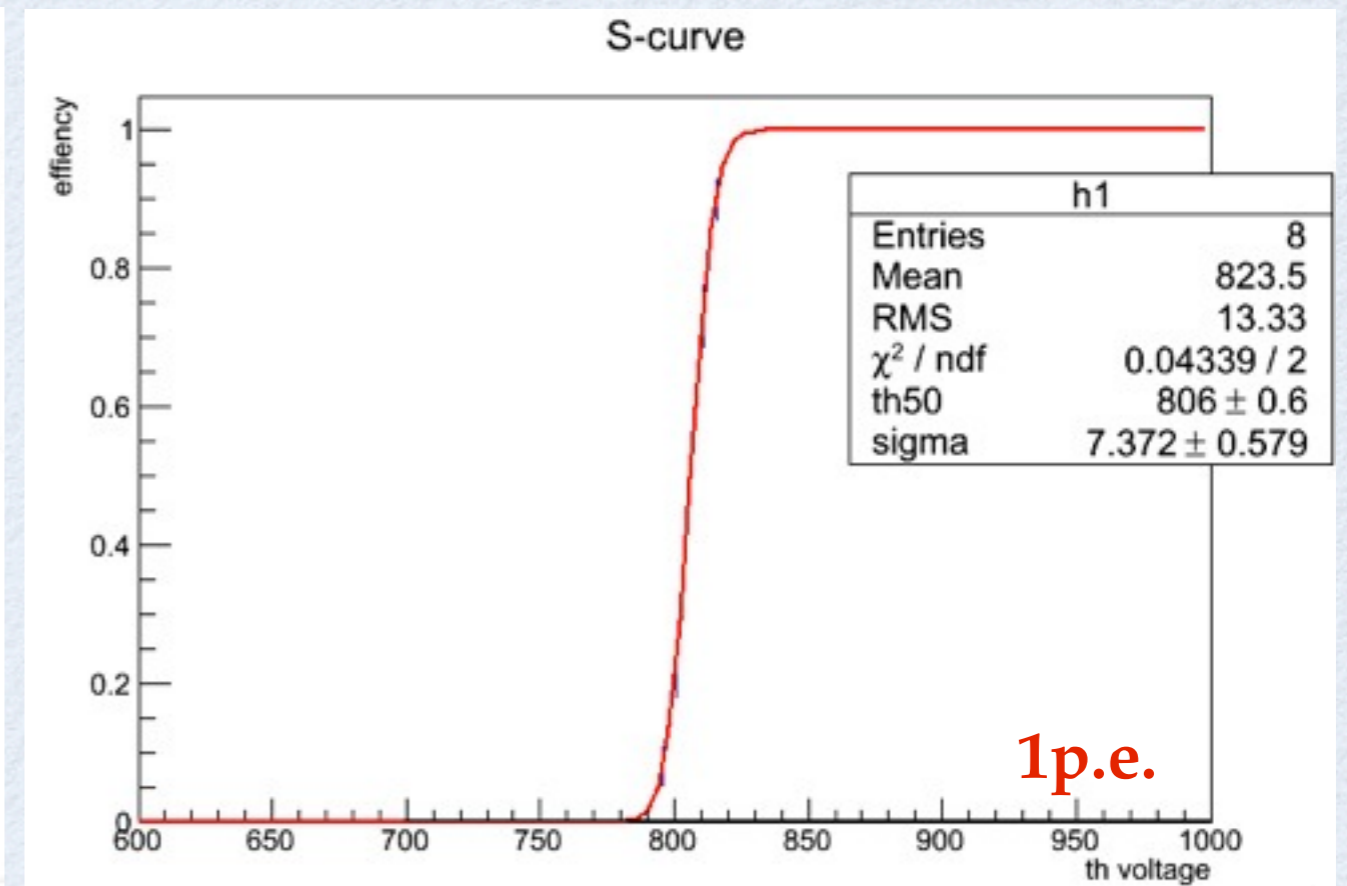
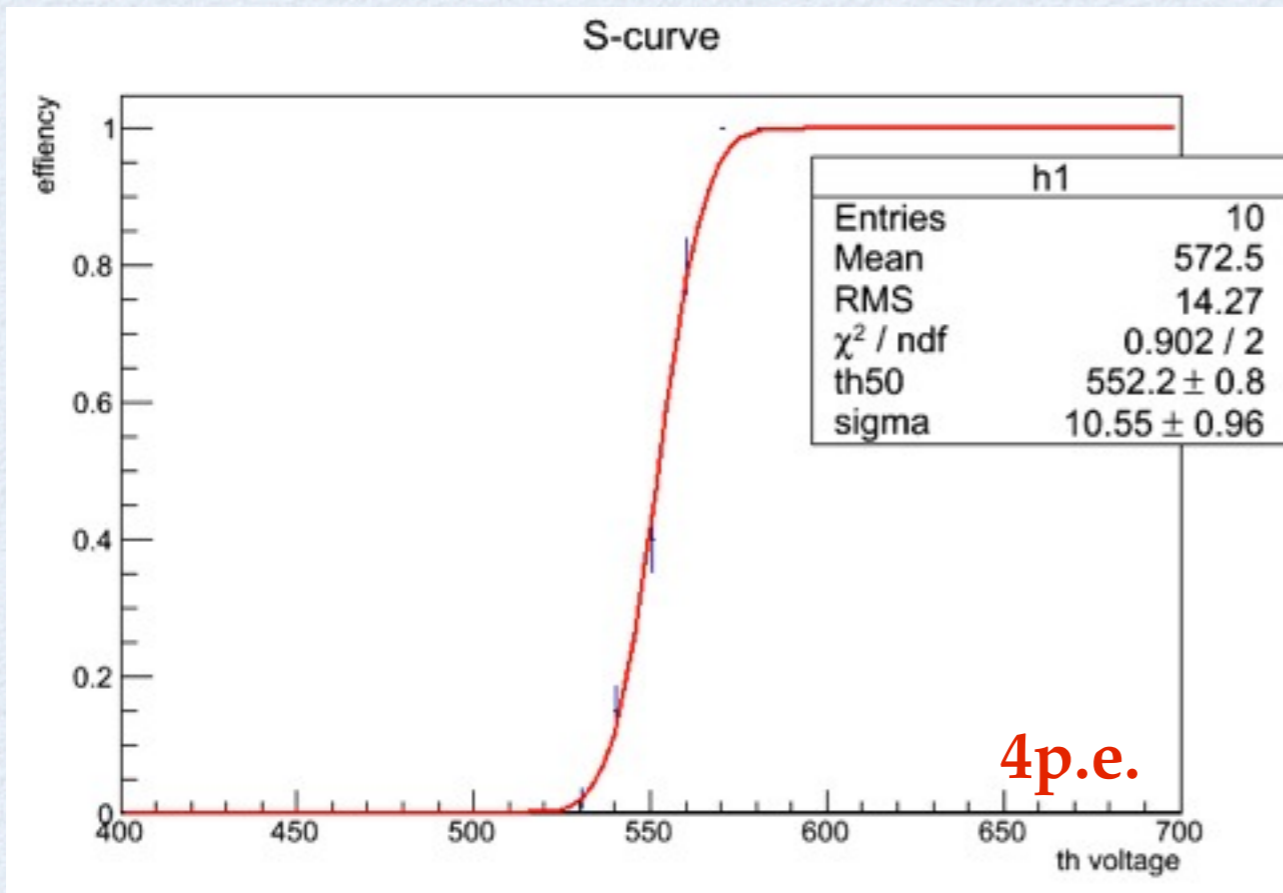
4p.e. 3.16p.e. 2p.e. 1p.e. Pedestal.



1p.e. = 150fC ~ 80 DAC count

1 p.e / dispersion(1p.e) ~ 4 → consistent with SPEC

ch0 s-curve fitting

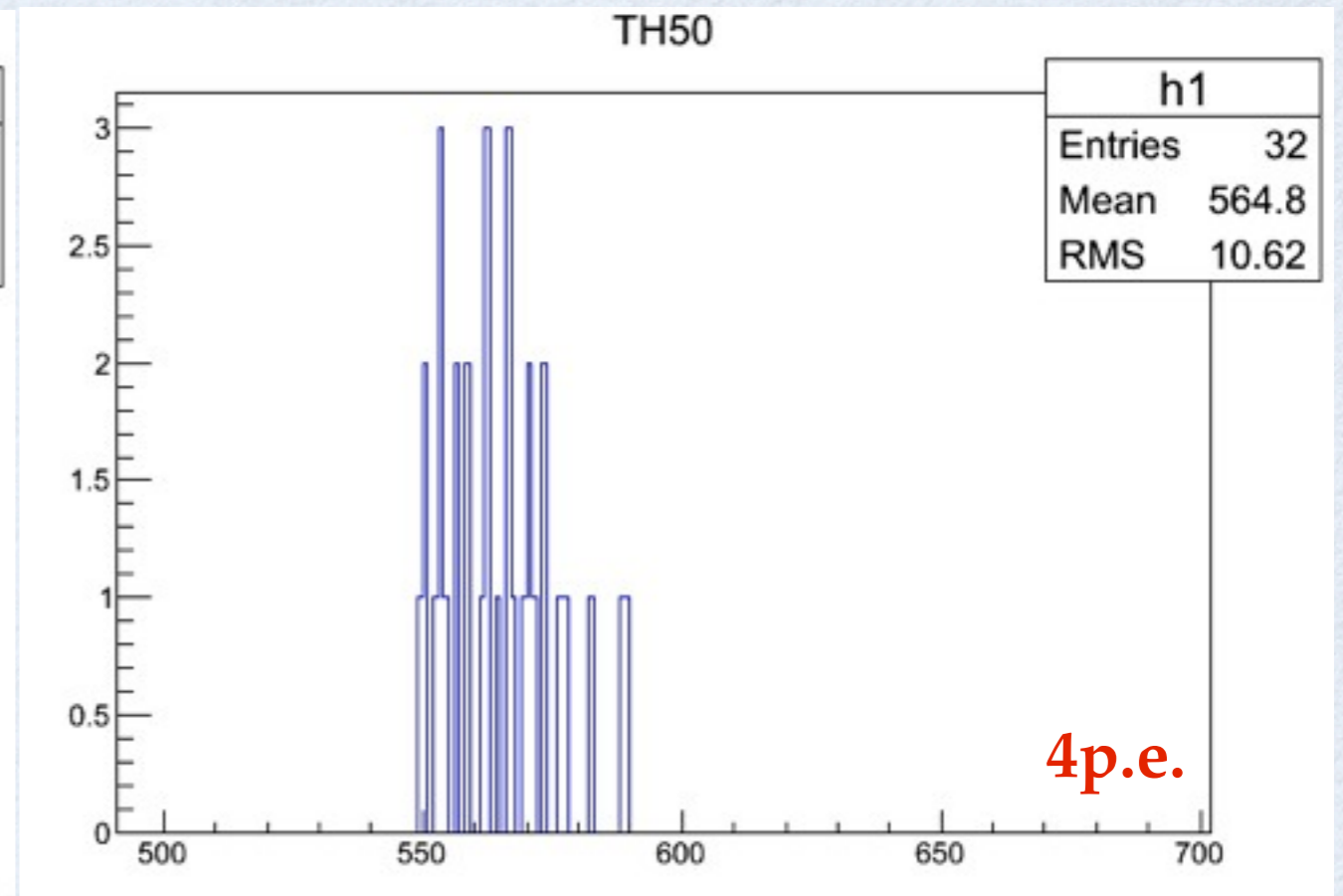
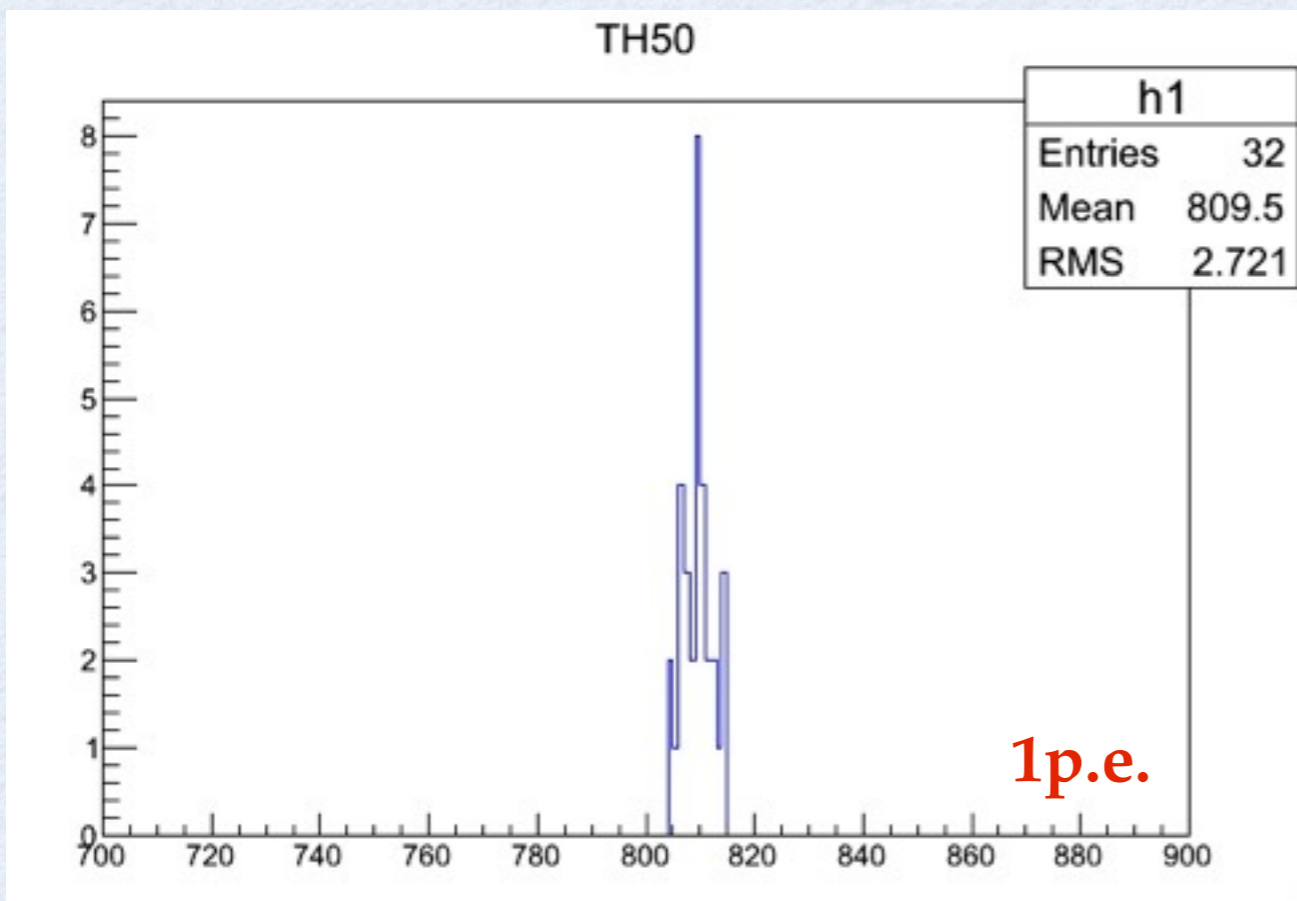


1p.e. ~ 80 DAC count

→ 1p.e./sigma : 7~10

各chについてはTHとして十分 (他chも同様)

all ch th50 mean



ch間でのばらつきが電荷が増えるにつれ大きくなっていく

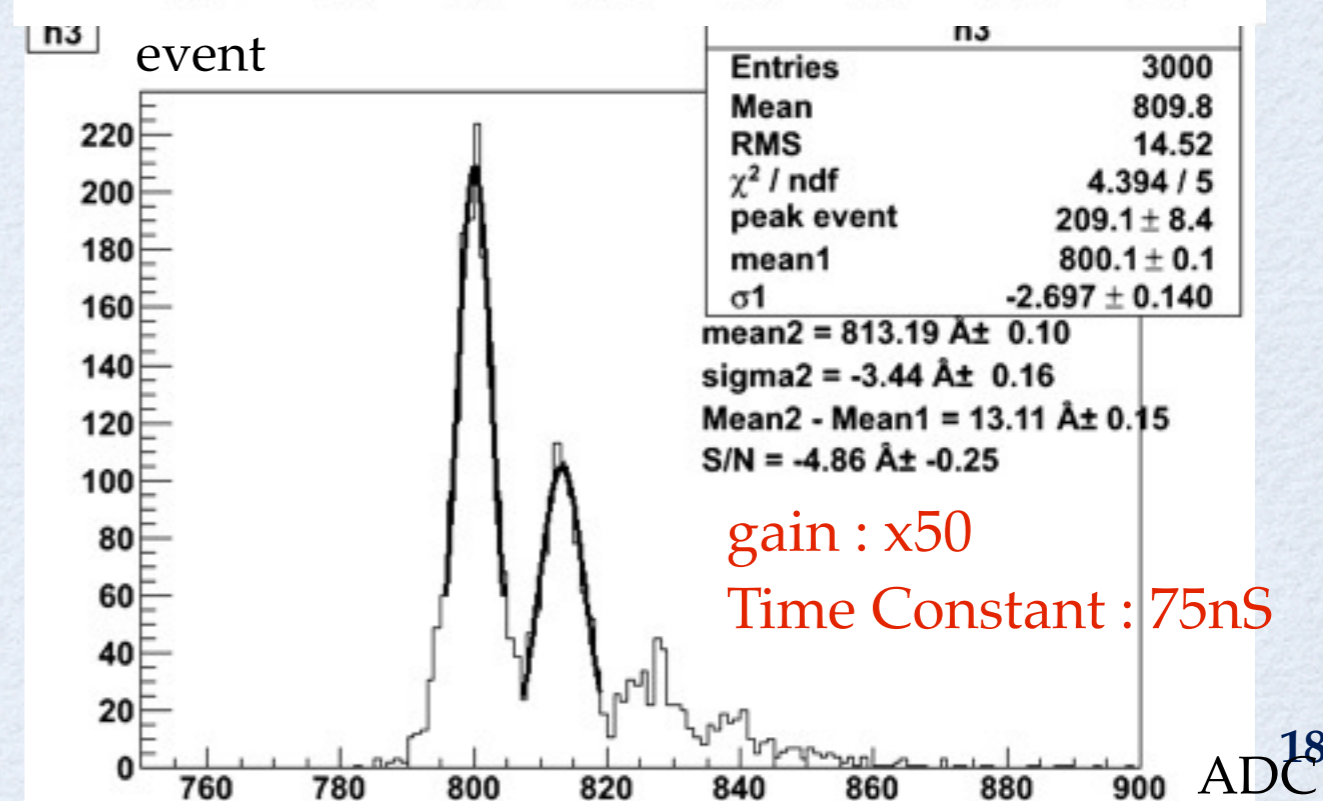
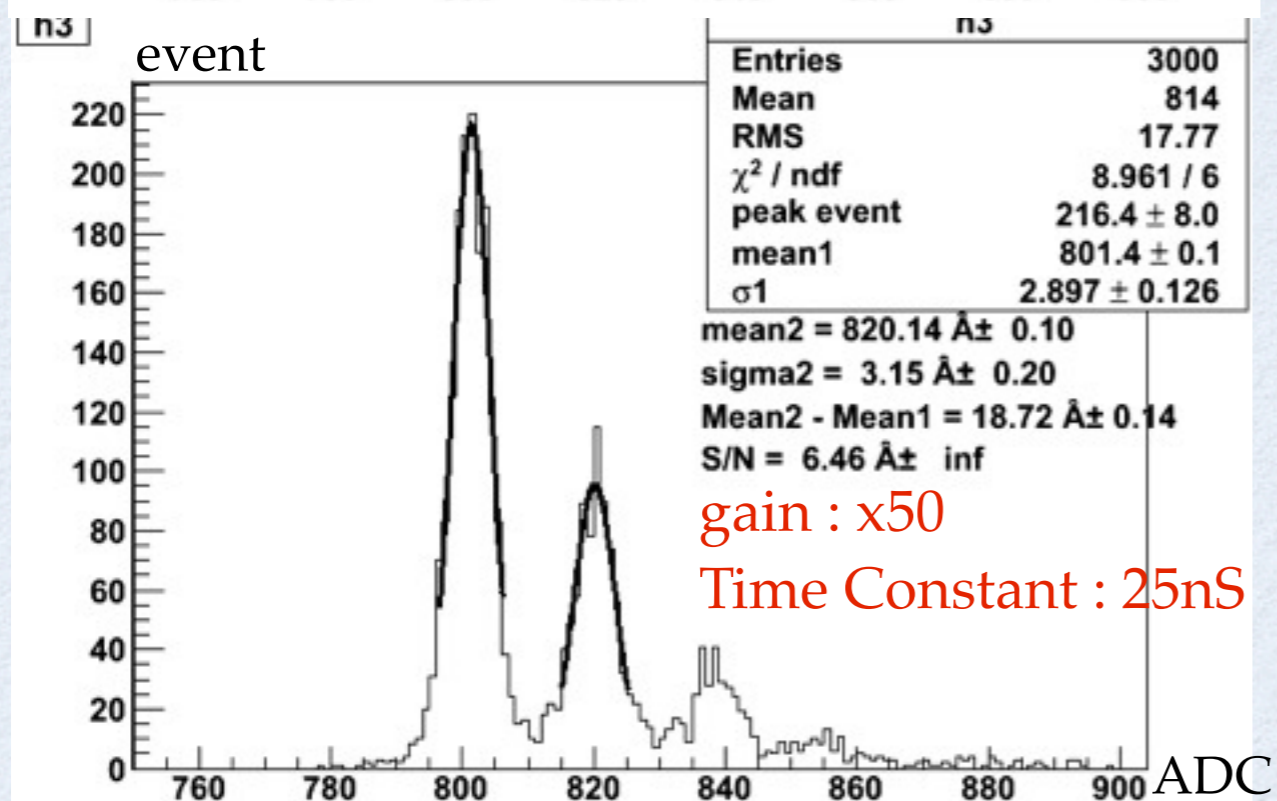
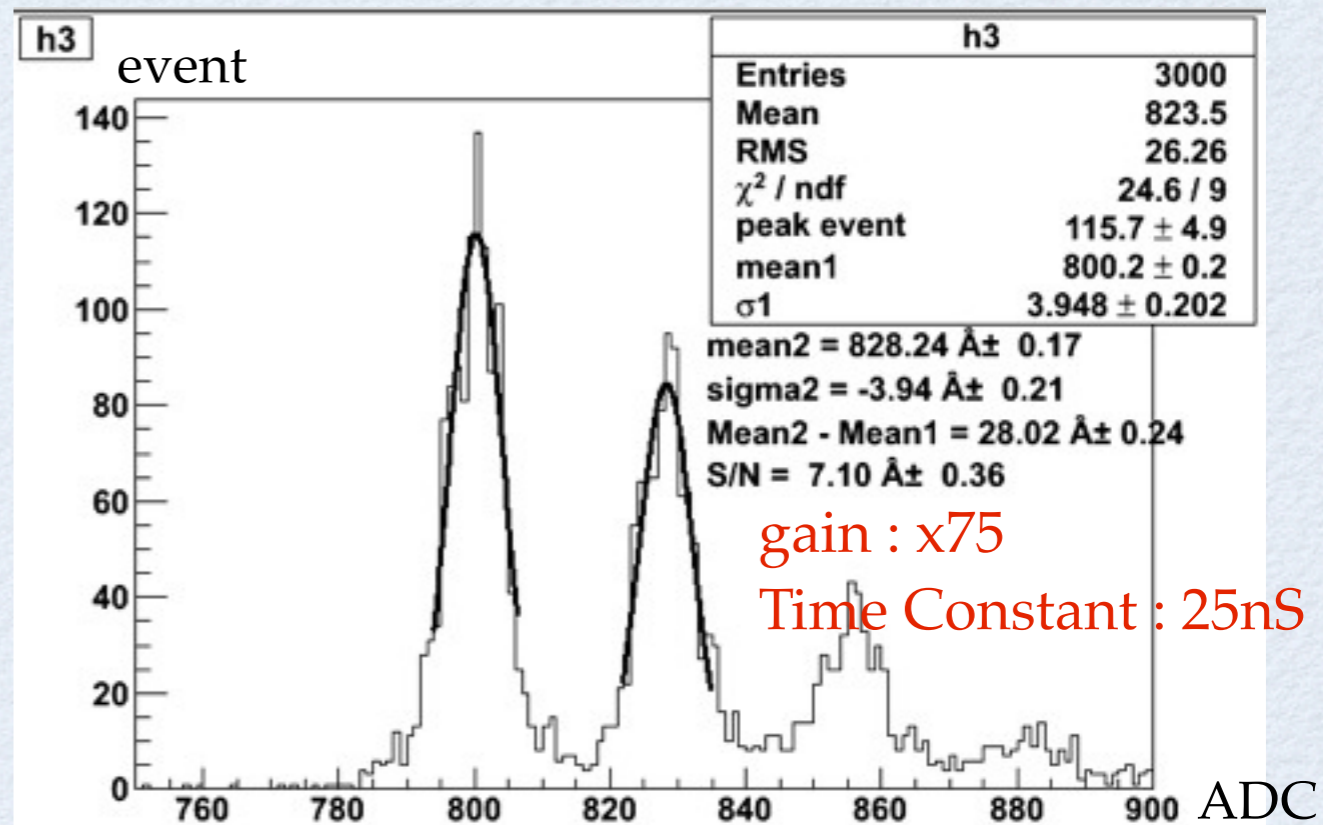
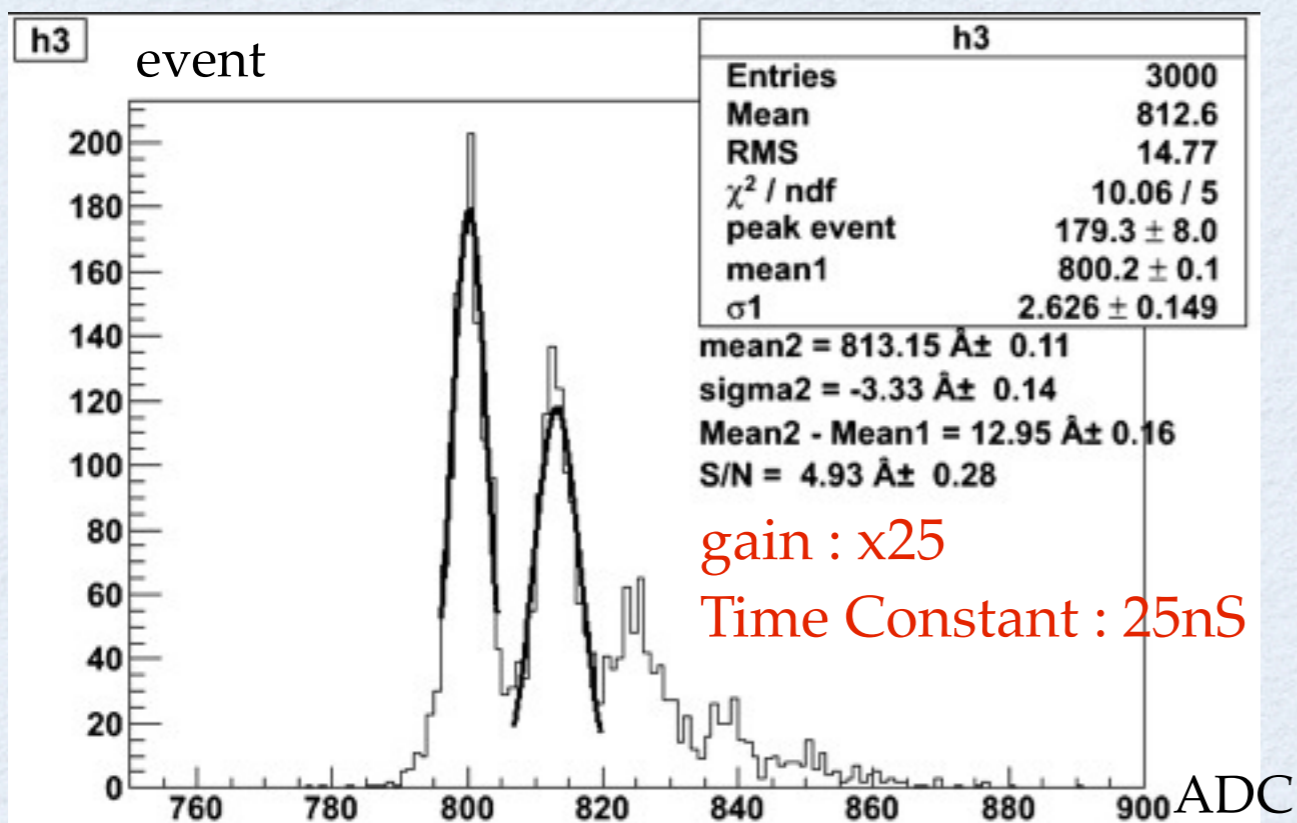
→Fast shaper gainにばらつき

補正可能 (back up)

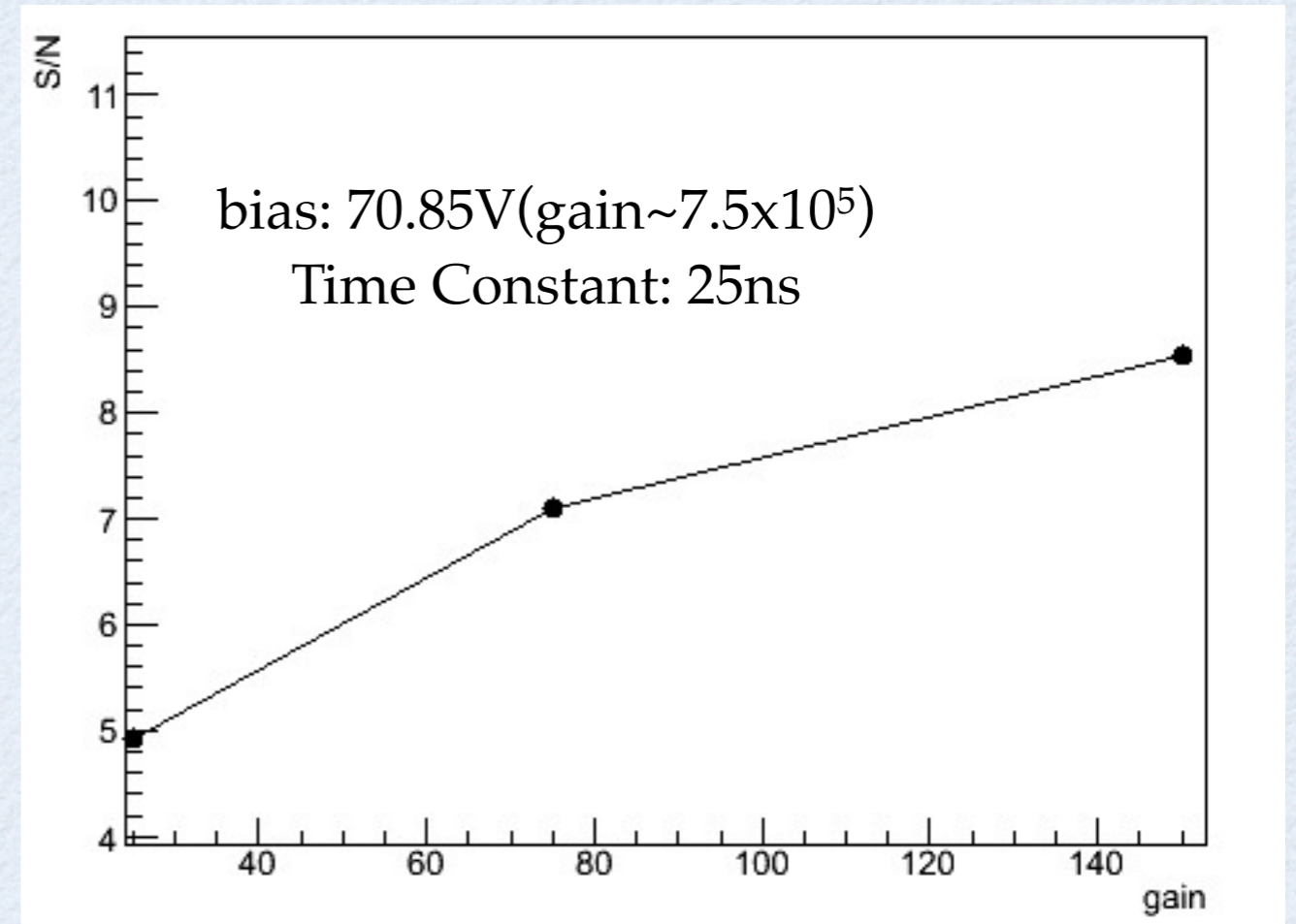
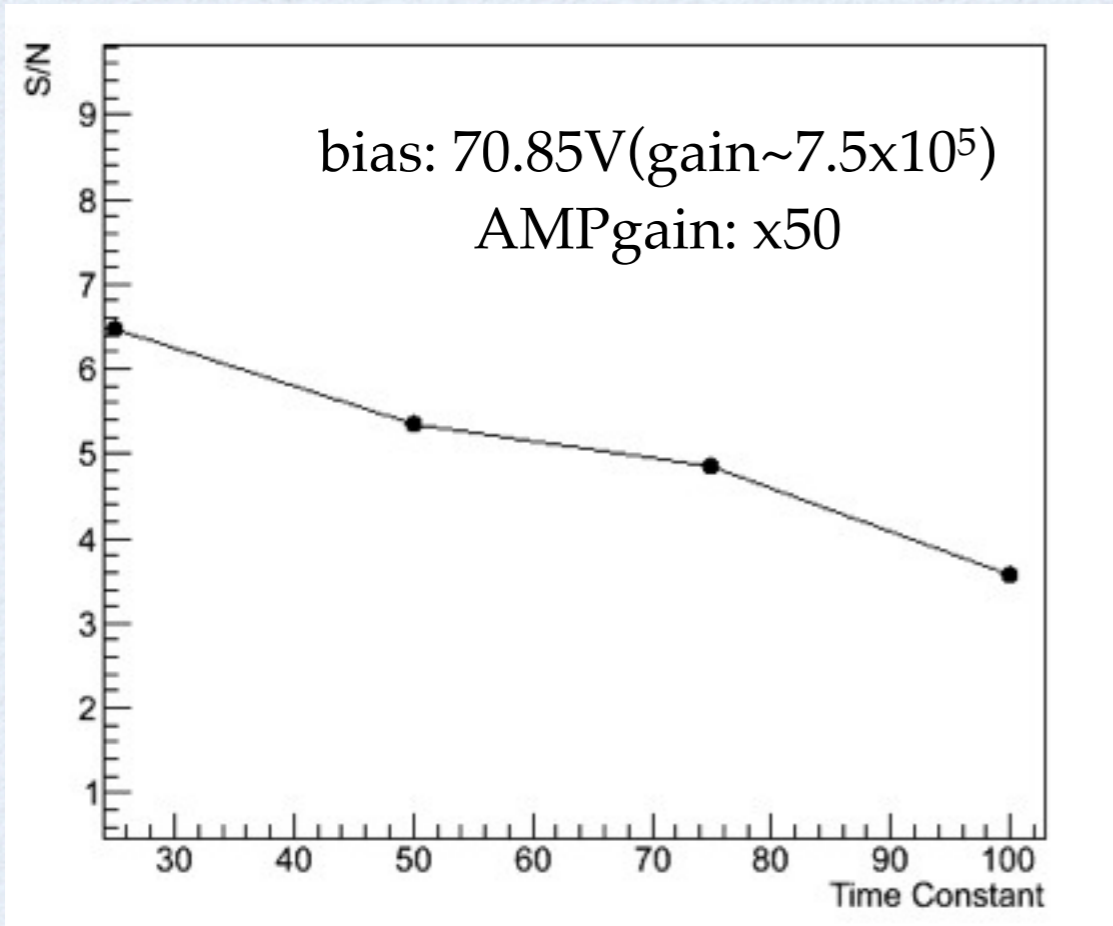
Signal to Noise

bias: 70.85V (gain $\sim 7.5 \times 10^5$)

光源: LED



Signal to Noise



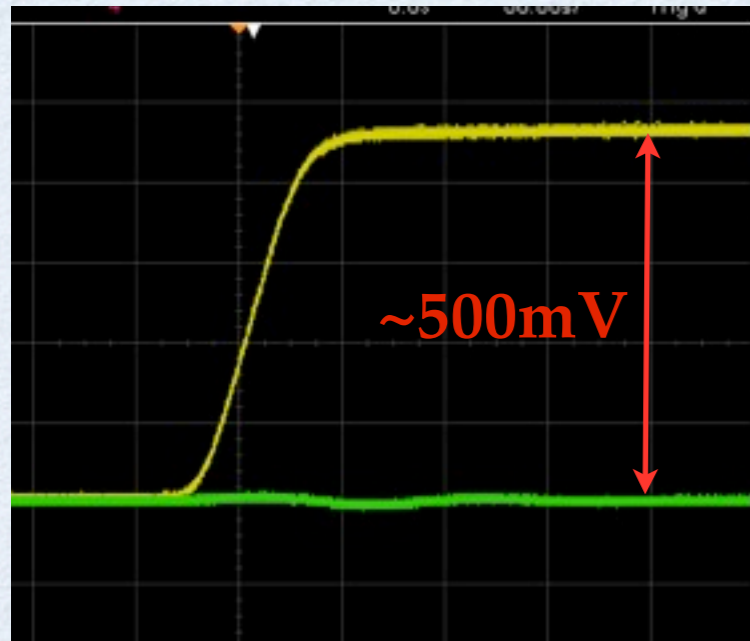
Time Constant : 短い方がS/Nが良い

Pre AMP gain : 高い方がS/Nが良い

SPEC : MPPCのgain $\sim 7.5 \times 10^5$ のとき : S/N = ~ 7.5

SPEC は満たしている

cross talk noise



9pC(50 p.e.) を入れたch

~500mV

ADCでデータ取得、Pedestalとの差を見ると

隣のch

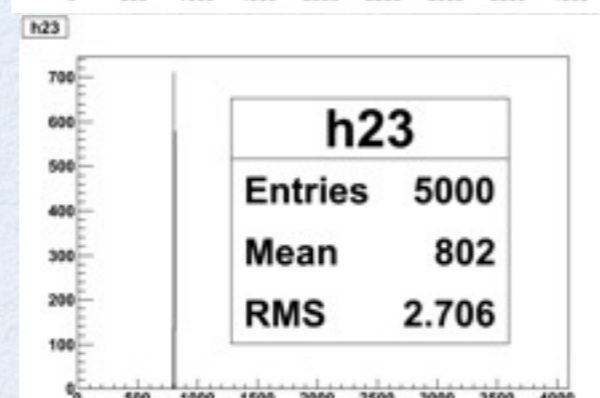
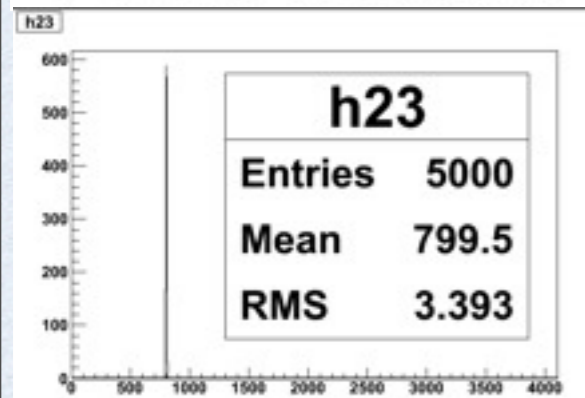
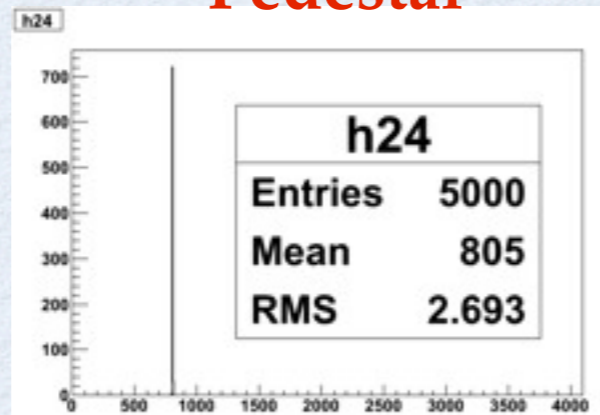
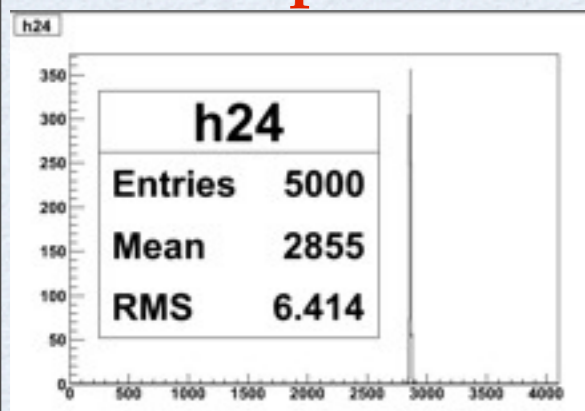
50 p.e.

Pedestal

Signal ~2000 countに対して
crosstalk noise ~2count

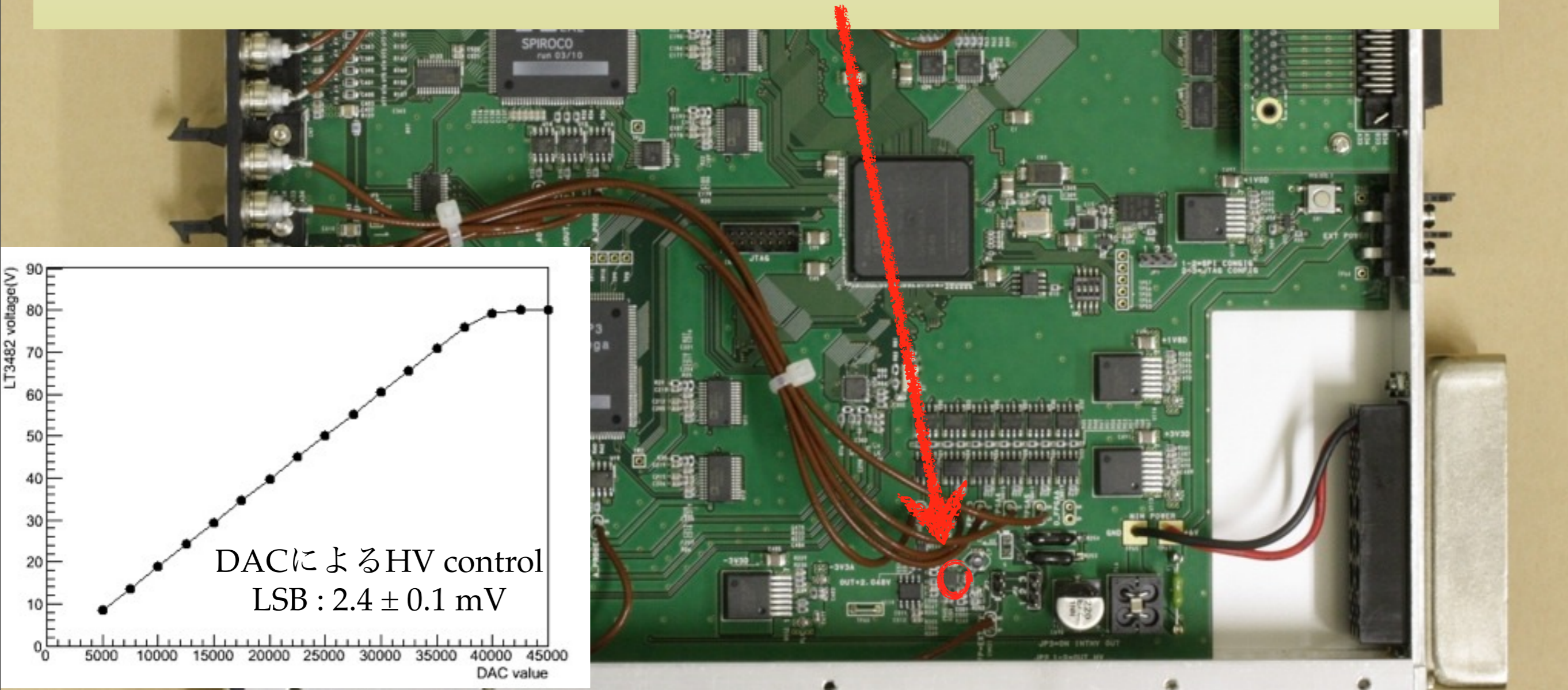
→ ~0.1%

十分小さい



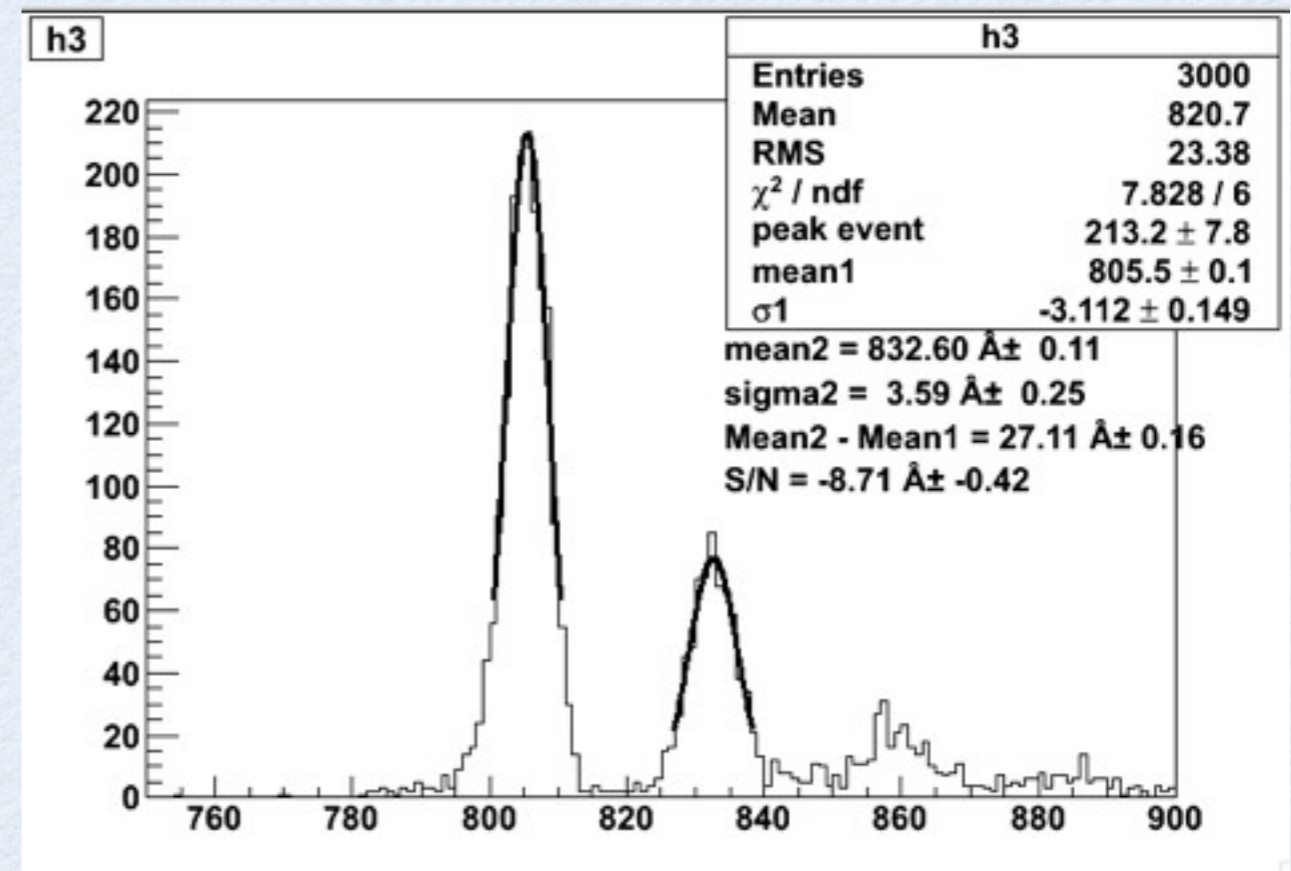
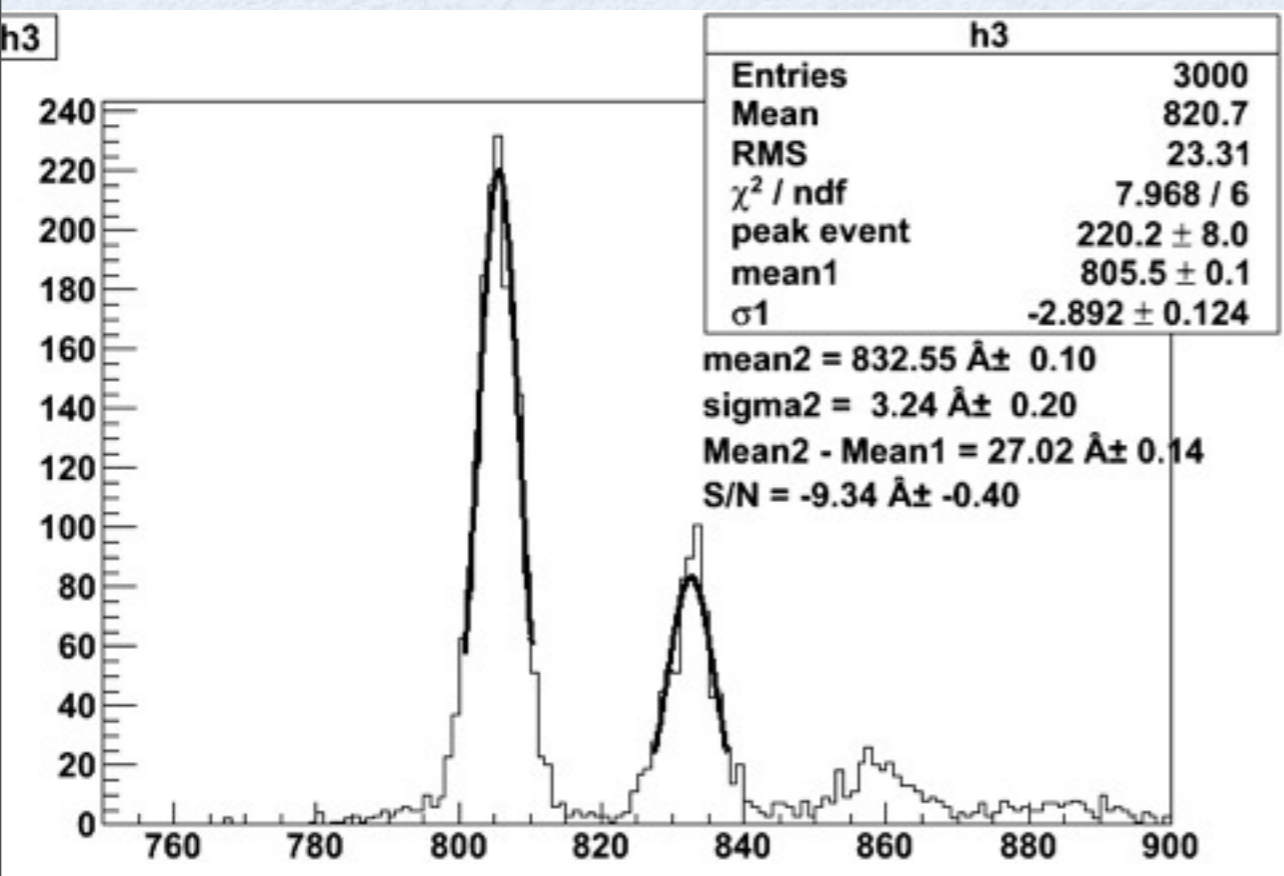
内部bias電源 (LT3482)

- LT3482 (リニアテクノロジー) 大きき3 mm x 3 mm
- 光学レシーバのAPD用 90V昇圧DC/DCコンバータ



LT3482 高負荷時

電源にロード抵抗を接続して、電流を流した



LT3482 current : $\sim 200 \text{ uA}$

gain : x75

LT3482 current : $\sim 2 \text{ mA}$

TimeConstant : 25ns

bias V : 71.05V

Pedestal、1p.e. とともにノイズ幅変わらず

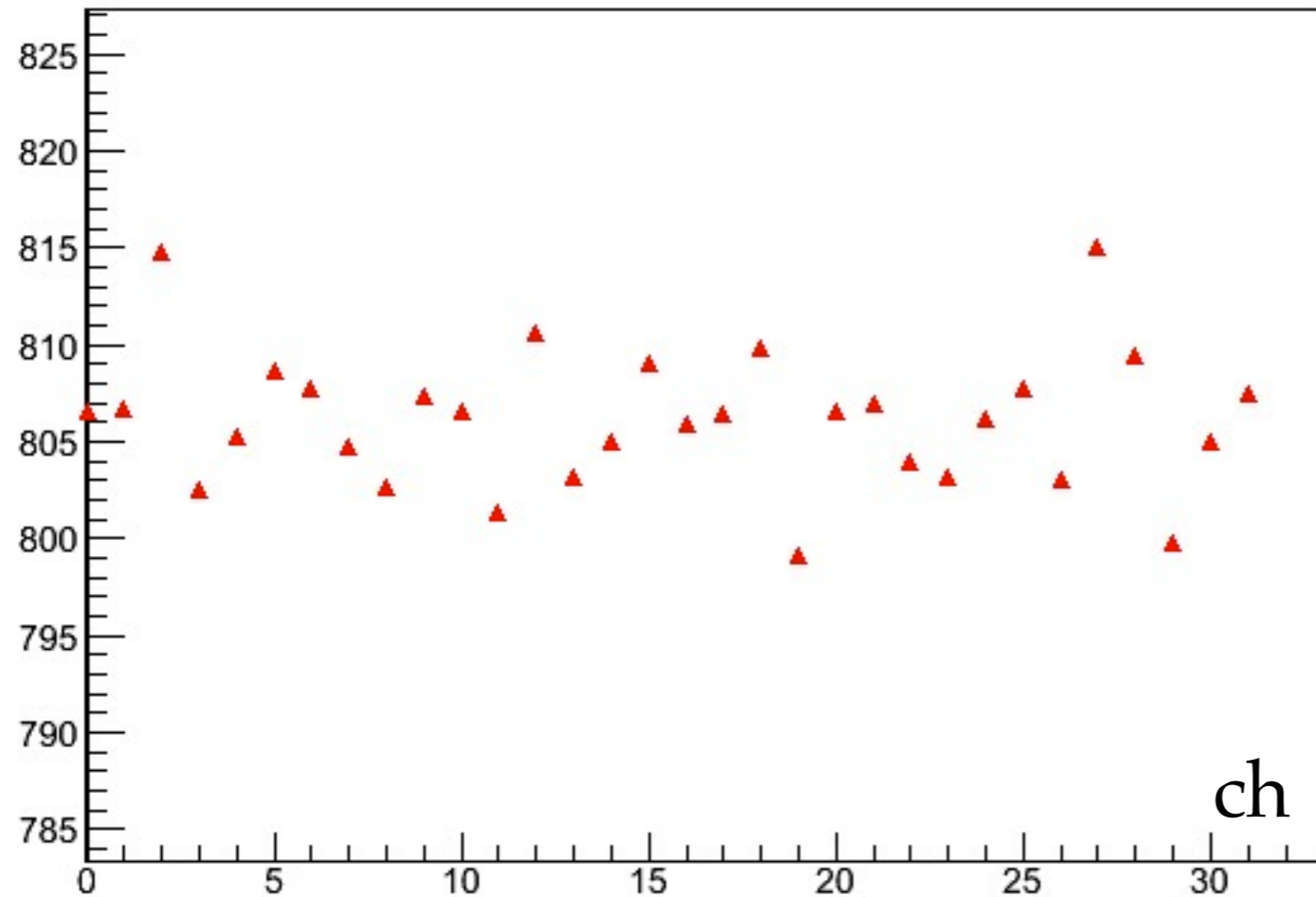
まとめと今後

- 汎用MPPC読み出しMODULEの試作品が完成
 - 動作確認はほぼ完了 → 動作している (未確認が1つある)
 - 性能評価中 → おおむねSPEC通りである
- 計装用 ADCのcontrol機能の追加 (software、firmware)
- 同時に2chipを動かせるようにする (現在1chip x 2 の動作)
- 保護回路の動作確認 (壊してみる)
- 改善点を洗い出して、完成品を作る → **公開開始**

back up

Pedestal dispersion

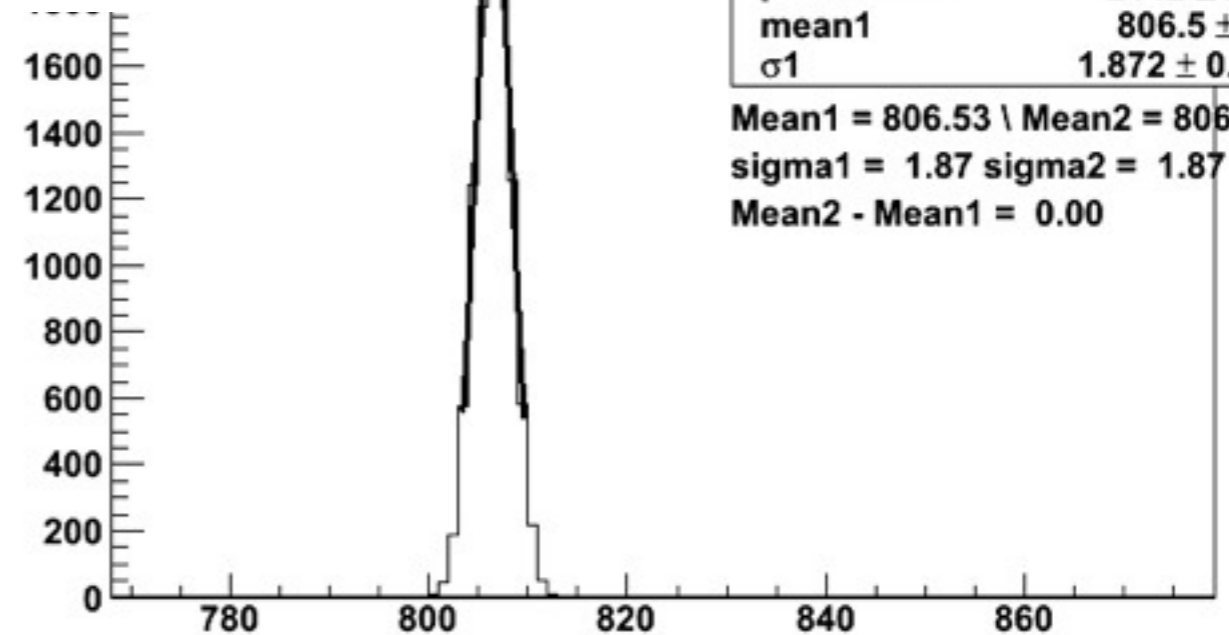
ADC count



gain = x18.75

20mV = 40count

dispersion : ~8mV
SPEC : ~10mV



h10	
Entries	10000
Mean	806.5
RMS	1.842
χ^2 / ndf	9.434 / 4
peak event	2142 ± 29.2
mean1	806.5 ± 0.0
σ_1	1.872 ± 0.023

Mean1 = 806.53 \ Mean2 = 806.53
sigma1 = 1.87 sigma2 = 1.87
Mean2 - Mean1 = 0.00

SPEC of EASIROC



- PreAMP gain : x1 ~ x150 で調節可能
- 許容電荷 : 160 fC ~ 320 pC
(1p.e. ~ 2000p.e. @MPPC gain ~ 10^6)
- 内蔵8bitDACによる各chのbias電源調節(0~4.5V)
- 内蔵10bitDACによるThreshold調節(全ch共通)
- Signal Shaping Time : 25ns ~ 175ns で調節可能
- p.e./noise ~ 10 @MPPC gain ~ 10^6

Omega

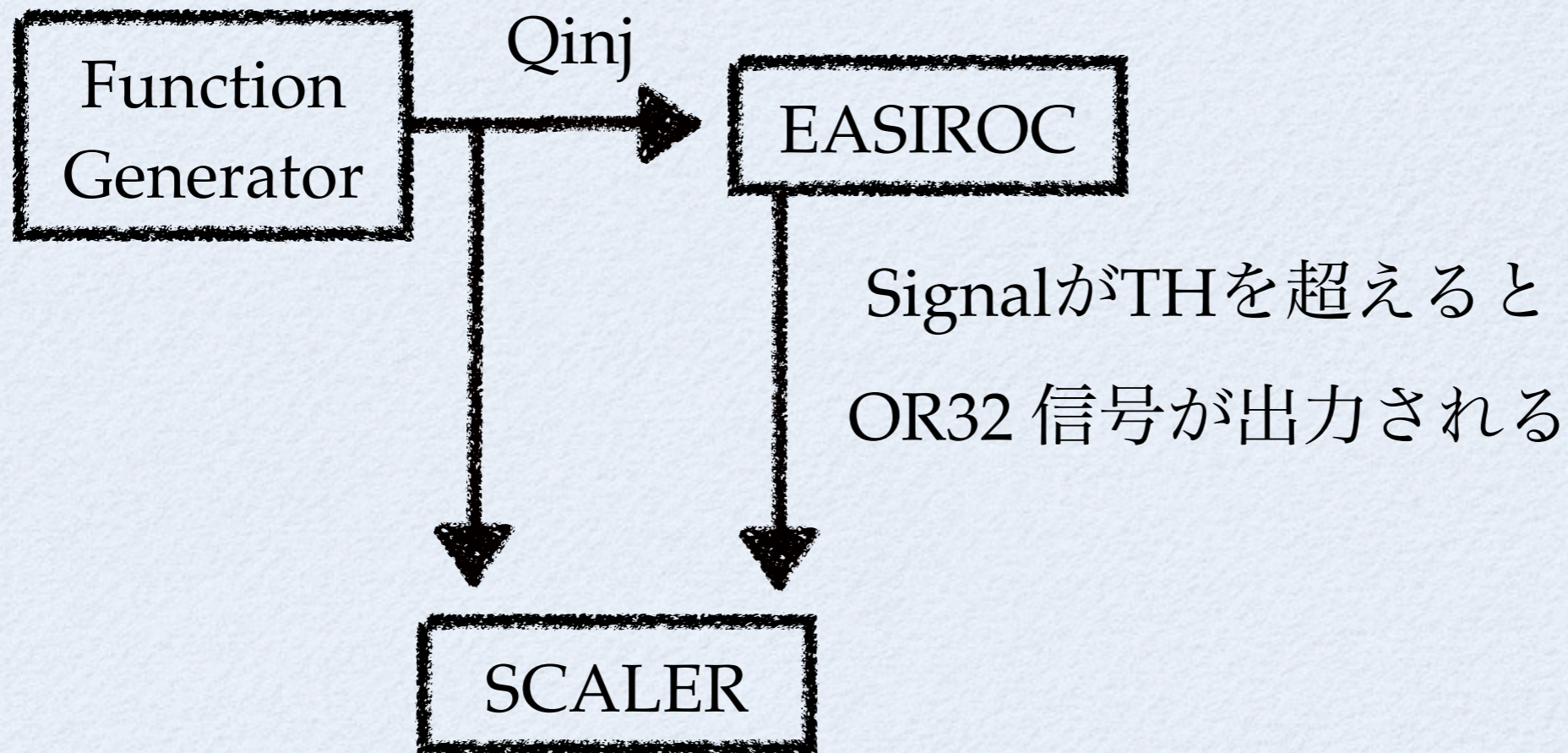


SPEC of EASIROC

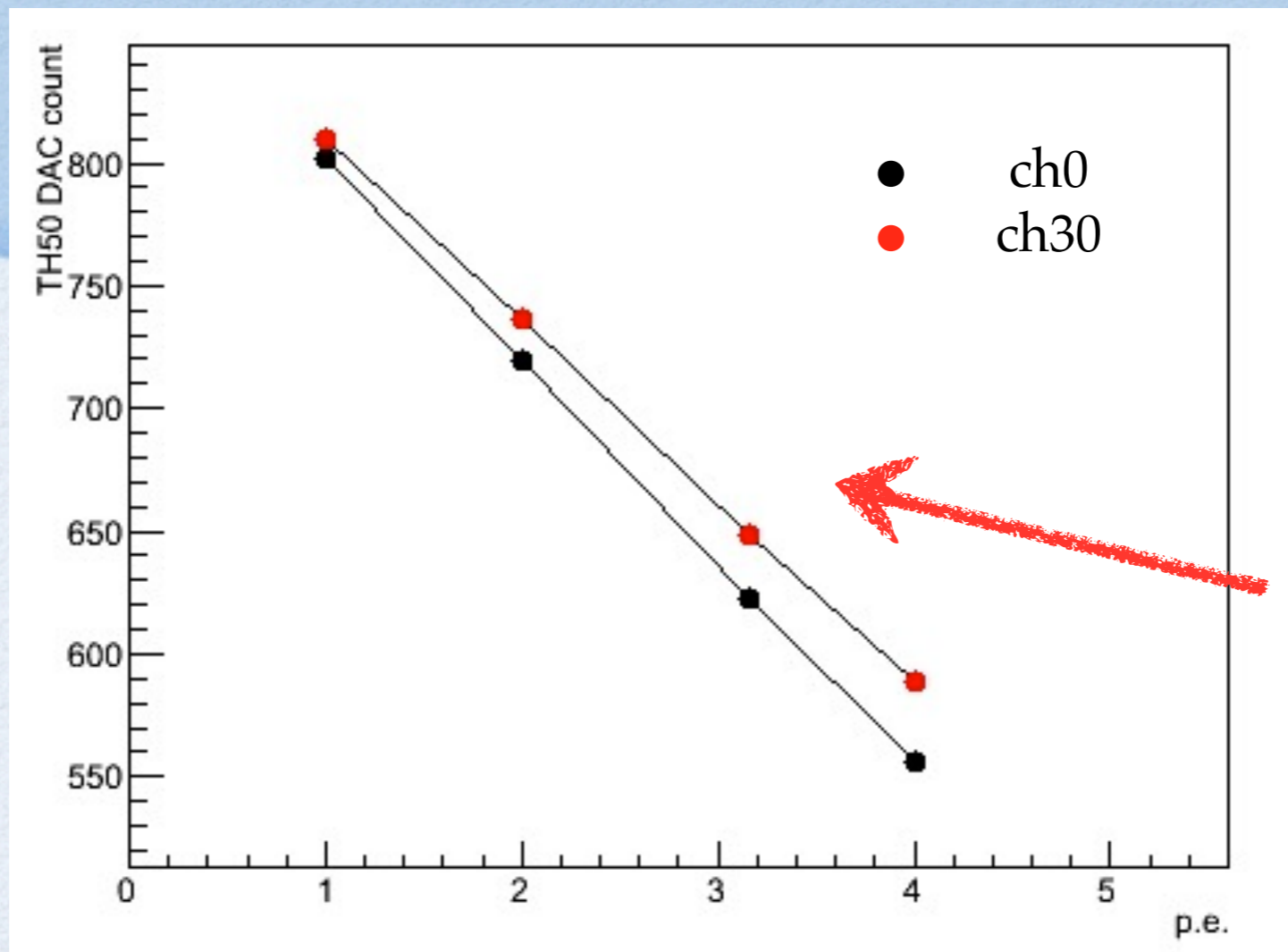
Analogue core :

- Internal input 8-bit DAC (0-4.5V) for individual SiPM gain adjustment
- Individually addressable calibration injection capacitance
- Energy measurement : 14-bit dynamic range
 - 2 tuneable gains followed by 2 adjustable shapers
 - Analogue memory (Track & Hold cell) for low gain and high gain
 - Common 10-bit DAC for threshold adjustment
 - Variable shaping time: from 25 ns to 175 ns
 - from 160 fC → 320 pC (ie. 1 pe → 2000 pe @ SiPM gain = 10^6)
 - pe/noise ratio : ~10 @ SiPM gain 10^6
- Trigger output
 - pe/noise ratio on trigger channel : ~ 25
 - Fast shaper : ~15ns
 - Trigger on 50 fC (ie. 1/3 pe @ SiPM gain = 10^6)

Threshold efficiency



$$\text{Efficiency} = \text{OR32 signal} / Q_{inj} \text{ pulse}$$



傾きの違いがgainの差？

差が大きかった0chと30chを抜き出してfitting

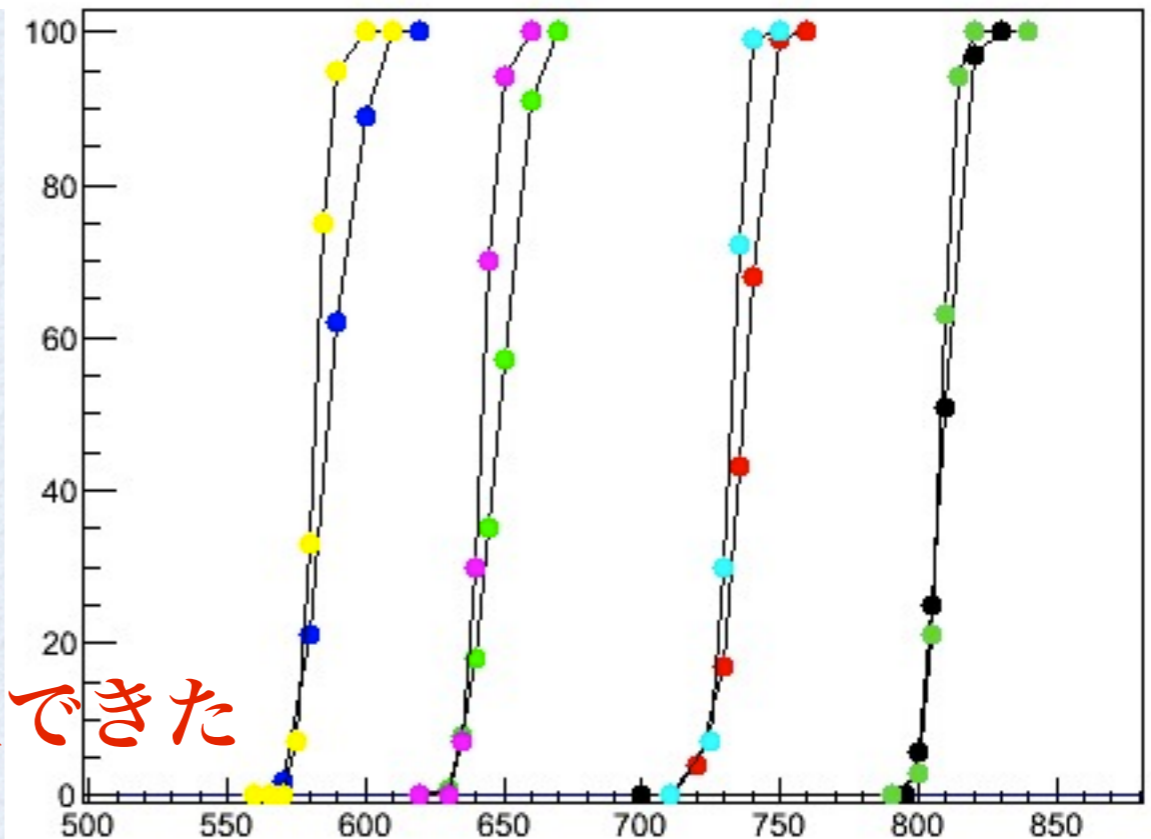
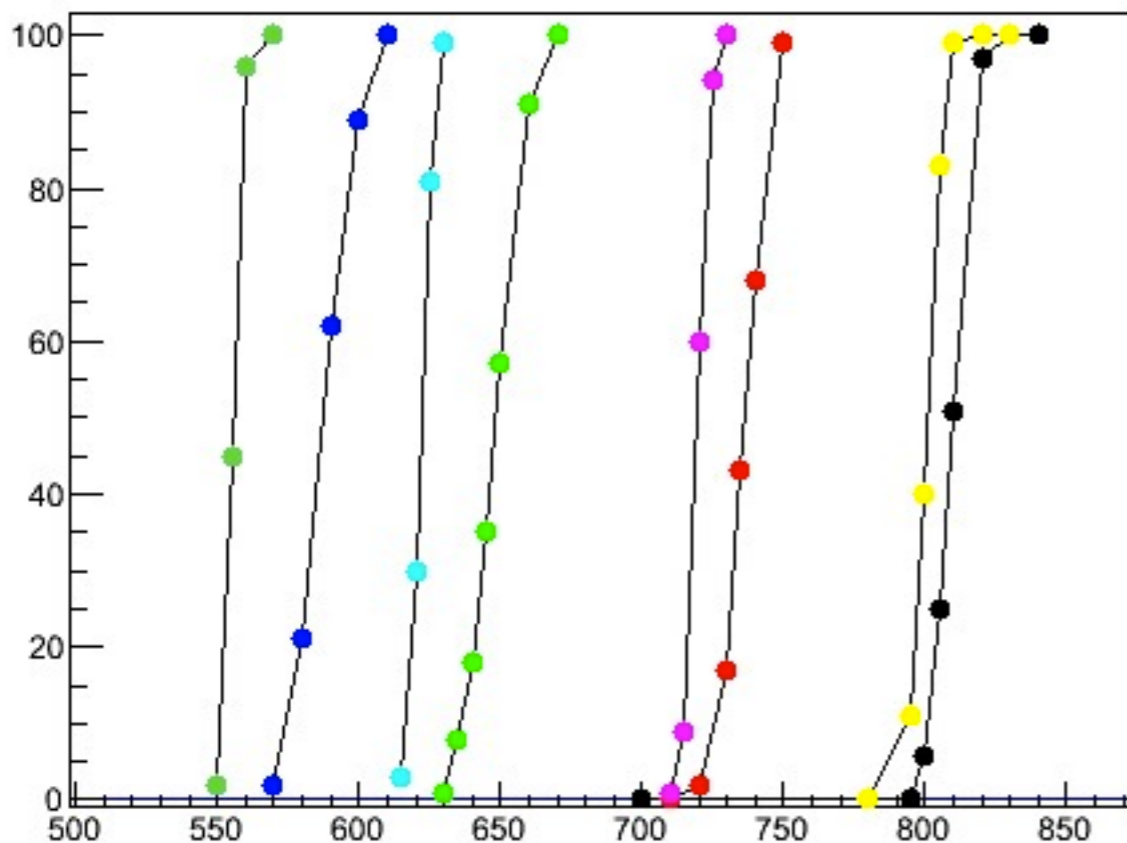
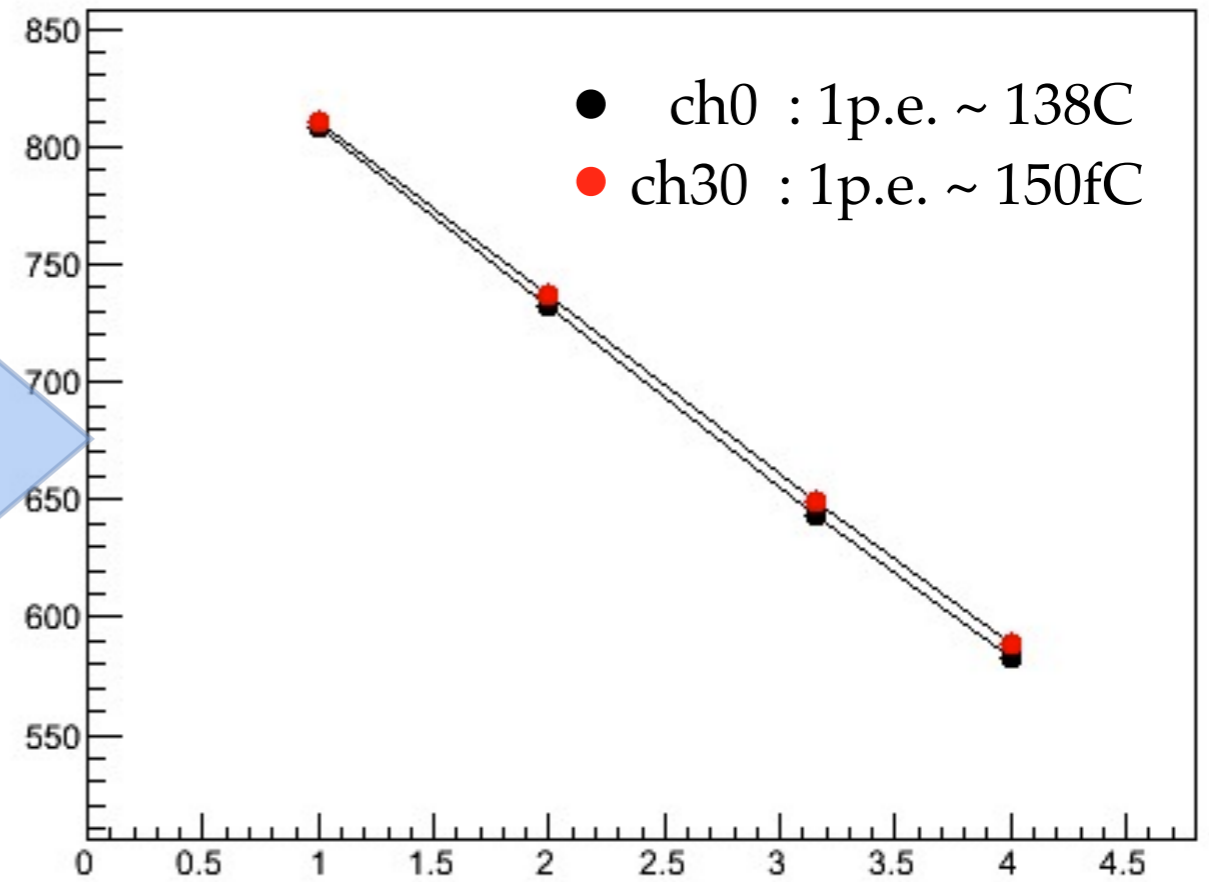
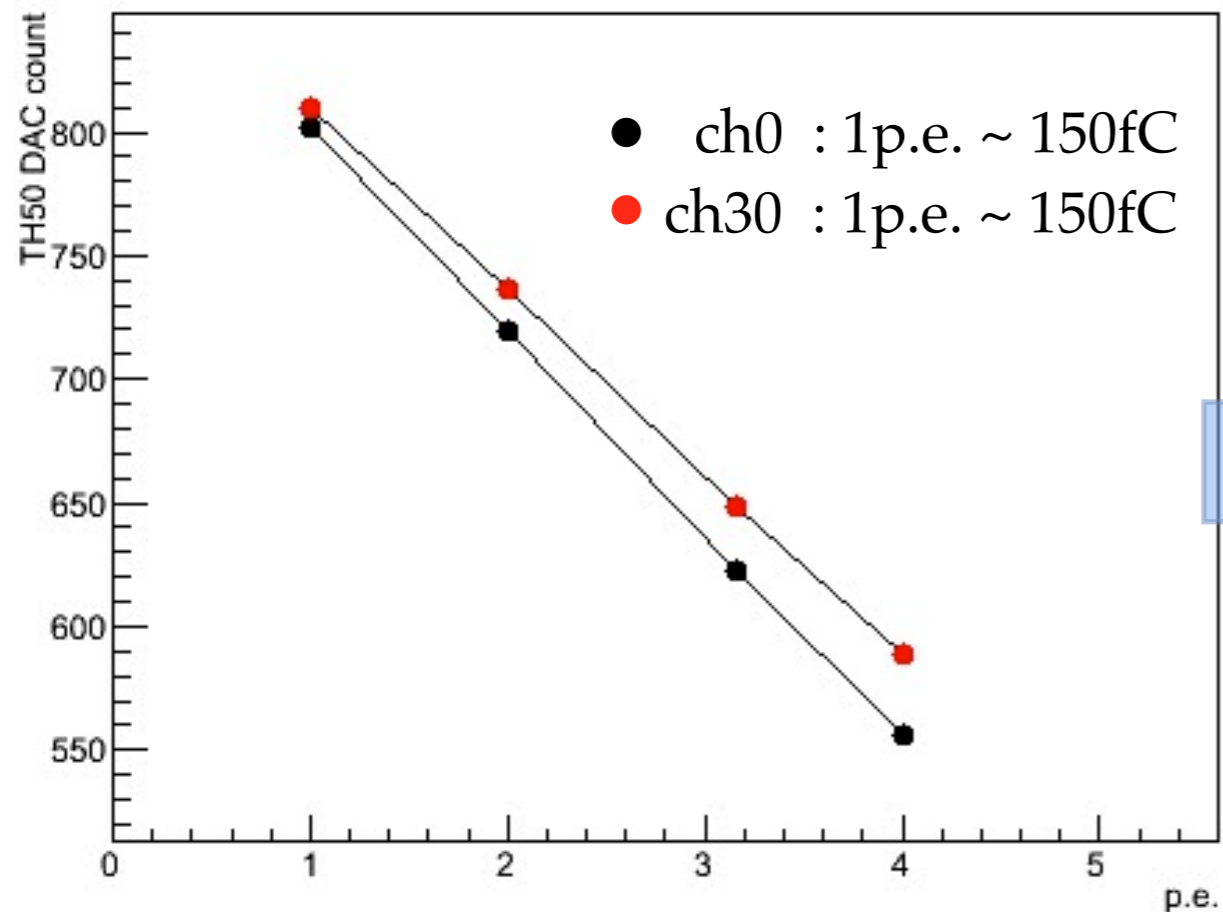
TH50がsignalのピークのmeanとすると、

$$\text{TH50} = Q_{inj} \times \text{AMP gain}$$

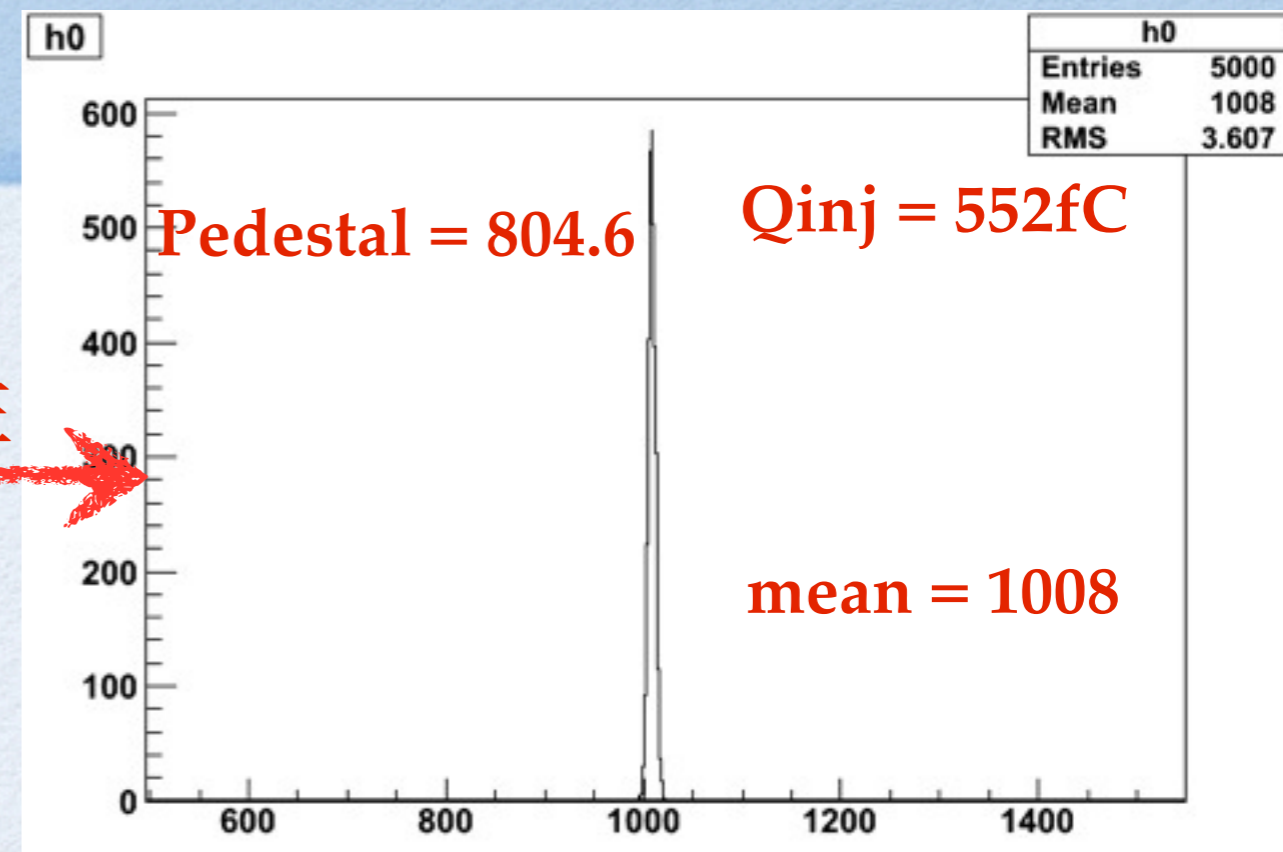
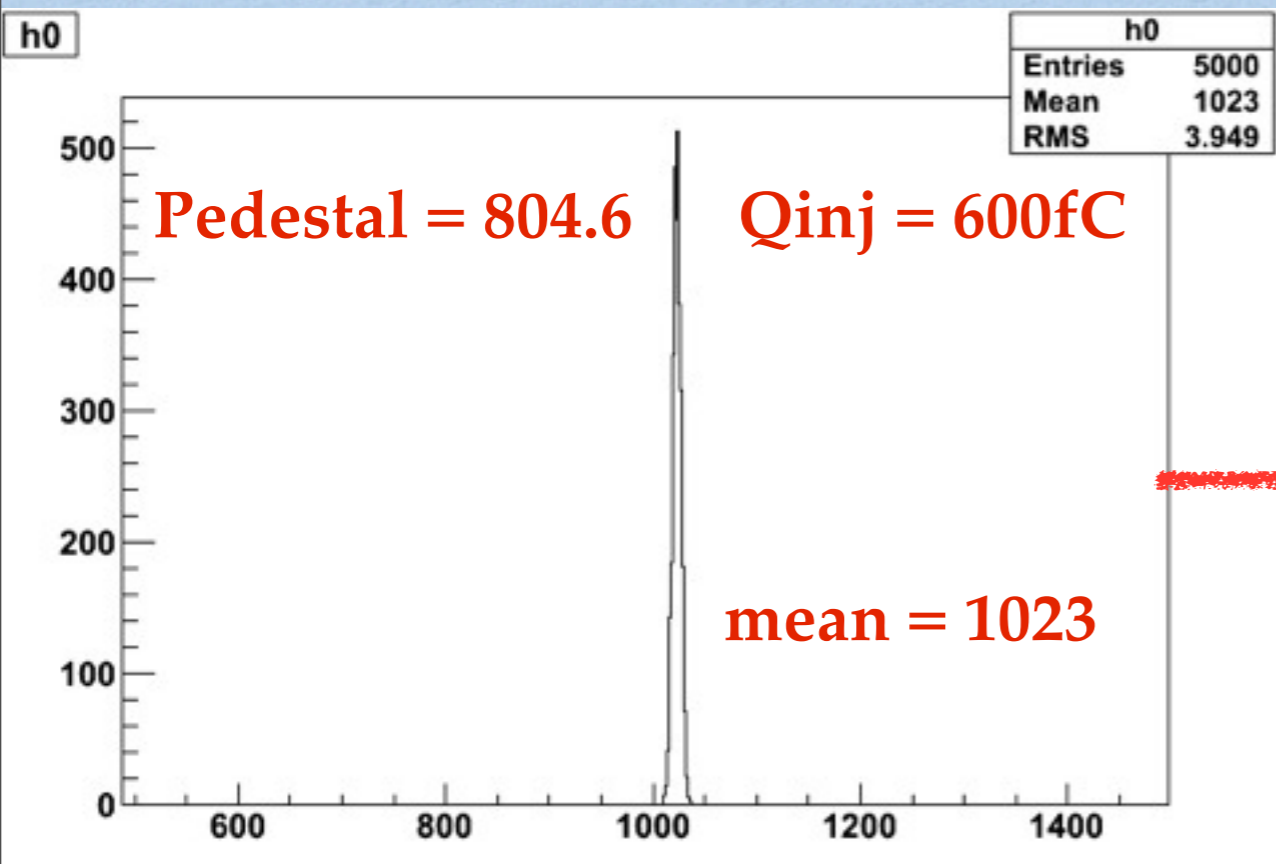
なので、 Q_{inj} を調節してやれば、ばらつきを抑えることができるはず。

(MPPCでは、input DACの調節で可能)

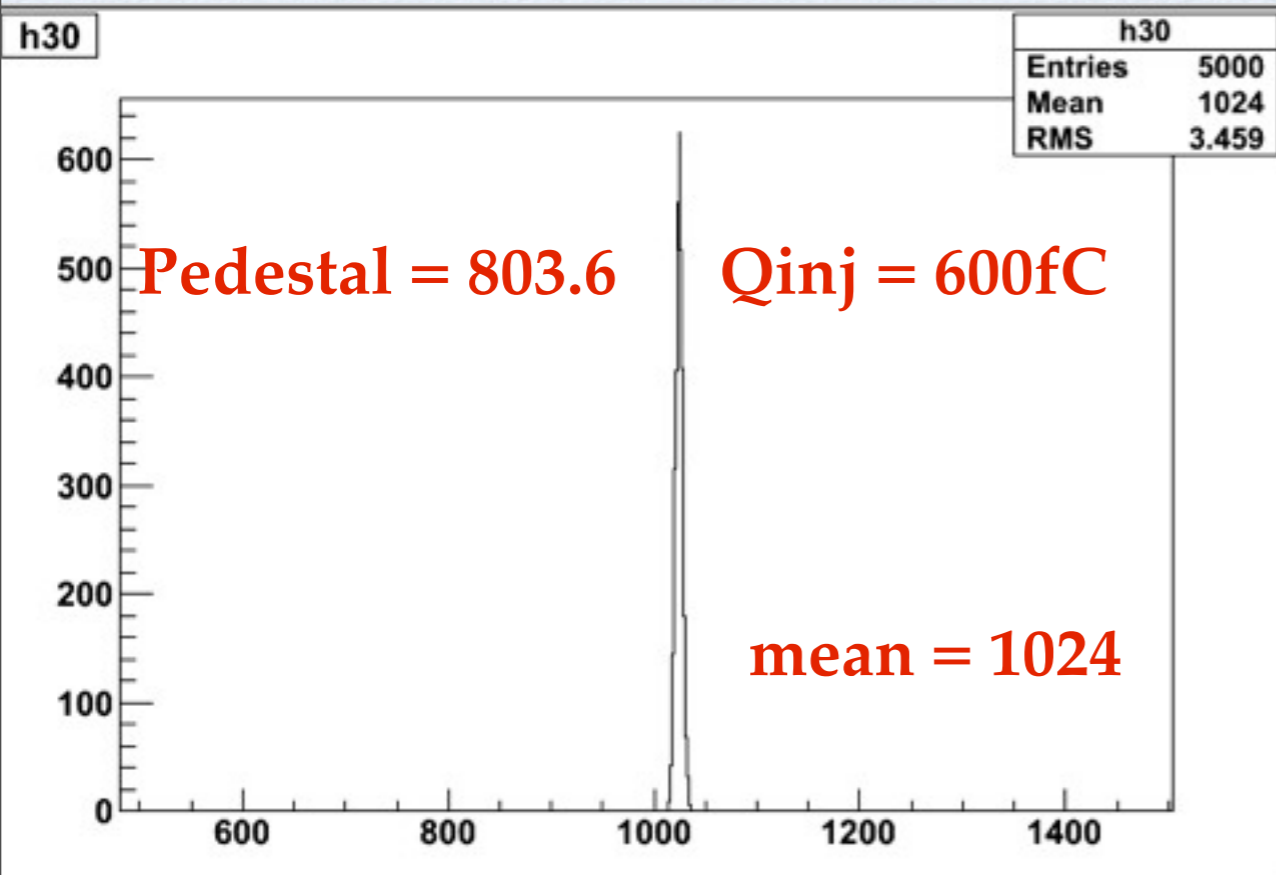
Qinjをchで変える(=MPPCのgainをchで変える)



補正できた



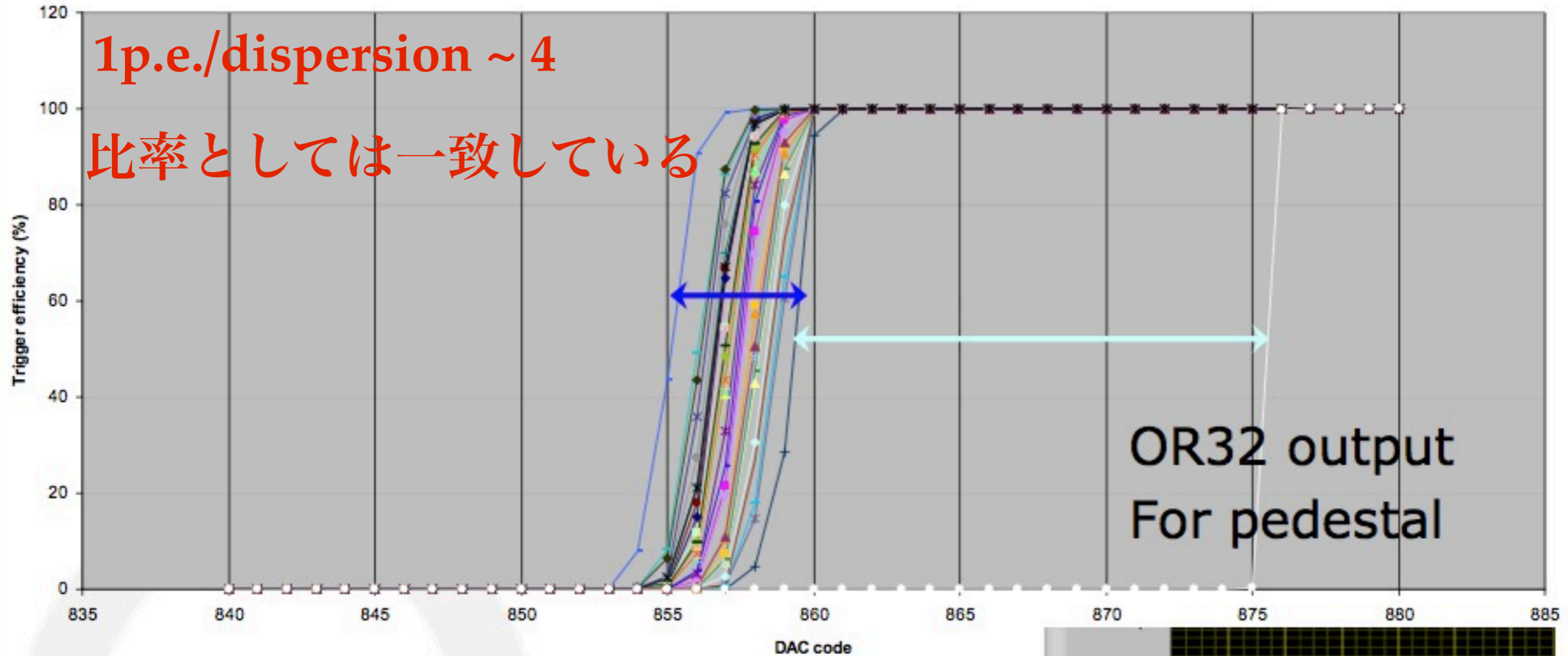
補正



ただし、補正した場合
ADC分布では、逆に差が広がる
→ AMPではなく、FastShaperが
原因？

SPEC

S-curve for 1pe- (160fC)



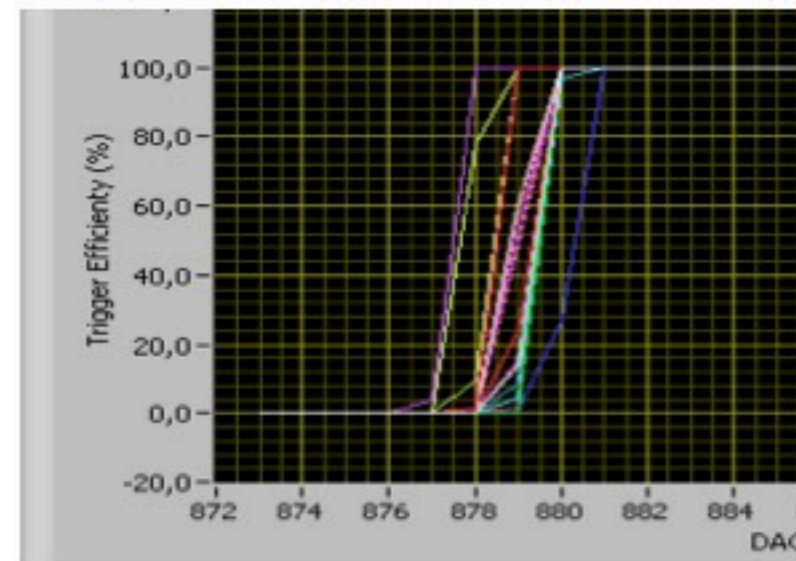
OR32 output for 1pe on each channel

結果から2fC/DAC unit

Dispersion : <5 DAC unit for 1pe

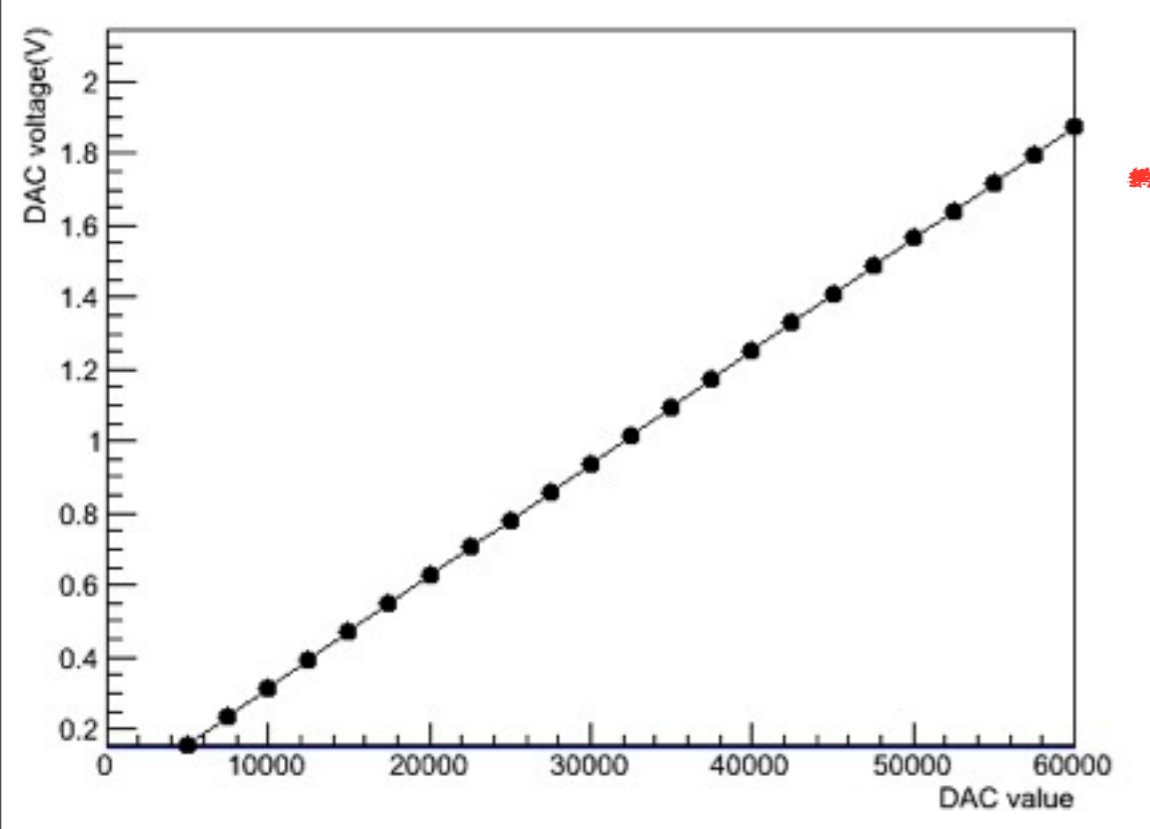
(8fC/DAC unit) [Cf=200fF] 条件同じ

なんでgainがそんなに違うのかは謎



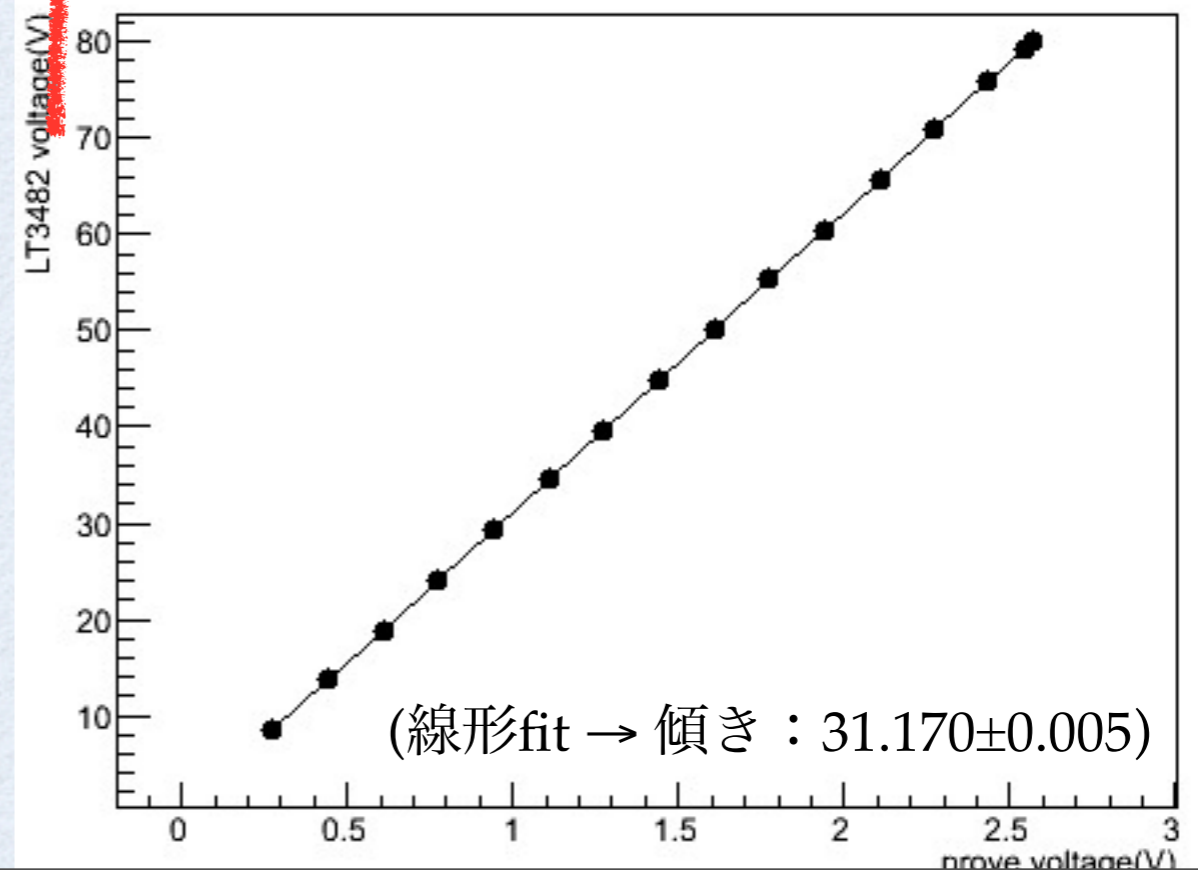
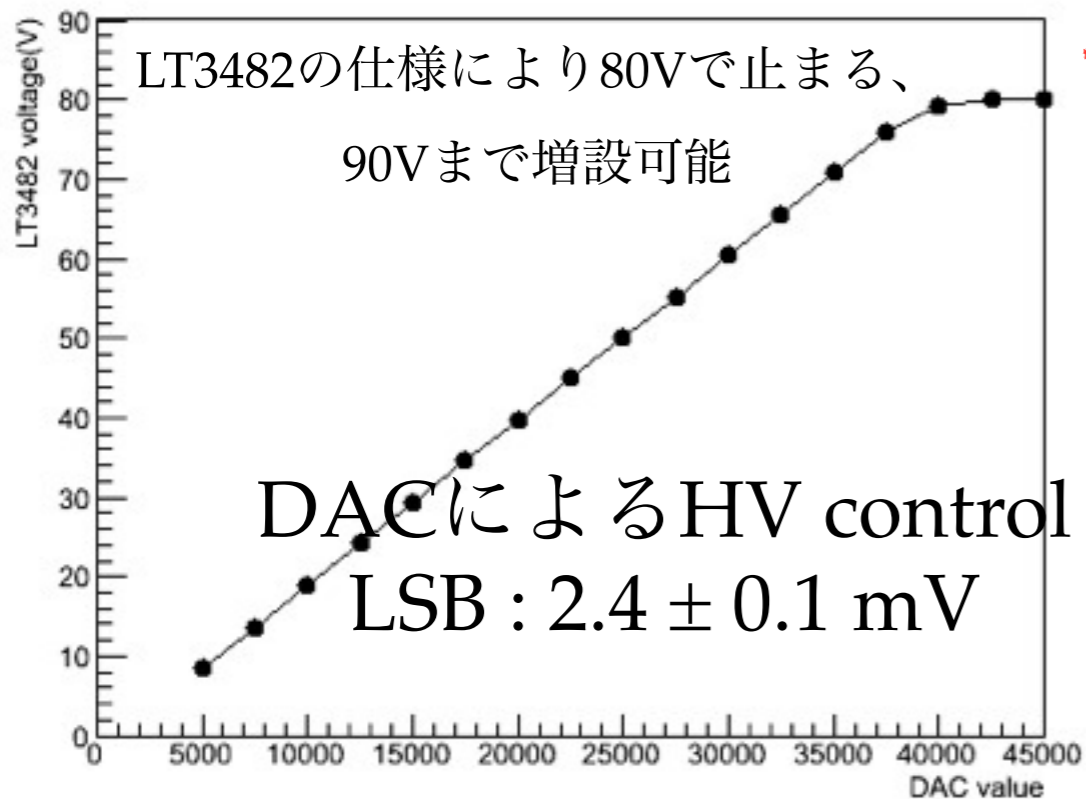
Individual pedestal

LT3482 control

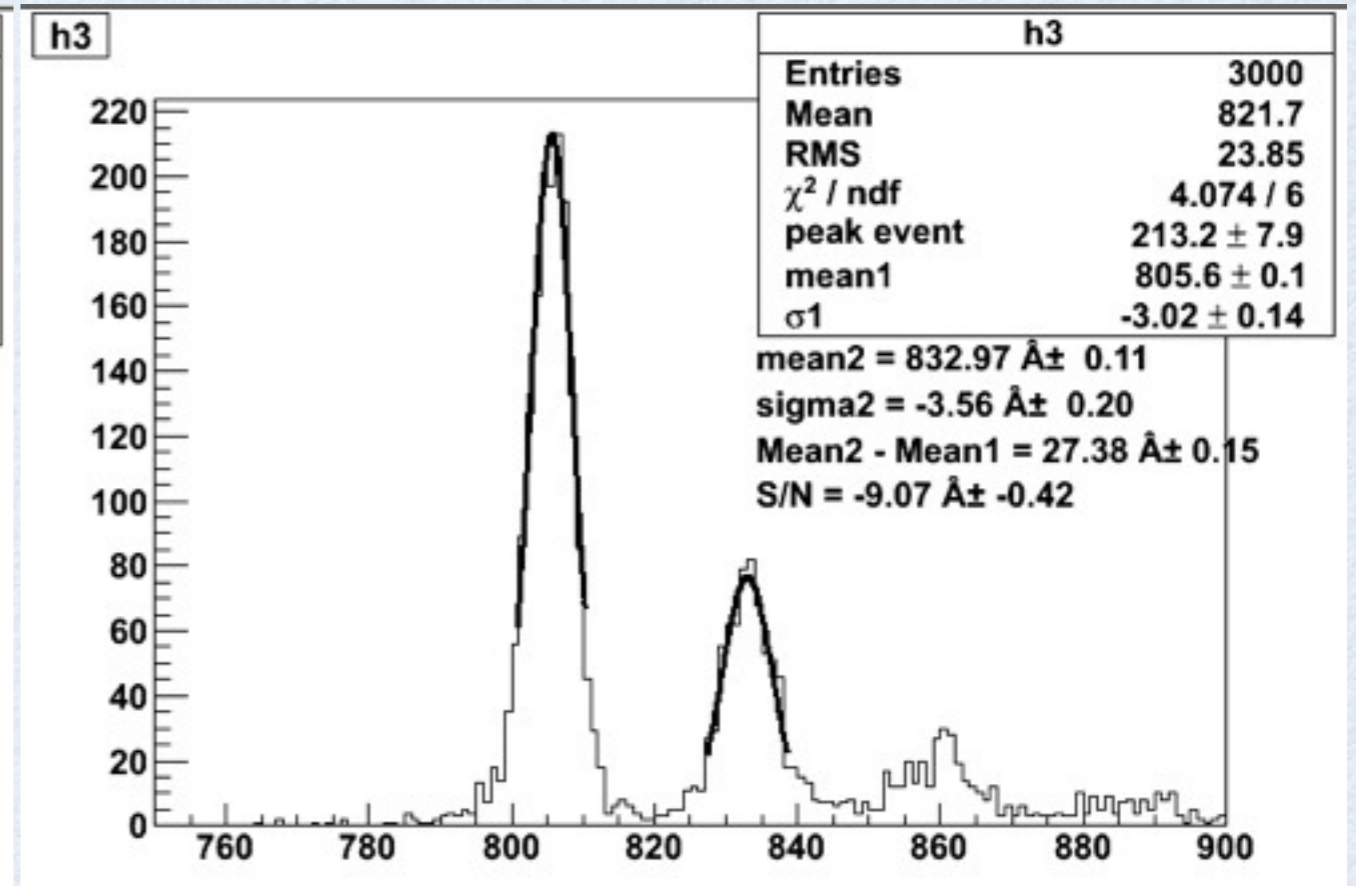
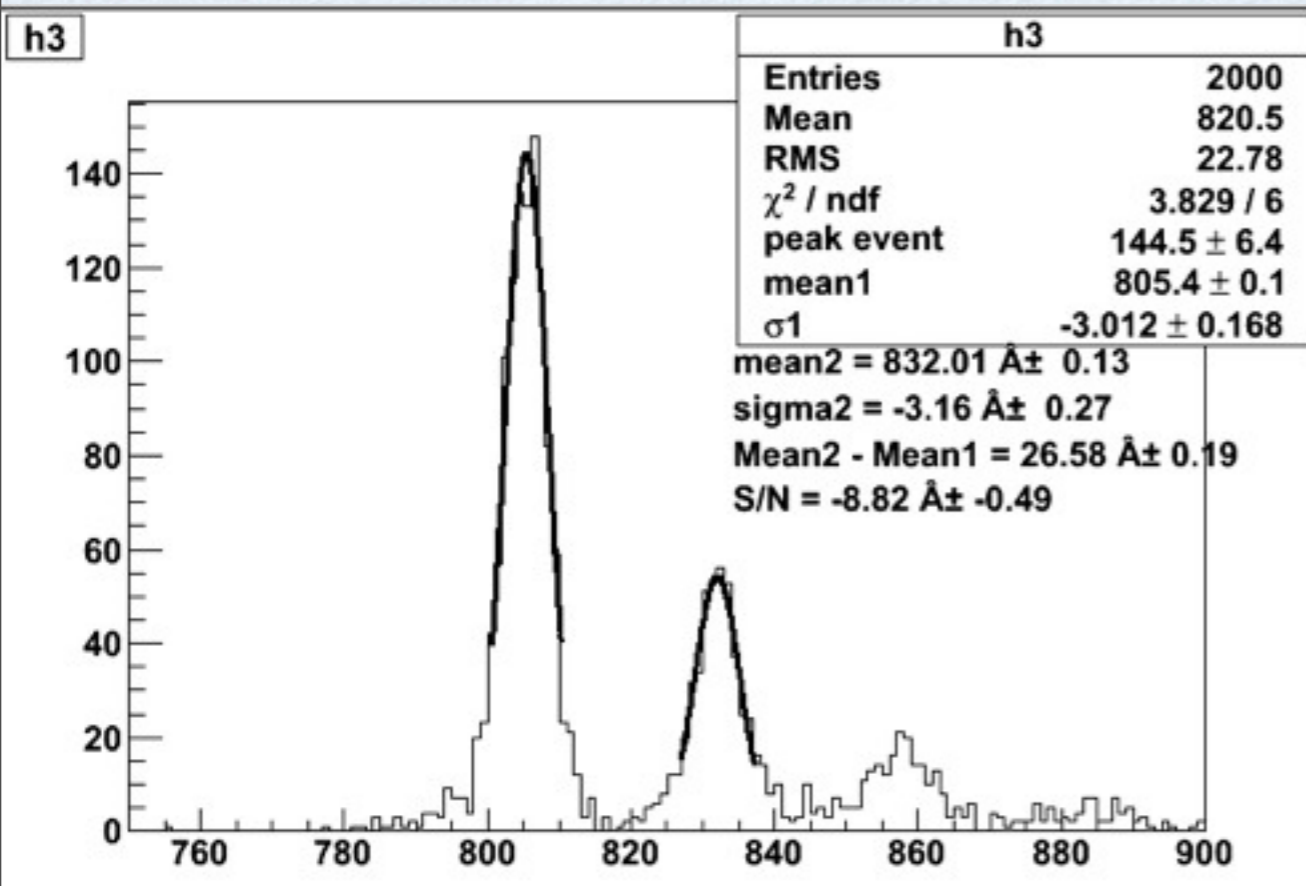


DAC LSB : $0.03 \text{ mV} \pm 0.01\%$

HV抵抗分割による monitoring
($9.67\text{M}\Omega:0.33\text{M}\Omega$)



ソースメーター vs LT3482



ソースメーター

LT3482

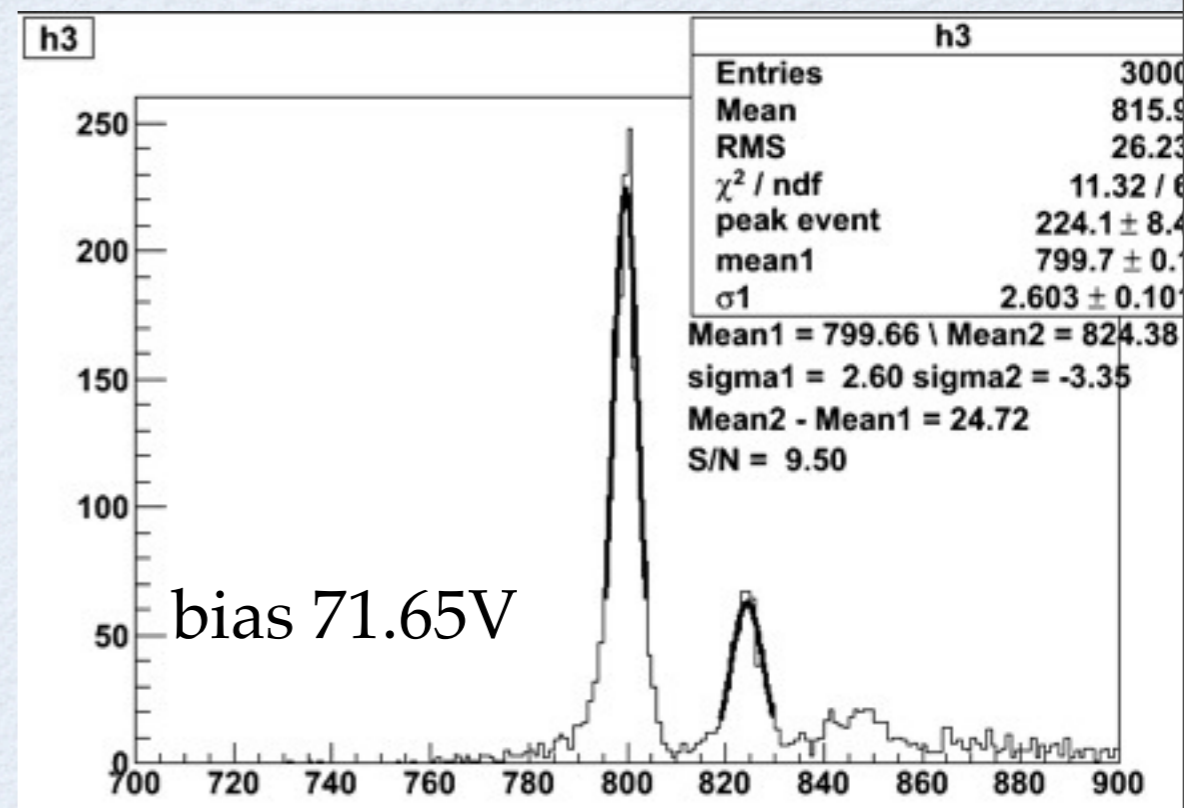
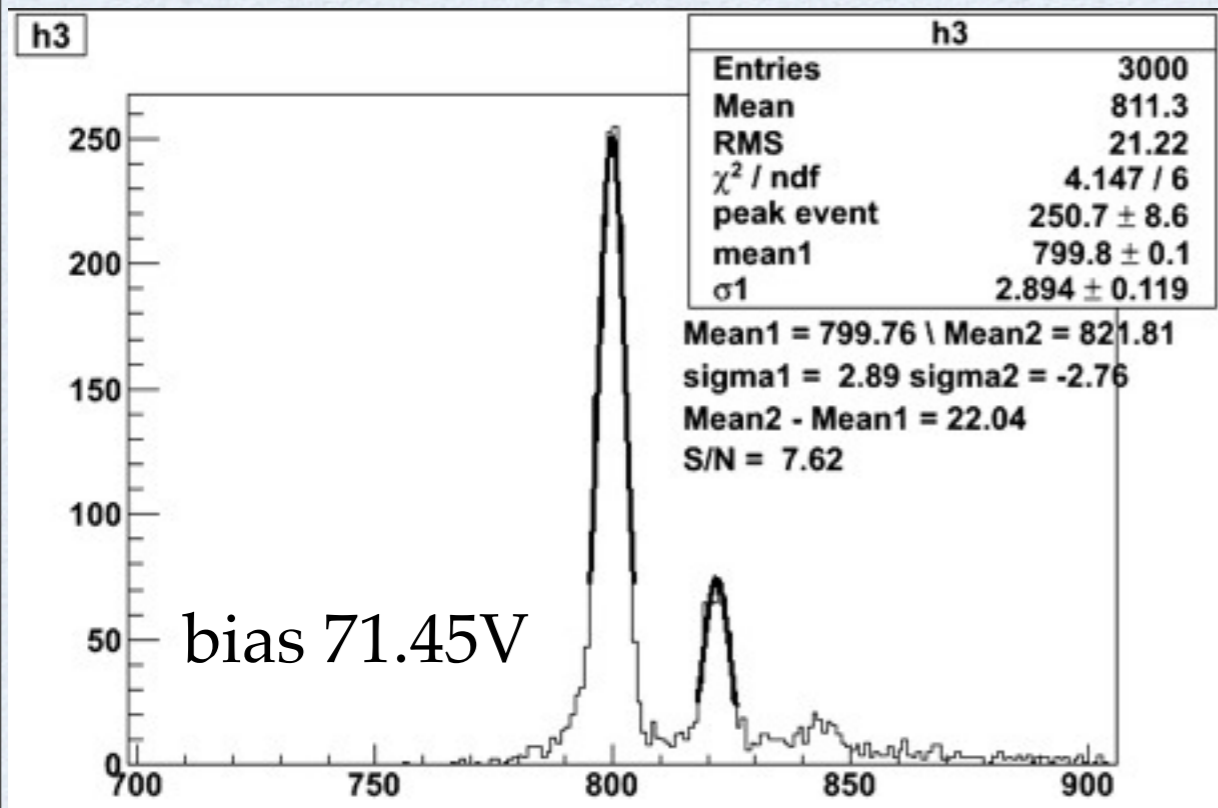
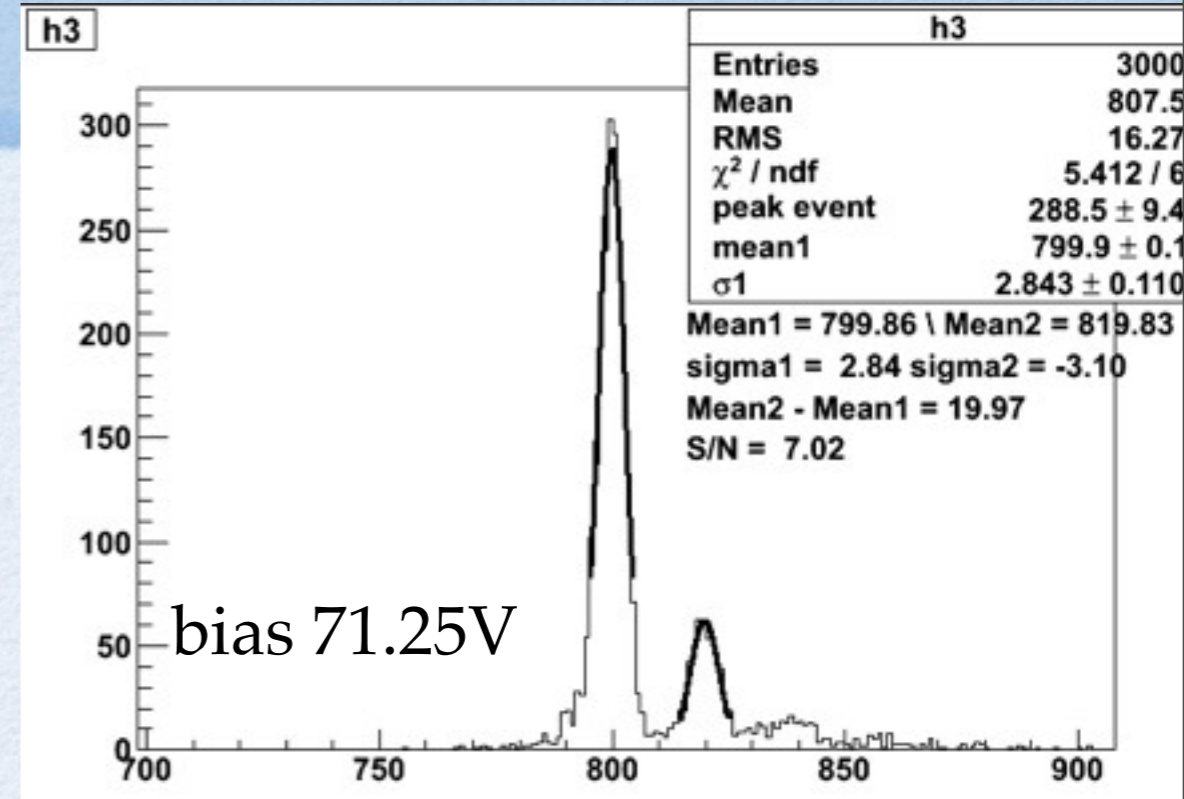
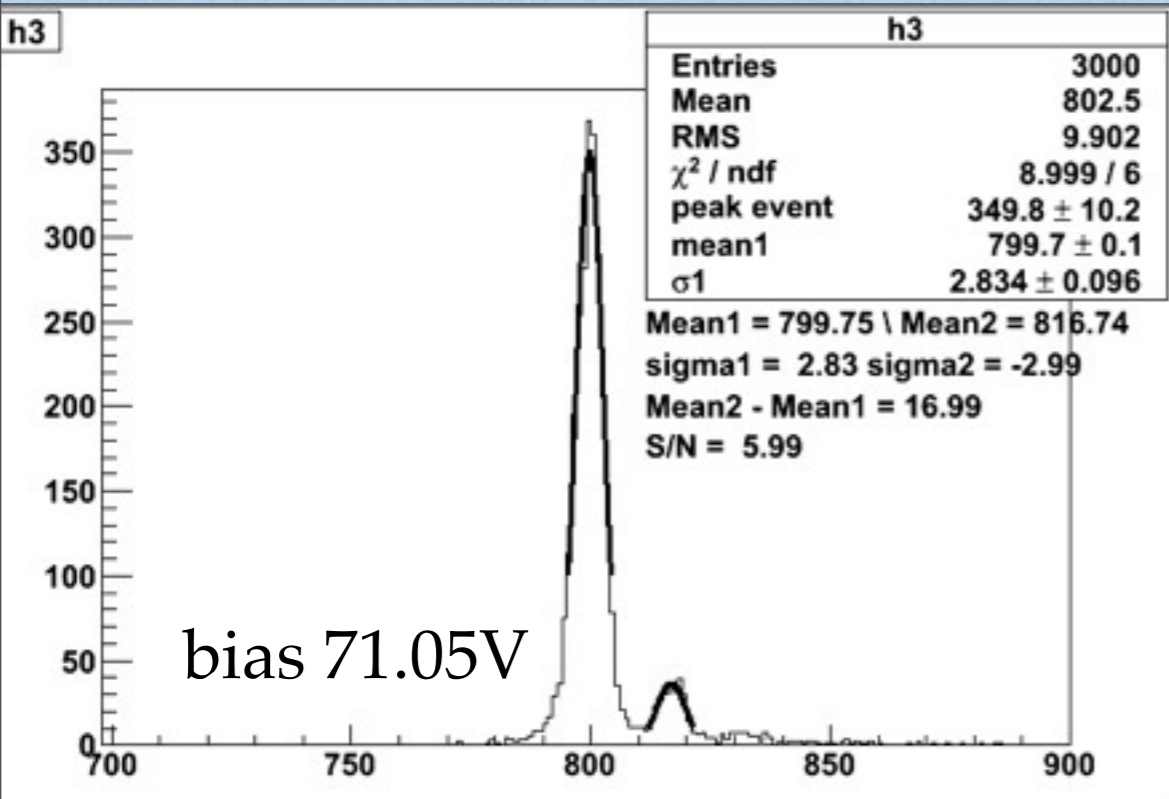
gain : x75

TimeConstant : 25ns

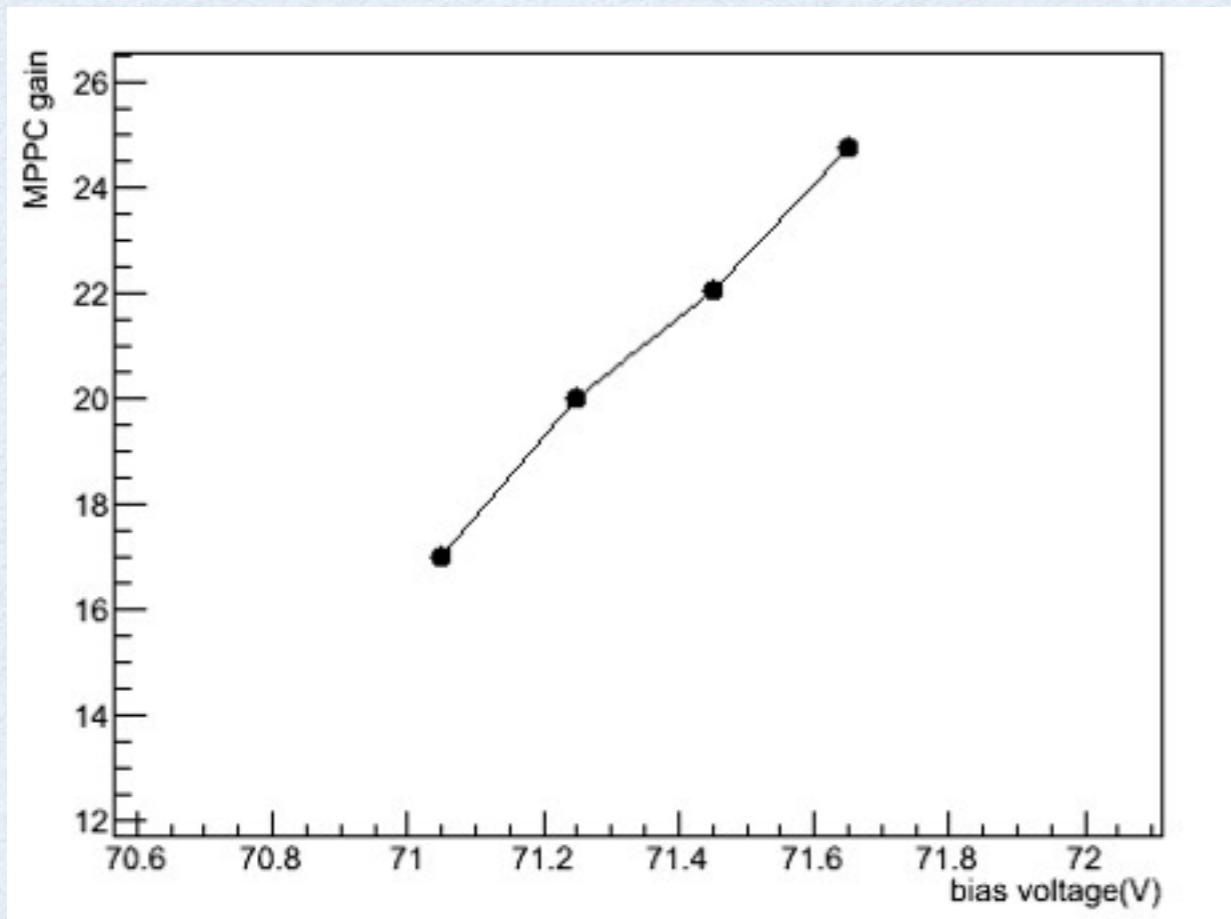
bias V : 71.05V

特に遜色なし (ノイズ幅等、誤差の範囲内で一致)

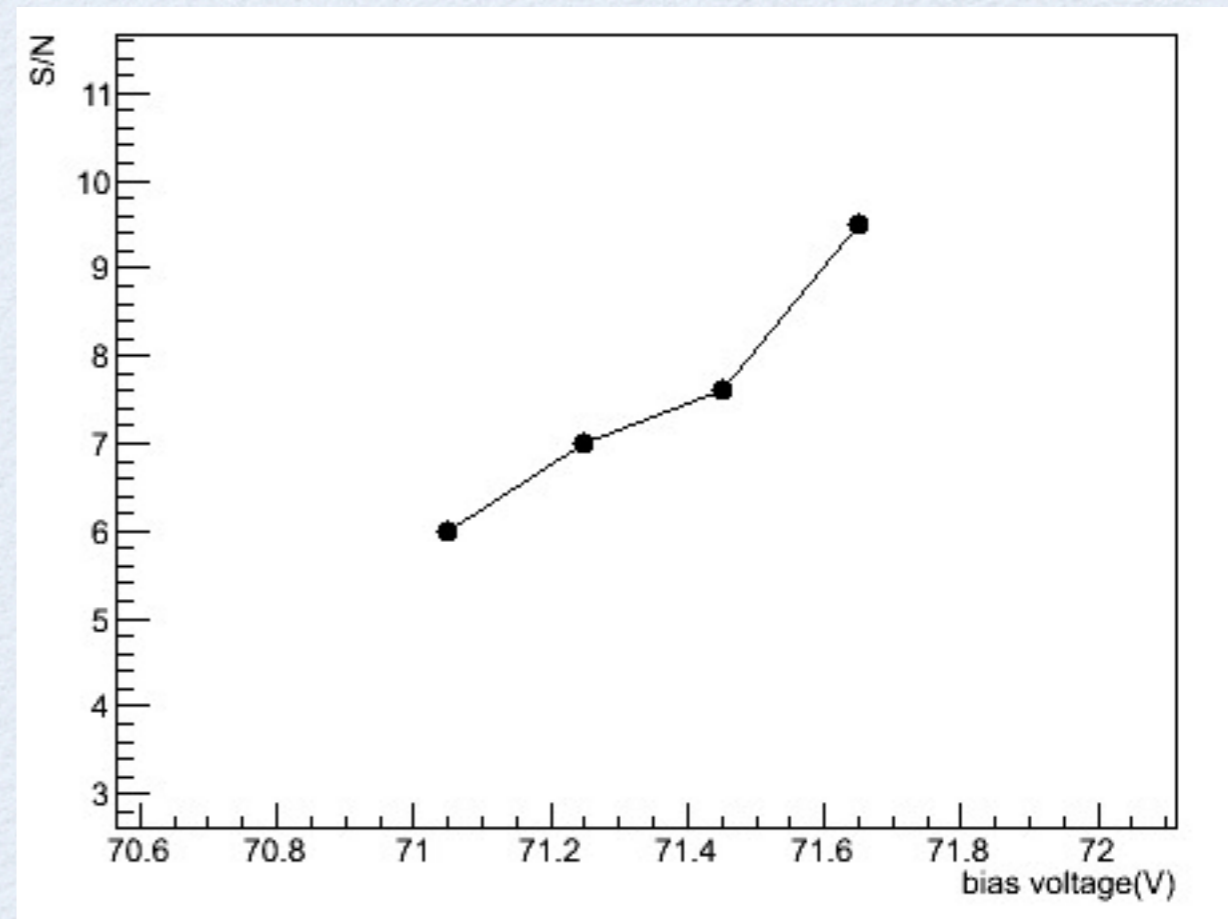
S/N



bias電圧を上げるとS/Nが良くなっていく → MPPCのノイズはあまりS/Nに影響しない 35



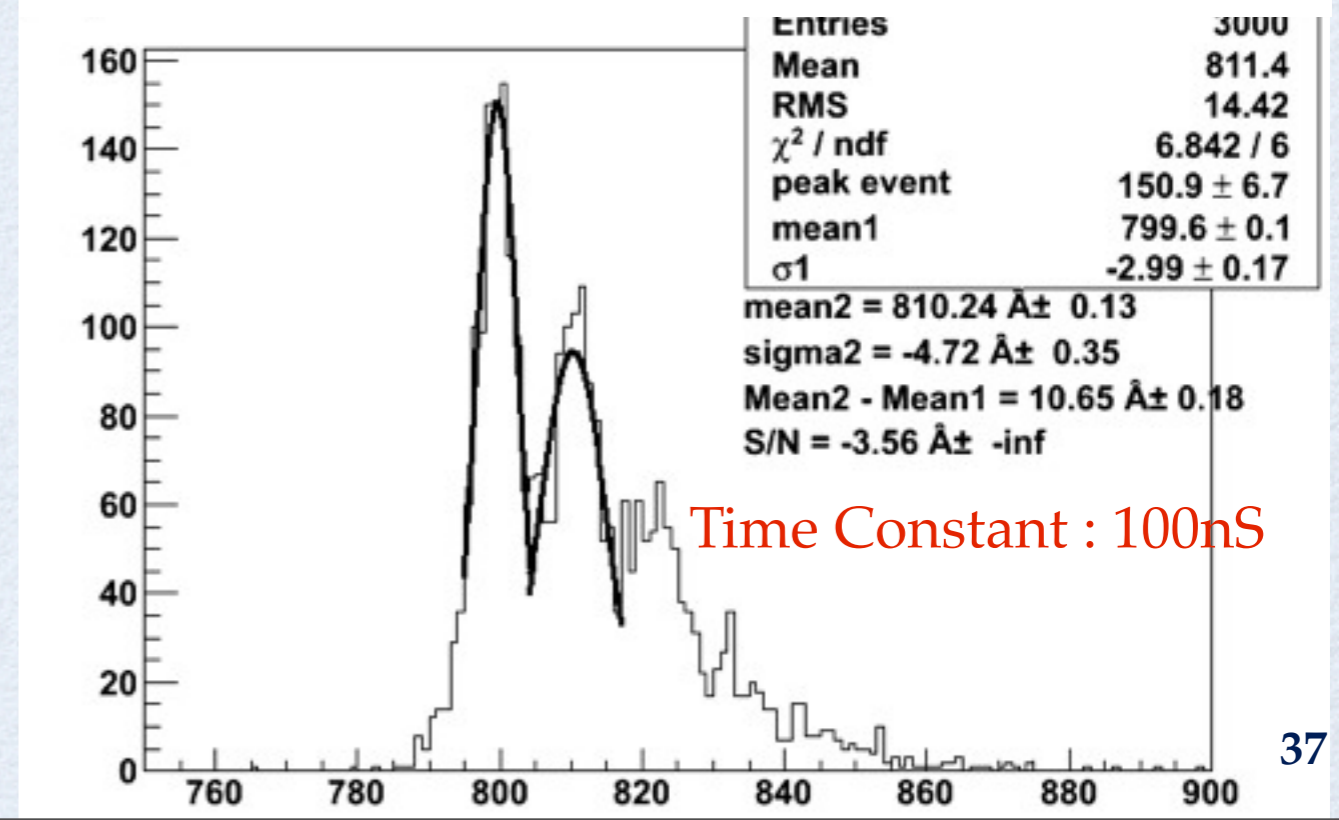
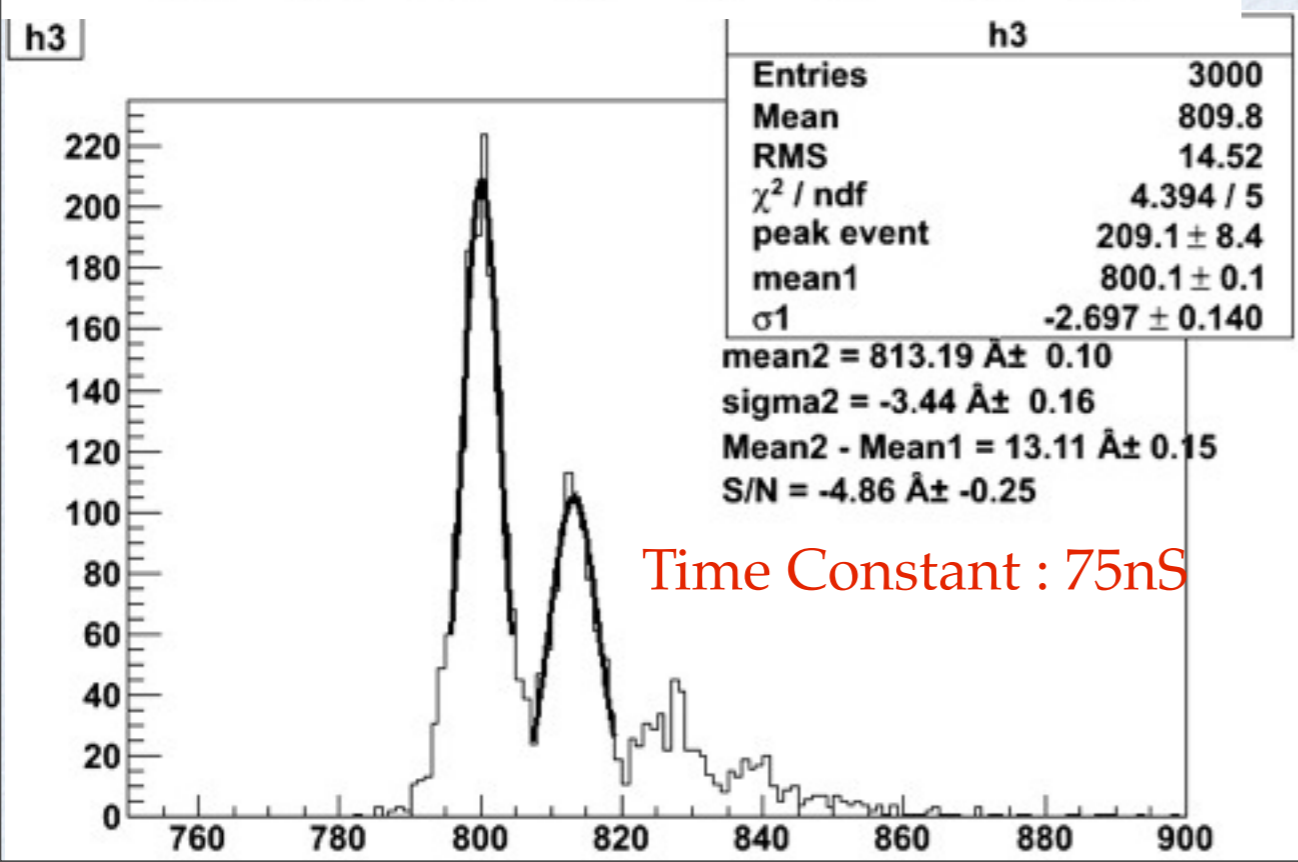
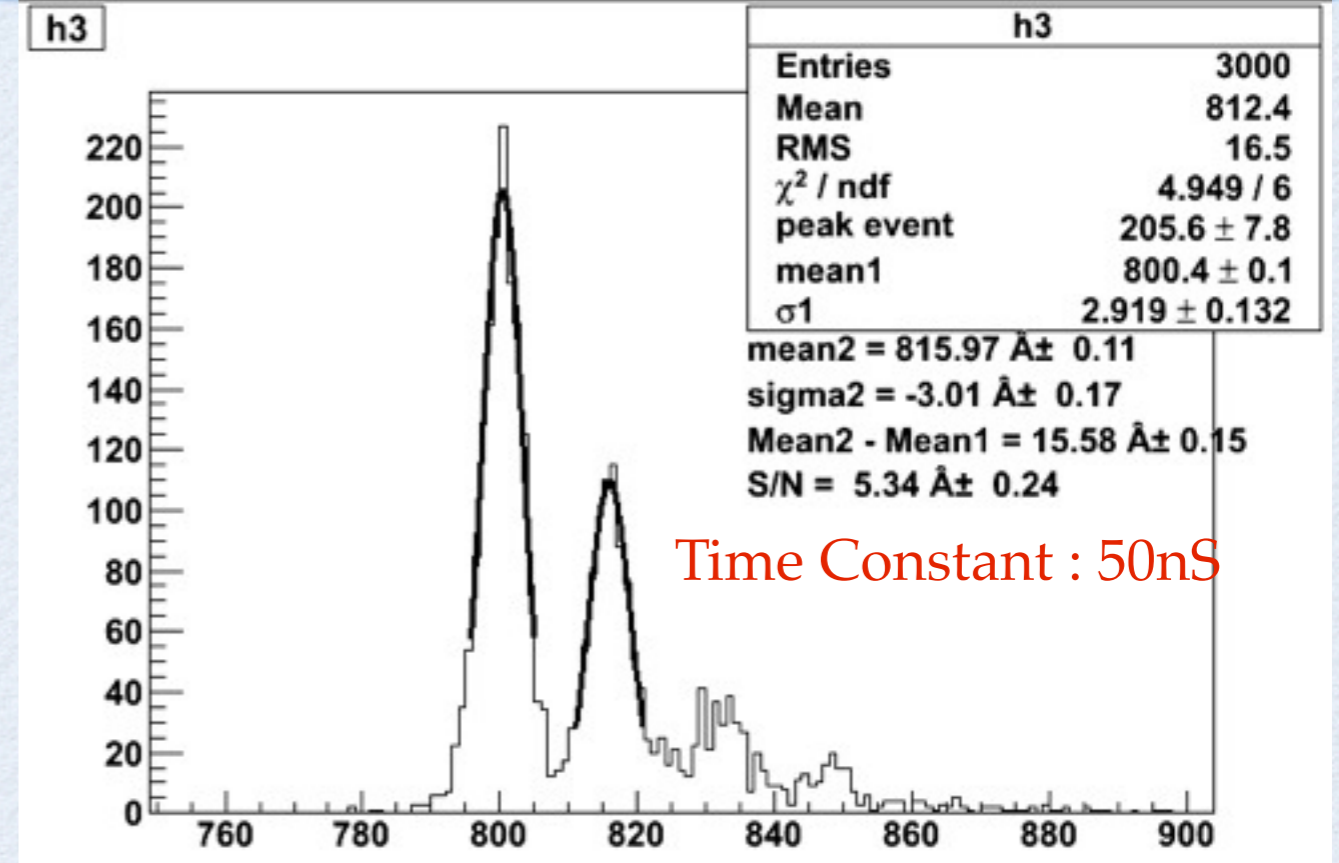
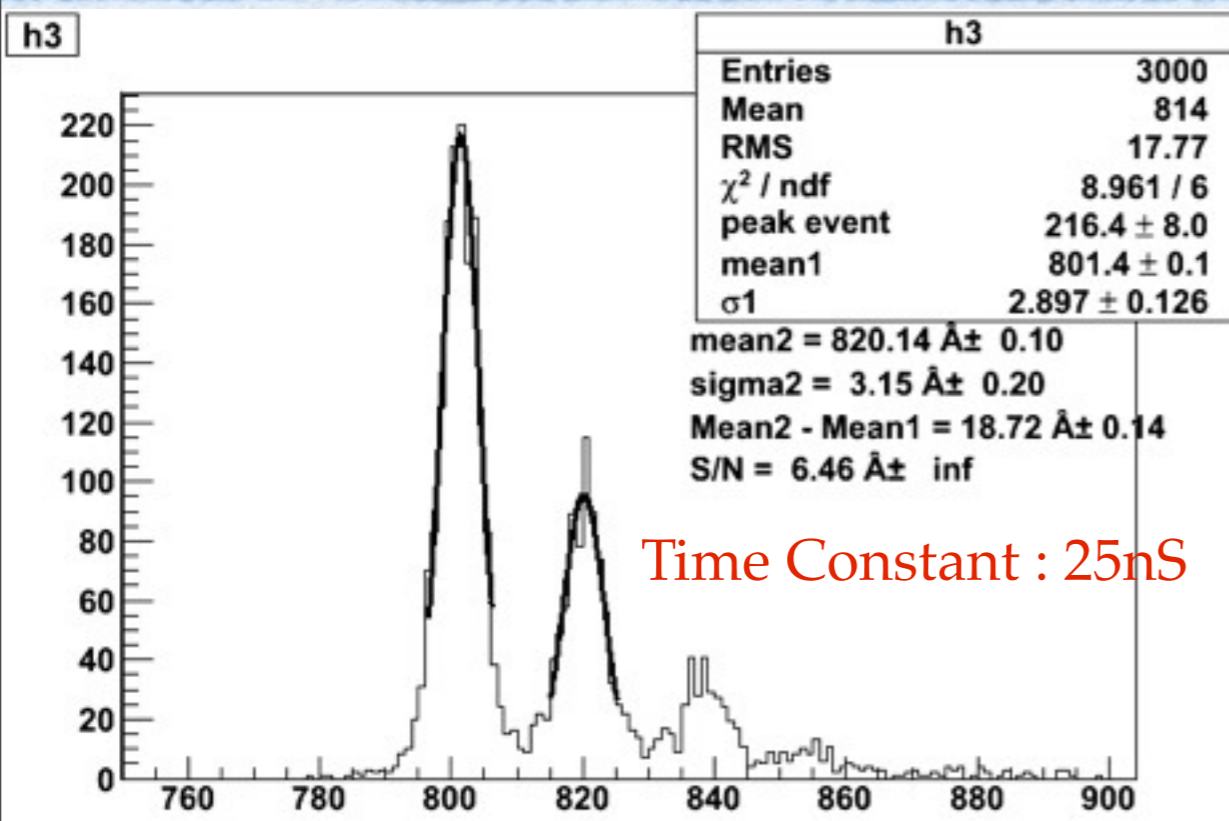
bias vs MPPC gain



bias vs S/N

Signal to Noise

bias: 70.85V (gain $\sim 7.5 \times 10^5$)
AMP gain: x50



bias: 70.85V(gain~7.5x10⁵)

Time Constant: 25ns

