

VMETDCモジュールの開発 と失敗談

庄子 正剛 E-SYS IPNS KEK

計測システム研究会2013@核融合研

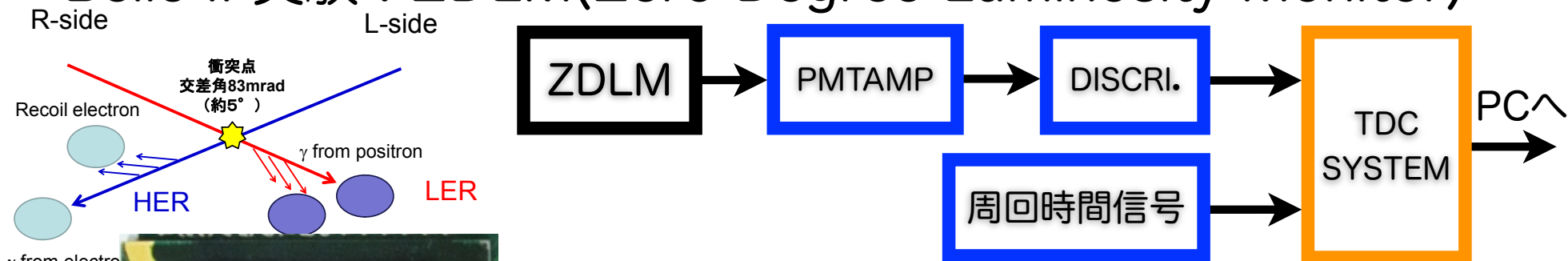
2013/07/11

目次

- VMETDCボード開発について
 - 開発と失敗談
 1. VMETDC
 2. TDCテスター
- まとめ

VMETDCモジュール開発について

- 開発の始まり
- Belle II 実験 : ZDLM (Zero Degree Luminosity Monitor)



- ZDLMで

- 信号入 (設置台数)

- 時間分 (μm間隔を4σで分離)

- 入射レ (束の1%を想定)



- VMETDCに使用するTDCスペック

- 信号入力 : 32ch

- 時間分解能 : 781, 196, 98, 25 ps

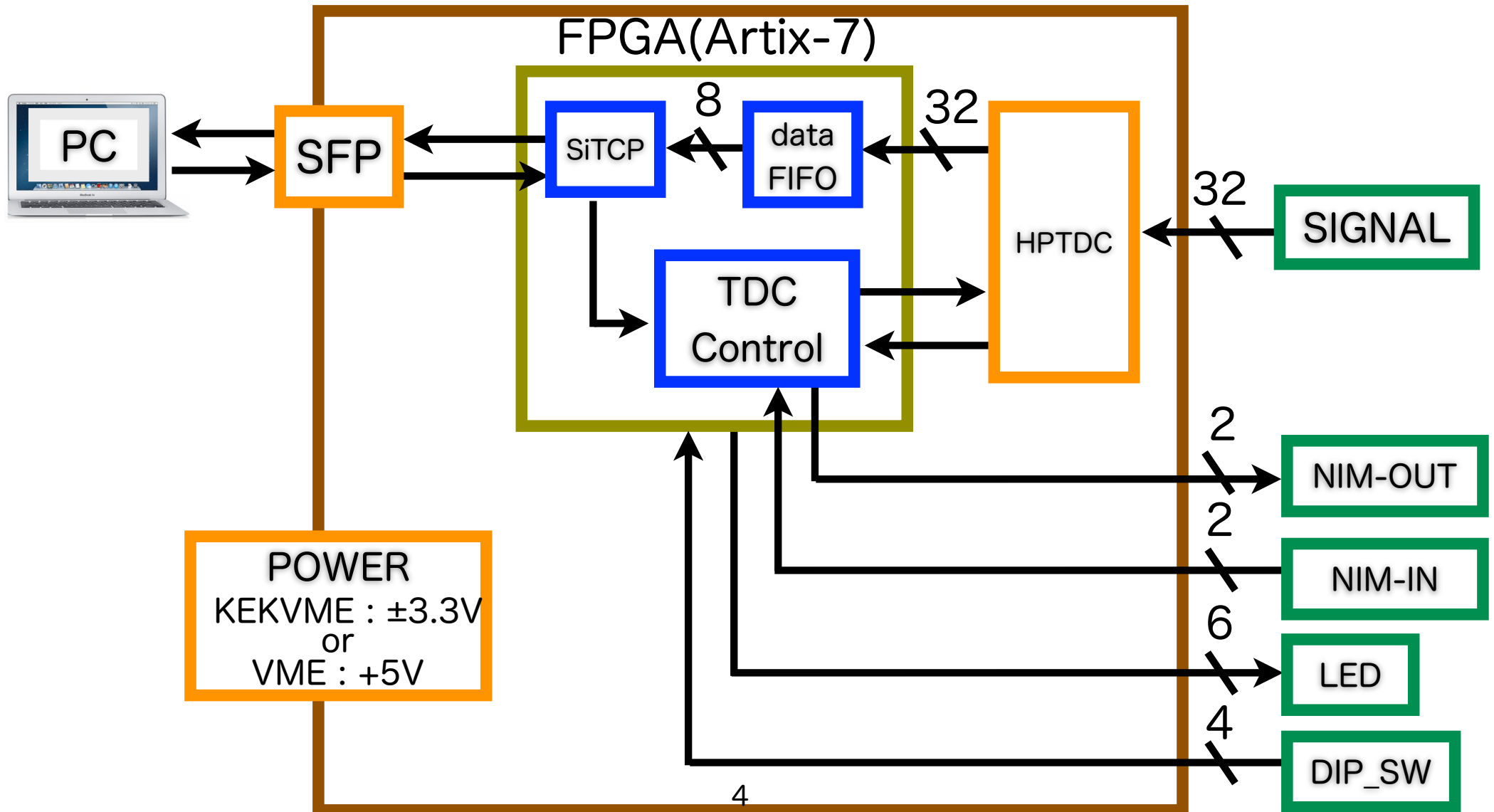
- 入射レート : 最大8MHz

[目標]

汎用的なVMETDCモジュールを開発

VMETDCブロック図

VMETDC : 汎用I/Fを搭載し、外部トリガー、外部クロック、同期信号の入出力を利用可能



VMETDCボード

VME & KEKVME両対応コネクタ

FPGA : Artix-7(xc7a100t-2FGG676)

HPTDC

SFP光モジュール

TDC INPUT(NIM) 32ch

NIM IN/OUT 各2ch

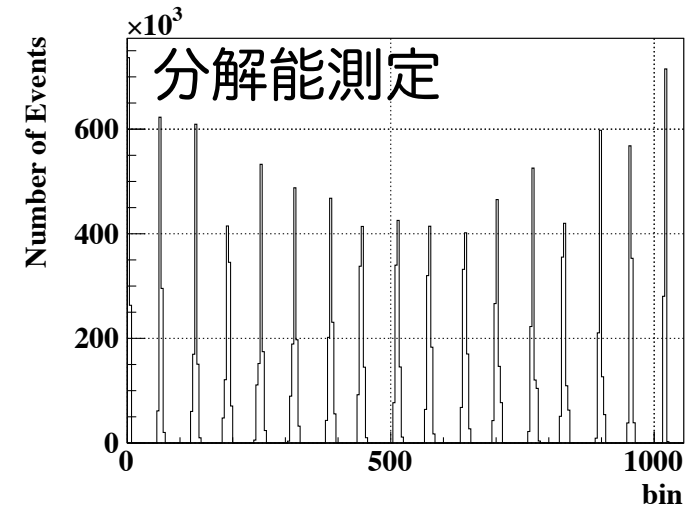
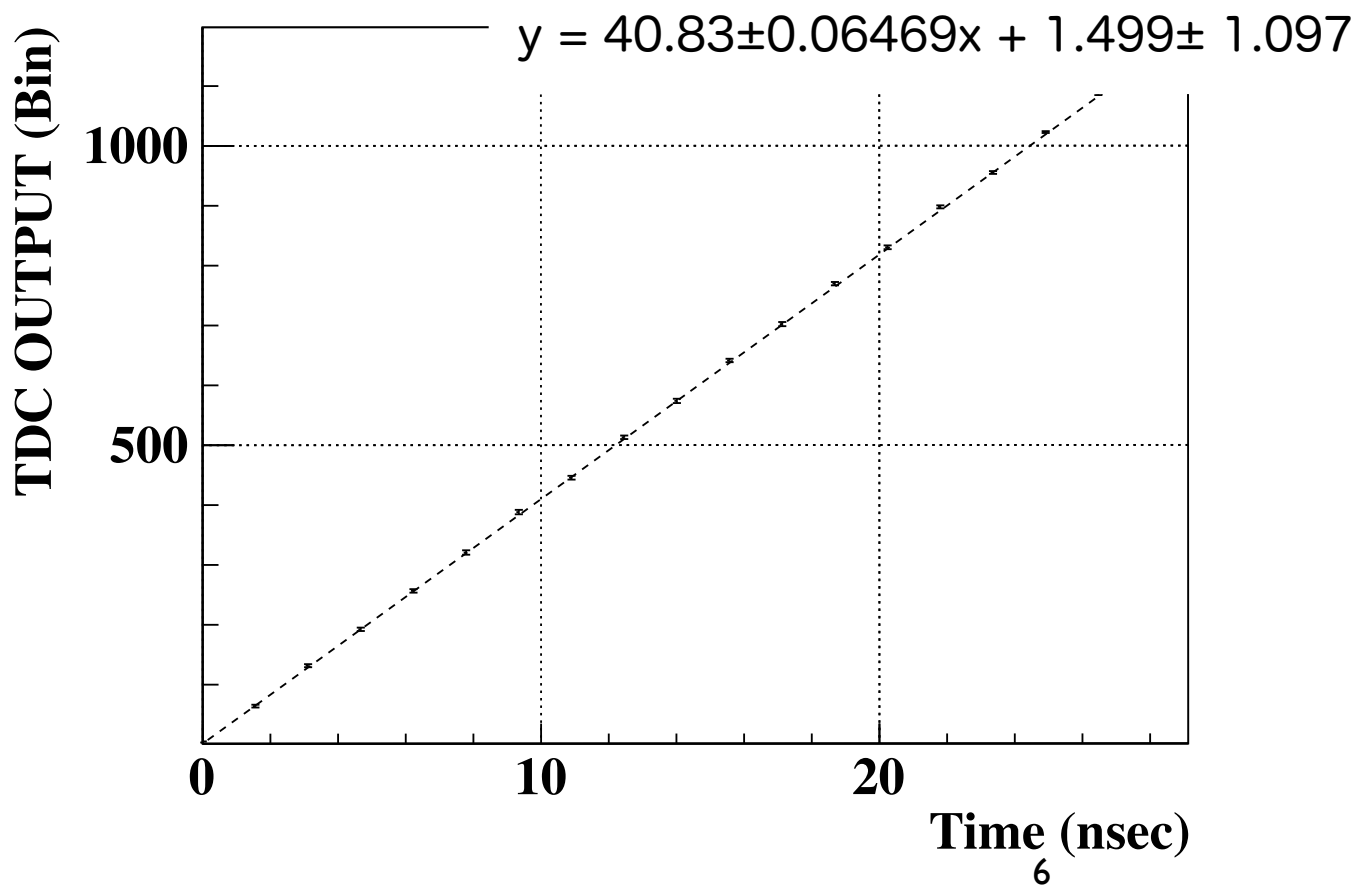
どのタイプのVMEクレータでも
使用可能



VMEクレータ

TDCの線形性の確認

- 時間分解能設定：98ps
- ファンクションジェネレータを用いて、0~25nsまでの範囲を等間隔で測定



$$\sigma = \text{平均}44.7\text{ps}$$

VMETDCボードの失敗談

- その1：思うような電圧が出てない
(3.3Vが2.9Vになる)
- その2：SFP(光トランシーバ)が動かない
(リンクが確立しない、pingが返ってこない)

その1：思うような電圧が出てない (3.3Vが2.9Vになる)

Artix7には電源投入シーケンスがある
流れとしては、
1.0V→1.2V→2.5V→3.3V

+3.3V用スイッチとして付けた
NMOS-FET

回路図を間違えた・・・

G : 3.3V ← $V_{GS(th)}=1.6V$ を考慮し忘れた...

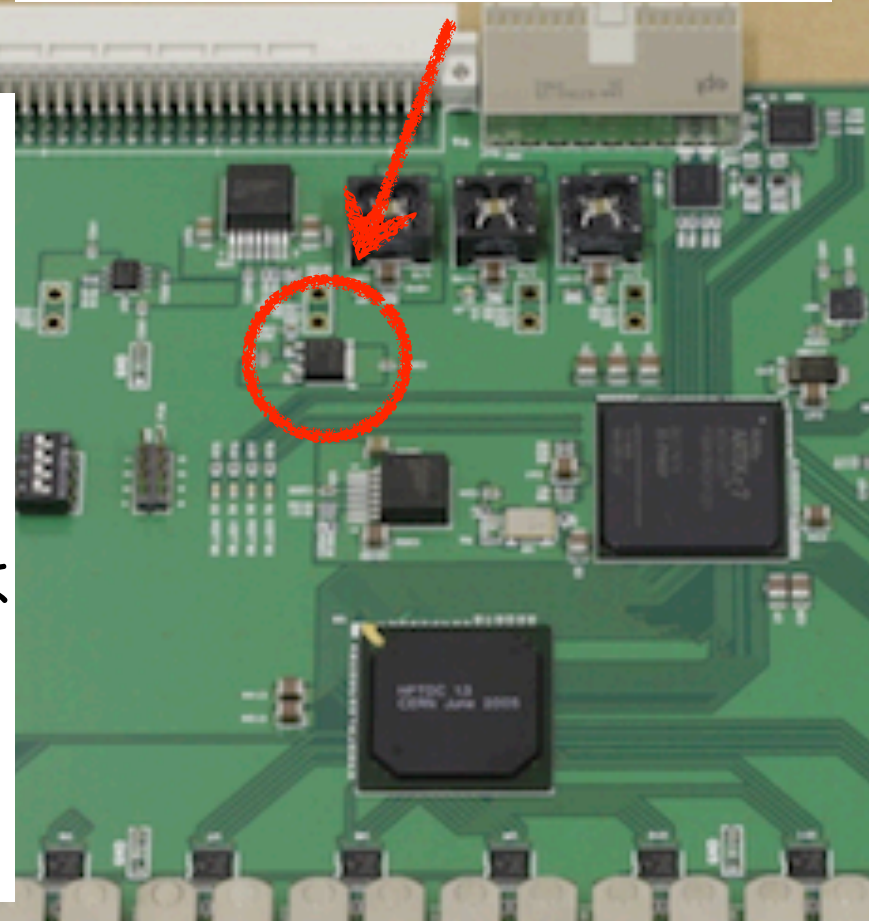
Gに5Vを印可すれば3.3Vを出力できる

D : 3.3V、S : 2.9V

この様に電源にスイッチを付けたい場合は

TIのTPS27082LというICが便利

(入出力電圧 min/max = -0.1/8V)



その2 : SFP(光トランシーバ)が動かない (リンクが確立しない、pingが返ってこない)

これはSFPモジュールを
挿入するソケット



SFPモジュール

- 症状 : リンクが確立しない、pingが返ってこない
- → TDCの設定、データの取得が不可能

SFPモジュールの相性が問題だった

試したSFPモジュール

1. AVAGO AFBR-57R6AEZ ← このモジュールを使ったときにリンクが上がらなかった
2. AVAGO AFBR-57D7APZ
3. Agillester GLC-SX-MM-AS
4. DELTA LCP-1250A4FSR-B

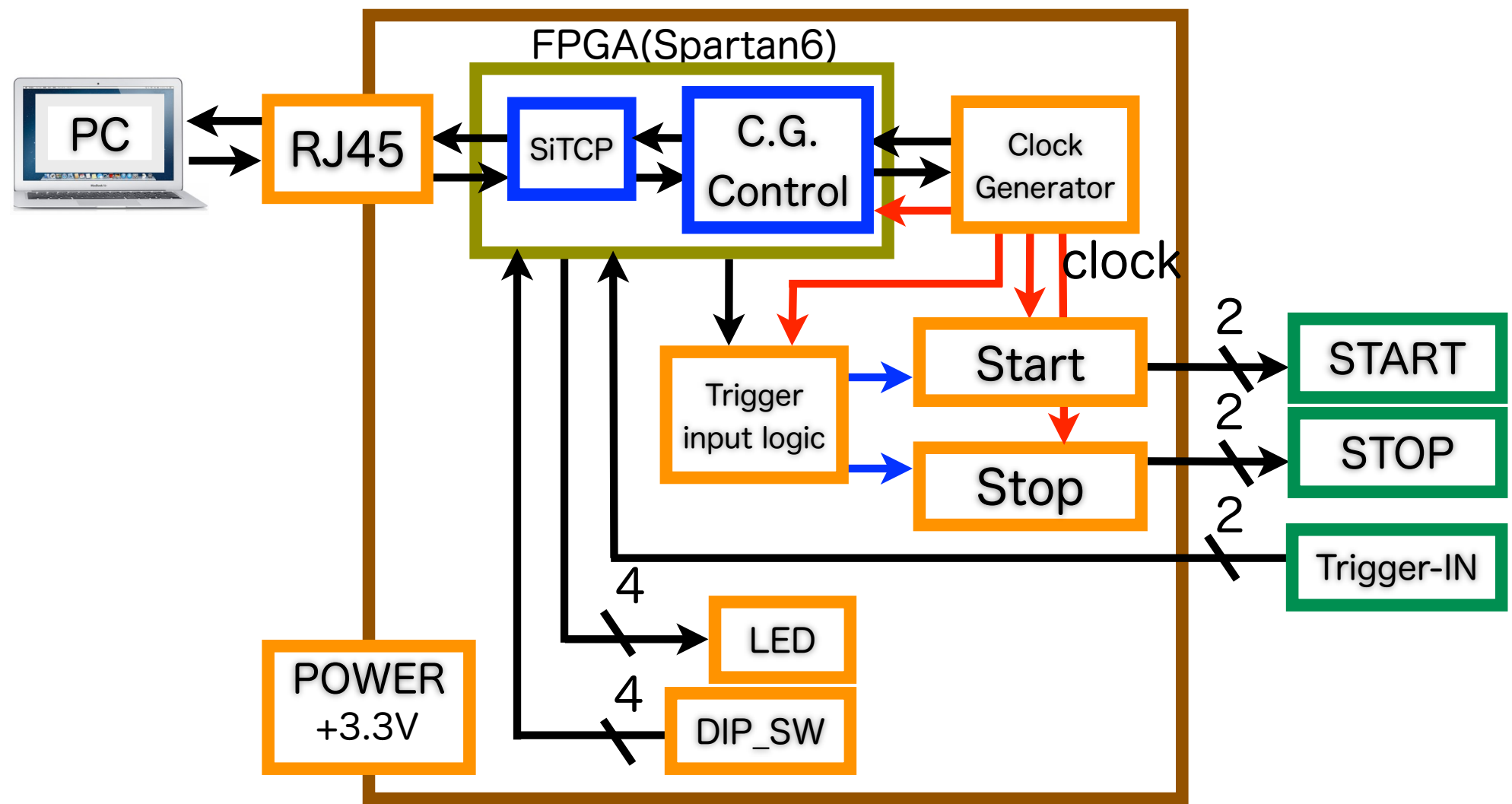
xilinxでも推奨品を教えてくれるので、参考にして
ください(例えば、AFBR-57D9AMZ[8ギガ対応])

TDCテストターの開発

- 開発目的
 - コンパクトで場所を選ばず、簡単に使えるもの
 - VMETDCをテストする(25ps以上の性能が必要)

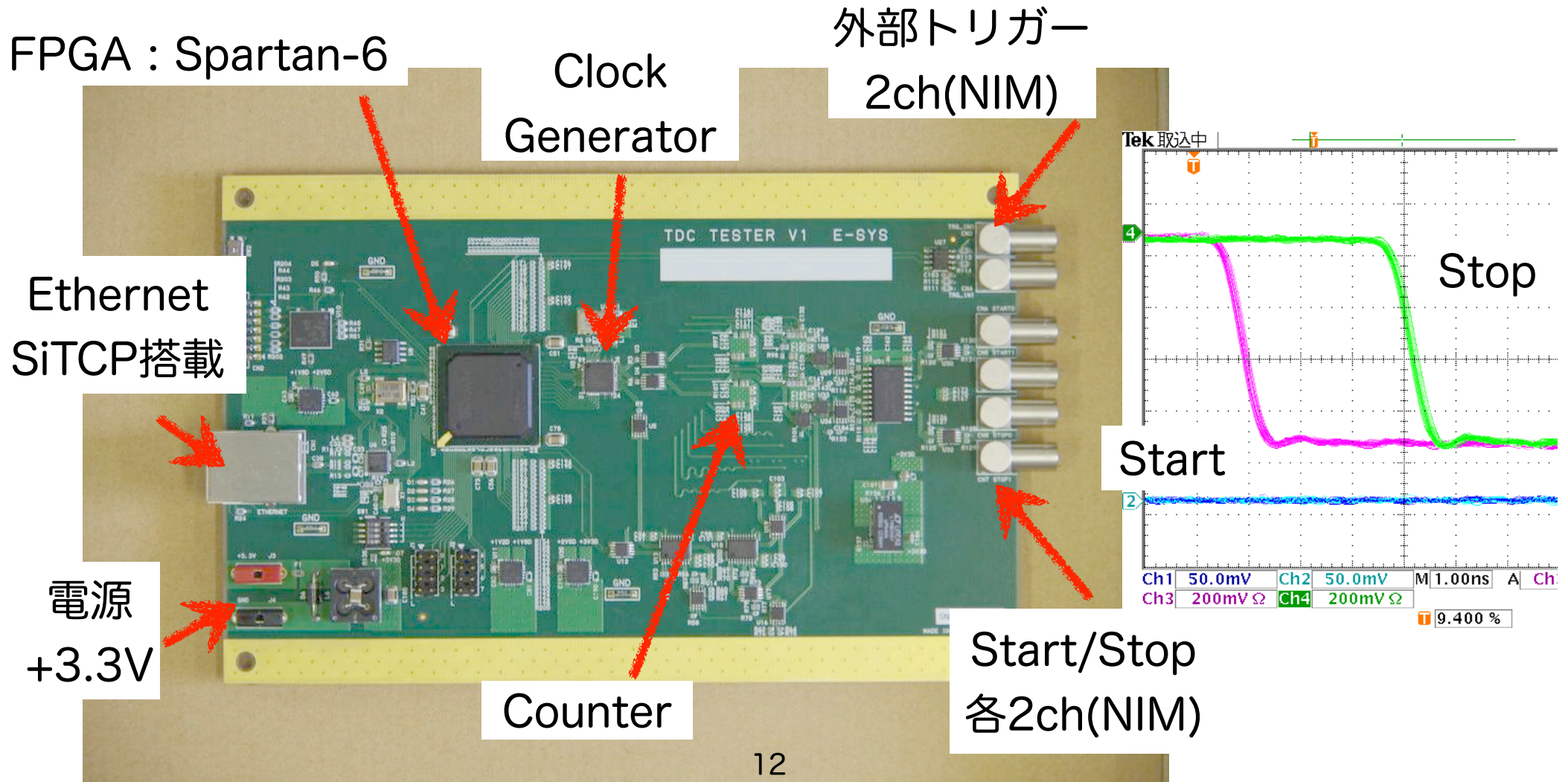
TDCテスターブロック図

TDCテスター：スタート、ストップ各2ch(リファレンス用途)
外部トリガー、内部トリガー(FPGA生成)

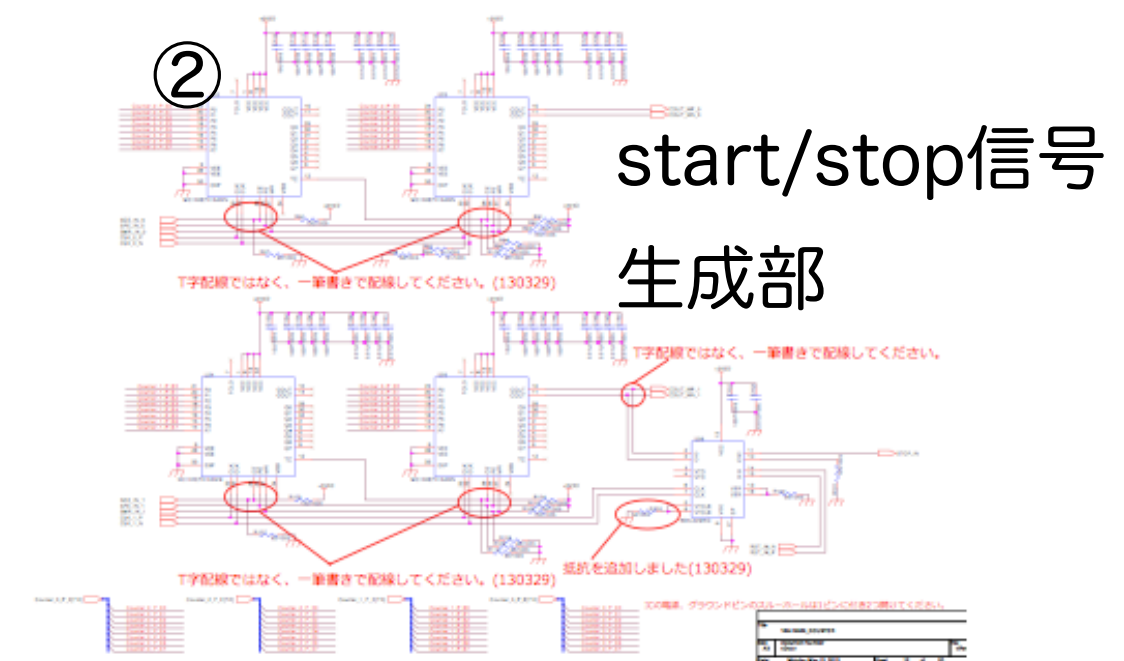
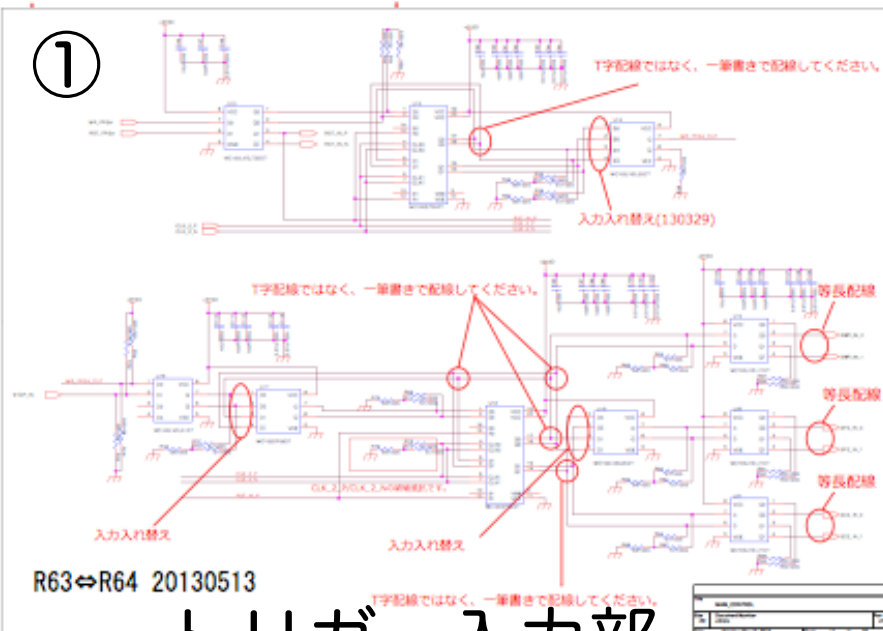
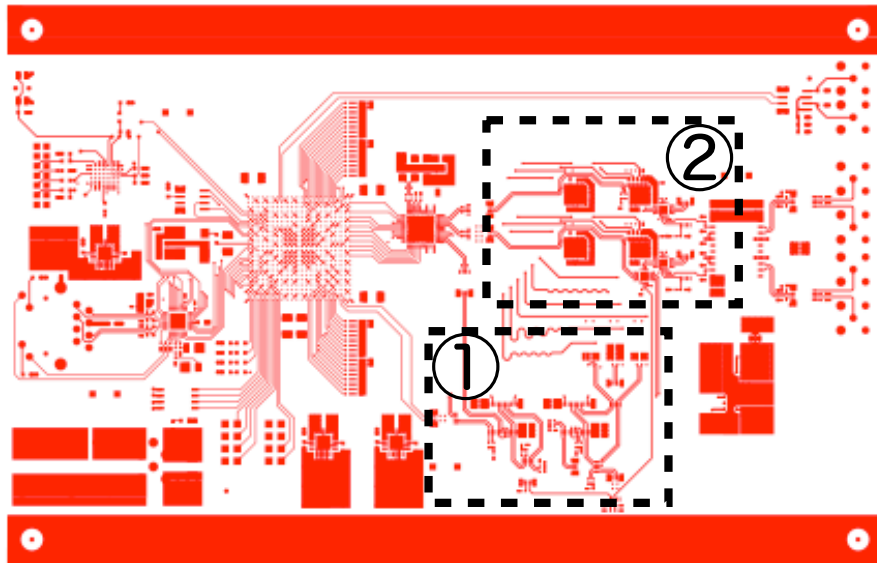


TDCテストターの開発

コンパクト、単体動作するTDCテストター
任意の間隔でスタート/ストップ信号を生成



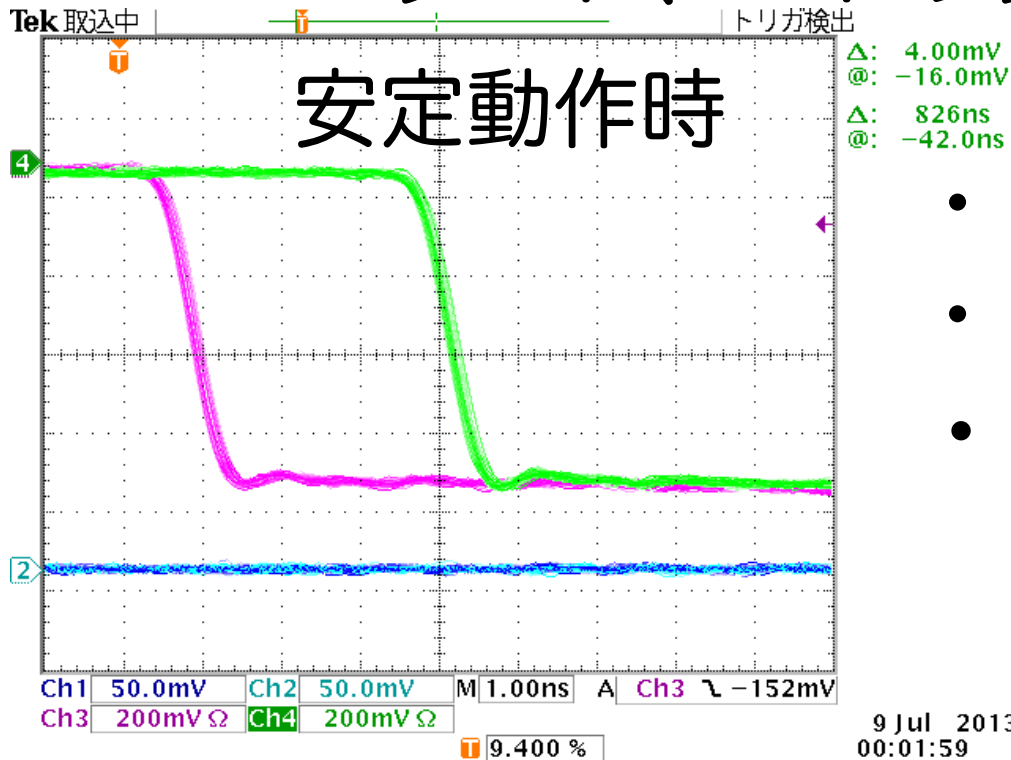
TDCテスター ECL (Emitter coupled logic) とパターン設計について



- 目指す周波数(800MHz)やジッターを考慮すると、FPGAで簡単に作れない
- スタート/ストップはロジックICを使って作っている

TDCテスターの失敗談

- スタート、ストップ信号が不安定だった



- 320MHz(C.G.出力)
- スタート/ストップ間隔：1clk(約3ns)
- 現象：スタート/ストップが前後、片方消えるなど...

- 原因：カウンターの初期値設定が悪かった
- 教訓：最も怖いのは自分自身の思い込み

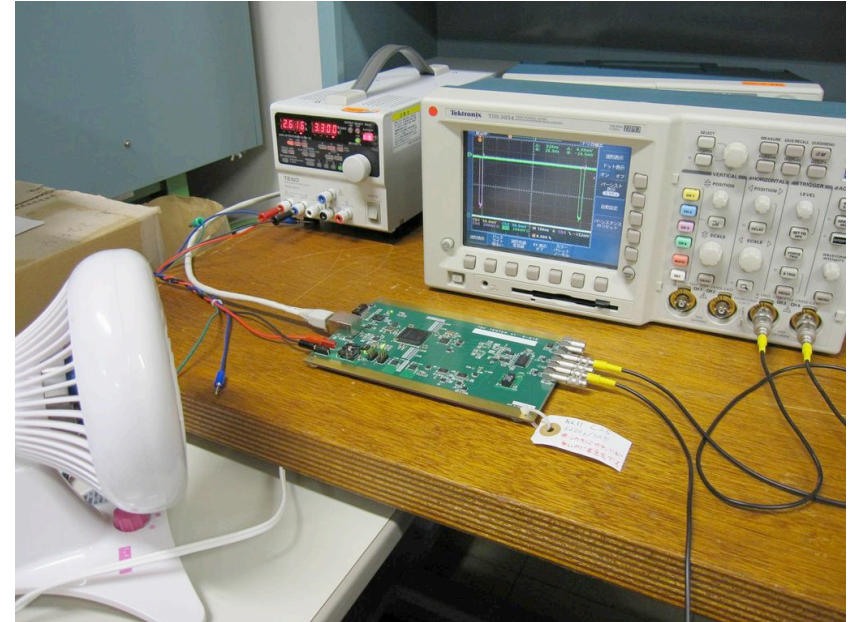
TDCテスター性能

- TDCテスター性能

- Clock Generator周波数：~ 800MHz
- Clockの遅延調節：10ps ~ 10ns
- スタート/ストップ範囲：10ps ~

- TDCテスター特徴

- スタート/ストップ生成回路はECL(emitter coupled logic)で構成
- C.G.、カウンタのパラメータ設定にFPGA(シリアルコントロール)を使用
- 外部トリガーの入力ができる
- コンパクト(180x120mm)で、+3.3V電源があれば、どこでも動作でき、
- CAMACやVMEを使用せず、単体でTDCのテストが可能



VMETDCボード&TDCテスター

まとめ

- 汎用的なVMETDCを開発
 - VME,KEKVMEのクレートに対応
 - TDCの線形性を確認
 - 汎用TOFカウンターの読み出しとして使用可能
- TDCテスターの開発について
 - スタート/ストップ信号間隔 10ps ~
 - コンパクトで場所を選ばず、TDCの性能評価が可能
- 今後の予定
 - TDCテスターを用いてVMETDCの性能評価を行う