

COMET実験における トリガーボード開発

藤井 祐樹



中国科学院高能物理研究所

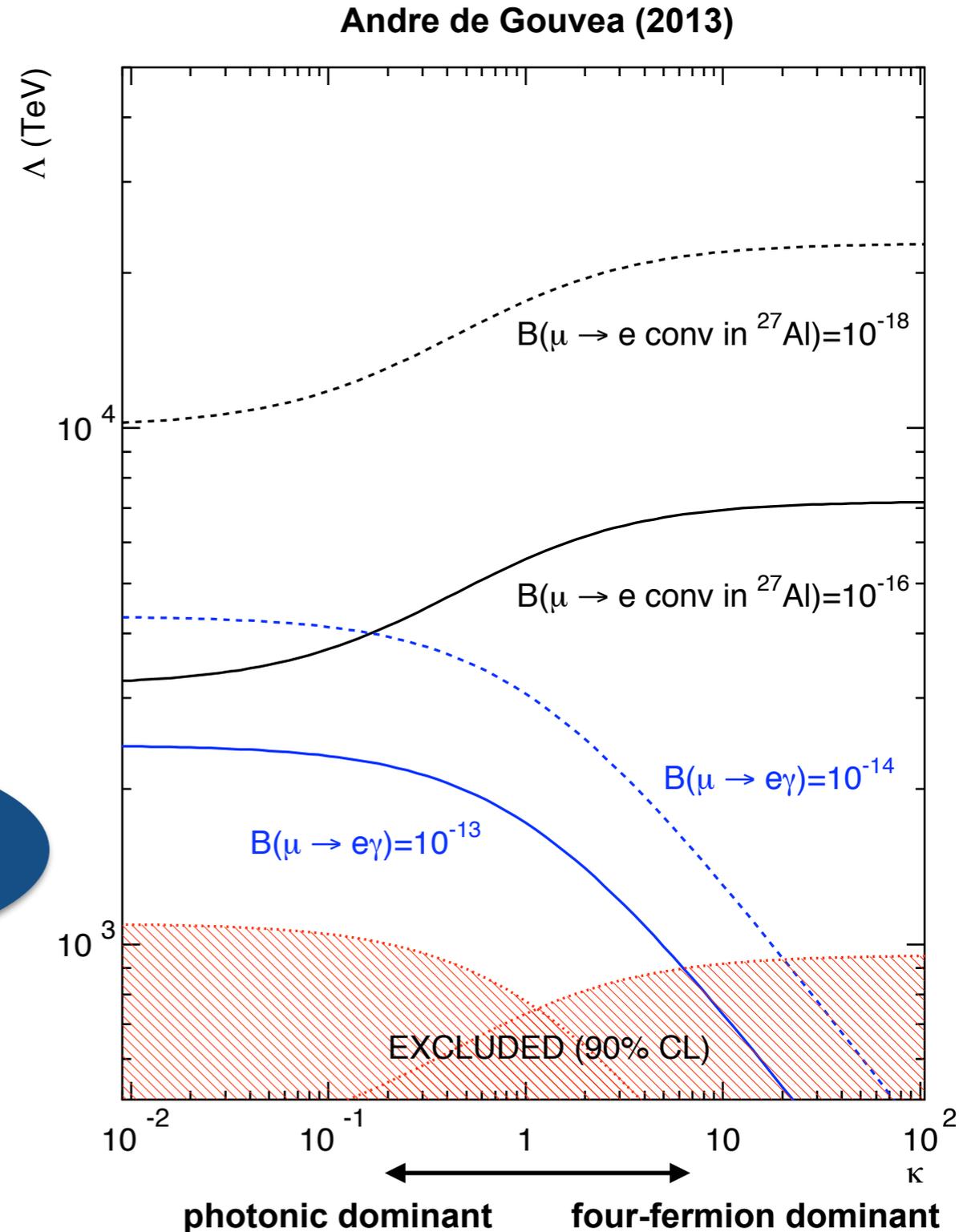
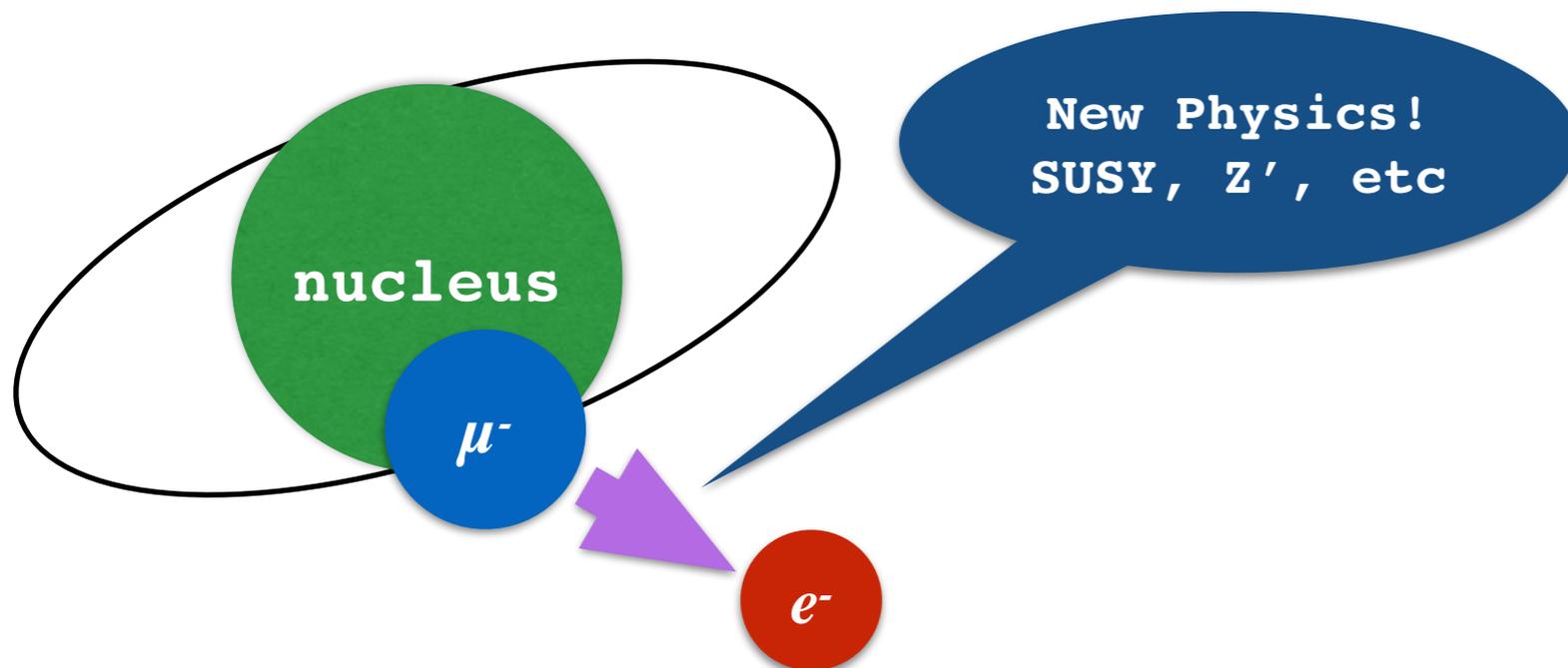
Institute of High Energy Physics Chinese Academy of Sciences

2014年10月21日

計測システム研究会@J-PARC

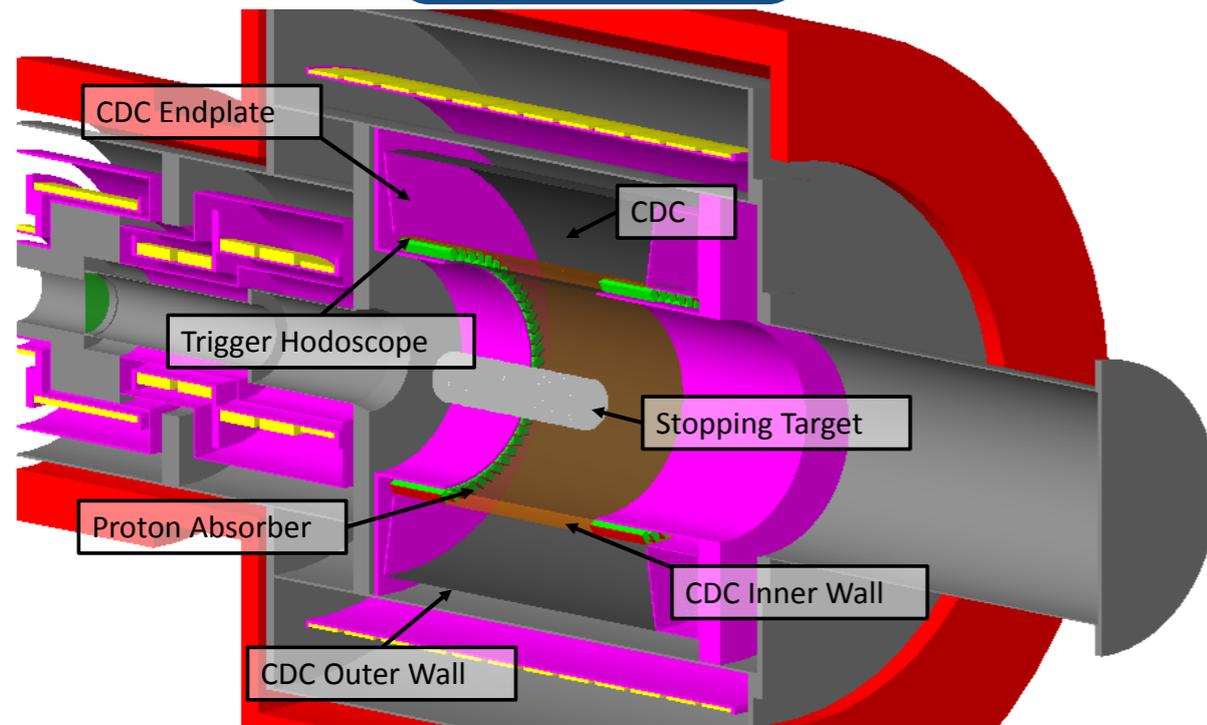
μ - e 転換

- ミュー粒子のFlavor非保存過程は未発見
 - 標準模型では小さなニュートリノ質量で厳しく制限(崩壊分岐比 $\sim O(10^{-54})$)
 - 多くの新物理では比較的大きな分岐比になり得る
- 見つければ新物理の証拠
 - 複数のCLFV過程を調べる事でモデルの検証や決定も可能



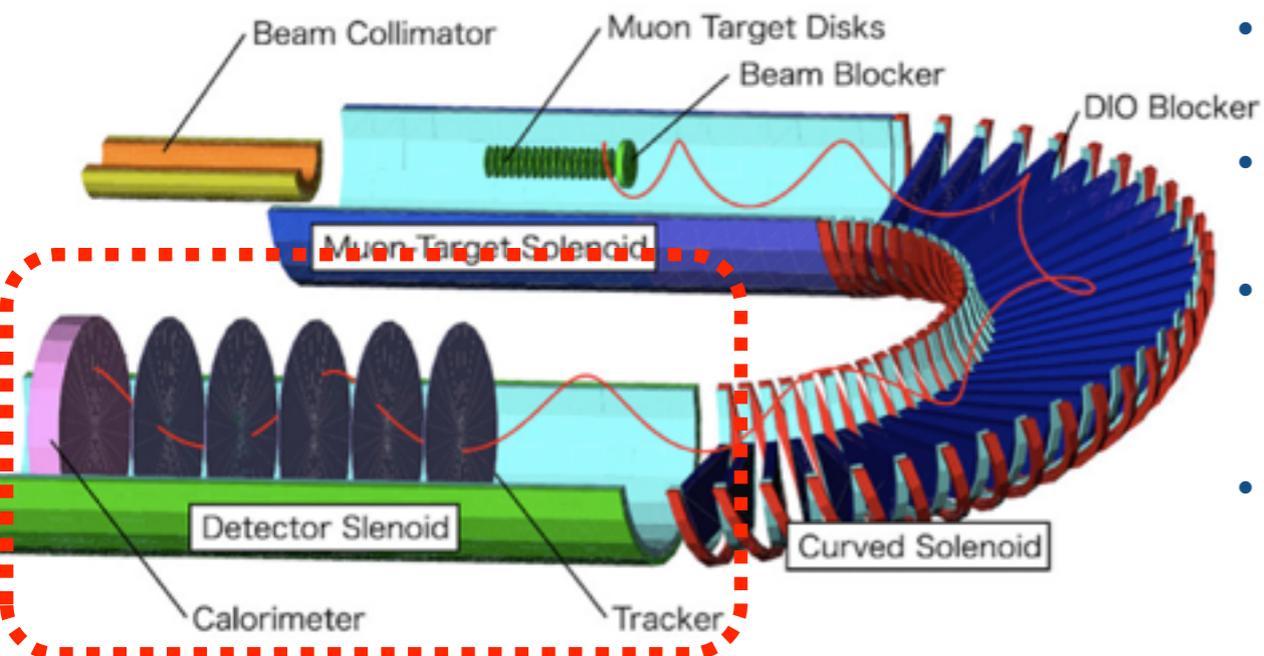
COMET Phase-I

CyDet



- CDCを用いた物理データ測定
 - 現在の上限値を100倍更新
 - DIO電子の多くはCDCに当たらずにカット可能
 - 数100keVの運動量分解能が得られれば十分達成可能
 - ただしアクシデンタルヒットによる高トリガーレートが問題になり得る
 - ⇒ Dead timeの増加によるトリガー効率低下が懸念事項

StrECAL

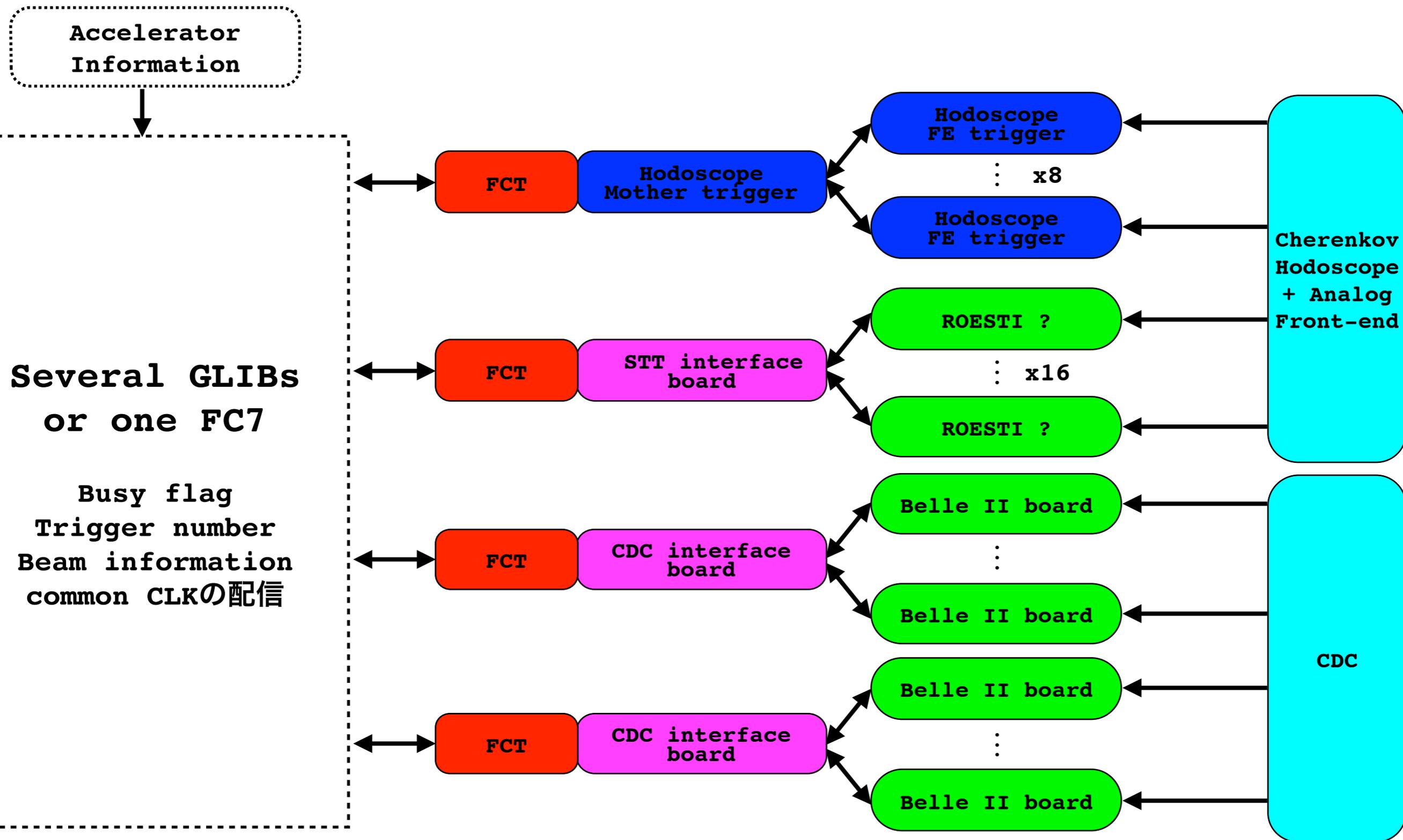


- Straw tube tracker + ECAL(StrECAL)を用いたビーム測定
 - Phase-II検出器のR&D
 - Phase-IIに向けた詳細なBackground評価
 - ターゲットをおかない為多くの粒子が直接検出器に到達する
 - ⇒ 物理データ測定同様高ヒットレート下での安定したデータ取得が課題

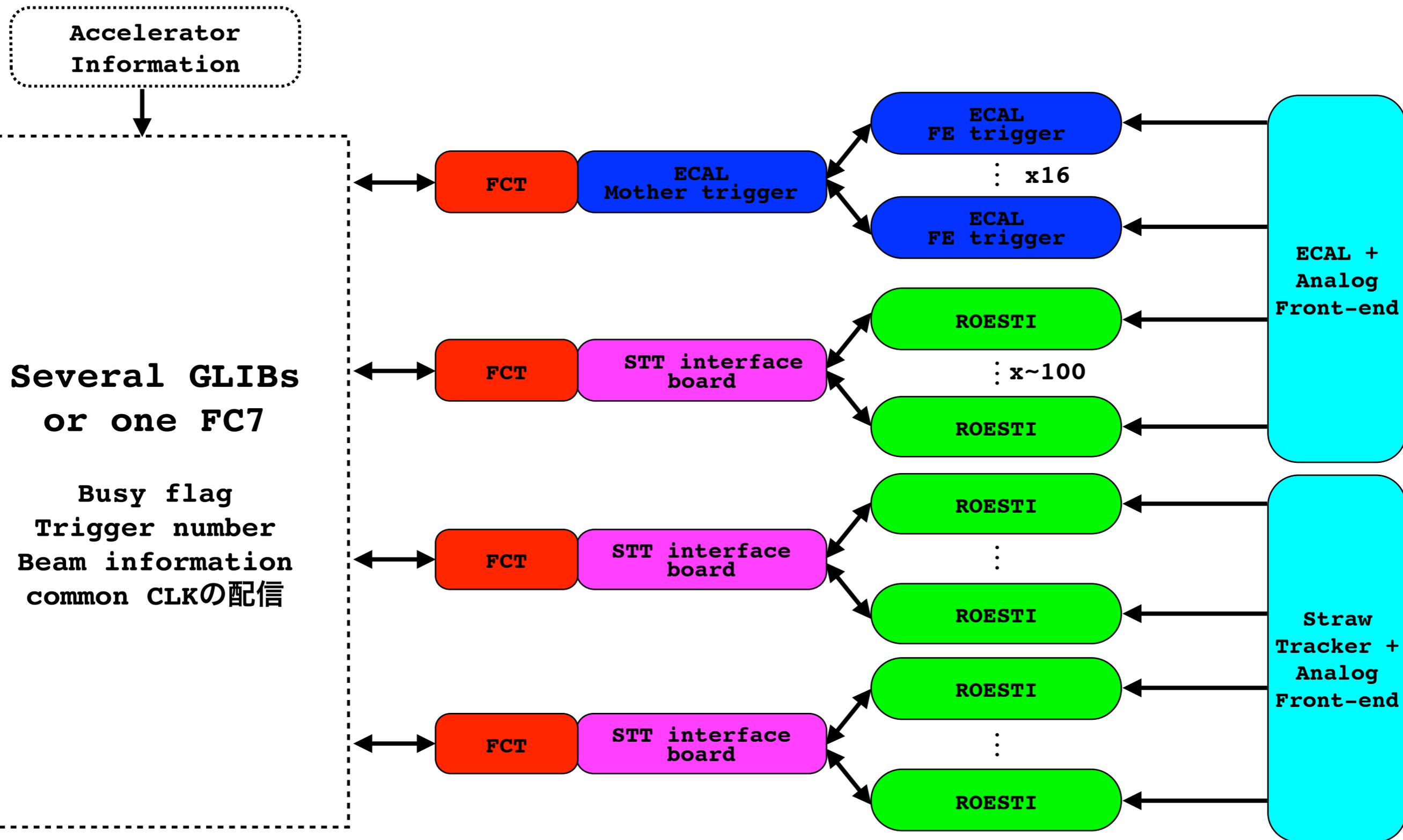
Trigger要件

- 物理データ測定
 - $64 \times 2 \times 2 = 256$ チャンネルのトリガーカウンター信号+宇宙線カウンター???チャンネルの信号を1バンチ以内($\sim 1 \mu\text{sec}$)に処理
 - 実はトリガーカウンタのヒットレートが当初の見積りより大きい可能性が指摘されている...
 - トリガー低減必要な場合CDCの情報を組合わせたトリガーレート低減を考える必要も? \Rightarrow チャンネル数増大, トリガーアルゴリズムも複雑に
- ビーム測定
 - ~ 2000 本のLYSO検出器信号からトリガーを生成
 - エネルギー閾値を可変に
 - 複数粒子に対してトリガー生成
 - 波形デジタイザ (ROESTI) による制限からLatencyは $1 \mu\text{sec}$ 以下が必要
- 上記の異なる測定をなるべく共通スキームで処理する必要がある
- 現状ではどちらもkHzオーダーのイベントレートを想定

Trigger Overview: CyDet

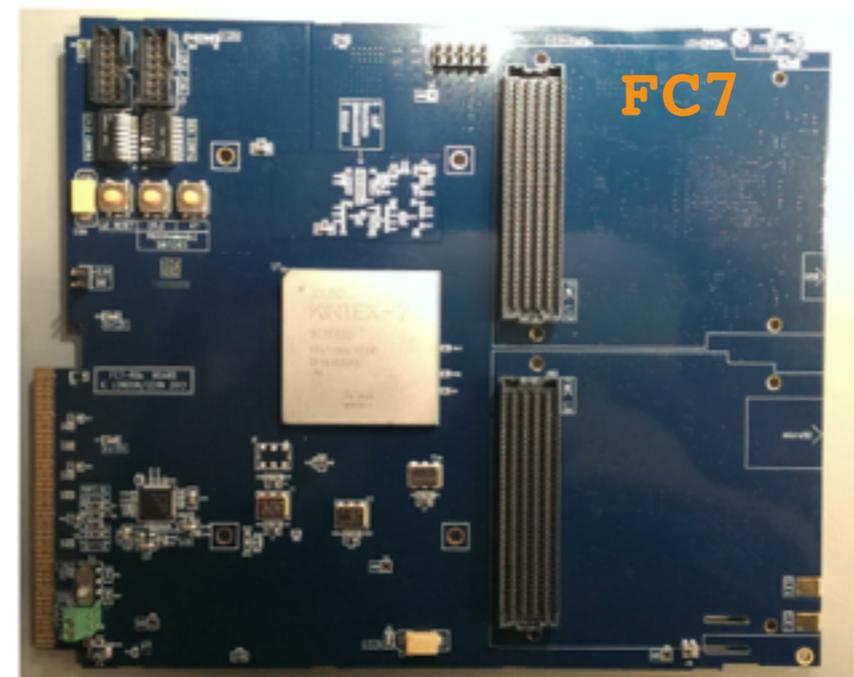
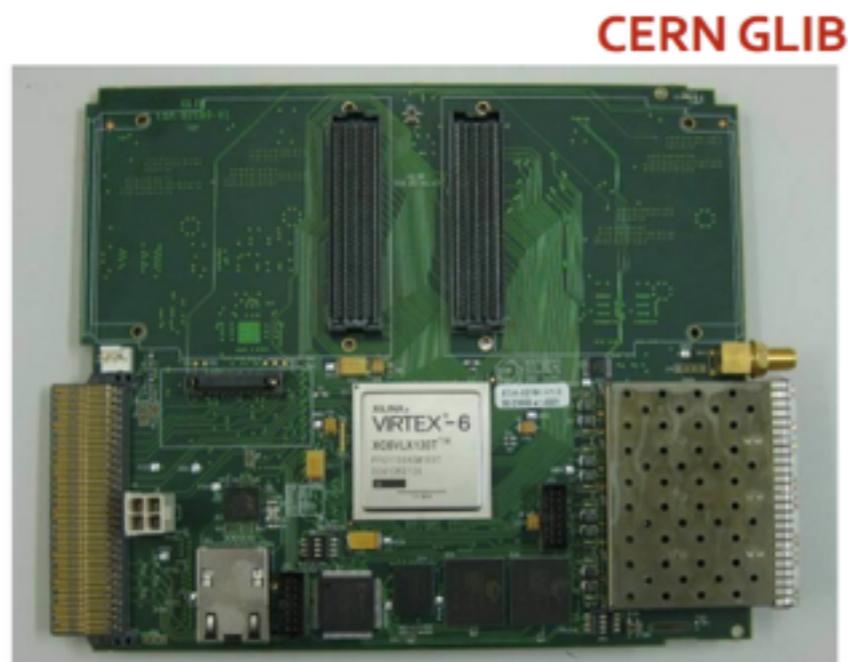


Trigger & Overview: StrECAL



FCT

- FCT: Fast Control and Timing
- COMET実験全体のタイミング制御を行うのが主な役割
 - 全体の制御は複数枚のGLIBボードまたは1枚のFC7ボードにて行う
 - 40MHz common CLKの配信
 - Trigger情報を取りまとめて各検出器に渡す
 - Busy信号を受け取り&配信
 - 加速器情報の配信
- 各コンポーネントはGBT(Giga Bit Transceiver) protocolにて情報をやり取り



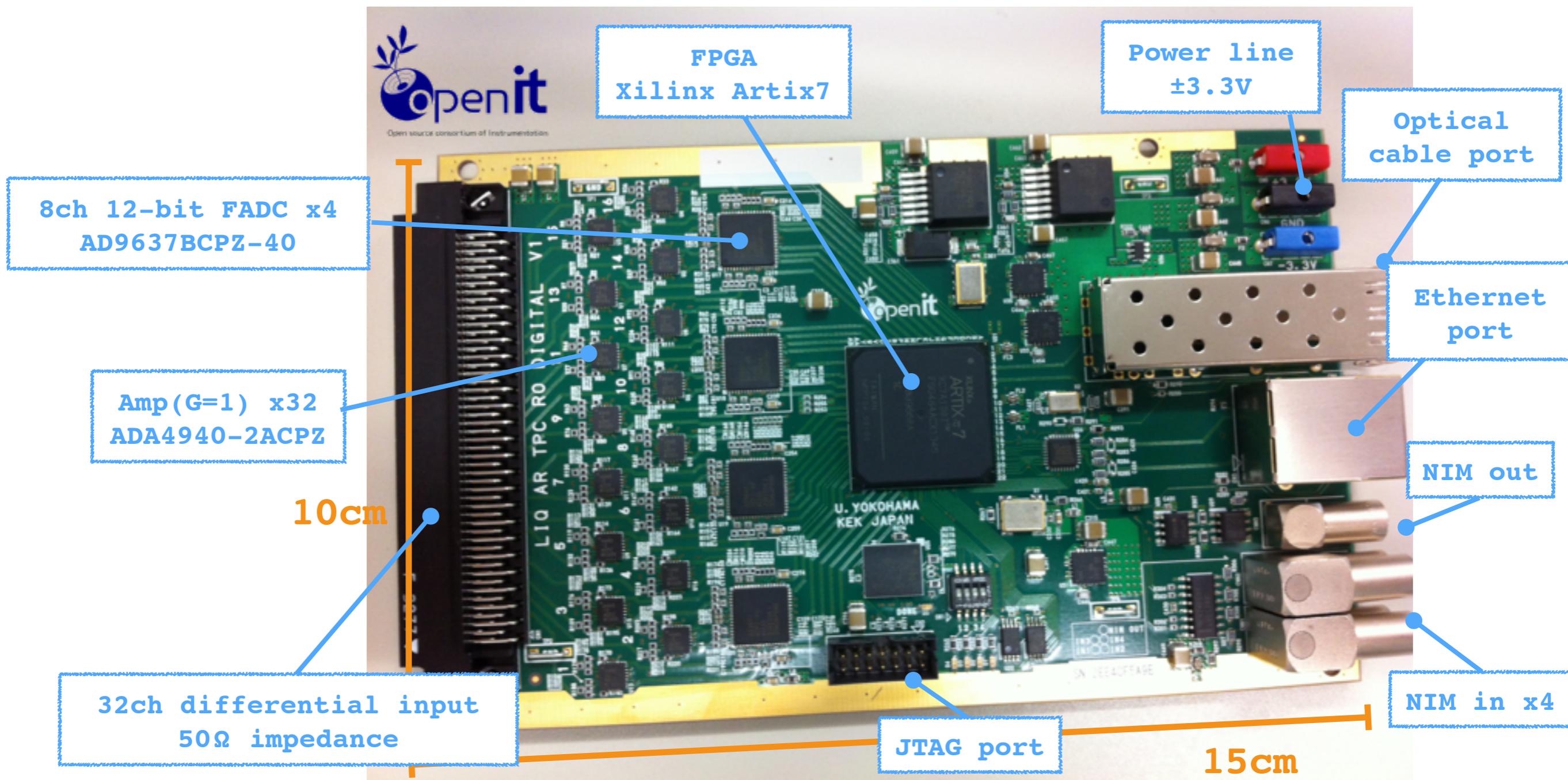
"FC7 AMC FMC carrier for CMS", Mark Pesaresi

TBA

1st prototype (1)

- 1st prototypeを作製
 - KEK Liquid Argon groupの読み出し基盤をベースにさせてもらった
 - 32ch, FADC+FPGAのシンプルなデザイン→汎用性が高い, SiTCPを利用したデータ転送も可能
 - これを使ってまずはFPGA firmwareの開発を行う
 - Self-triggerの作製 (まずは単純なthreshold判定を全チャンネルORで行う)
 - Latency評価 w/ 20MHz CLK
 - その他Firmwareの最適化等を行う
- 年内は1st prototypeでのstudyを進める
- 1st prototypeでの経験を基に年度内の次期トリガーボード作製を目指す

1st prototype (2)

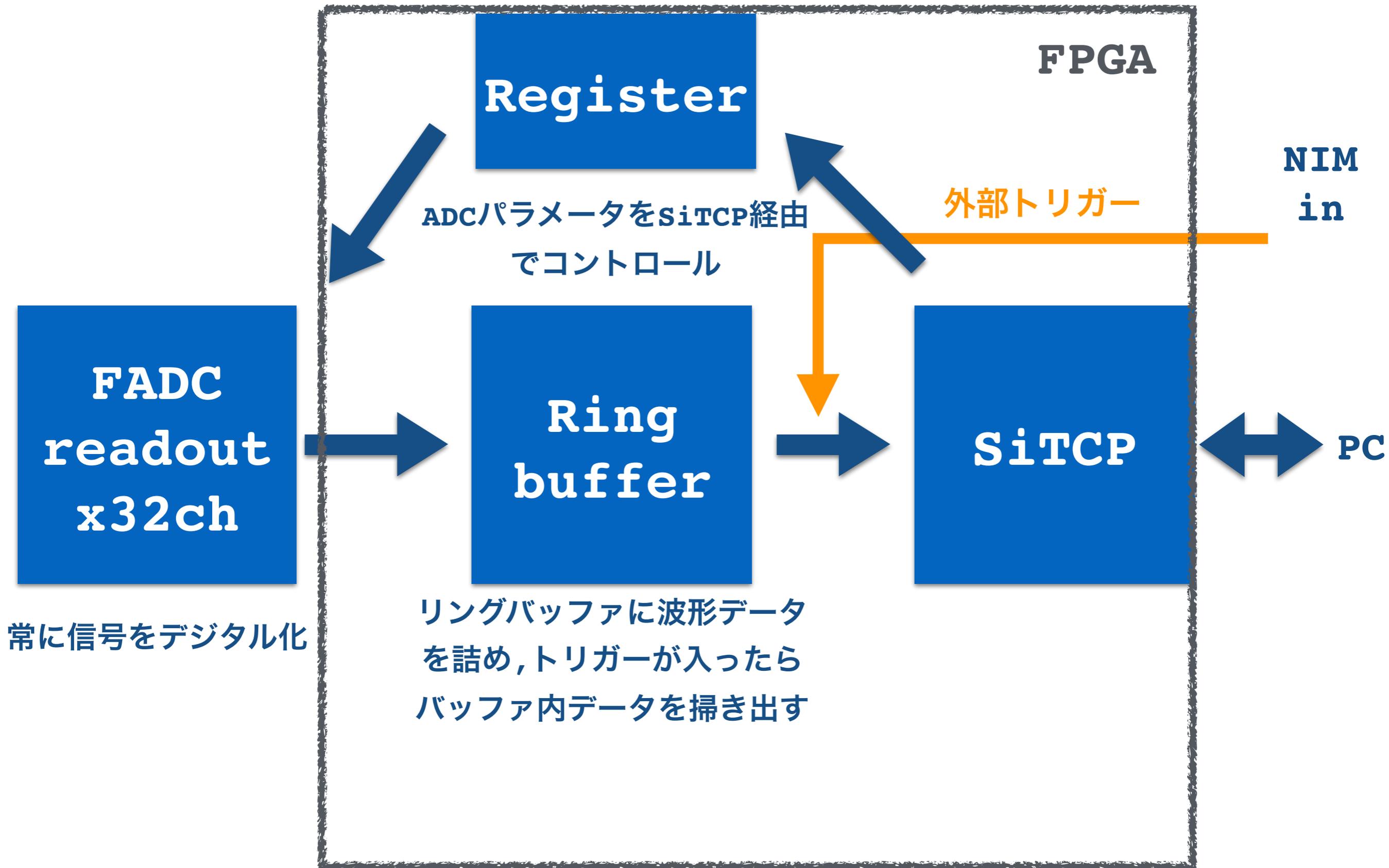


1部のアナログ回路部を除いてほとんどKEK Liquid Arグループからの流用

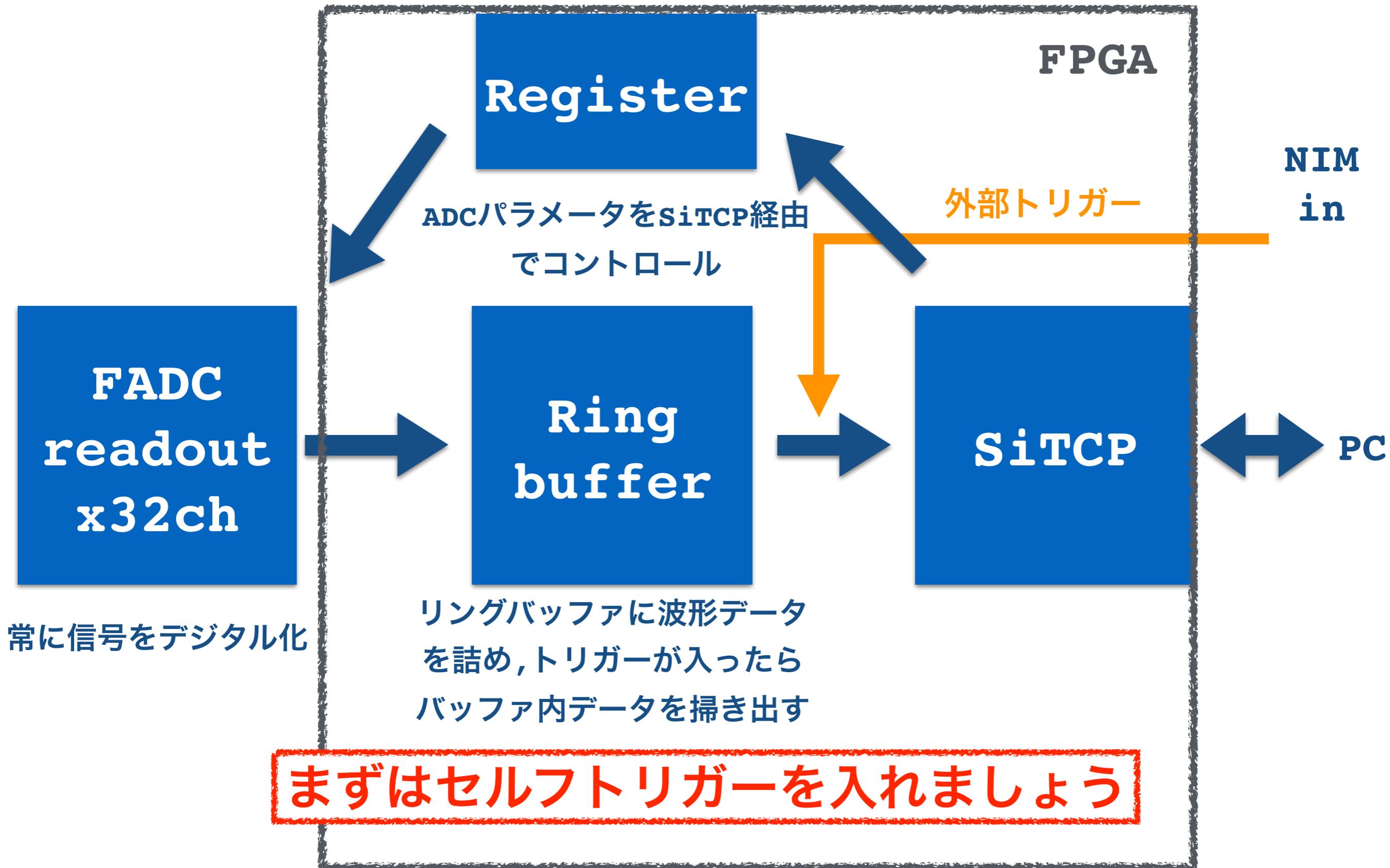
なんと読み出し用Firmwareまで！！！！

Liquid ArグループとOpen-Itのサポートに感謝

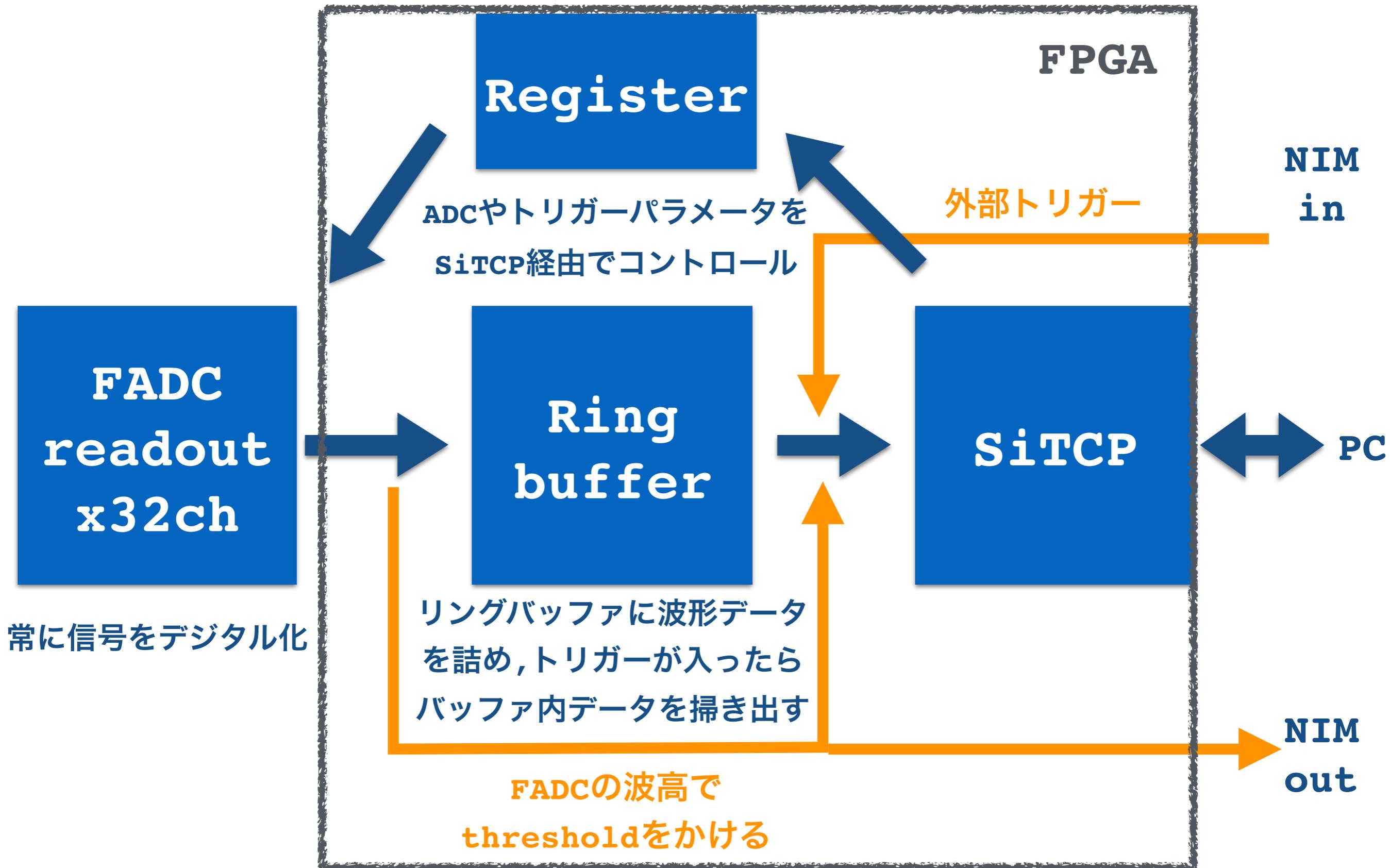
内部ロジック (1)



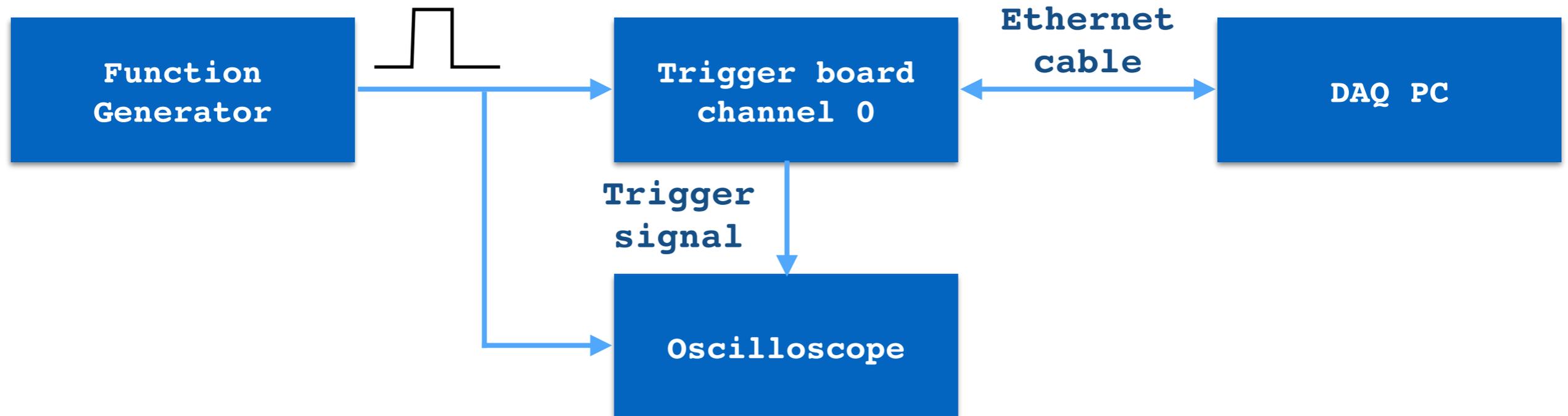
内部ロジック (2)



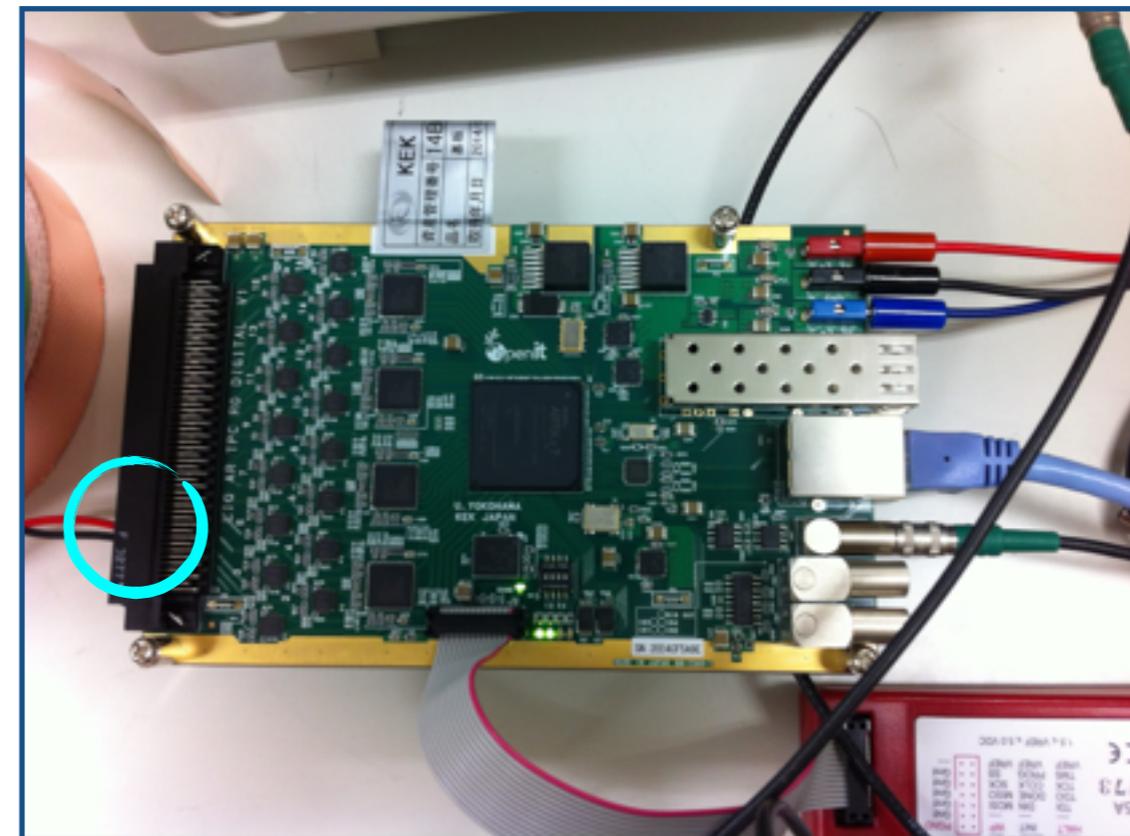
内部ロジック (3)



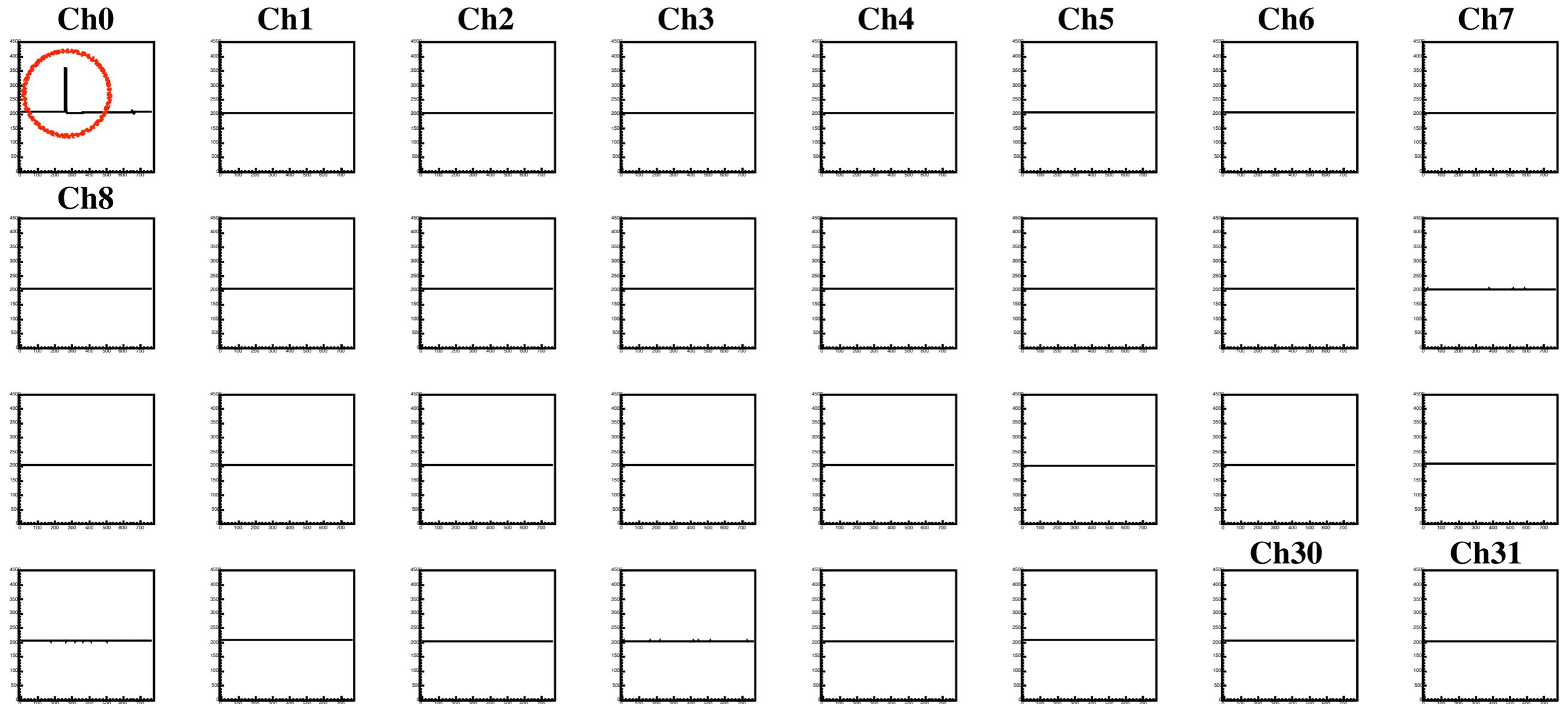
試験結果 (1)



- Function generatorからボード上のch0にテスト信号を入れてself-triggerを行う
- 各チャンネルの信号はデジタル化してSiTCPで転送し ⇒ DAQ PC上で確認
- FPGA内部のトリガー信号はLEMOから取り出してオシロ上で確認



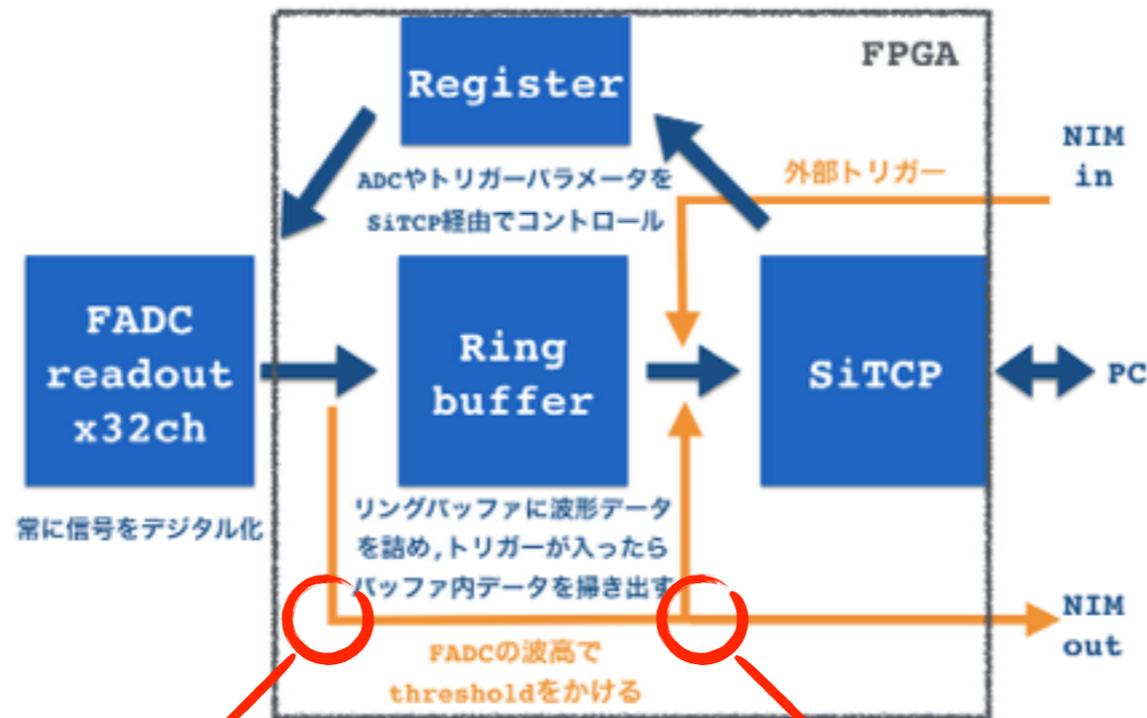
試験結果(2)



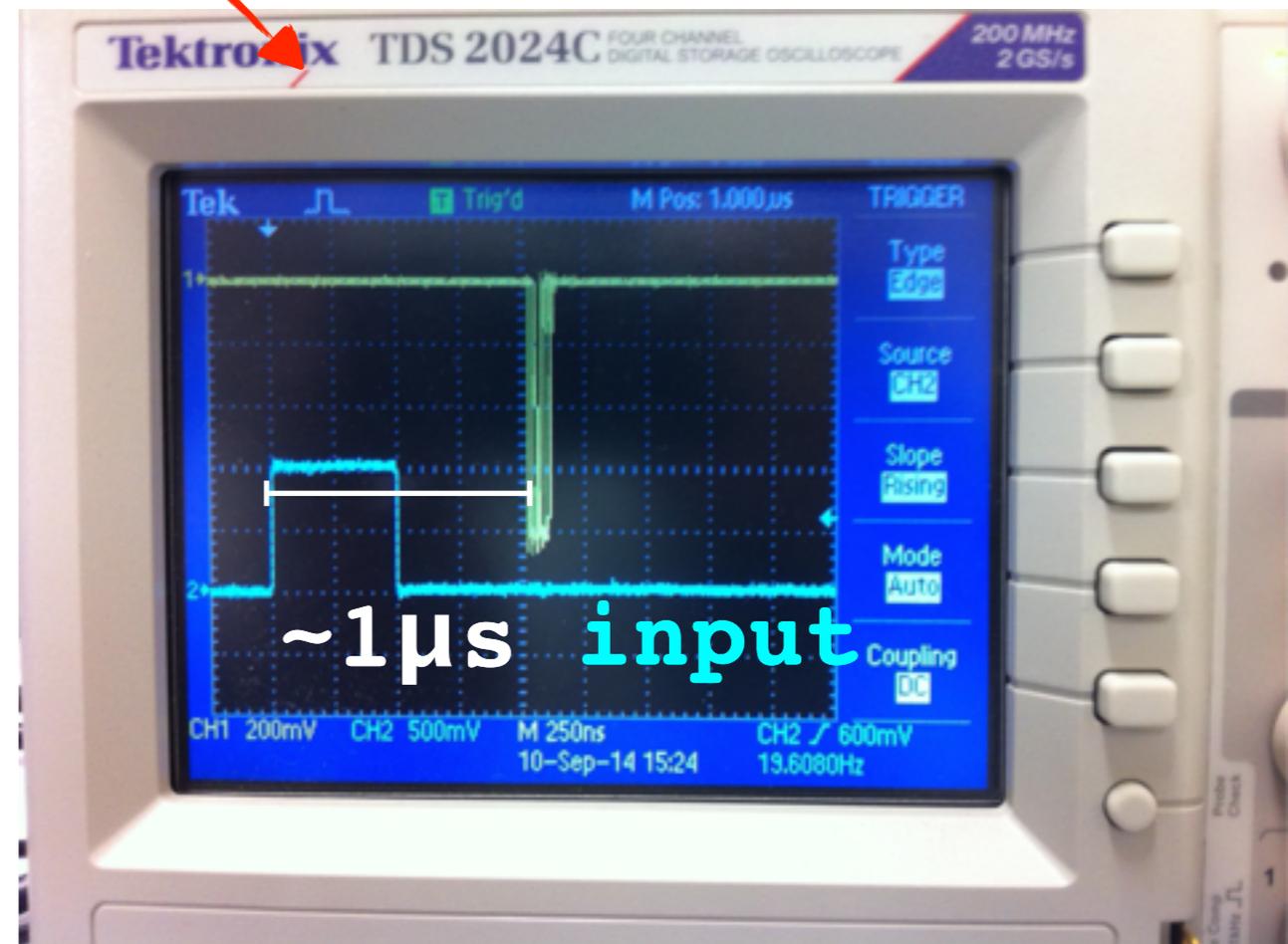
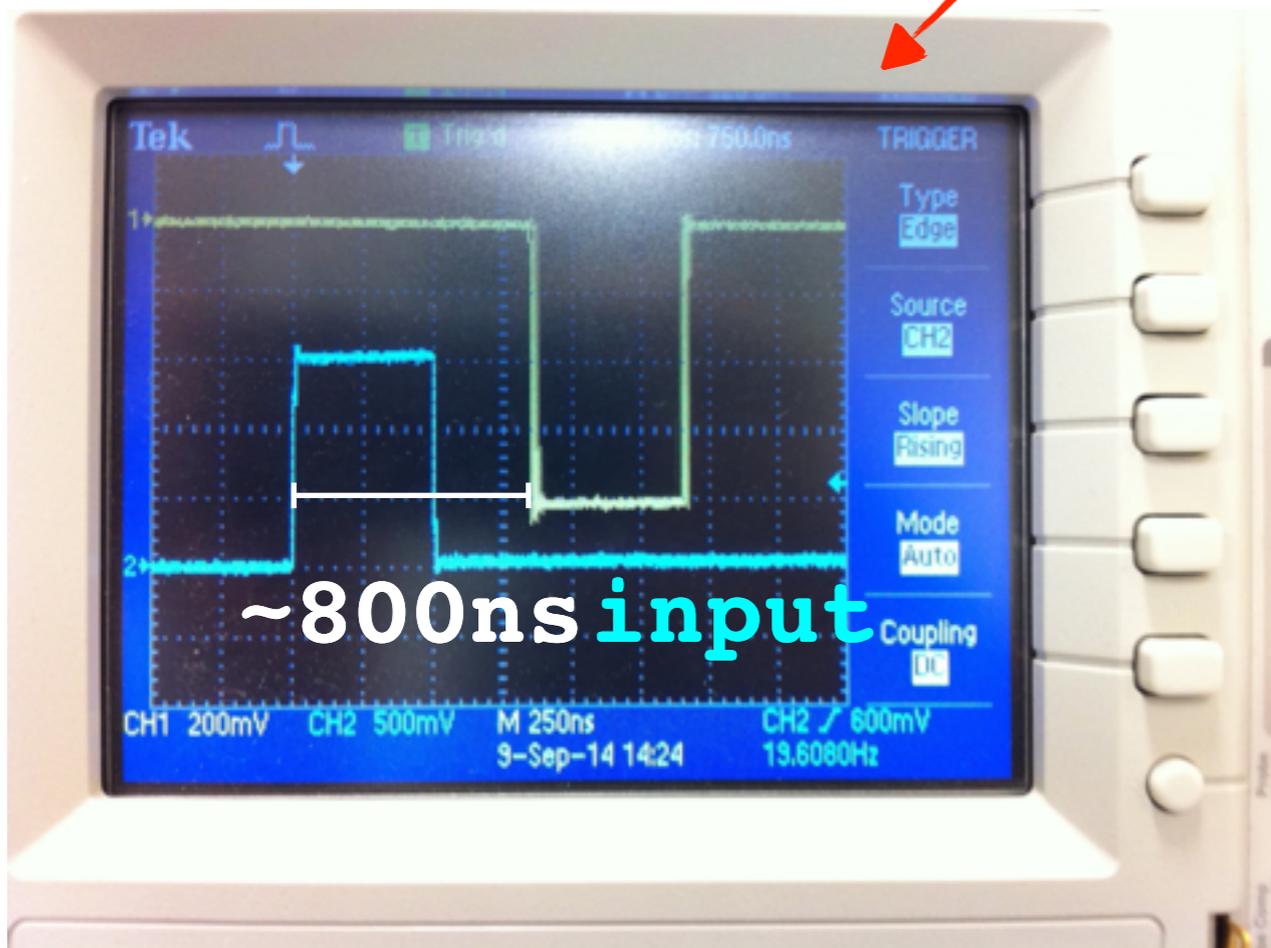
- SiTCP経由で取得したデータをチェックする
 - 正しいチャンネルに信号が見えている
 - セルフトリガーでデータが取れた

試験結果(3)

ADC直後に生成された内部
トリガー信号
⇒ ほとんどADCからの寄与



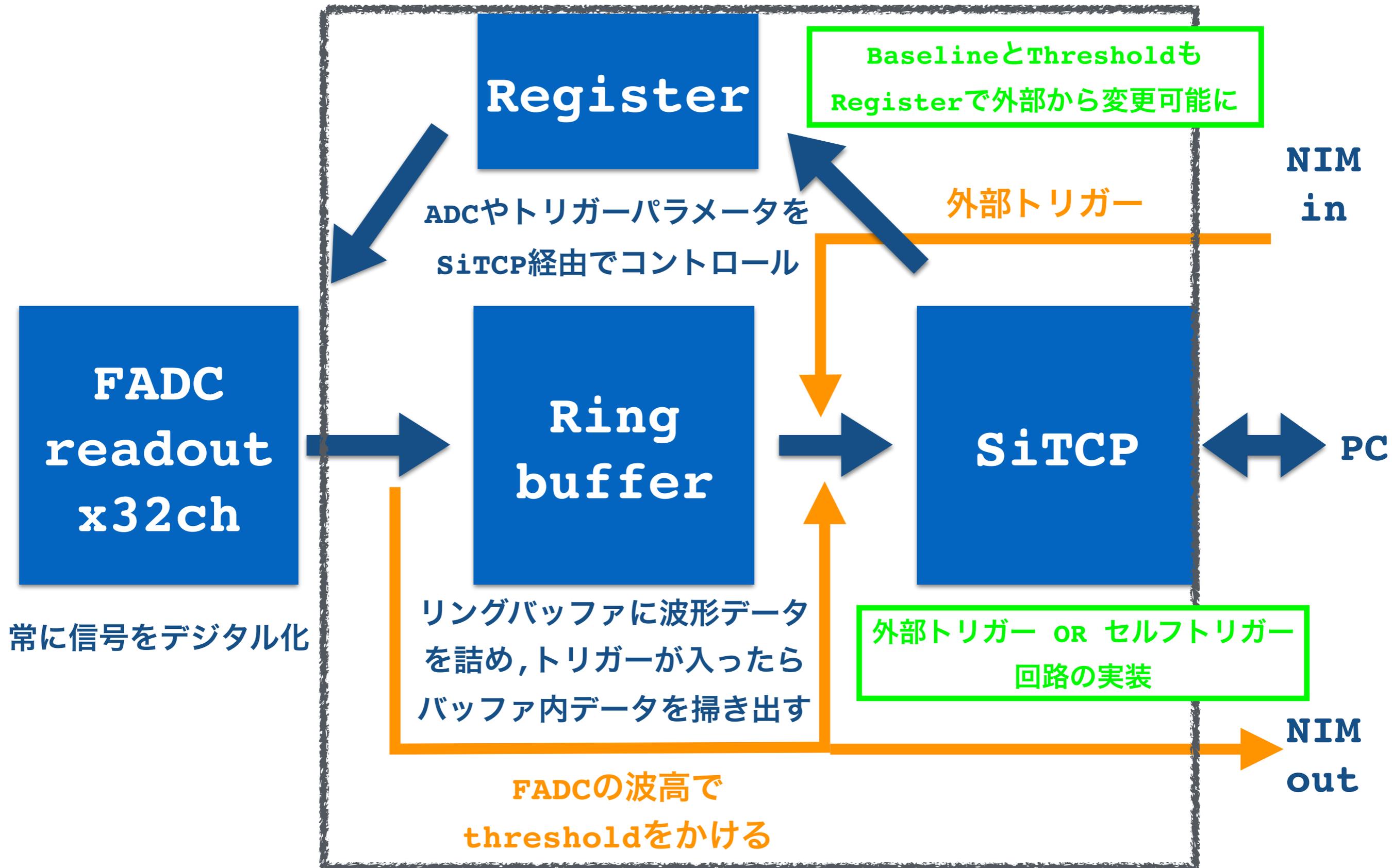
データ転送直前の
トリガー信号



Firmware開発(1)

- 無事Self-triggerとして動かす事が出来た
- トリガーボードとして更なる多機能化を目指す
 - BaselineやThresholdを外部から設定
 - 複数トリガーの同時取得
 - カウンタ回路を用いたスケージング
- より定量的な評価を行う
 - 入力との線形性
 - 高レート時のトリガー効率評価
- シミュレーションの導入
 - 開発のさらなる効率化には必須
- その他やった方がよい評価等あったら是非アドバイスをお願いします

Firmware開発(2)



~次期ボードに向けて~

- 始めからわかっていたが...
 - やはり20MHzではLatency的に無理
 - 主に時間がかかっているのはFADC読み出し部分⇒12bitをserialで出しているため
 - 回路規模はあまり大きくしたくないので現在のコンセプト (FADC+FPGA) は維持する
 - FADCの分解能を下げてCLKの速度を上げる事で十分対応可?
- 次期ボードでは上位ボードとの接続試験も行いたい
 - SiTCPでは難しいか
 - Latencyを気にすると上位ボードとの接続配線はなるべく多い方が良いが...
 - そもそも上位ボード側で何チャンネルまで対応出来るか?
 - 接続用ケーブルやコネクタの種類も限定される⇒Flat cable + PCI用コネクタetc.
 - サイズを大きくする?
 - どういう信号を送るか⇒物理の要請から決定したいが現状パイルアップに対する確かな見積りが無い
 - とりあえずなるべく多くの情報を短時間(数百ns以内)に送れるようにする

Resolution

- どこまでADC分解能を下げられるか?
- 本来はエネルギー閾値の分解能は欲しい事象と背景事象のS/Nを最適化するように設定したいが今回はトリガーとしてざっくり1MeVの分解能を得る事を考える
 - ADCのレンジ1Vとして最大値を150MeVに設定
 - 10bitで0.15MeV, 8bitで0.59MeVの分解能に相当
 - 8bitでも検出器のエネルギー分解能に対して十分小さそう
- 後は高速化する事でどれだけAD変換の線形性が悪くなるか等次第
 - 次期ボードでは10bit, 8bit ADCを両方実装して比較してみる?

Latency

	#of CLK for 10 bits	Time assuming 20MHz CLK [ns]	Time assuming 50MHz CLK [ns]	Time assuming 100MHz CLK [ns]
アナログ処理	Shaping time +1 CLK	75	45	35
FADC	8 CLK	400	160	80
FPGA処理	Time window + 1-2 CLK	150	90	70
信号伝達	10 CLK	500	200	100
total	-	1125	495	285

- ECALの場合で予想されるLatencyを評価
 - Shaping time=25ns, Time window=50nsを想定
 - Maximum peakの値を10bitで上位ボードに送る場合を想定
 - 100MHz CLKで動かせればLatencyはたぶん問題にならない

まとめと展望

- COMET実験では来るPhase-I実験に向けてトリガーの開発を進めている
- 物理測定, ビーム測定いずれも高レート下でいかに効率良くデータを取得するかが重要
 - 両測定でなるべく共通のトリガースキームを採用する事が必要
 - COMETではFPGAとGLIB又はFC7+GBTを利用した高速トリガーシステムを開発中
- FCTとGLIB(or FC7)に関してはUKグループが中心に開発を行っている
- Front-endは今のところ各検出器が担当となっているが...
 - 本研究では汎用FPGAベーストリガーボードを開発している ⇒ Phase-Iの異なる測定どちらにも対応可
 - 1st Prototypeを用いた試験からは $1\mu\text{s}$ 以下のLatencyが十分達成可能と期待される
- 今後
 - 1st prototypeでFirmwareの開発を進めつつ次期ボードの設計を早急に開始する
 - 年度内には次期プロトタイプ作製, 来年度はさらに上位ボードの開発を行いFCTとの互換性を評価する
 - ECALプロトタイプ検出器を用いた試験
 - Simulationを用いたレート評価の準備も同時に進める