

計測システム研究会 2014@ J-PARC

# 高ビーム強度用のファイバー 検出器読み出し回路開発と将来計画

2014.11.21

大阪大学  
本多良太郎

- K1.8 ビームラインにおける DAQ
    - 検出器と読み出し回路
    - DAQ ソフトウェア
  - Scintillation fiber tracker 用読み出し回路開発
    - EASIROC チップ
    - VME-EASIROC
  - 将来計画
    - DRS4 を用いた遅延ケーブルを必要としない ADC の開発
    - 現状と将来
  - まとめ
-

## J-PARC ハドロン K1.8 ビームラインにおける 高強度二次ビームの利用

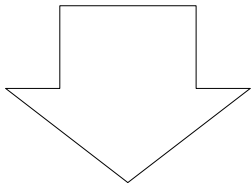
Pion beam :  $10^7 \sim 10^8$  /spill ( それ以上も )

Kaon beam :  $10^6$  /spill

高強度をビームを使いこなし実験を行う事が実験屋の使命

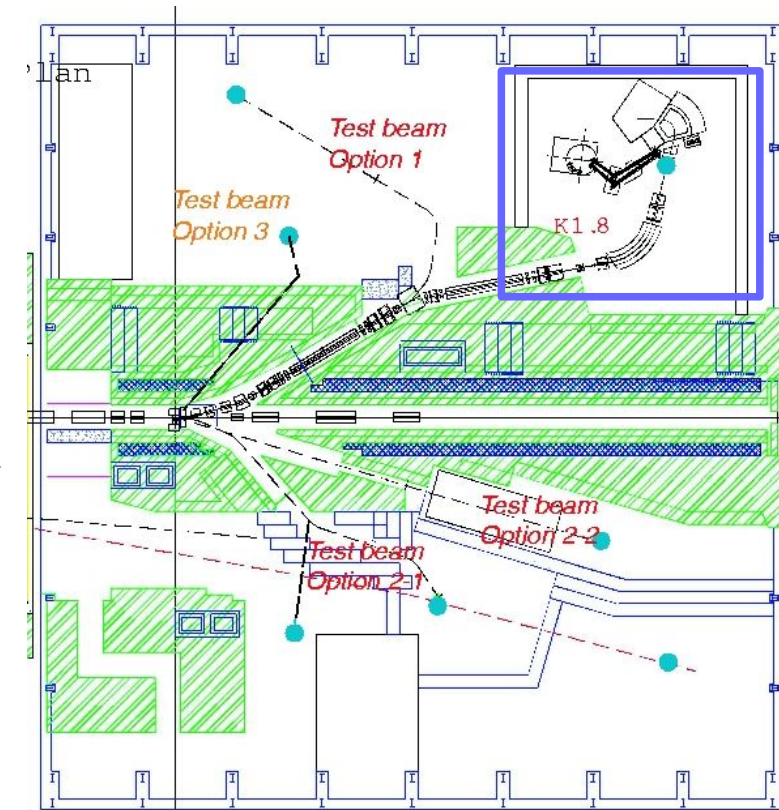
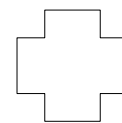
### 高強度ビーム利用下

- 検出器セグメントの細分化
- トリガーレートの上昇



### DAQ への要求事項

- 多チャンネルの取り扱いに特化した回路
- 短い不感時間
- 高速なデータ転送

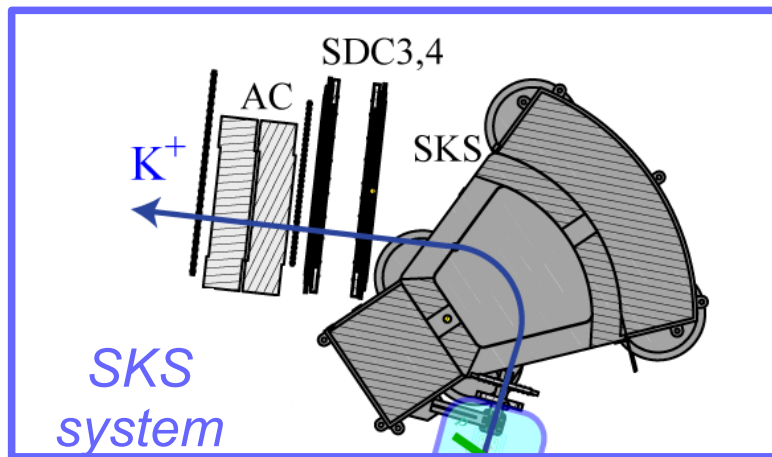


J-PARC ハドロンホール

### あるべき姿

- 簡素であること
- 安価であること
- 部品化が可能であること

## K1.8 ビームラインにおける ( $\pi$ , K) 反応実験の例



### SKS

TOF counter (PMT)  
PID counters (PMT)  
MWDC  
**Fiber tracker**

### 読み出し回路

TKO ADC, TDC  
VME TDC  
TKO Dr.T2  
**EASIROC system**

### K1.8 beam line spectrometer

### Beam line

Timing counters (PMT)  
MWPC  
MWDC  
**Fiber tracker**

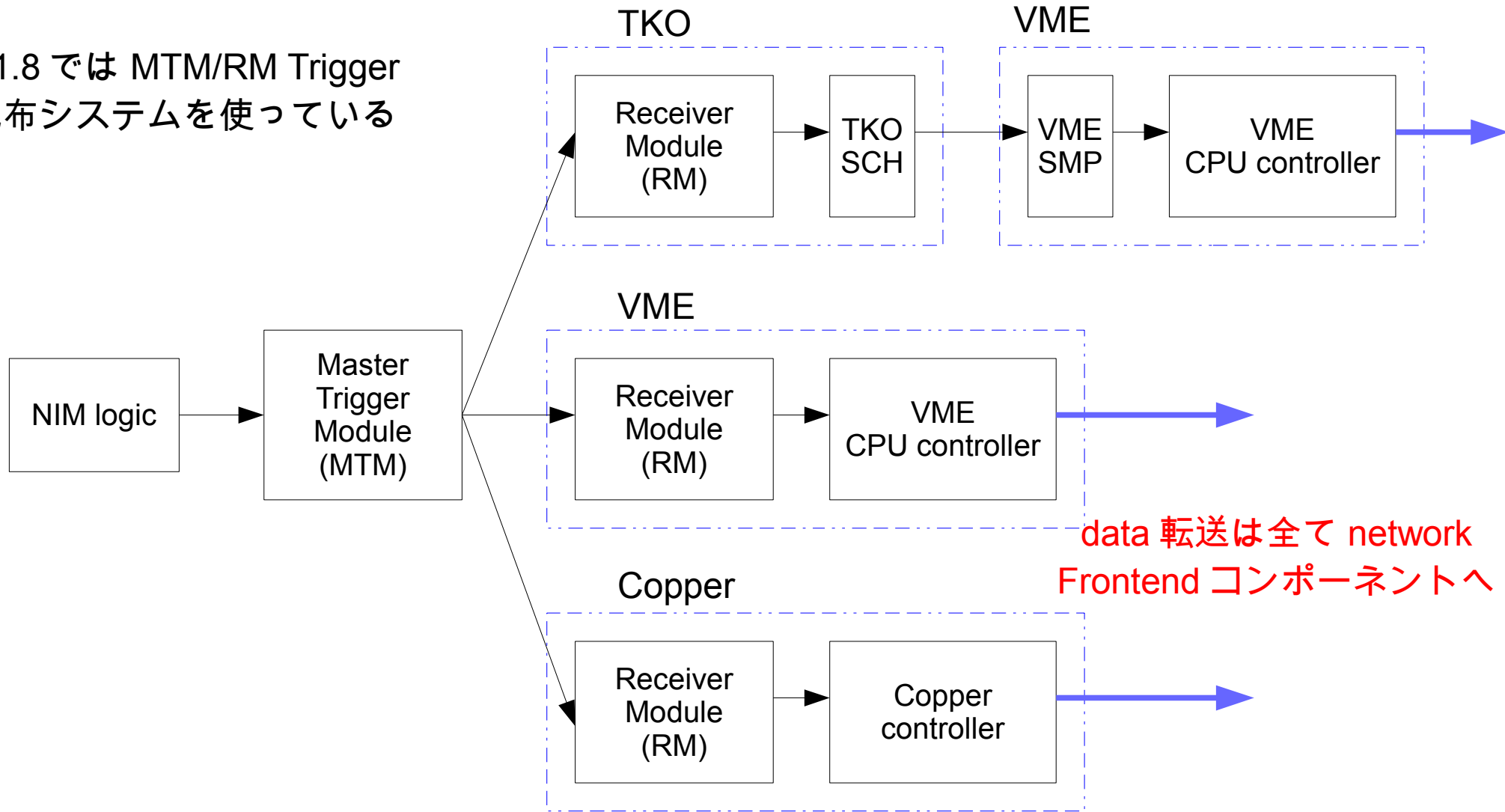
### 読み出し回路

TKO ADC, TDC  
Copper2  
Copper-lite  
**EASIROC system**

新旧様々な回路を  
利用しないといけない。

## Trigger 配布系と各 Node での読み出し方

K1.8 では MTM/RM Trigger 配布システムを使っている

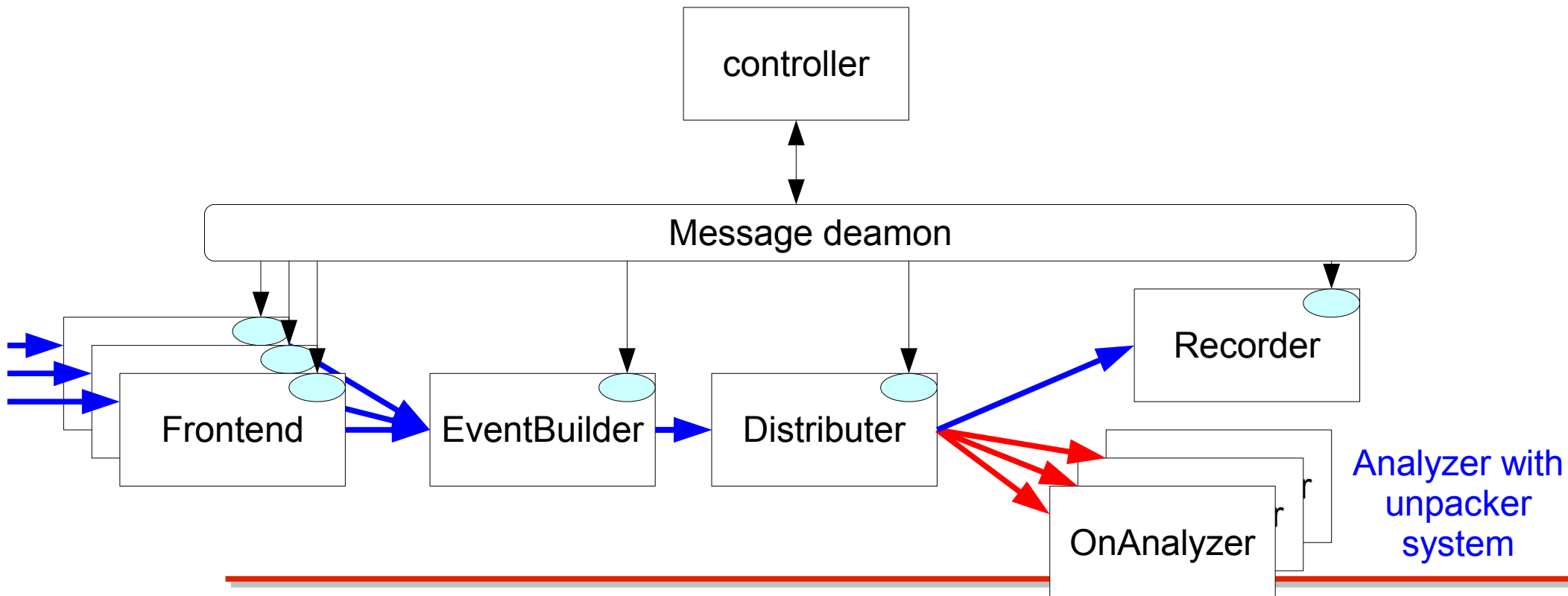


## Hadron DAQ (HDDAQ)

ネットワーク分散型の DAQ ソフトウェア。  
現在は五十嵐さんによって基本的に管理、メンテナンスは現場がやる。

### 特徴

- ソースコードが少量で分かりやすい
- 機能の追加、メンテナンスが容易
- 下流のコンポーネント (Controller や EventBuilder) が無くても、ncなどで動作する。
- On-line monitor は RUN 中に動的に Distributer につながる事ができる。



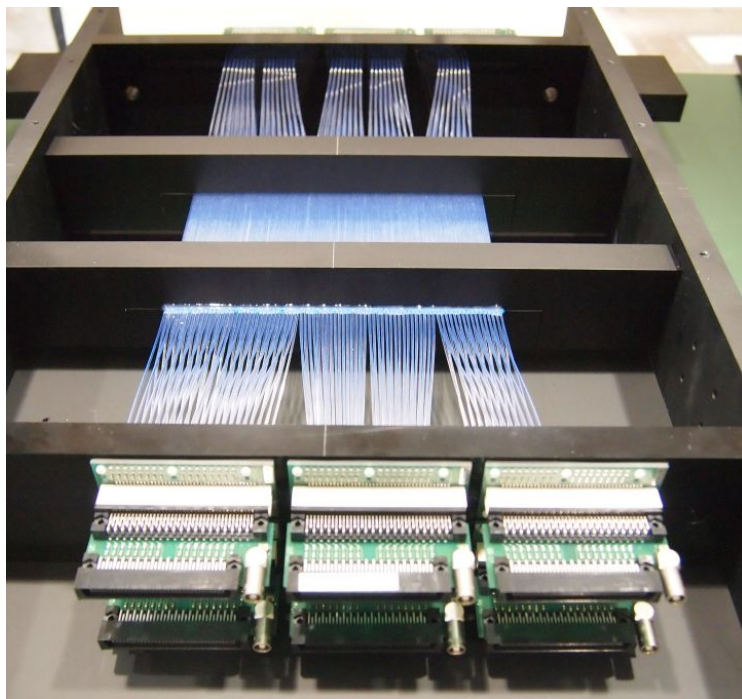
---

高強度二次ビームを取り扱うための

Scintillation fiber tracker system

---

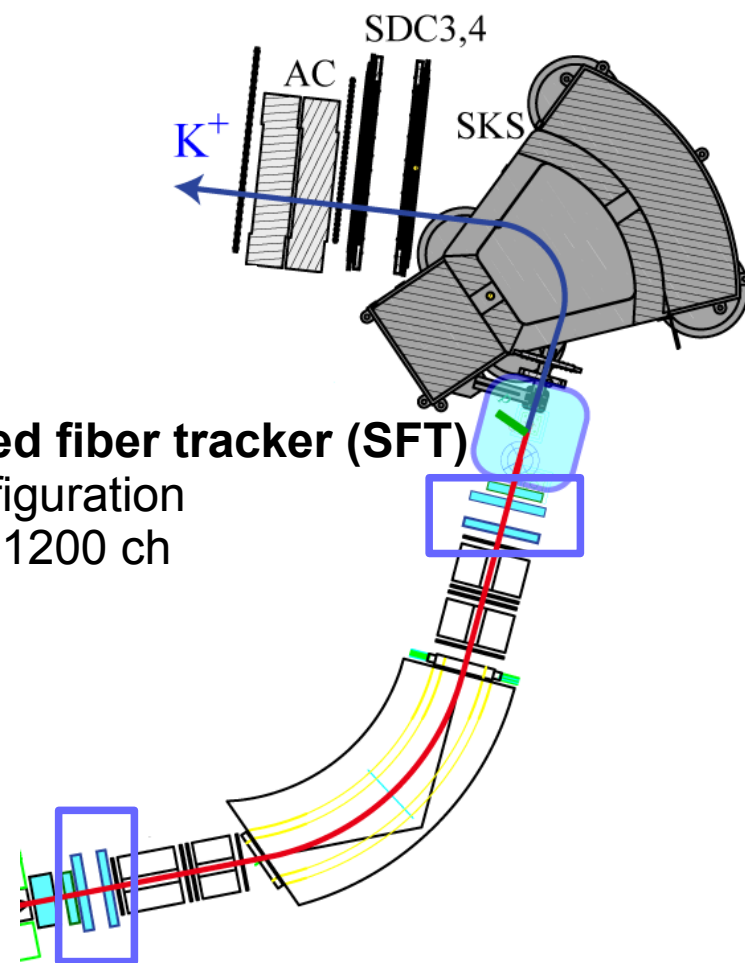
## Beam line fiber tracker



Φ1mm の scintillation fiber を  
fiber 毎に MPPC で読み出す  
**Fine segmented scintillation hodoscope**

良い時間分解能 & 良い位置分解

大量の MPPC を駆動し読み出す回路が必要

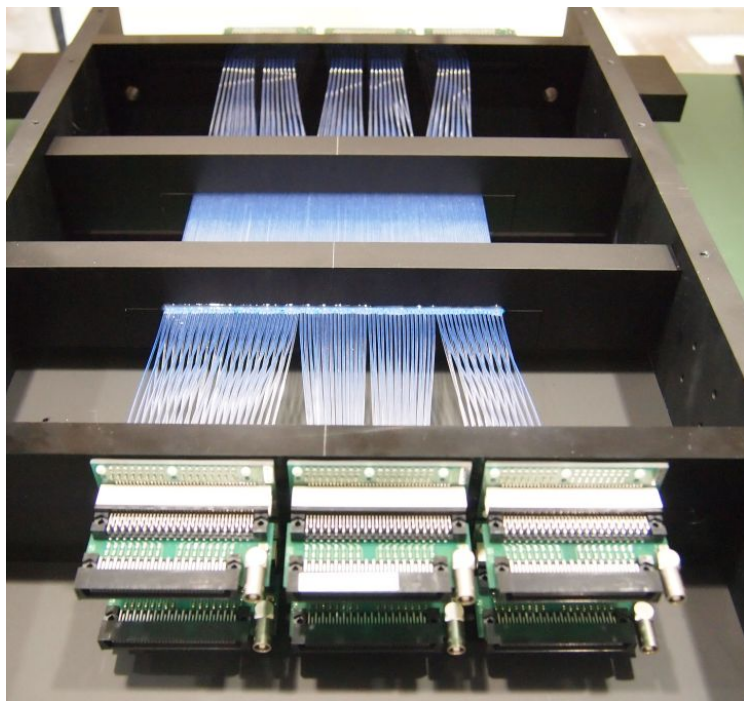


**Scattered fiber tracker (SFT)**  
xuv configuration  
Totally ~1200 ch

**Scattered fiber tracker (BFT)**  
x configuration  
Totally 320 ch



## Beam line fiber tracker

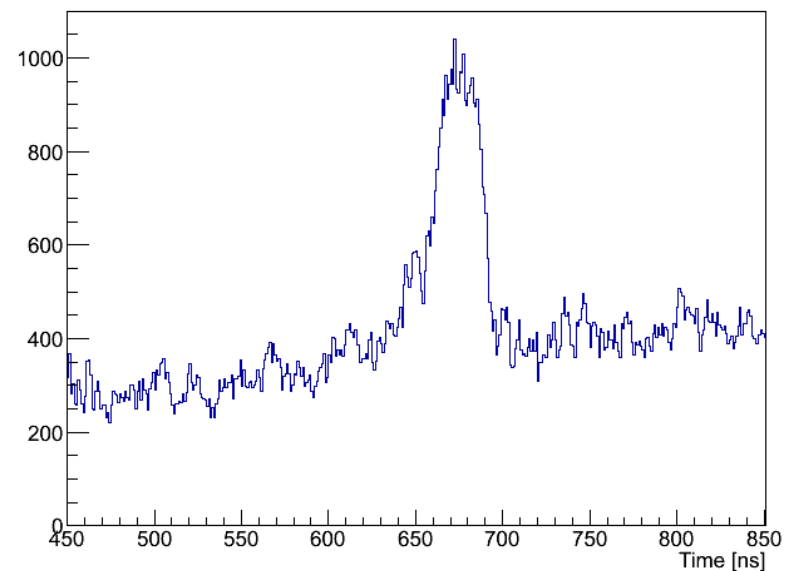


Φ1mm の scintillation fiber を  
fiber 毎に MPPC で読み出す  
**Fine segmented scintillation hodoscope**

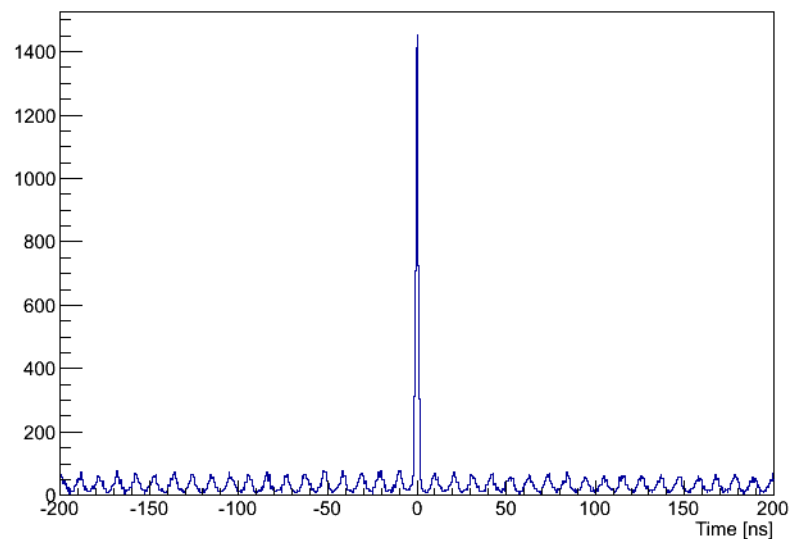
良い時間分解能 & 良い位置分解

大量の MPPC を駆動し読み出す回路が必要

## 時間分布 (Drift chamber)

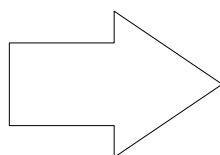


## 時間分布 (BFT)



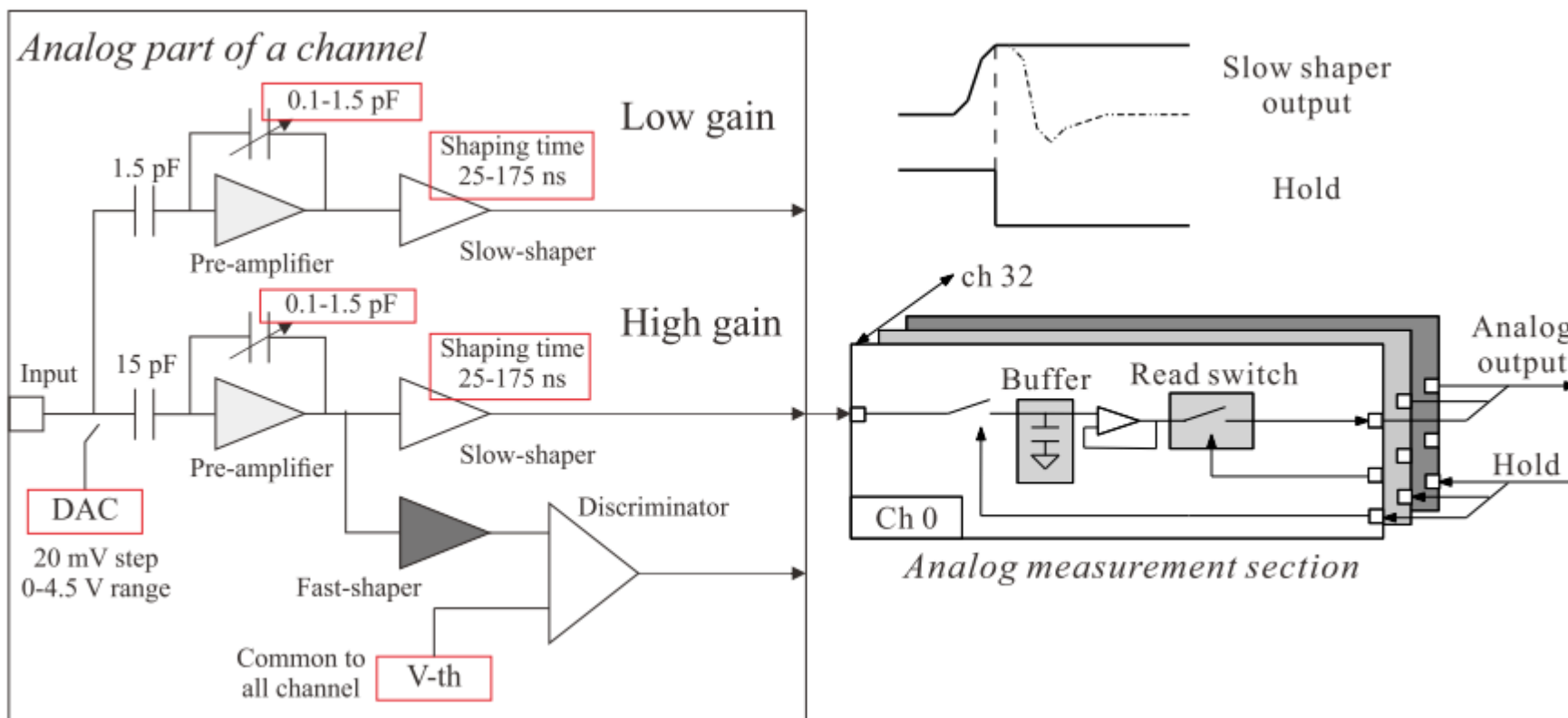
MPPC を駆動するには

- AMP が必要 (gain  $10^6$ )
- Bias の調整が必要



**Extended Analogue SiPM Integrated ReadOut Chip (EASIROC)**

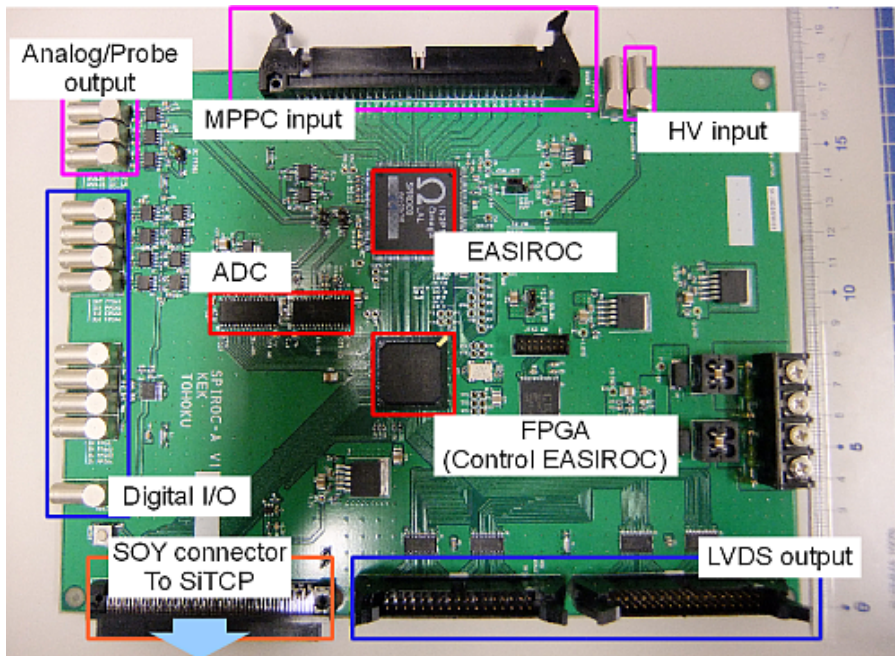
- 32 ch 入力
- チャンネル毎の Bias 調整 (4.5 V, 8 bit)
- Amp, shaper, discriminator
- Analog 出力 (multiplexed)
- Discriminator 出力 (parallel)



## EASIROC electronics series

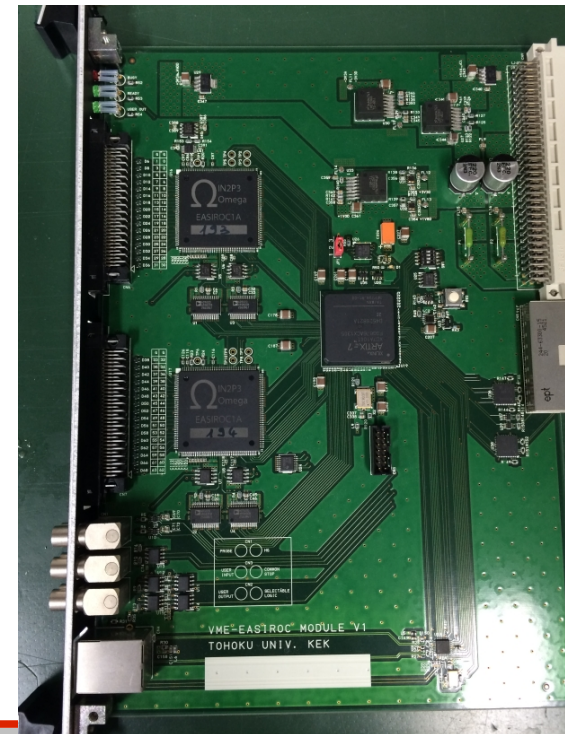
EASIROC 評価ボード  
(Open-It, 測開室, Tohoku)

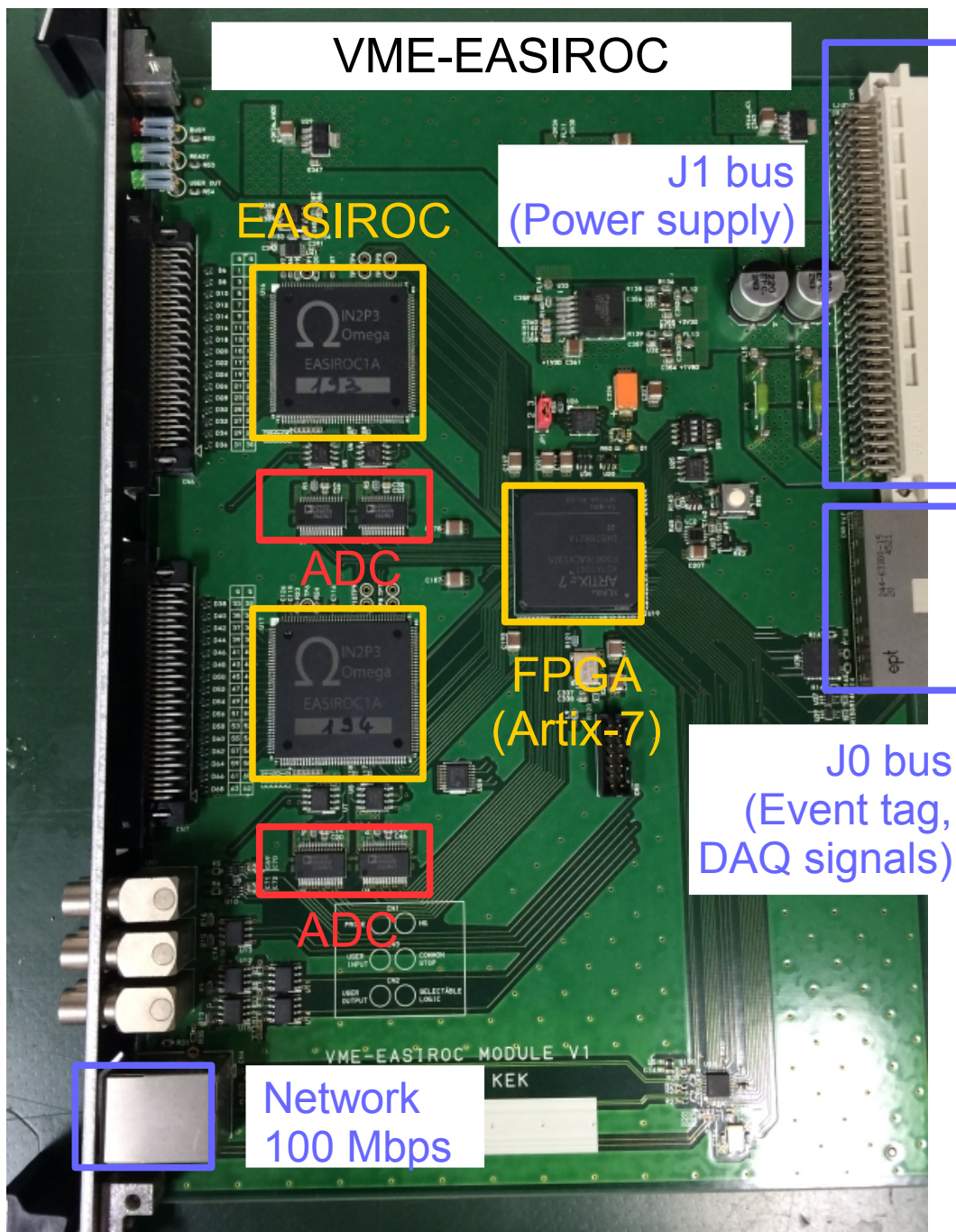
K1.8 の常設回路として運用中



NIM-EASIROC  
(Open-It, 測開室, Osaka)

VME-EASIROC  
(Open-It, Tohoku)





## Specification

- 64 ch input/board
- ADC
  - Pulse height hold type
  - Fast clear
- MHTDC in FPGA
  - LSB = 1 ns
  - leading/trailing
  - Time window = 4 us
  - Fast clear
- DAQ
  - 100 Mbps SiTCP
  - Total dead time = 20 us
  - J0 コネクタから EventTag と DAQ 信号の配布

2012年12月、2013年1月  
J-PARC E10 ( $\pi^-$ ,  $K^+$ ) 反応実験  
-  $1.8 \times 10^7$  /spill 達成

**BFT で得られた性能 ( $1.8 \times 10^7$  /spill 環境下 )**

- 検出効率 : 97%
- 時間分解能 : 0.68 ns (s)
- 位置分解能 : 190  $\mu$ m (s)

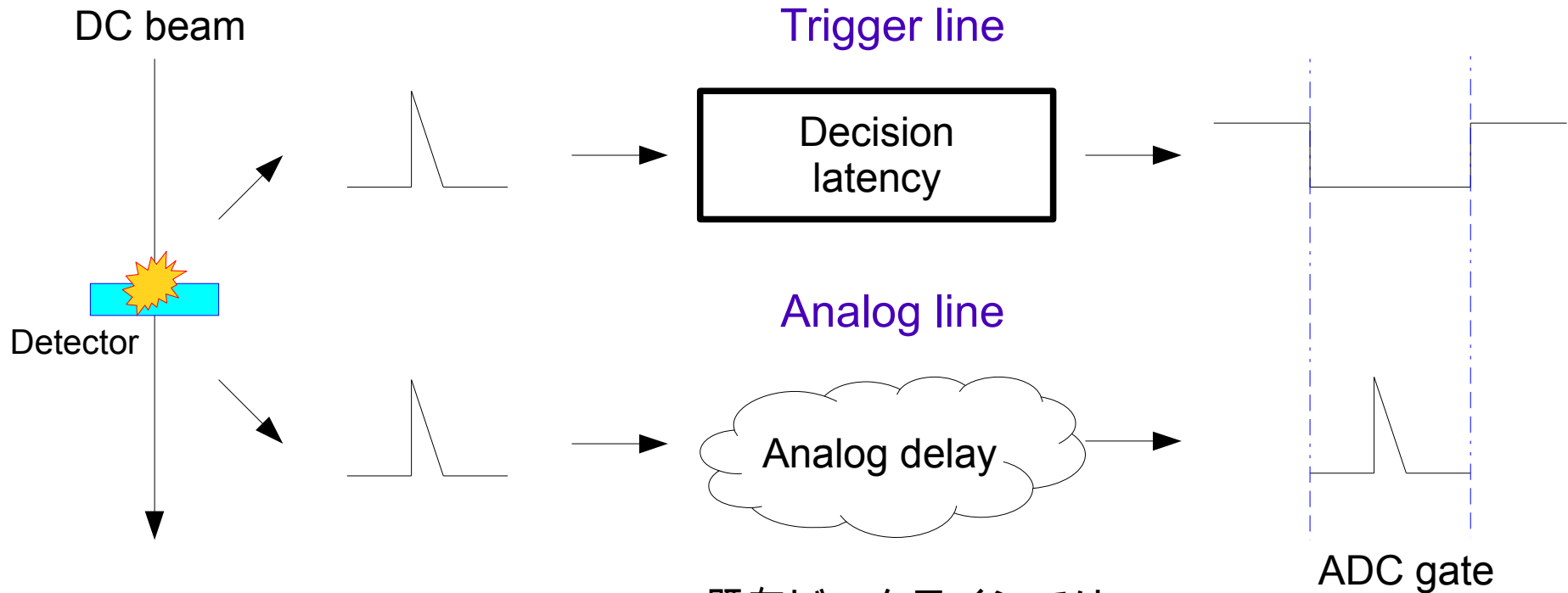
高強度二次ビームを取り扱うための第一段階は成功した

# ハドロン実験施設における

## 読み出し回路の将来

# Trigger latency に対応するか

ハドロンホールの将来を考えた場合の大きな懸念事項  
新規ビームラインにおけるアナログディレイケーブルの敷設

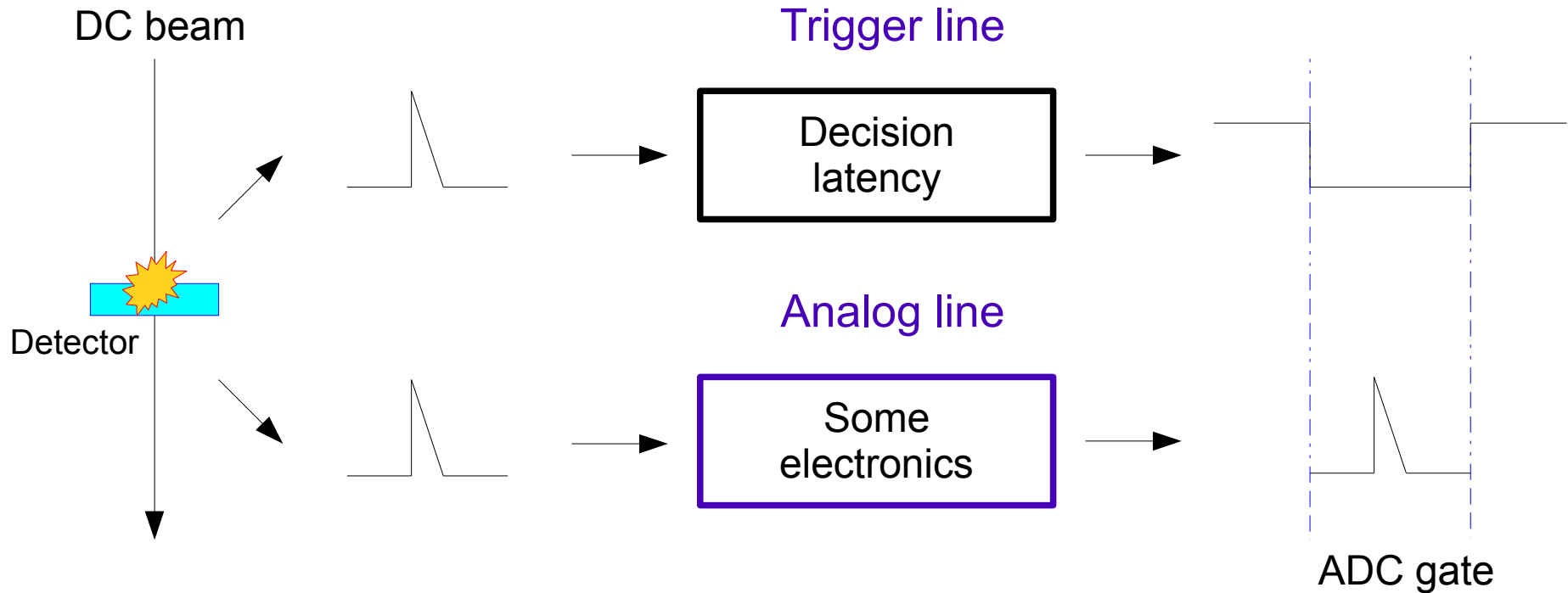


既存ビームラインでは  
100 m 程度と同軸ケーブルで対応

今後建設されるビームライン全てに  
敷設するのは経費を圧迫する

# Trigger latency に対応するか

ハドロンホールの将来を考えた場合の大きな懸念事項  
新規ビームラインにおけるアナログディレイケーブルの敷設



何らかの方法で波形を取得し  
トリガーレイテンシー分待てる  
ような回路が望まれる



## 我々の開発した EASIROC 回路はどうか？

- 波形サンプリングはできない
- EASIROC は元々コライダー用 ASIC から派生した石
- DC ビームに転用する際の頻出問題

とりあえず現在我々は困っていないが、今後の普及を考えると克服すべき問題。

- EASIROC の開発元と協力して新しい ASIC を立ち上げるか？
- 国内で新しく立ち上げるか？

## もう一つ克服しないといけない問題

### 信号が高速な検出器、特に PMT の波形サンプリングをどうするか？

波形処理して high-resolution に時間情報を得たい場合、1 GSPS は必要だろう

#### Flash ADC

- 1 GSPS の FADC は単価が跳ね上がる (2 万円 /ch)
- 500 MSPS なら 5000 円 /ch くらいまで下がるのだが...

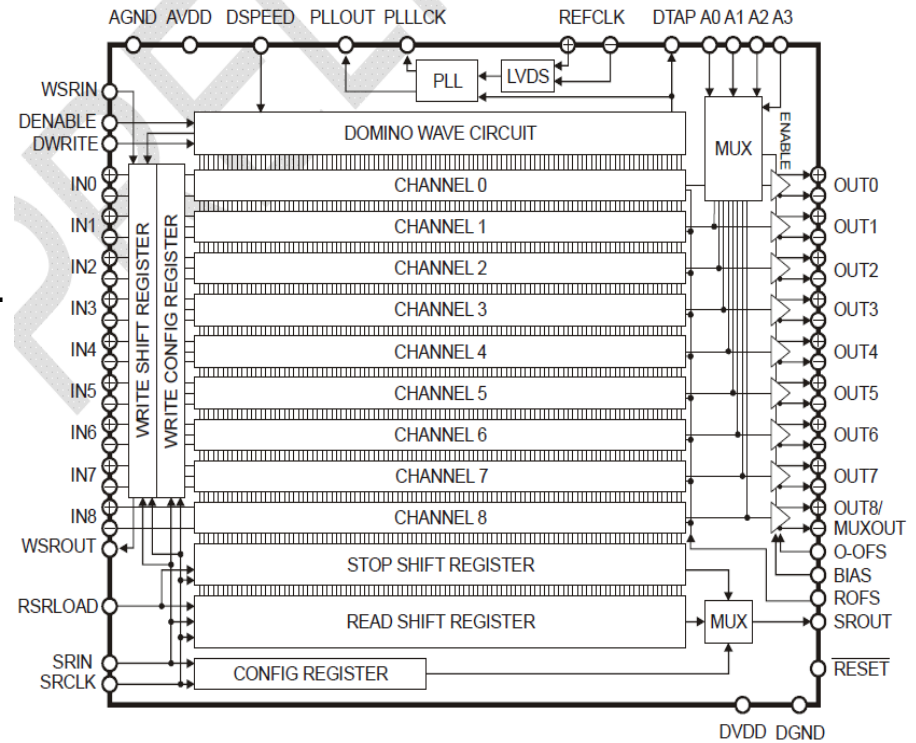
#### Analog buffer

- PSI の作った DRS なら単価を抑えれそう (a few 1000 円 /ch)

## DRS4

A sampling cell array (SCA) Developed by PSI.

- 0.7 ~ 6 GSPS
- 1 V<sub>pp</sub> input range
- 9 ch/chip (1000 JPY/ch)
- 1024 cells/ch
- channel cascading
  - channel cascading
- 110 mW (1 GSPS)

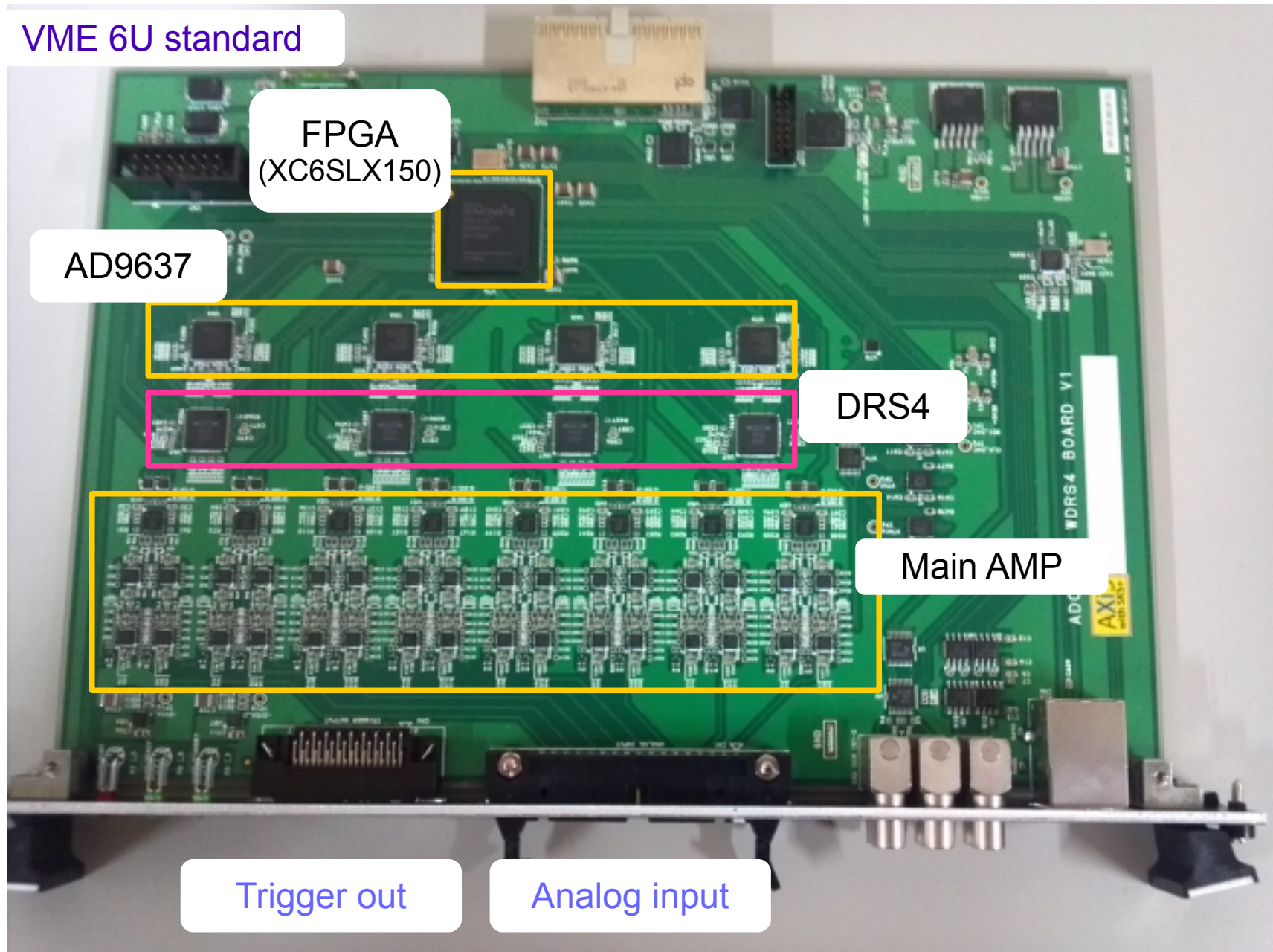


Open-It プロジェクトのノウハウの蓄積  
CTA と COMET のプロジェクトに感謝

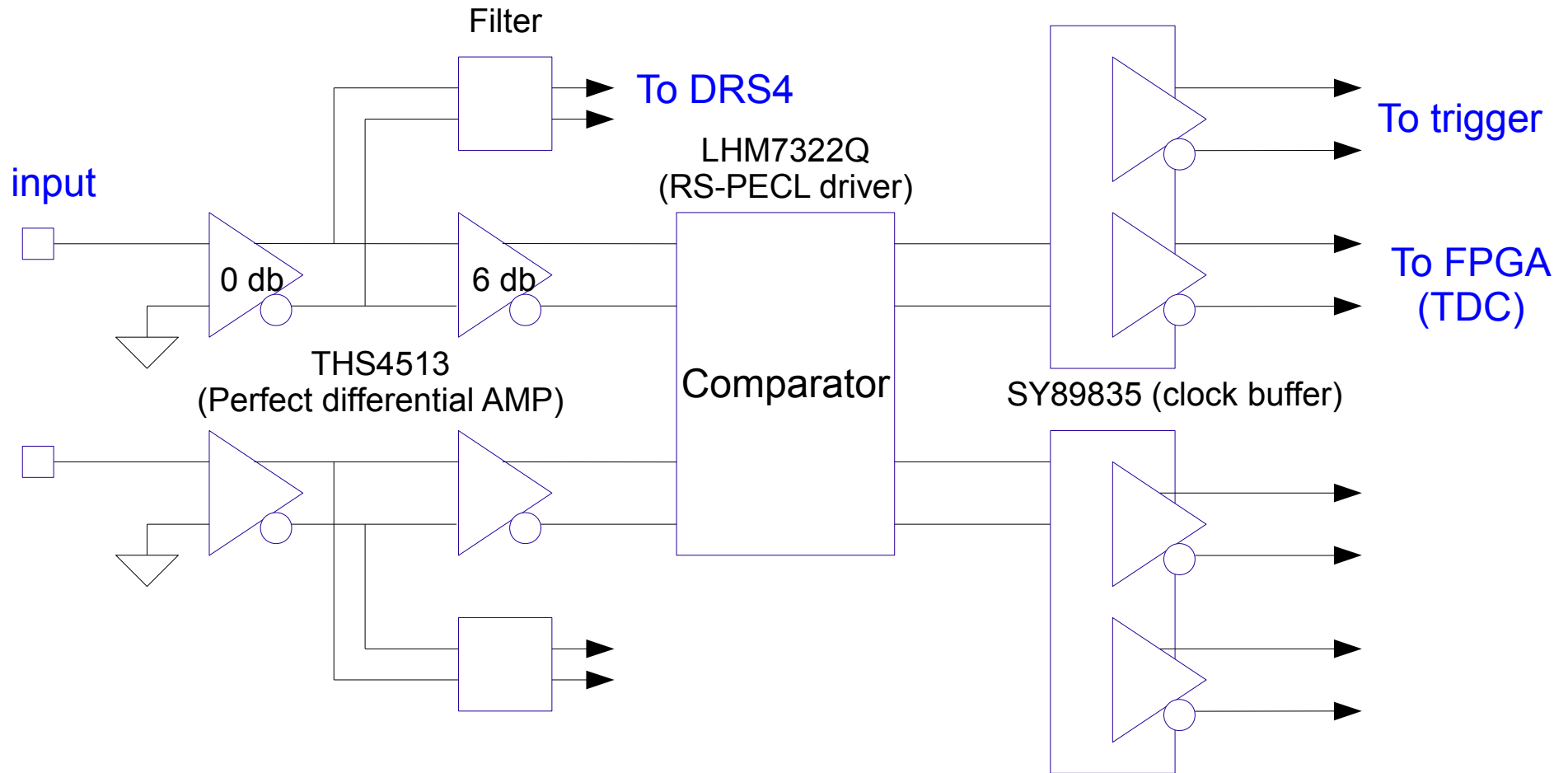
# DRS4 を用いた ADC (version 1)

KEK-VME J0

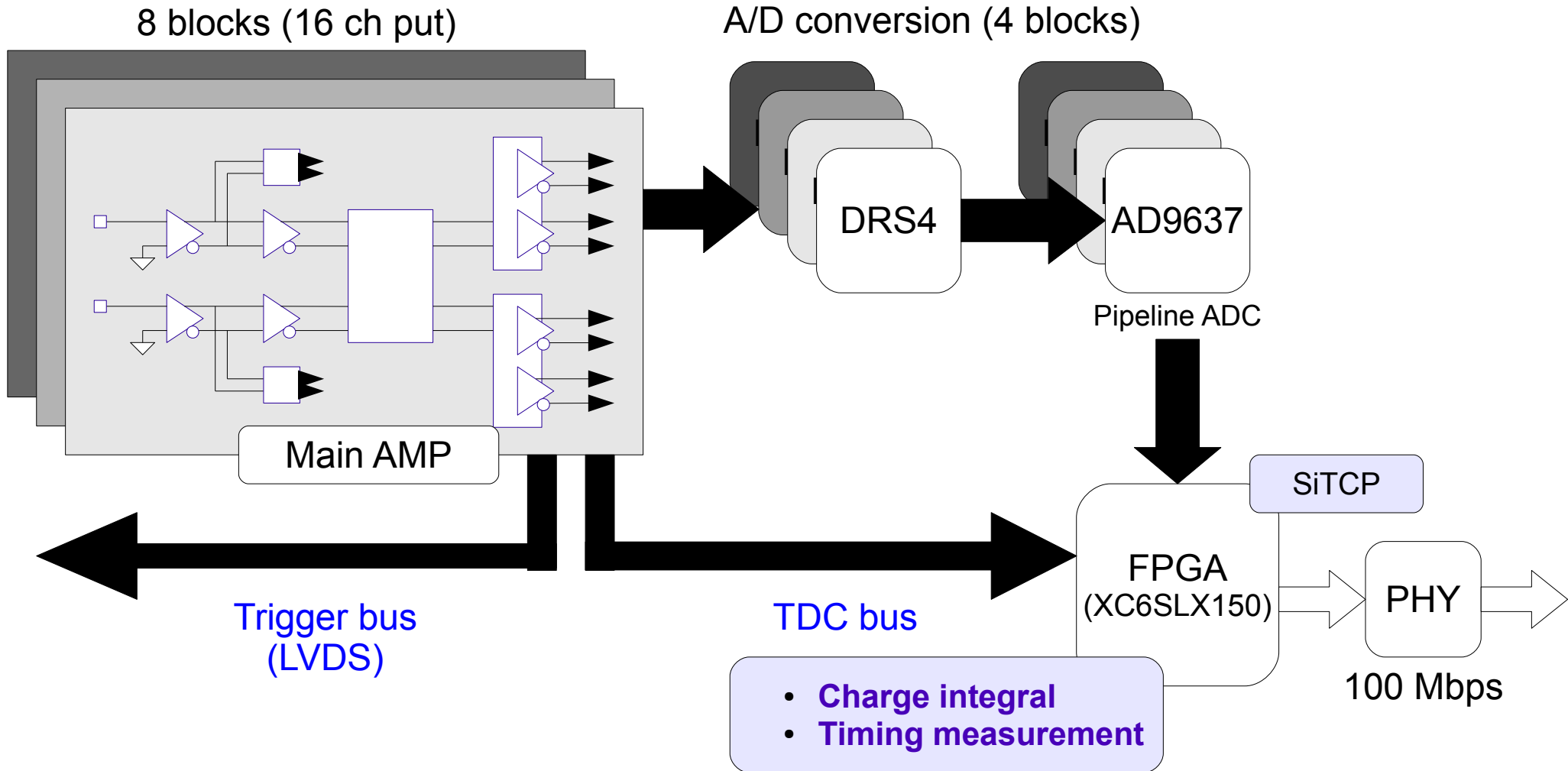
VME 6U standard



## Schematic of Main AMP and Discriminator



## Schematic of entire circuit



# DRS4 を用いた ADC (version 1)



## Analog input

- Input range : up to -2 V
- Absolute input range :  $\pm 2.5$  V

## PCB standard

- VME 6U KEK VME
- Only J0 is mounted
- $\pm 3.3$  V from J0
  - +3.3 V ~ 7 A
  - -3.3 V ~ 4 A

## DAQ functions (実装予定)

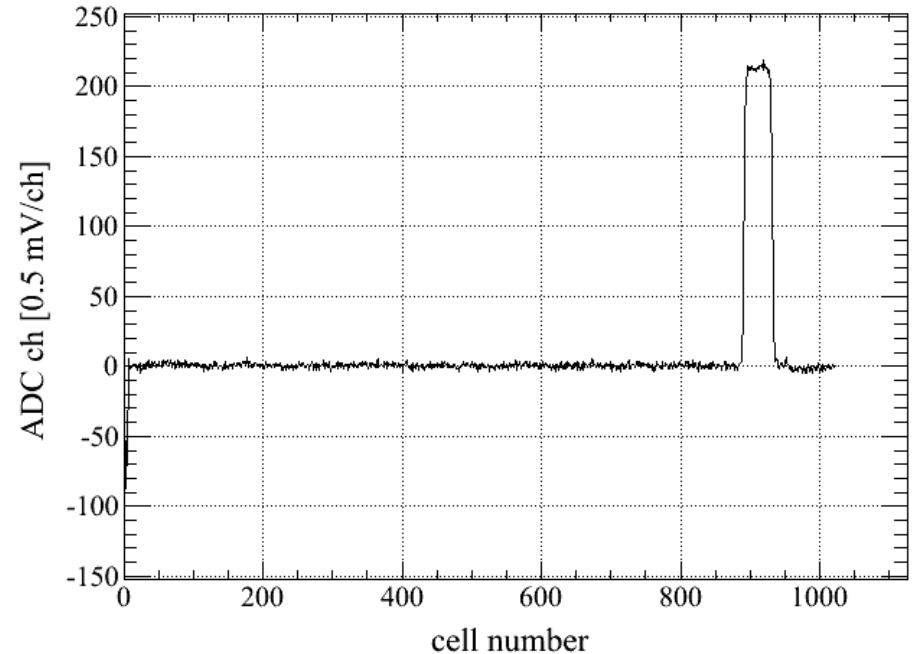
### QDC part

- Buffer range : 2 us
- Dead time : ~ 10 us (for 100 ns GATE)
- \*\* support zero suppression
- \*\* support wave form transmission (optional)

### MHTDC

- LSB : 1 ns
- resolution : 0.40 ns (rms)
- Dead time : < 5 us (Depends on # of Hit)

## 波形サンプリングのデモ (1 GSPS)



## Version 1 の問題点

### Main AMP がごつい

- 性能は出ている。(帯域を出すためのチューニングは要りそうだが)
- 何でもできる AMP を設計してしまったので消費電力がでかい。
  - 3~400 mW/ch くらい

**部品点数と差動信号線が多くて VME-6U 規格に収めるのがとてつもなく大変。**

- 将来ほかの実験グループに転用するための改変がほぼ無理

今我々と Open-It の他のプロジェクトが持っている技術をうまく部品化して  
実験目的に合わせて色々な改変を簡単にできるようにしていきたい。

特に

異なった基盤規格だが動作がほとんど同じ回路を作りたい  
という時に素早く動ける体制を作りたい。

## 部品化の現状

### Amp discriminator (Main AMP)

- ディスクリットで性能が出るものを作れた → ASIC 化が出来れば素晴らしい

### A/D 変換

- DRS4 を用いた 1 GSPS は達成できた。
  - 平行して FADC を用いた回路の現実性も調査していきたい。

### 時間情報取得

- 1 ns 精度の MH-TDC → FPGA で簡単に実装できる。
- High-resolution TDC
  - High Performance TDC (HPTDC)、Open-It に使用するためのノウハウ有り
  - FPGA-based TDC、国内での実用例なし
  - PLL-TDC も実用化が見えてきている？、Open-It プロジェクト

### モジュール間の通信

- どんな方法が良いのか自分の中で未知



J-PARC K1.8 ビームラインにおける高強度二次ビームの取り扱いのために、ファイバー読み出し専用の回路開発を行った。

Scintillation fiber tracker 読み出し用に、多チャンネル MPPC 読み出し回路を EASIROC チップを用いて開発した。

本回路では波高を保存することで ADC を取得し、また 1 ns 精度の MHTDC を FPGA 内部に実装することで、一台の基盤で電化と時間の両方情報を得ることが出来る。

本回路の導入により、K1.8 では  $1.8 \times 10^7$ /spill のビームの取り扱いに成功した。

将来のハドロン実験施設における新規ビームライン建設に備え、遅延用の同軸ケーブルを必要としない ADC の開発を行っている。

Version 1 として DRS4 を用いた ADC を開発し、波形を読み出せることを確認した。

今後開発や基盤改変をスムーズに行うために、部品化を進め他のプロジェクトと共有していきたい。