

信号処理の高機能化を目指して ～デジタイザーの現状とトレンド～

東京工業大学大学院理工学研究科

松澤・岡田研究室

宮原 正也

1. ADCの基本構成
2. ADCの技術・性能トレンド
3. ADC開発事例とその応用
4. TDC開発事例とその応用
5. まとめ

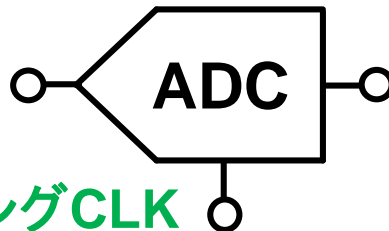
ADCとは？

ある時刻のアナログ信号を、決められたビット数のデジタル値に変換する。

電圧, 電流
遅延時間,
容量, 光,,,

アナログ入力

V_{in}



デジタル出力

D_{out}

サンプリングCLK

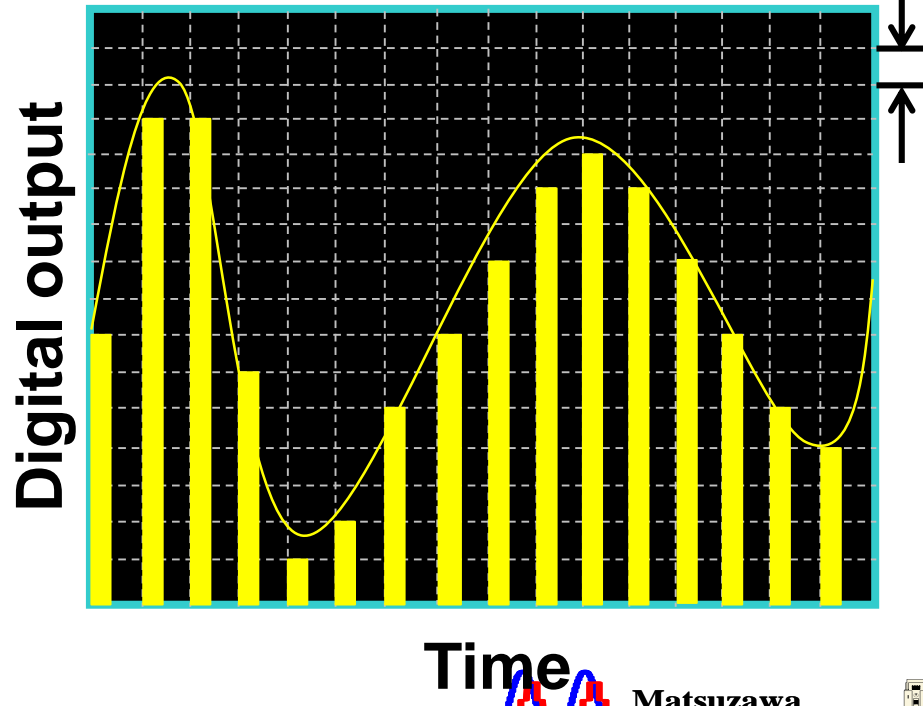
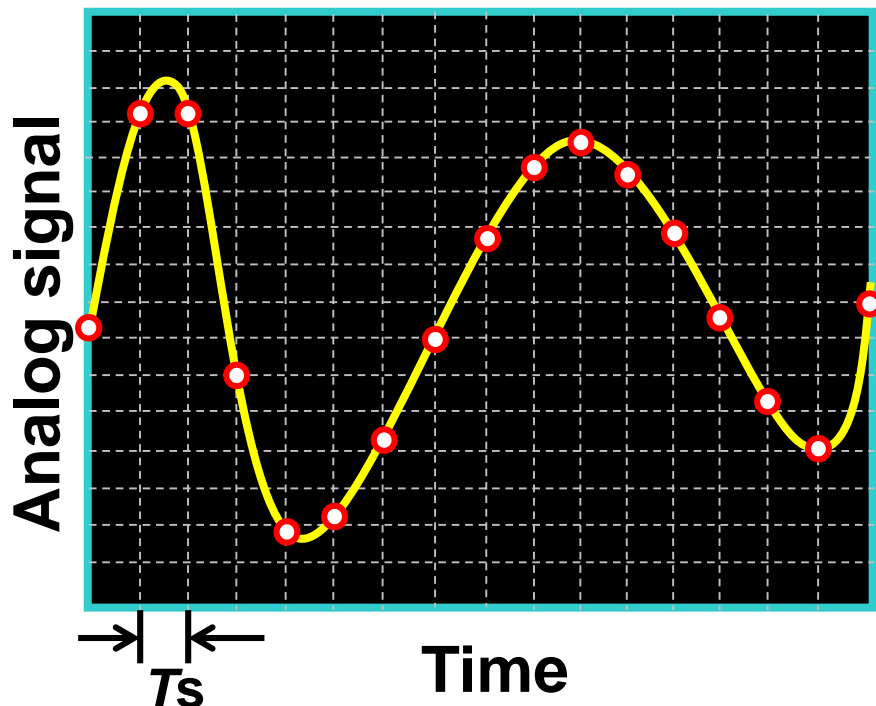
サンプリングレート $F_s = 1 / T_s$ (S/s)

Analog signalは一般的には電圧

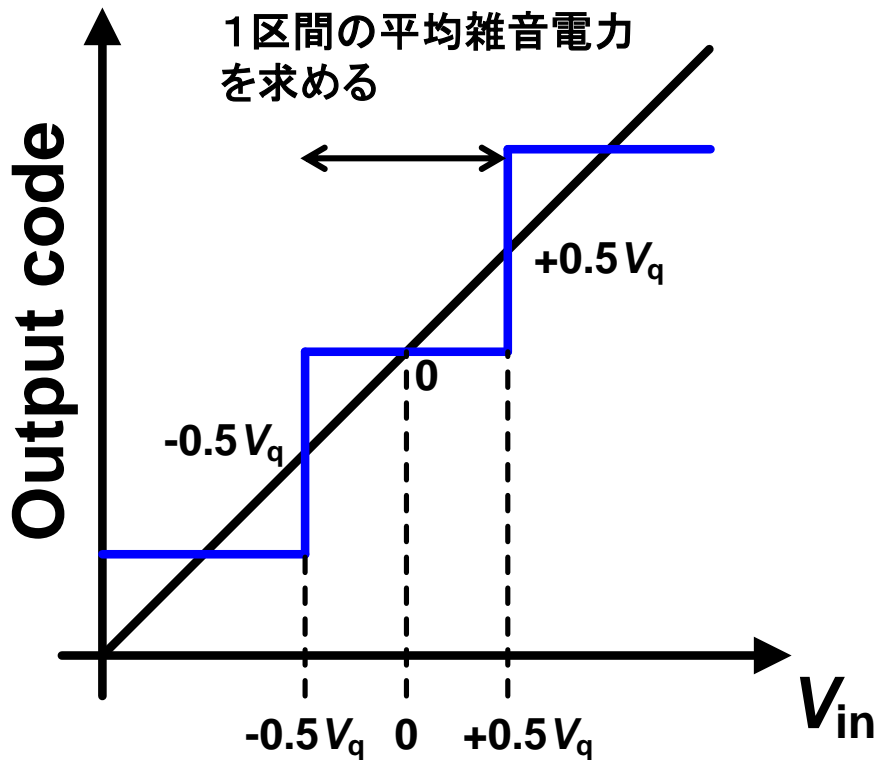
N bit ADC $\rightarrow 2^N$ の量子化値

下図は4bit

1LSB



量子化は必ず量子化ノイズを伴い、ADCの分解能に応じて得られるSNRの上限値が決まる。



理想的なADCの量子化雑音

$$SNR = 6.02N + 1.76 \text{ (dB)}$$

量子化雑音電力

$$\begin{aligned} P_{qn} &= \frac{1}{V_q} \int_{-0.5V_q}^{+0.5V_q} v_e^2 dV \\ &= \frac{1}{3} \left(\frac{V_q}{2} \right)^2 = \frac{1}{3} \left(\frac{V_{FS}}{2 \cdot 2^N} \right)^2 \end{aligned}$$

信号電力

$$P_S = \frac{1}{2} \left(\frac{V_{FS}}{2} \right)^2$$

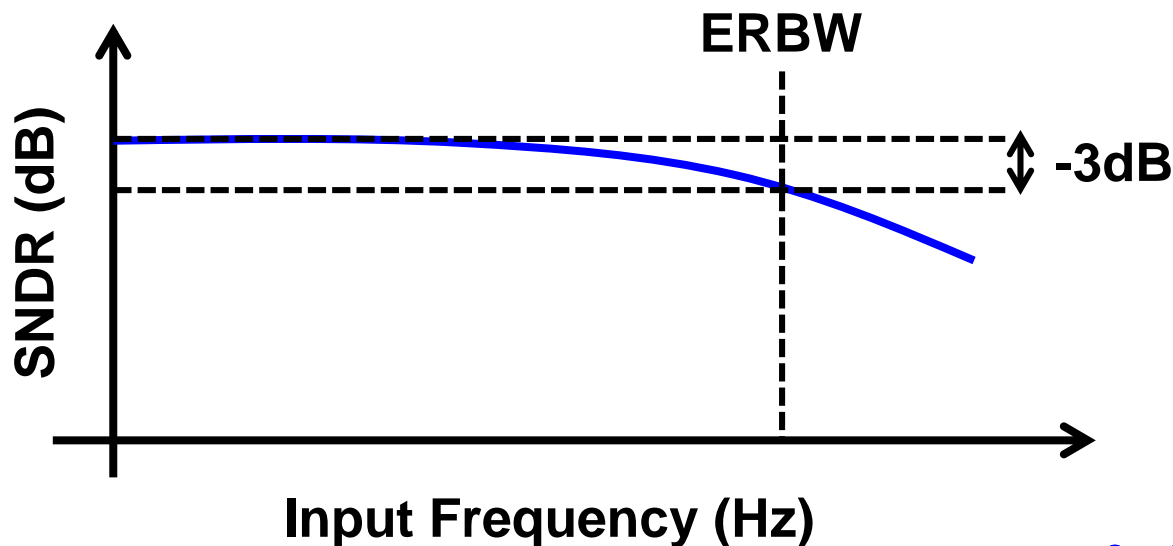
$$SNR = 10 \log \left(\frac{P_S}{P_N} \right) = 20 \log 2^N + 10 \log \left(\frac{3}{2} \right)$$

異なる分解能、変換速度を持つADCに対して電力効率を比較するための性能指標。1変換・ステップあたりに要するエネルギー。

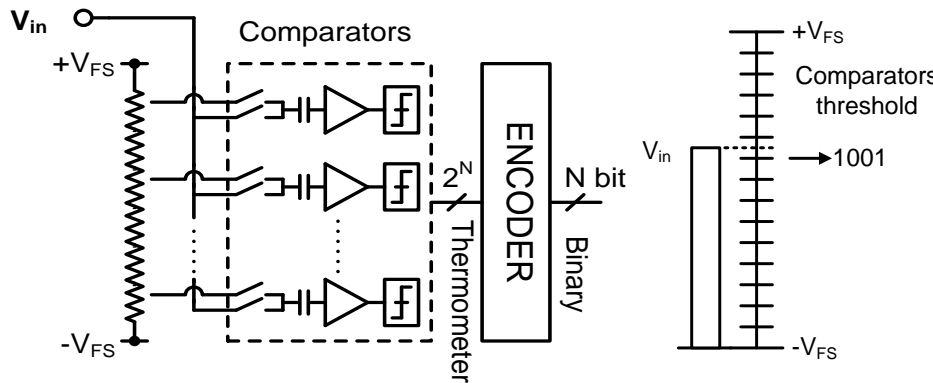
FoMが低いものほど電力効率が優れている。

$$FoM = \frac{Power}{2^{ENOB} \cdot \text{Min}(F_S, 2 \times ERBW)} \quad (\text{J / conv. step})$$

ERBW(Effective Resolution Bandwidth)は有効な信号帯域を表す。

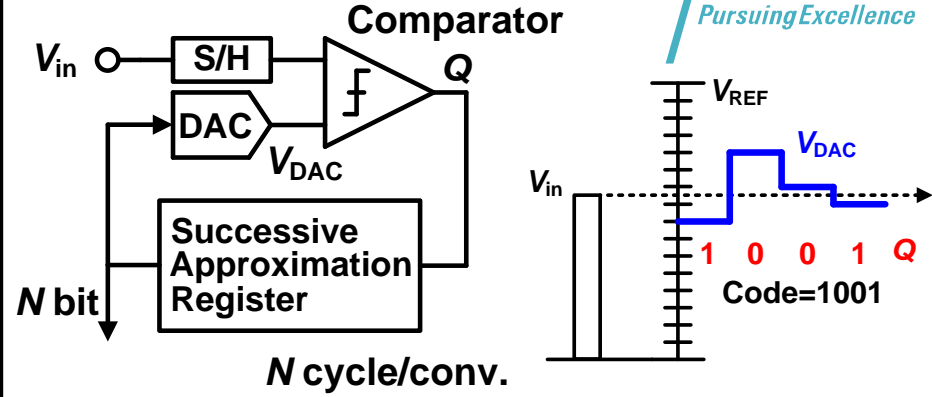


ADC 主要な変換アーキテクチャ



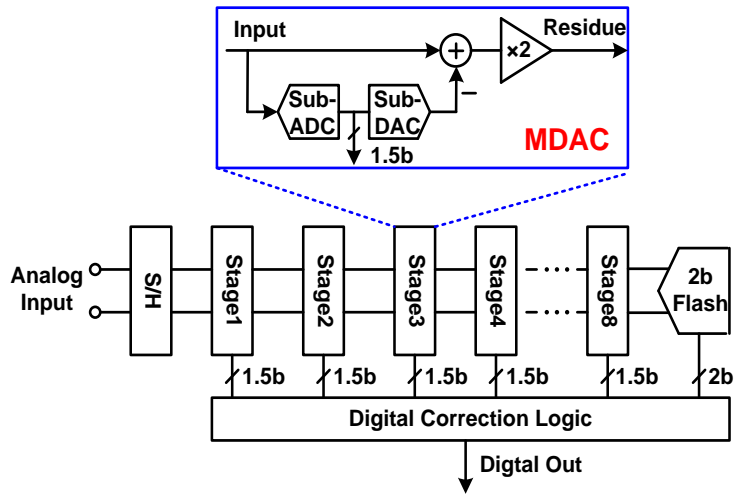
並列型(Flash)

低精度, 最高速, 消費電力大



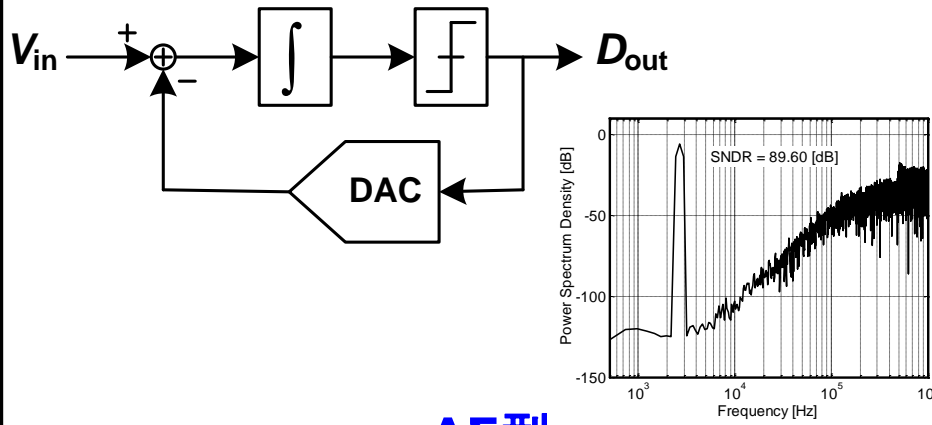
逐次比較型(SAR)

中精度, 中速, 最小電力



Pipeline型

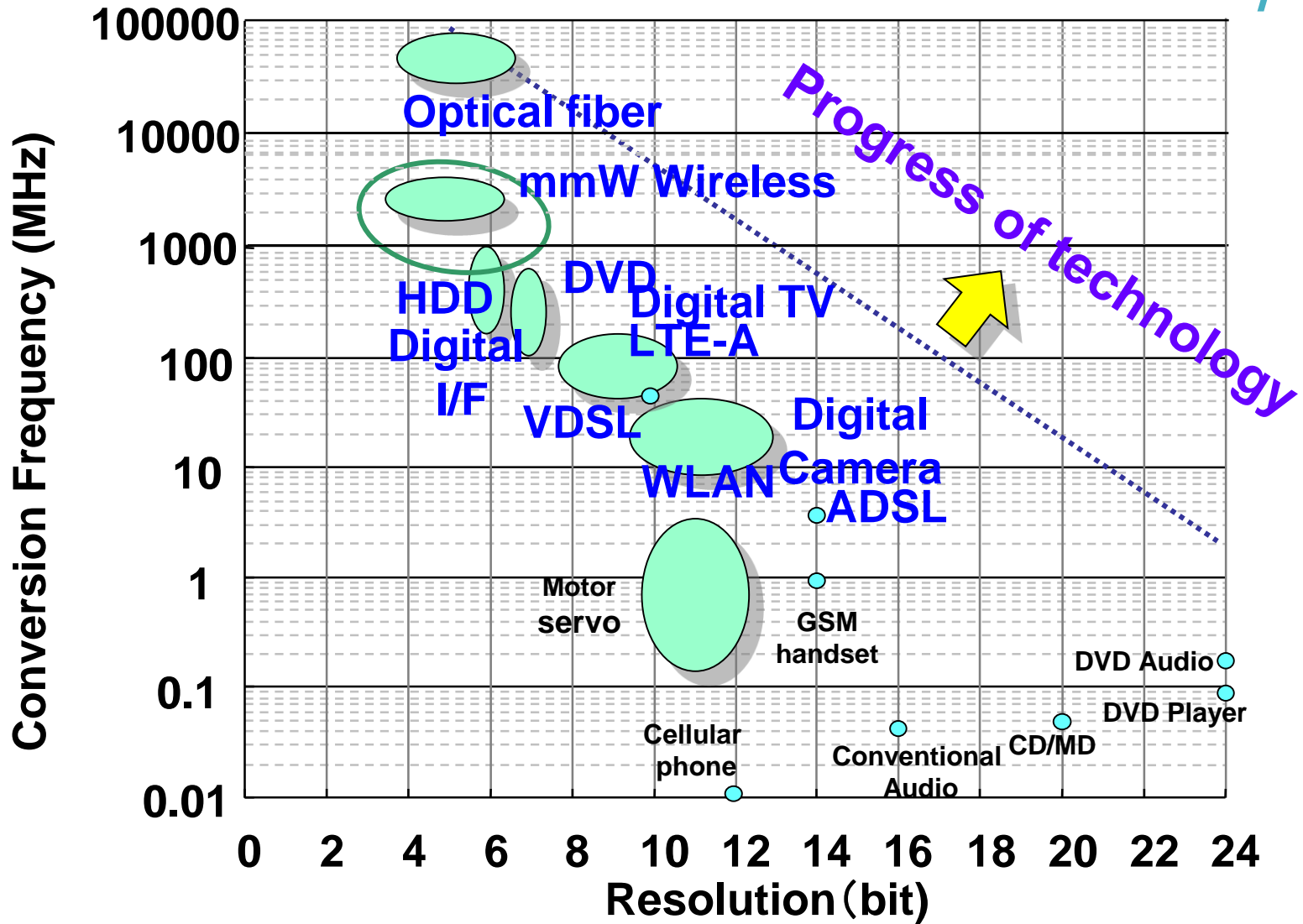
中~高精度, 高速, 消費電力中



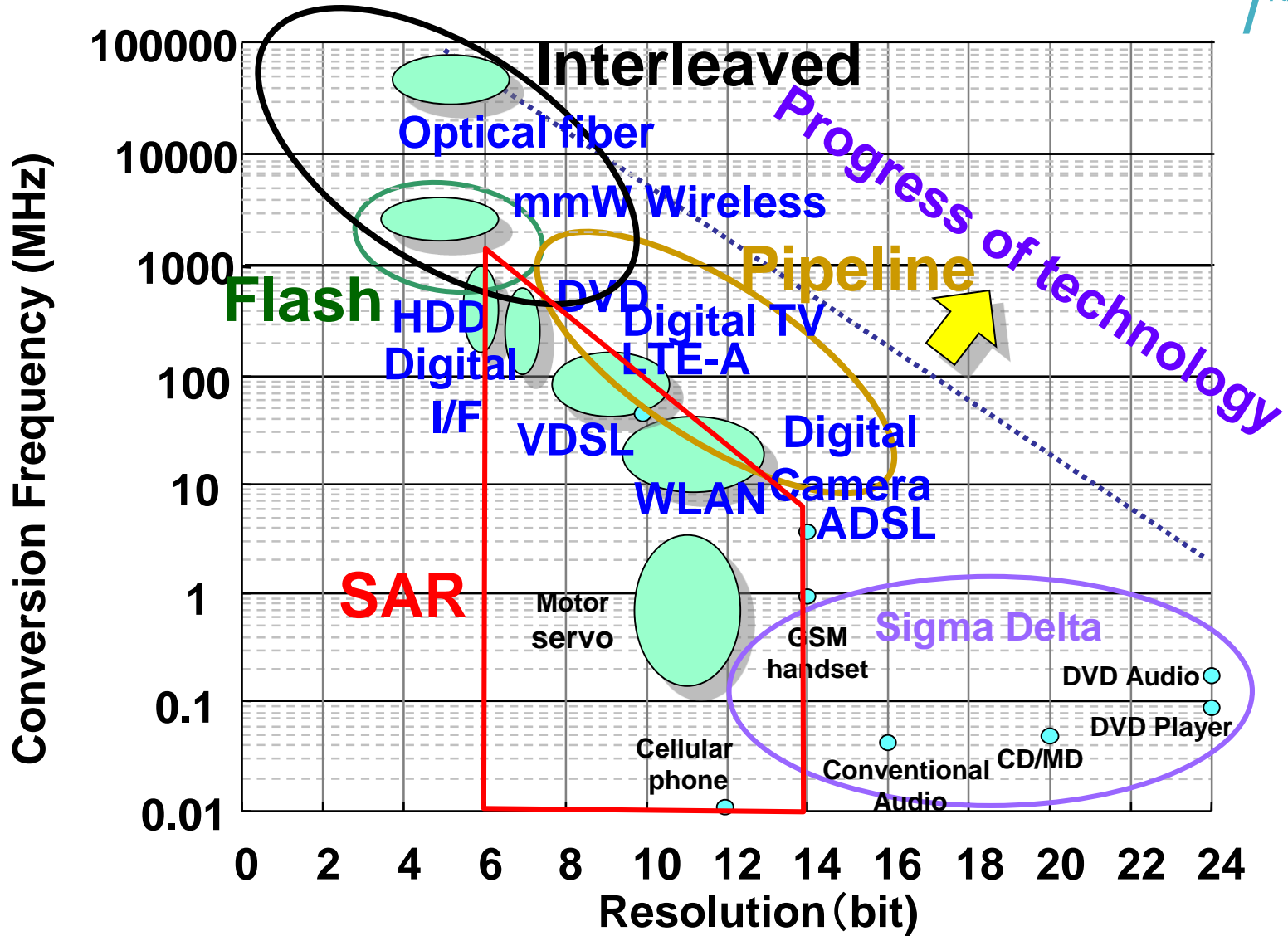
ΔΣ型

Over sampling & Noise Shaping
最高精度, 最低速, 消費電力大

ADCの性能と用途

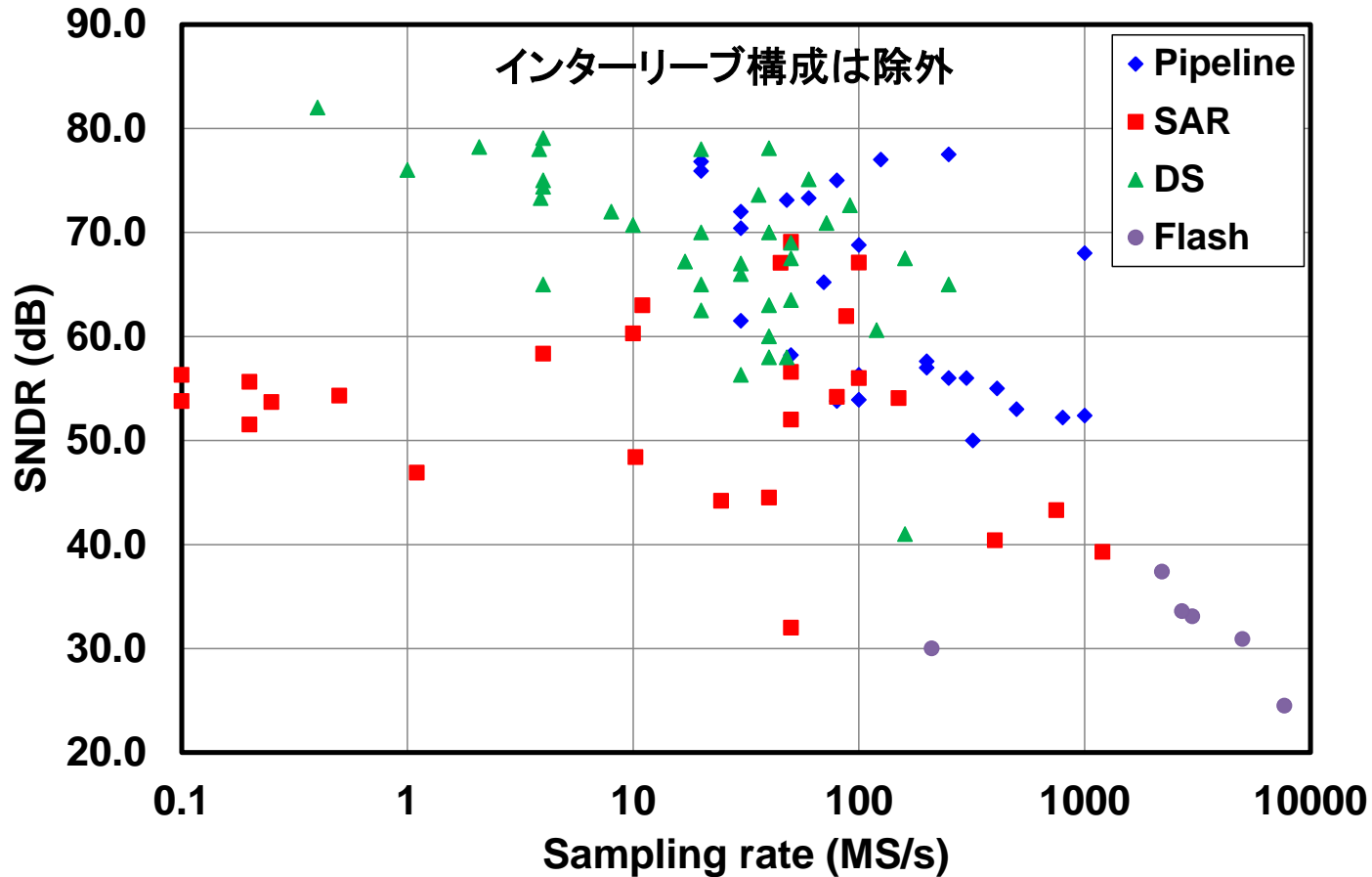


ADCの性能と用途



ADCの性能動向 Fs vs. SNDR

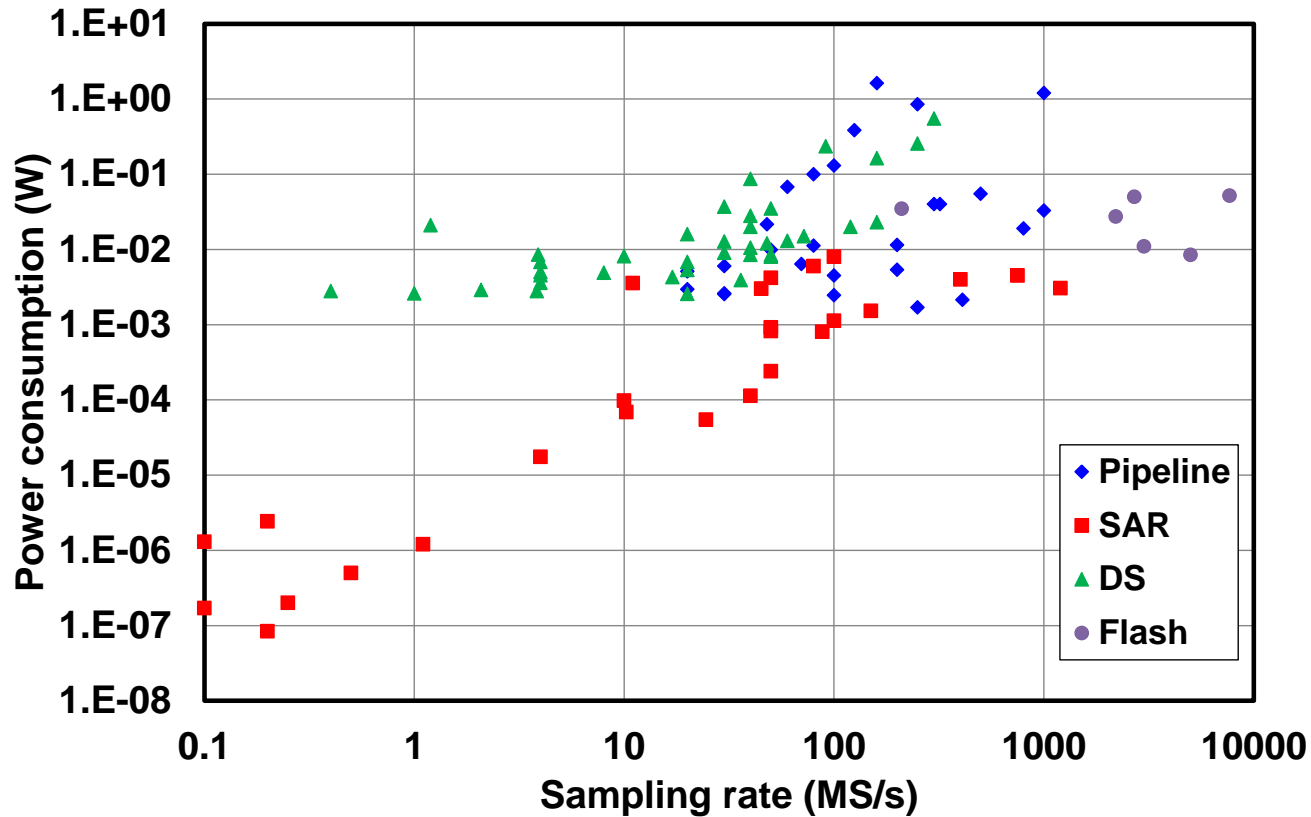
SAR ADCは一般的に低速動作であるが、100MS/sを程度まで性能向上している。



2009-2014 ISSCC, VLSI symp. で発表のあったADCの性能

ADCの性能動向 Fs vs. Power

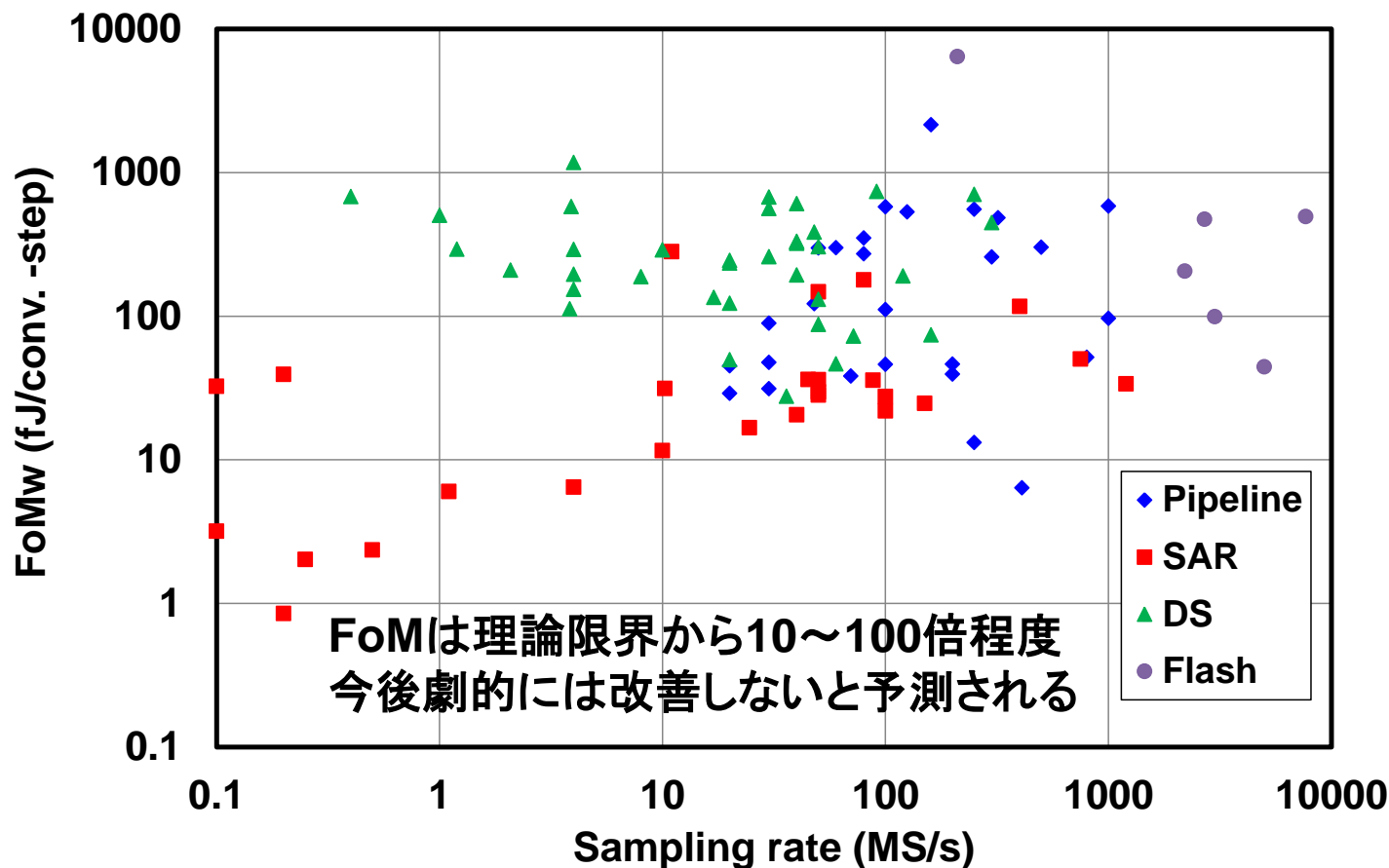
SAR ADCの消費電力はSampling rateにほぼ比例する。
低速サンプリング用途では圧倒的な低消費電力動作が望める。
高SNRが必要な場合は $\Delta\Sigma$ 型も有意であるが、消費電力は大きい。



2009-2014 ISSCC, VLSI symp. で発表のあったADCの性能

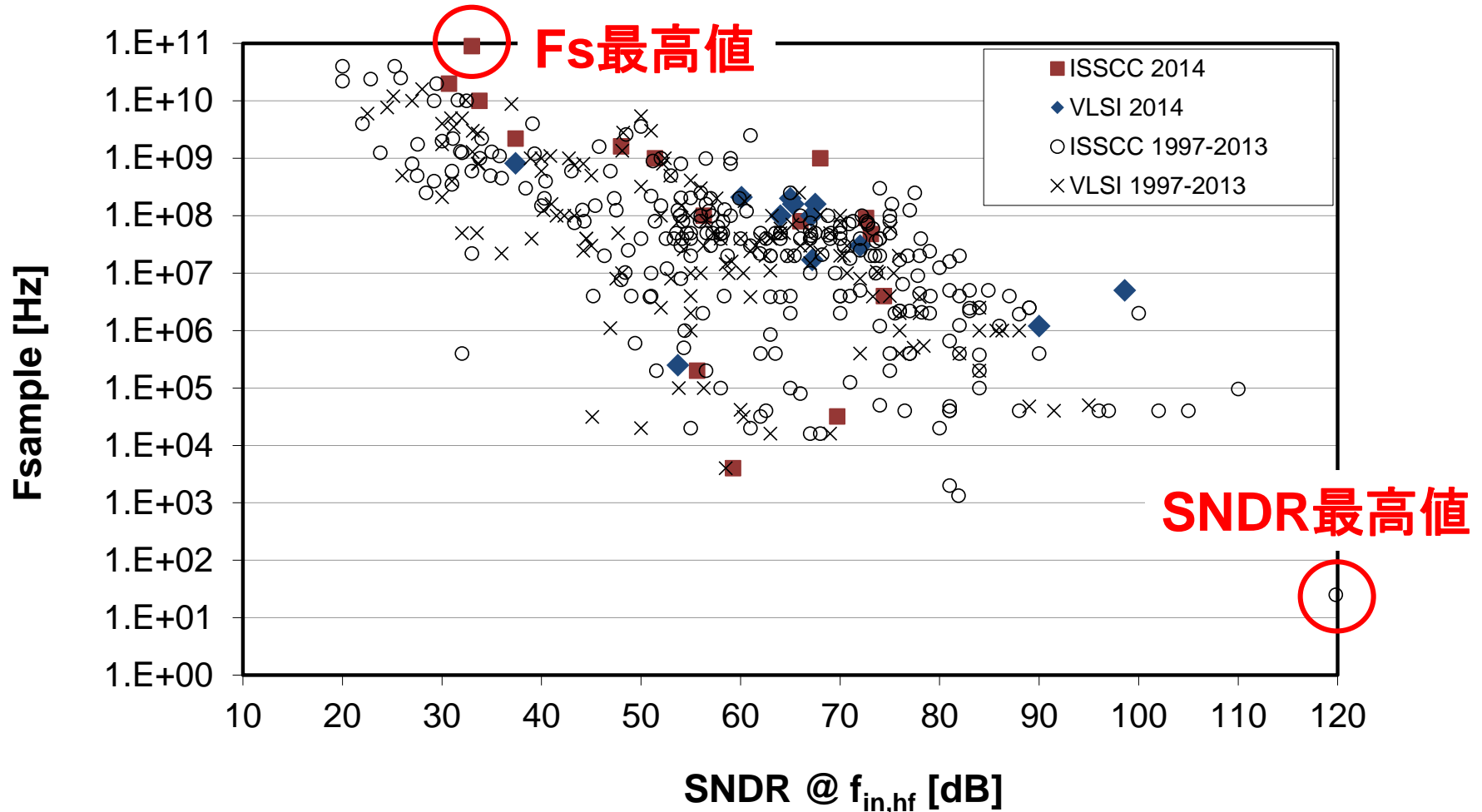
ADCの性能動向 Fs vs. FoMw

オペアンプを必要とするパイプライン型、 $\Delta\Sigma$ 型は電力効率が悪くなりがち。
Flash型は比較器ベースであるが構造上電力効率は悪い。



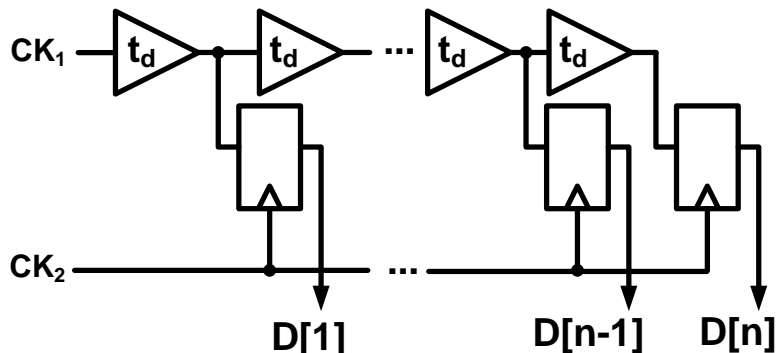
B. Murmann, "ADC Performance Survey 1997-2014," [Online]. Available: <http://web.stanford.edu/~murmman/adcsurvey.html>.

報告されているSampling rateのWorld recordは90GS/s (SAR ADC x 64)。
SNDRのWorld recordは120dB。ただし低速。



B. Murmann, "ADC Performance Survey 1997-2014," [Online]. Available: <http://web.stanford.edu/~murmman/adcsurvey.html>.

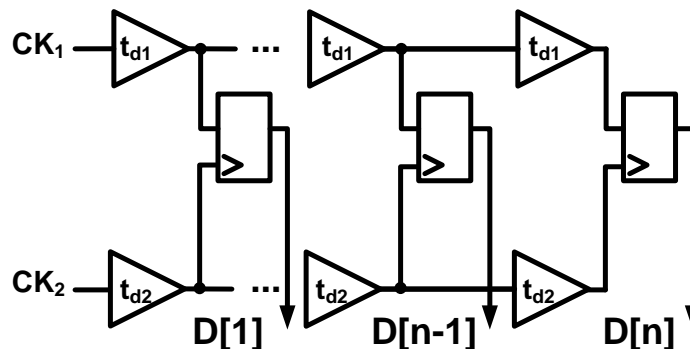
Delay chain: $t_{res} = t_d$



Delay chain

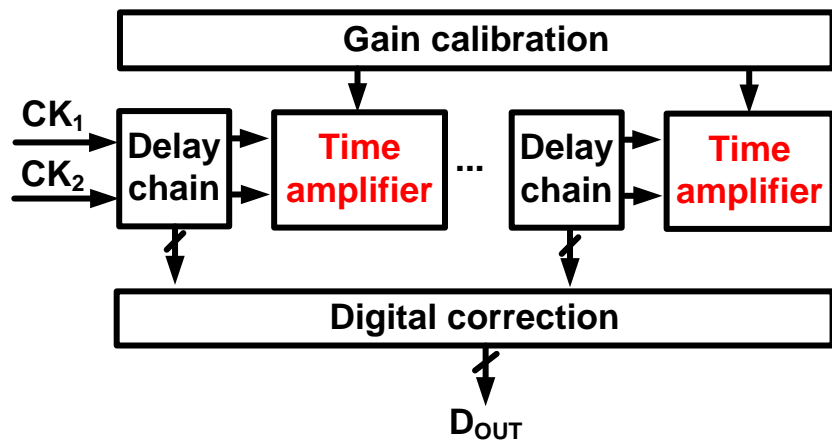
低精度, 消費電力大

Vernier chain: $t_{res} = t_{d1} - t_{d2}$



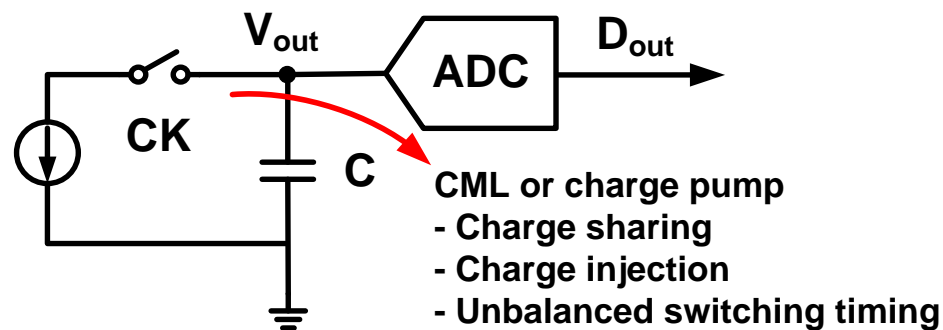
Vernier Chain

中精度, 消費電力大



Pipeline型

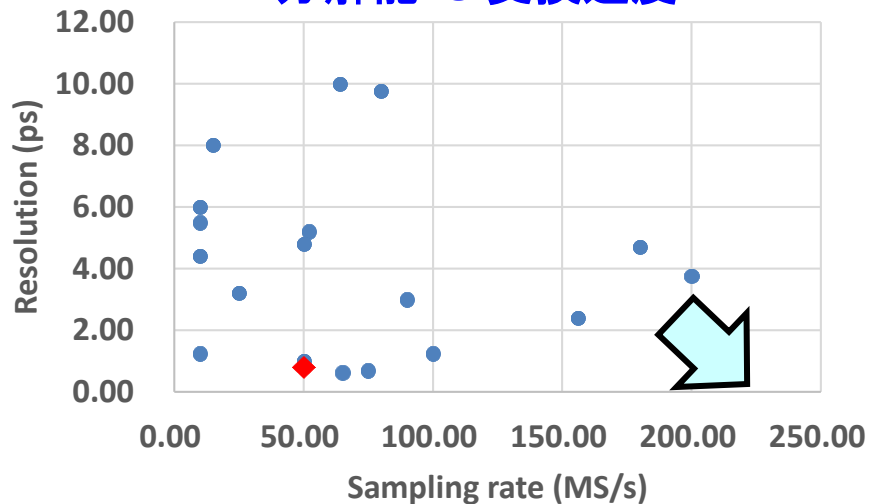
中~高精度, 高速, 消費電力中



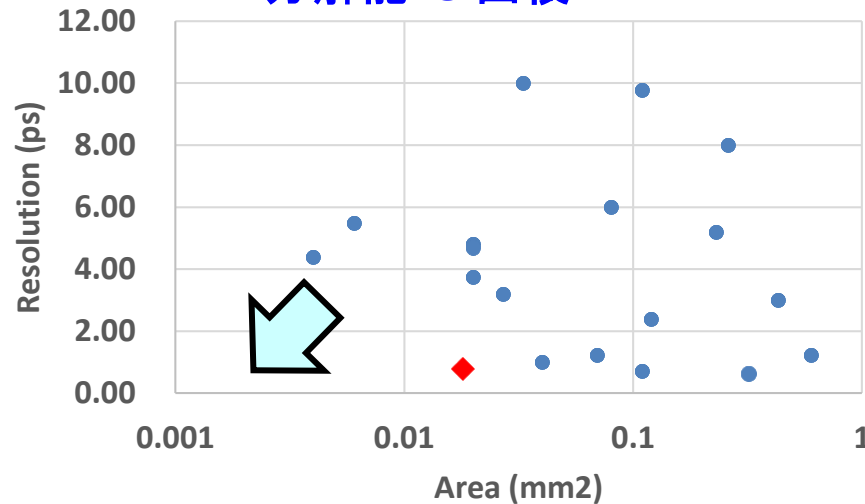
CP+ADC型

高精度, 高速, 消費電力中

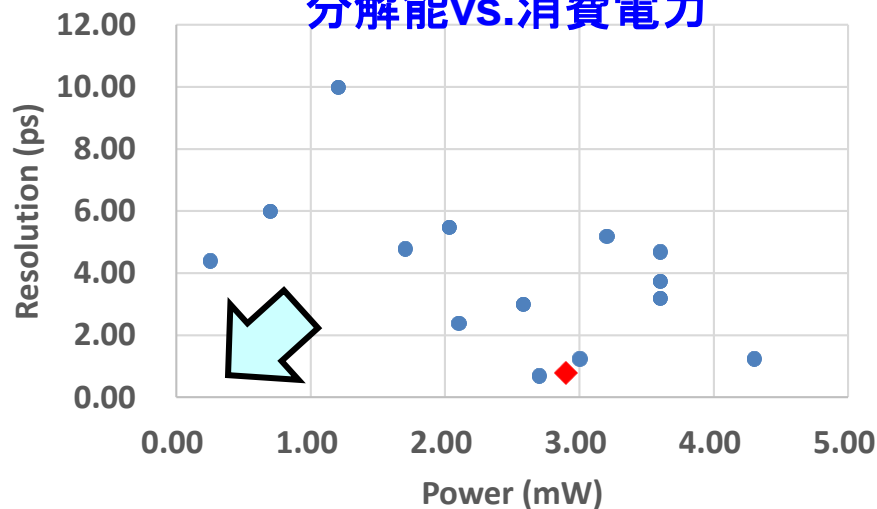
分解能vs.変換速度



分解能vs.面積

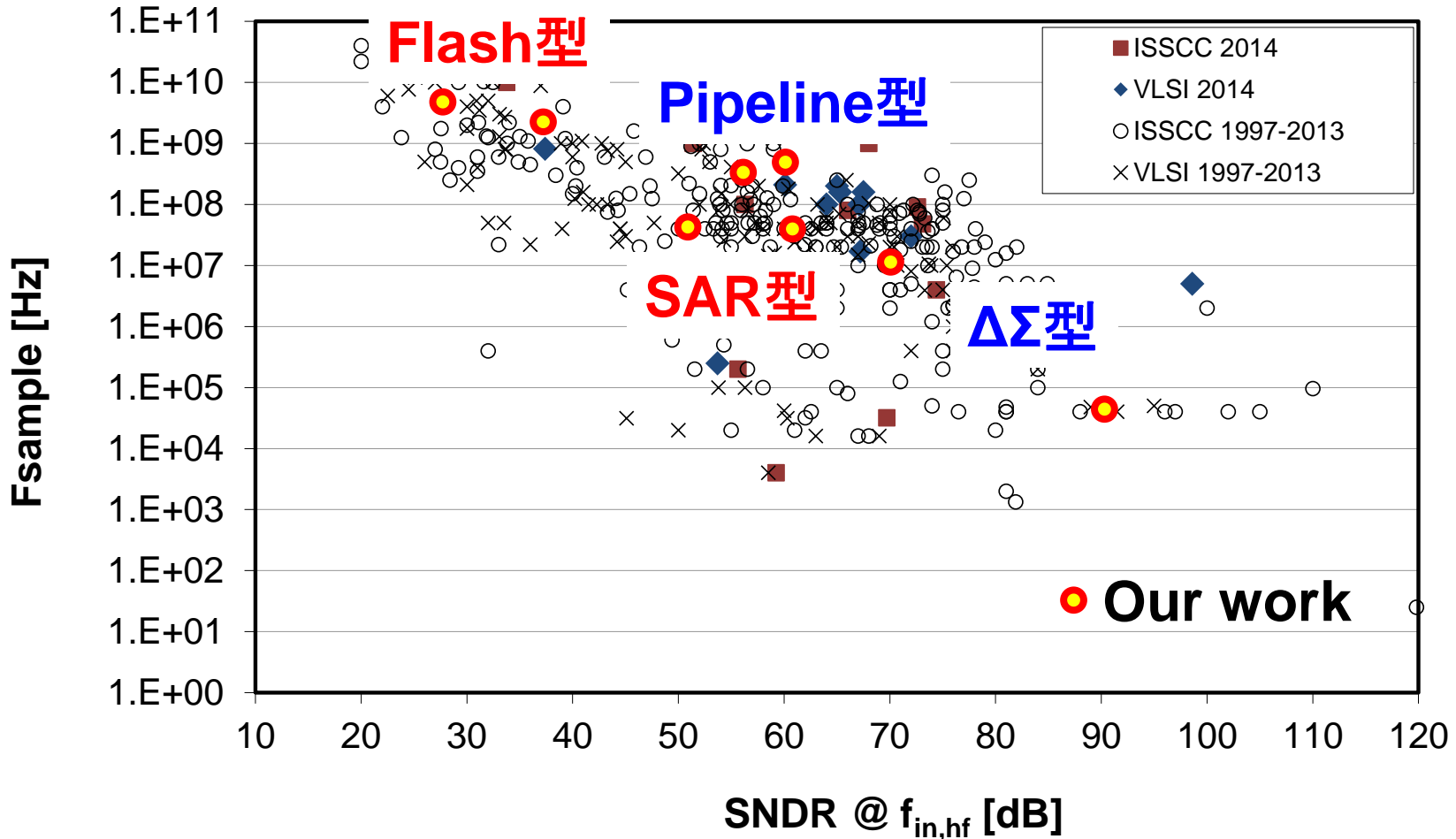


分解能vs.消費電力



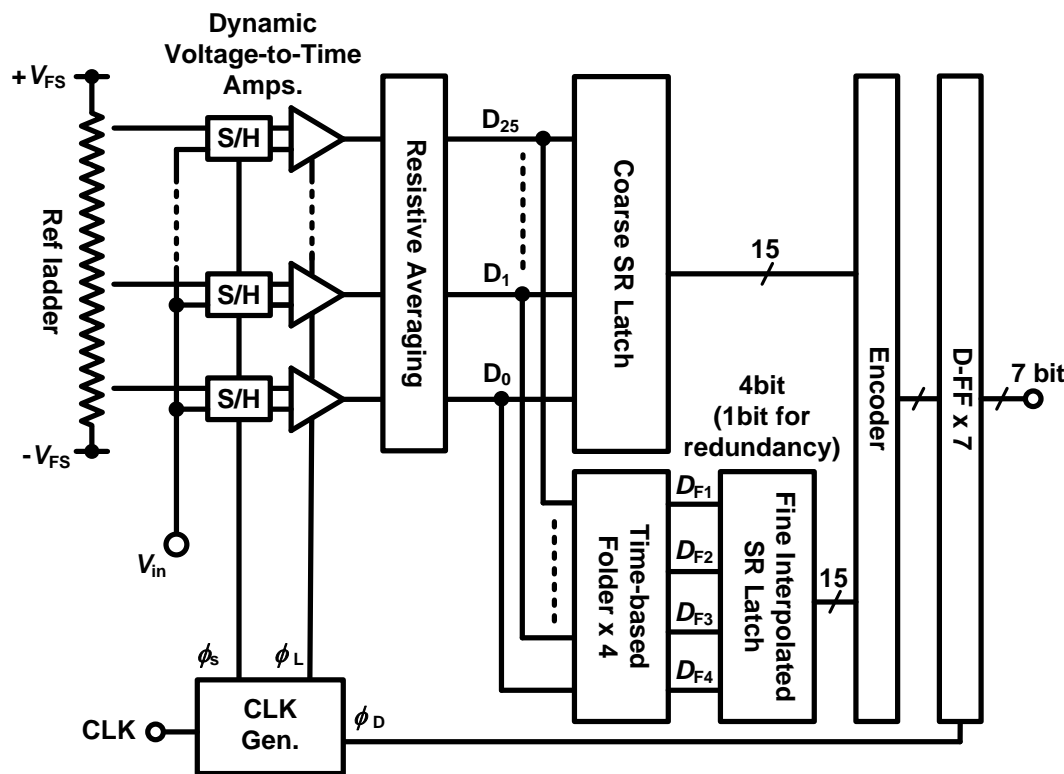
- ✓ サブps分解能 (0.63ps)
- ✓ 数百MS/s
- ✓ 消費電力 数mWオーダー
- ✓ 微細化により性能向上

主要なものについて技術を紹介

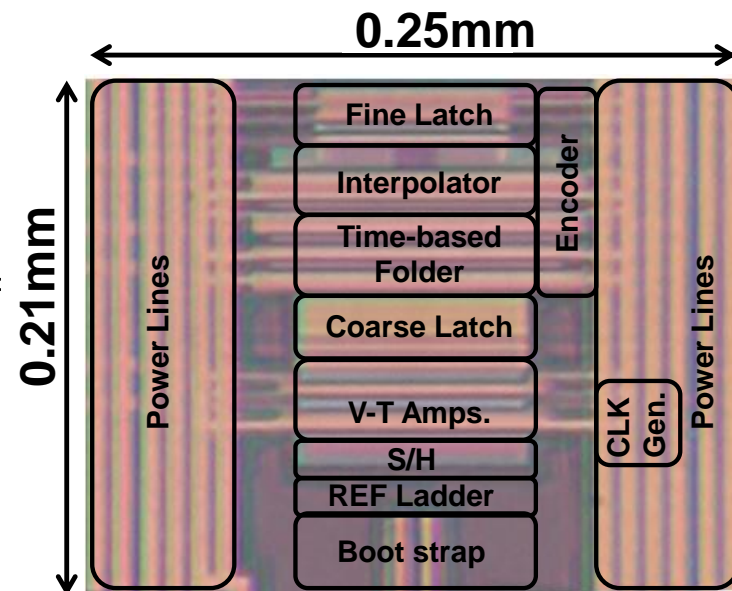


B. Murmann, "ADC Performance Survey 1997-2014," [Online]. Available: <http://web.stanford.edu/~murmman/adcsurvey.html>.

- ・ ダイナミックアンプを用いて電圧を時間差信号に変換
- ・ 時間差信号をロジックセルを用いて折り返し信号を実現
- ・ ミスマッチは抵抗アベレージング技術により緩和



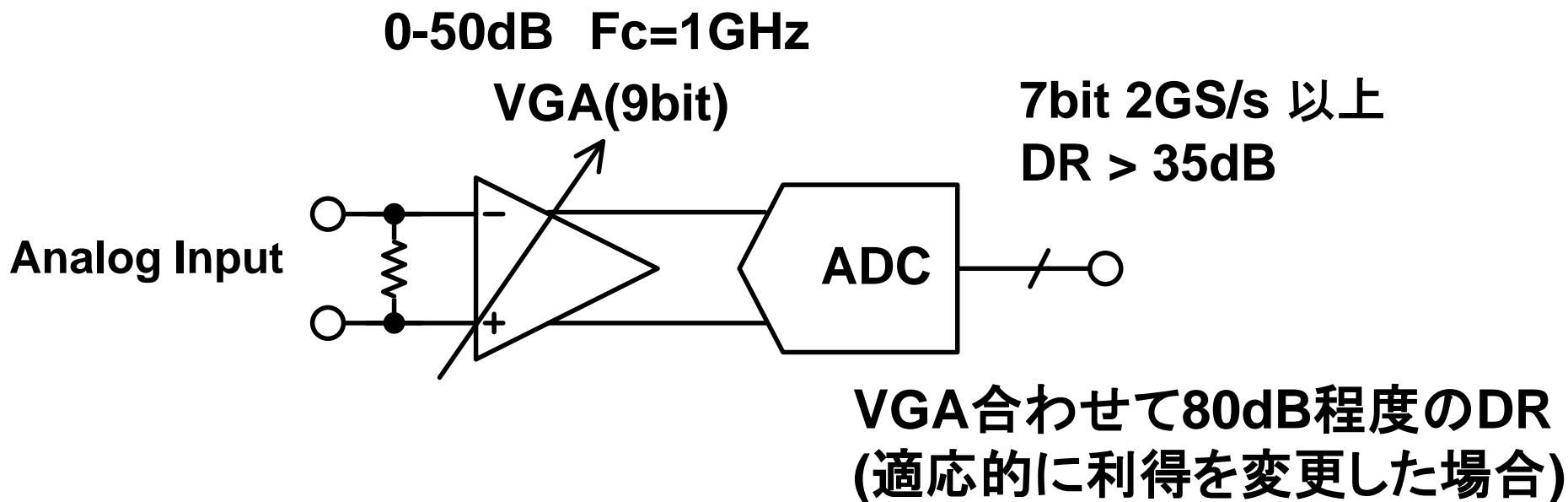
M. Miyahara, et al., ISSCC 2014



2GS/s以上のFlash型ADCとして最も高いSNDR =37.4dBを達成
キャリブレーション回路なし動作可能。

	ISSCC 2008 [3]	VLSI 2012 [8]	VLSI 2013 [9]	This work
Technology	90nm	40nm	32nm SOI	40nm LP
Resolution [bit]	5	6	6	7
Power Supply [V]	1	1.1	0.85	1.1
Sampling Frequency [GS/s]	1.75	3	5	2.2
Power Consumption [mW]	2.2	11	8.5	27.4
SNDR @Nyquist [dB]	27.6	33.1	30.9	37.4
FoMw [fJ/conv.-step]	64.5	99.3	59.4	210
FoMs [dB]	143.5	144.4	145.6	143.3
Core area [mm ²]	0.0165	0.021	0.02	0.052
Calibration	Off chip	Foreground	Off chip	No need

7bit ADCだけではDynamic Rangeが足りない場合は
VGAを設けてDRを向上させる



光検出器

ワイヤー読み出しガス検出器

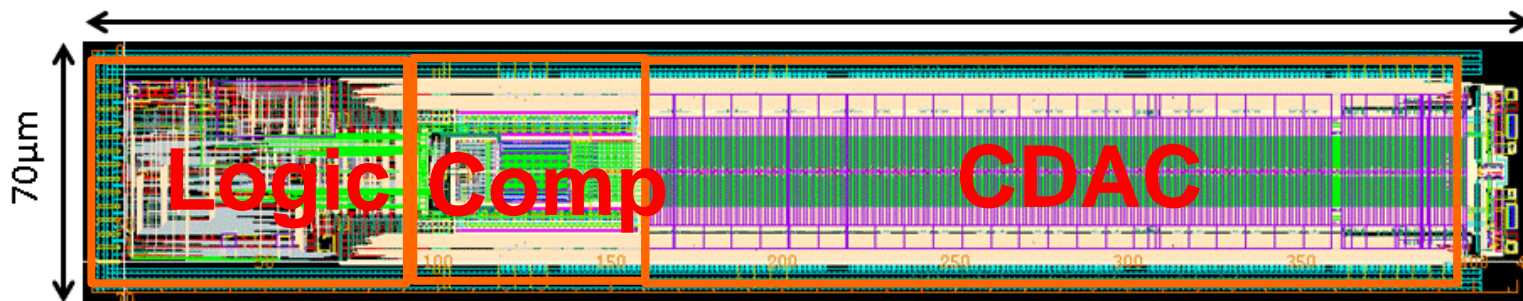
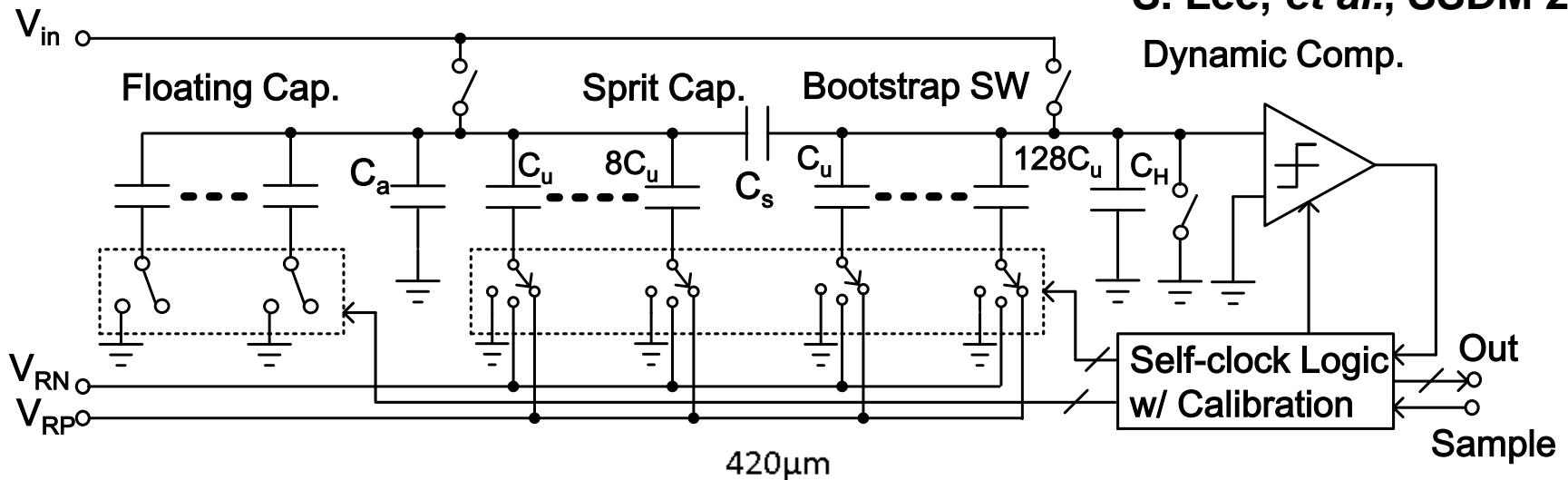
シリコンストリップ検出器

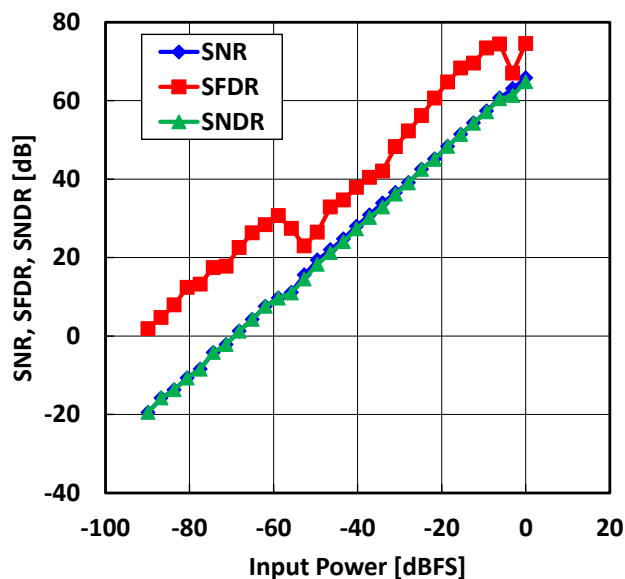
等

逐次比較型(SAR) ADCの開発

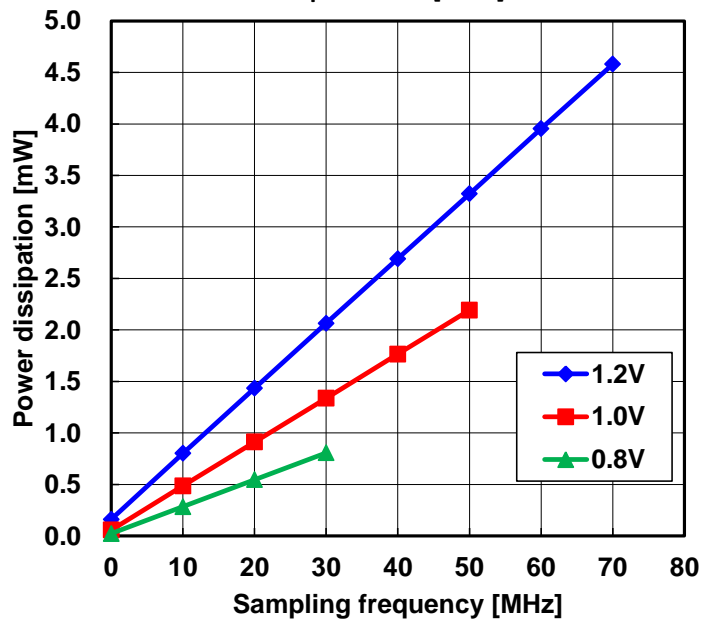
- スプリットキャパシタを用いて容量を削減
- 線形性補償機構を搭載
- 低ノイズダイナミック型コンパレータを採用
- セルフクロッキング技術により高速CLKを排除

S. Lee, et al., SSDM 2013





- 12bit, 70MS/s
- 2.2mW @ 50MS/s
- SNDR = 64dB, Input DR > 80dB
- Power Scalable

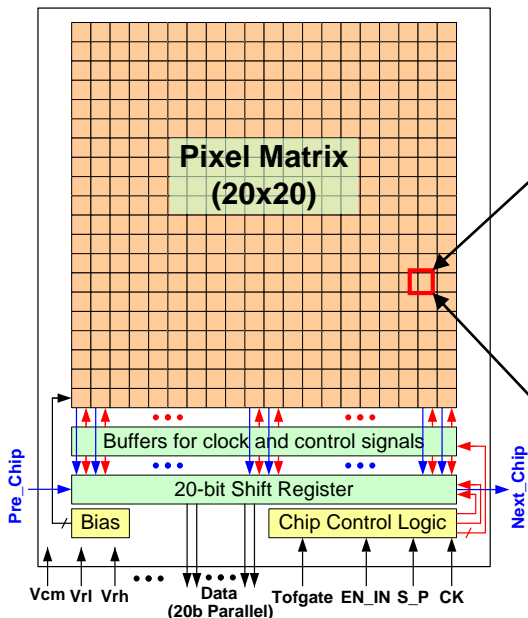


	This work			[3]	[4]
Resolution (bit)	12			12	12
V _{DD} (V)	0.8	1	1.2	1.2	1.2
f _{sample} (MHz)	30	50	70	45	50
P _d (mW)	0.8	2.2	4.6	3	4.2
SNDR (dB)	62	64	65	67	71
FoM (fJ) Nyq/DC	81/28	62/33	100/45	36/31	36/29
Technology (nm)	65			130	90
Occupied area(mm ²)	0.03			0.06	0.1

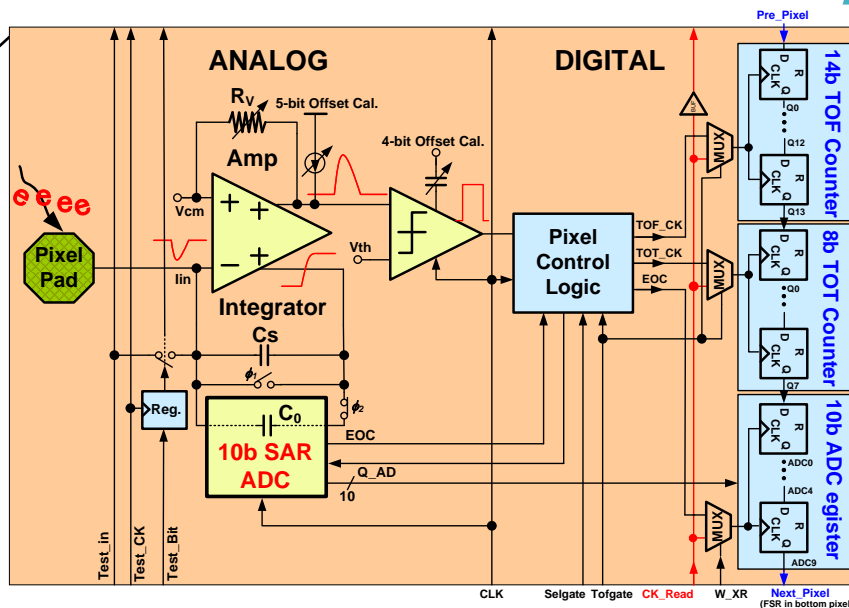
[3] W. Liu, P. Huang, Y. Chiu, ISSCC, pp. 380-381, Feb. 2010.

[4] T. Morie, et al., ISSCC, pp.272-273, Feb. 2013.

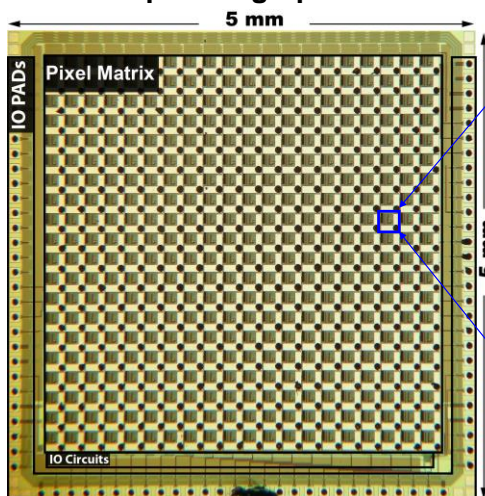
Floor-plan



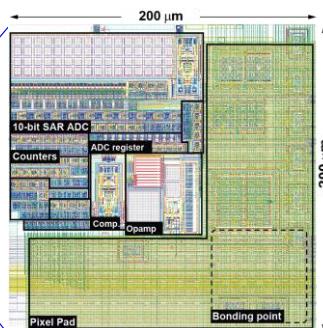
Pixel schematic



Chip micrograph



Pixel layout



0.18 μm CMOS
400 pixel cells

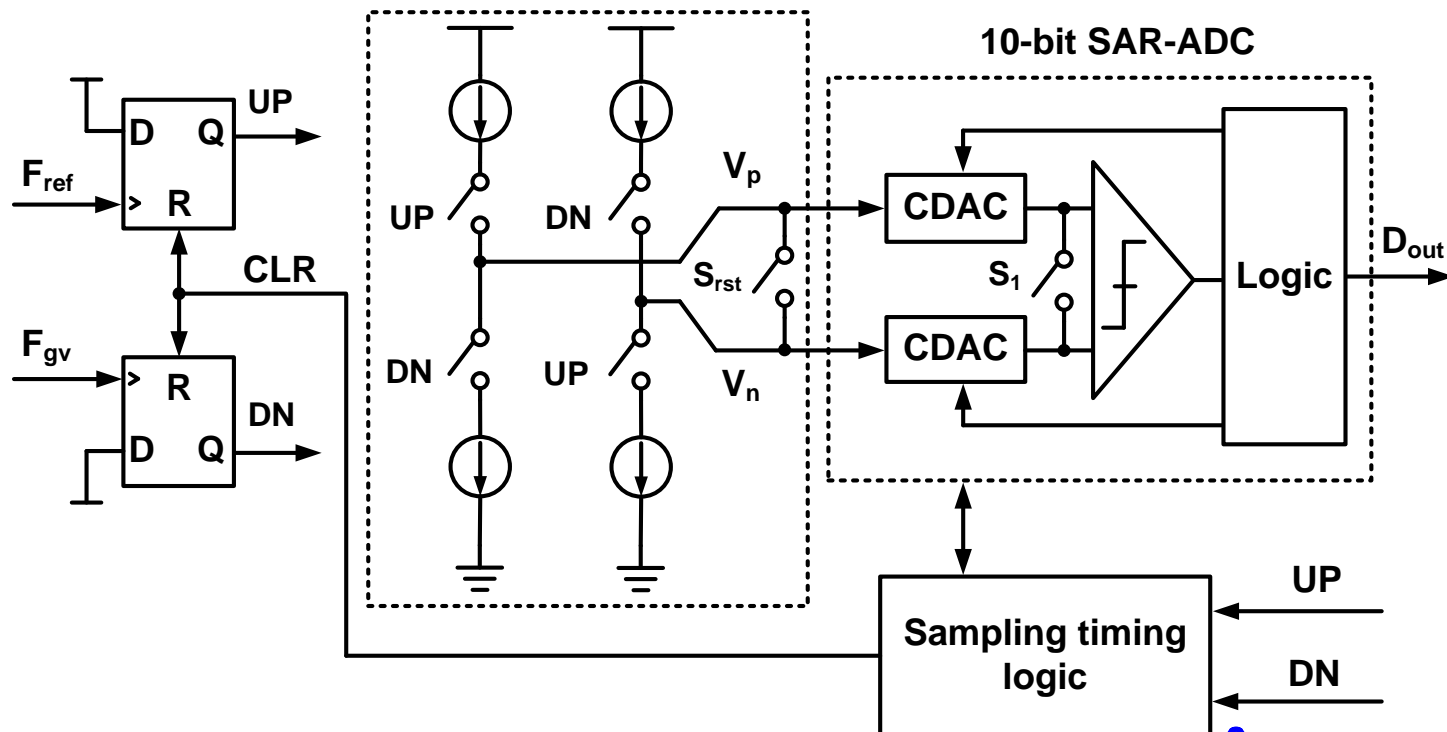
各ピクセルにSAR ADCを配置

- ✓ 低消費電力
- ✓ 高精度
- ✓ 小面積

多チャンネル測定に最適

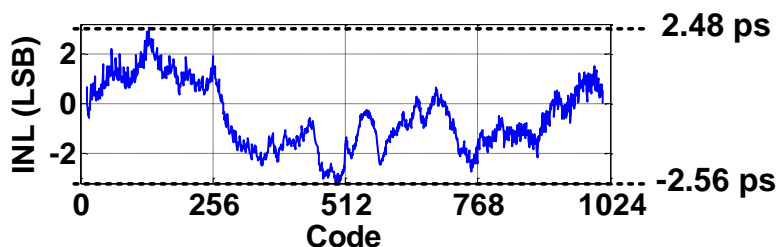
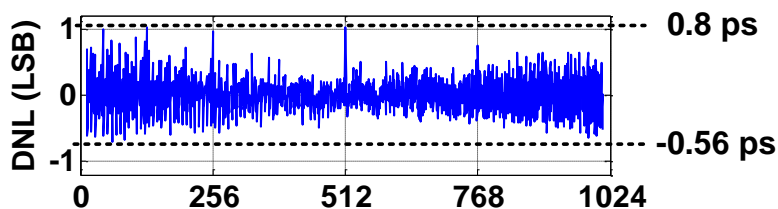
- Time-to-charge conversion \rightarrow high resolution
 - Example: $t_{\text{res}} = CV_{\text{lsb}}/I = 1\text{pF}\cdot 1\text{mV}/1\text{mA} = 1\text{ps}$
- SAR-ADC \rightarrow low power, compact, sufficient range, and moderate speed

Z.Xu, *et al.*, SSDM 2014



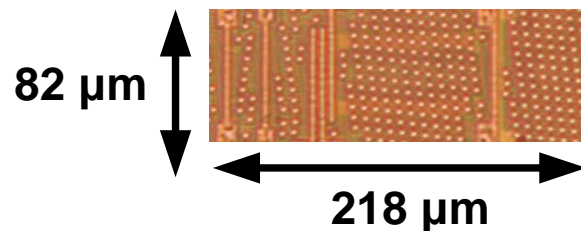
50MS/s, Sub-pico secondの時間計測が可能

Resolution: 0.8 ps/LSB

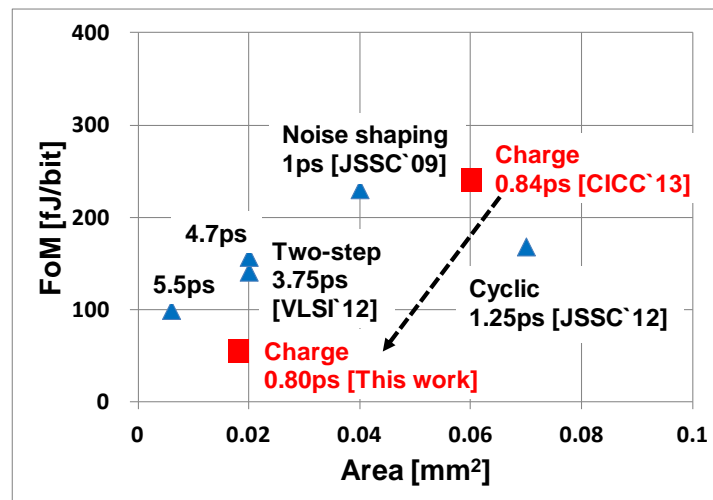
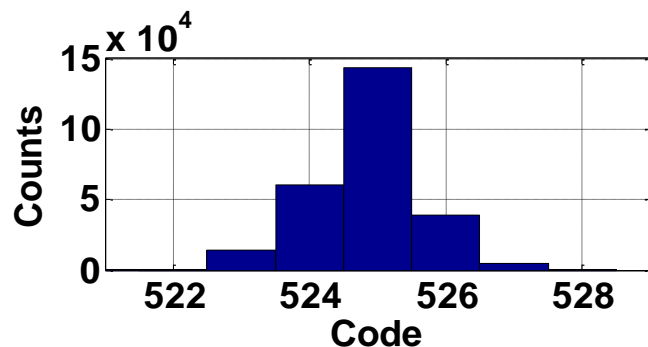


Power consumption:
2.9 mW@50MHz

Area: 0.018mm²
(CMOS 65nm)



Single-shot precision: 0.64 ps(RMS)



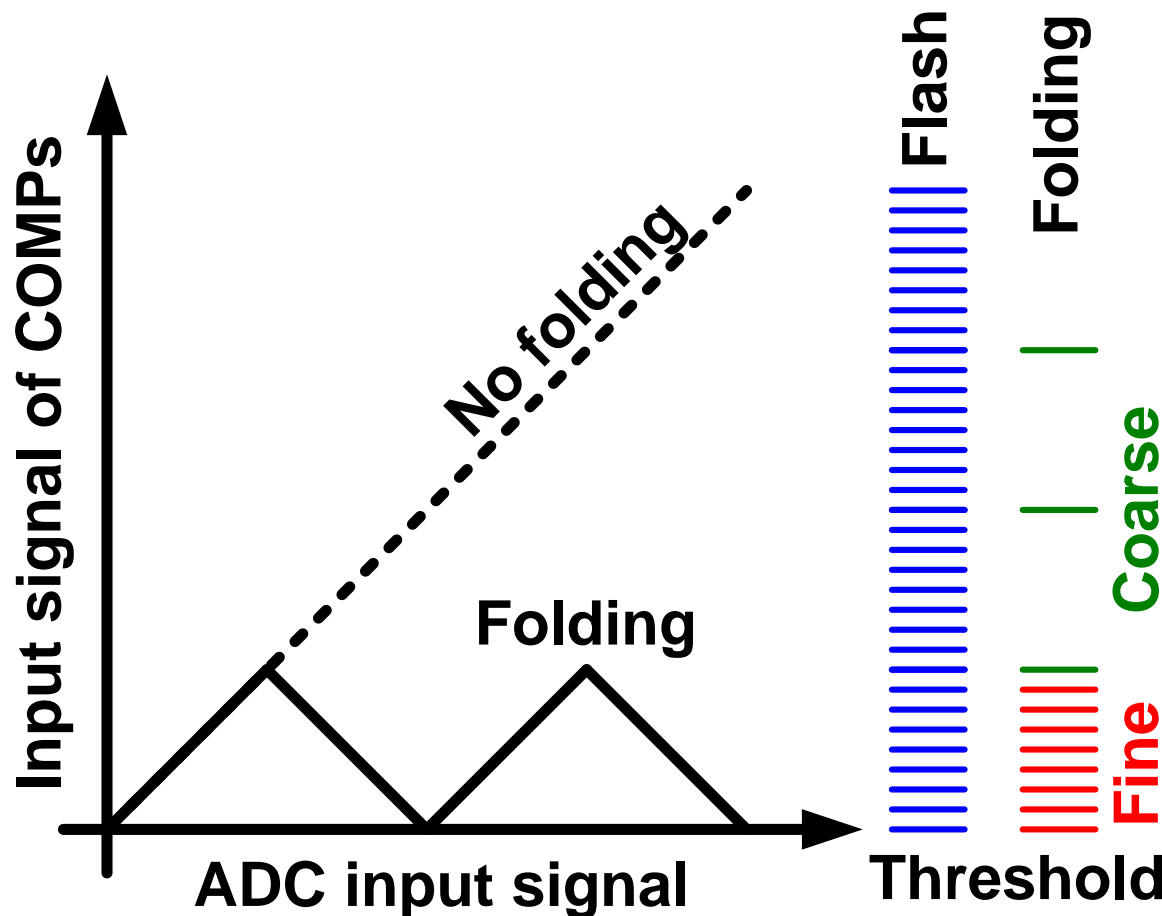
- **ADC, TDCの性能トレンド**
 - SAR ADCが広い性能範囲をカバー
 - その他の変換方式(Flash, Pipeline, $\Delta\Sigma$)はSAR ADCがカバーできない隙間を埋める
 - インターリーブ動作により90GS/sを実現
 - TDCはサブpico秒の計測が容易に
- **ADCの開発事例とその応用**
 - 7bit 2.2GS/s Time-based Folding ADC
 - 12bit 70MS/s SAR ADC
 - 0.8ps 50MS/s TDC

Back Up Slides

24

TOKYO TECH
Pursuing Excellence

入力信号を折り返すことで信号範囲を狭め、
比較器の数を削減する技術



N : Resolution [bit]

Folding times

$$2^M - 1$$

Number of Comps

$$\underbrace{2^M}_{\text{Coarse}} + \underbrace{2^{N-M+1}}_{\text{Fine}}$$

$N=7\text{bit}, M=4$

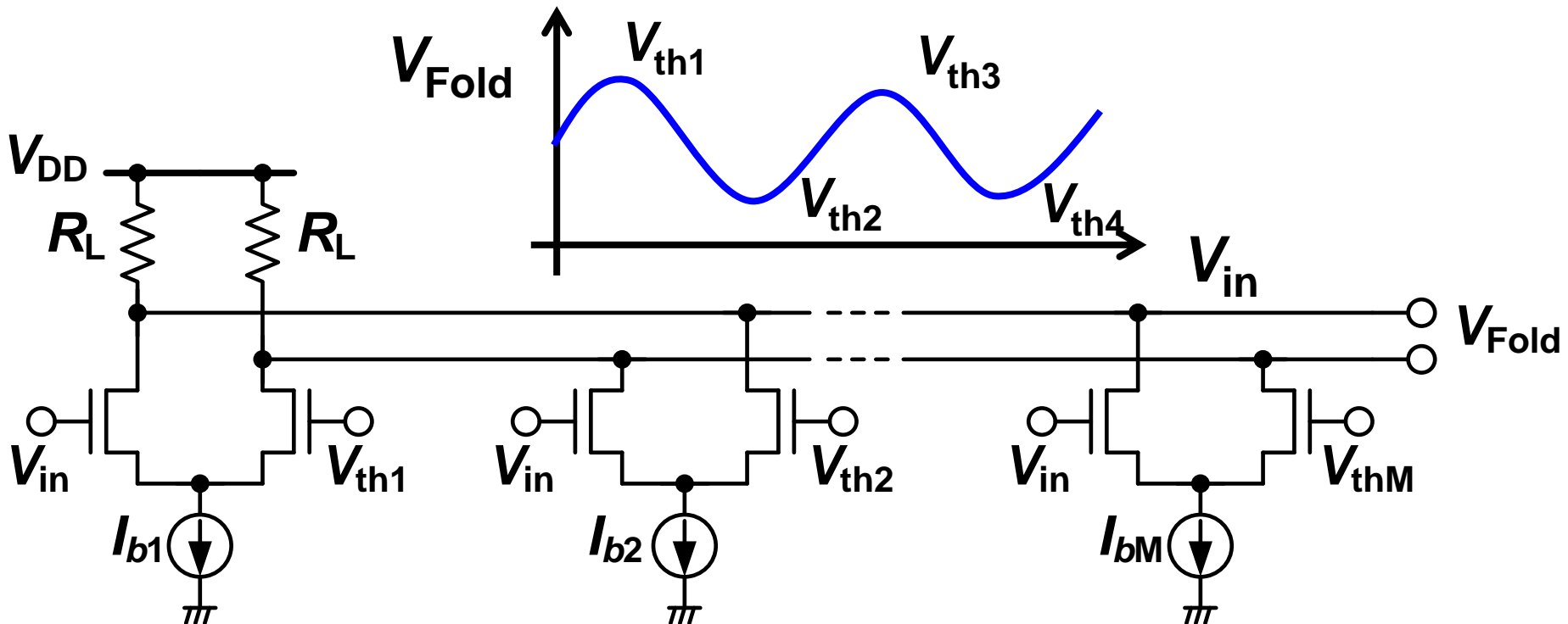
$128 \Rightarrow 32$

従来の折り返し回路構成

26

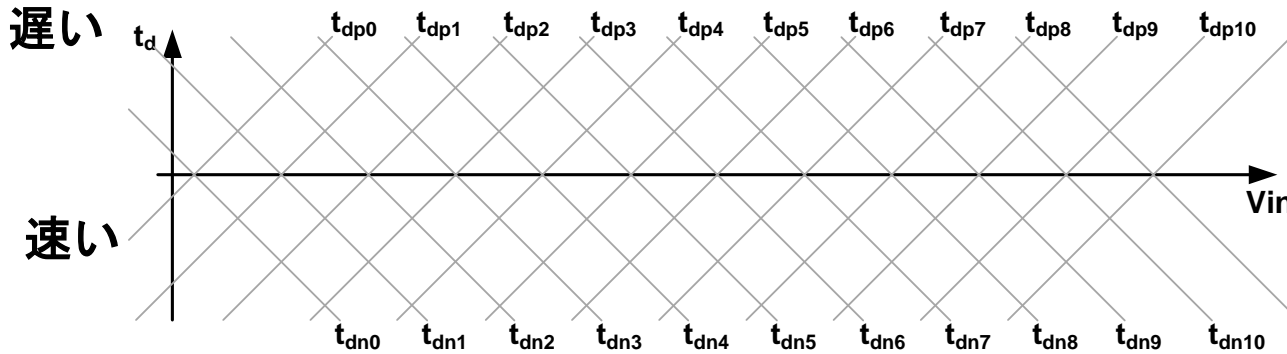
TOKYO TECH
Pursuing Excellence

- ・ 定常電流が流れるアンプで折り返し特性を実現
 - 消費電力の増加
 - 微細化に伴う電圧利得の低下

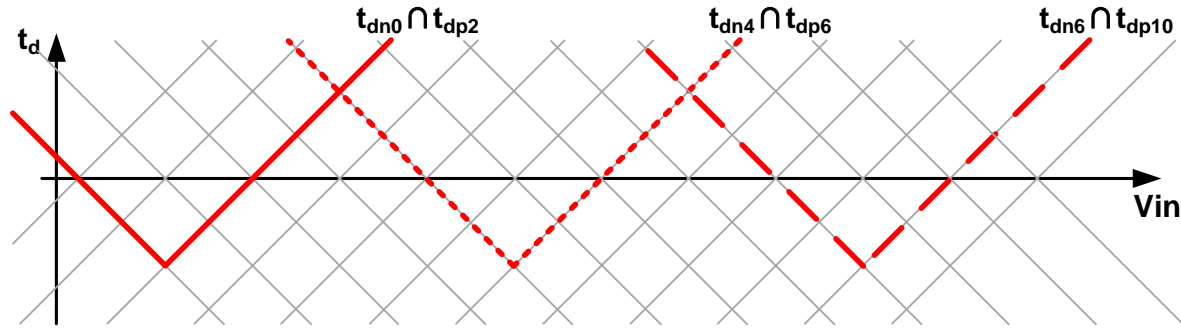


遅延時間折り返し波形の作り方

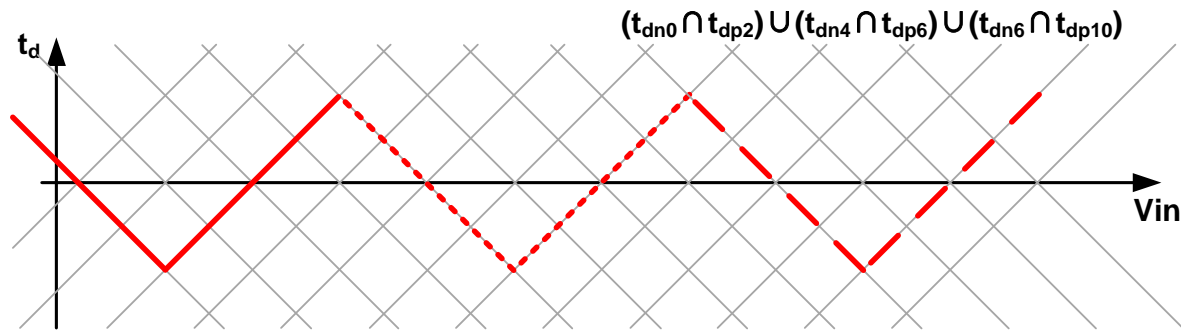
時間領域ではORやANDのロジックで折り返し波形が生成可能



立ち上がりの遅延情報に関して
OR 速い者勝ち
AND 遅い者勝ち



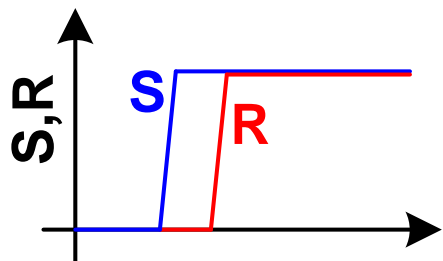
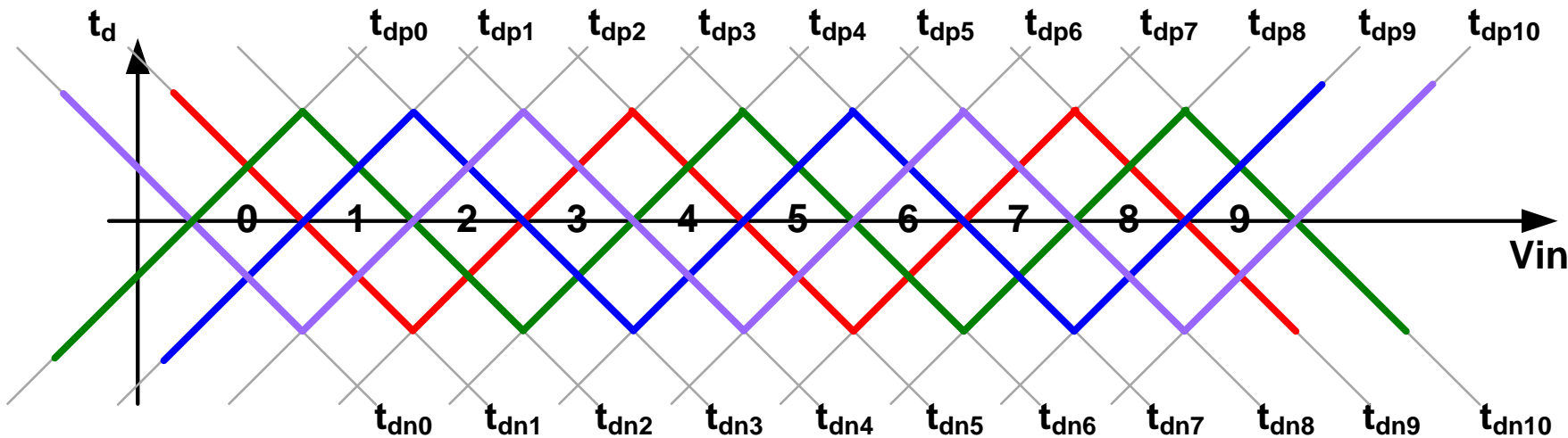
①ANDをとる



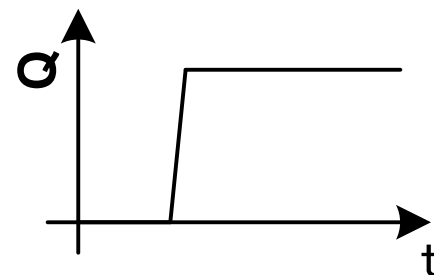
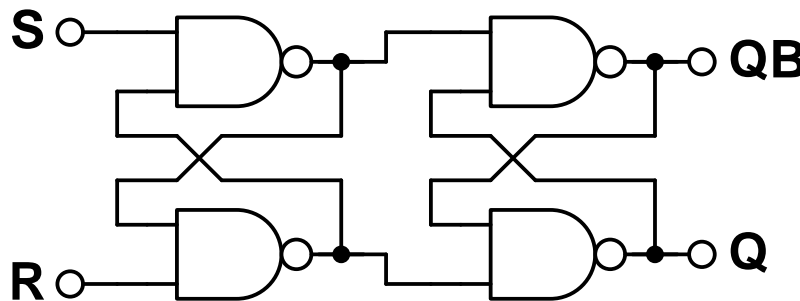
②ORをとる
(ANDとORは順不同)

折り返し波形と遅延時間比較

遅延時間の組み合わせを変えて4つの折り返し信号を生成する。
Fine Latchはこれらの信号を位相補間しながら比較する。



どちらか早く入って
きた方で論理が固定



Fine Latch回路
(SRラッチ回路)