

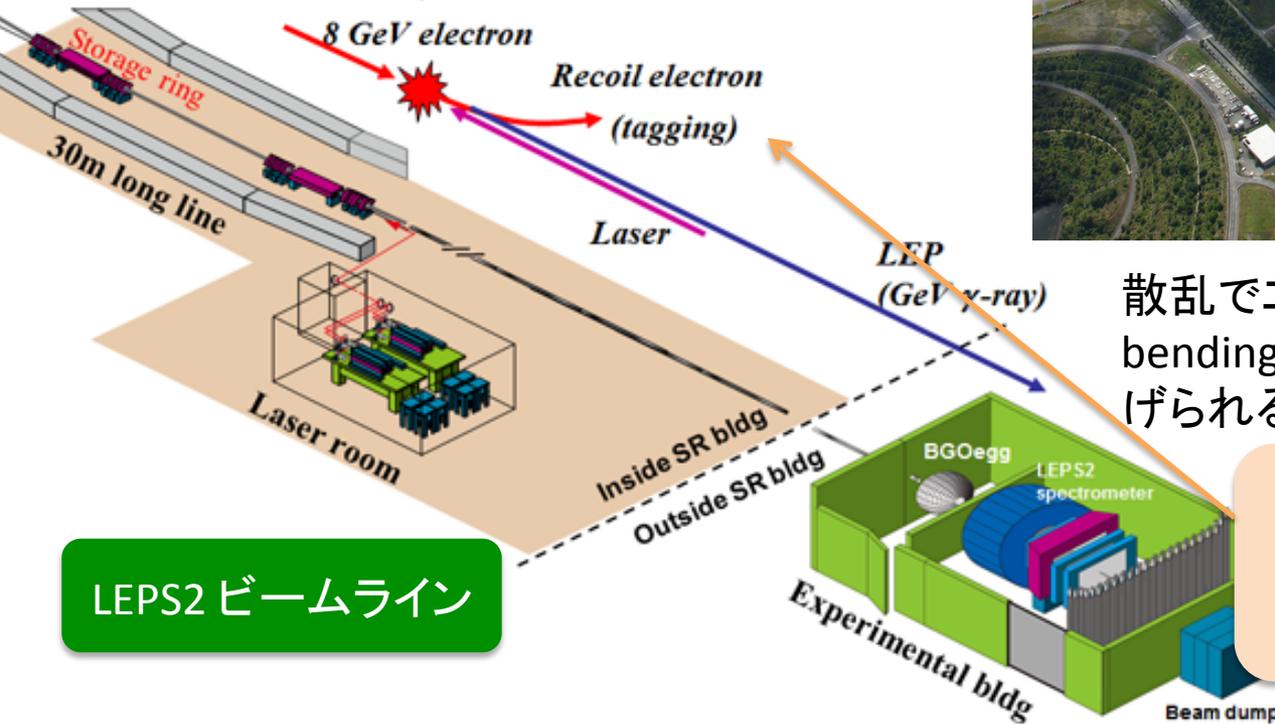
LEPS2/BGOegg実験における DAQシステムの開発

2014/11/20

計測システム研究会@J-PARC
京都大学 原子核ハドロン研究室
水谷 圭吾

SPring-8/LEPS2

LEPS2 : SPring-8に新設されたビームライン。
8 GeV周回電子と偏極紫外レーザーの逆コンプトン散乱で生じる
GeV領域偏極 γ 線を利用できる



散乱でエネルギーを失った周回電子は bending magnetにより、より内側に曲げられる

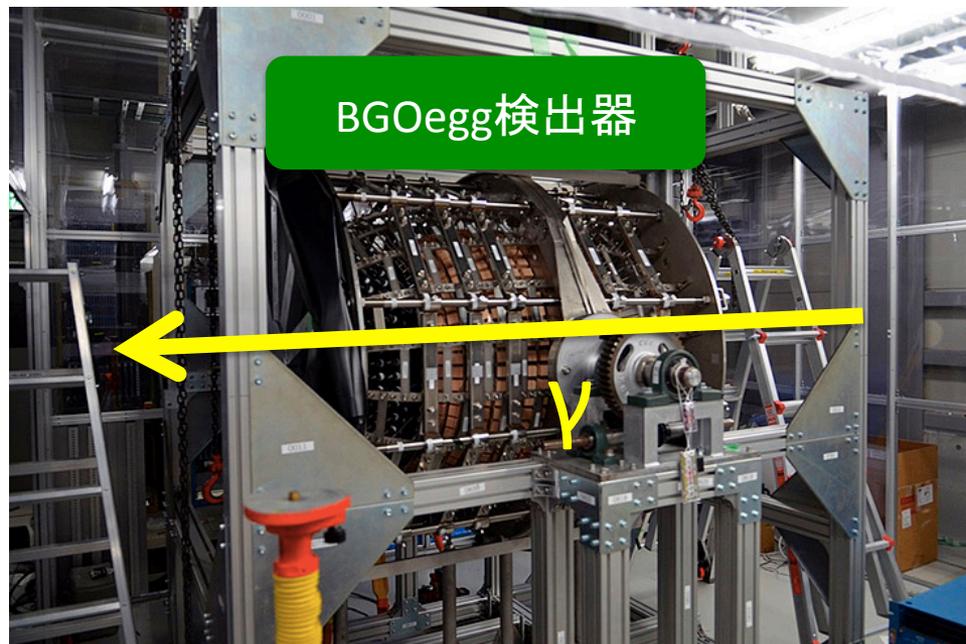
この電子の位置を測定して γ 線のエネルギーを標識化

LEPS2 ビームライン

- BGOegg実験が2014年4月からデータ取得開始
- 2 Mcps photon beam (1.3 GeV – 2.4 GeV)

LEPS2/BGOegg実験

- 1320本のBGOクリスタルからなるBGOegg電磁カロリメータ(γ 線検出器)を主として用いたハドロン光生成実験
- γ 線を出して崩壊する中間子(η , η' , ω など)の性質を高強度、高偏極 γ 線による光生成を用いて調べる
- N^* 探索、スピン偏極量測定、媒質効果 etc..
- 現在、液体水素標的でデータを取り始めたところ

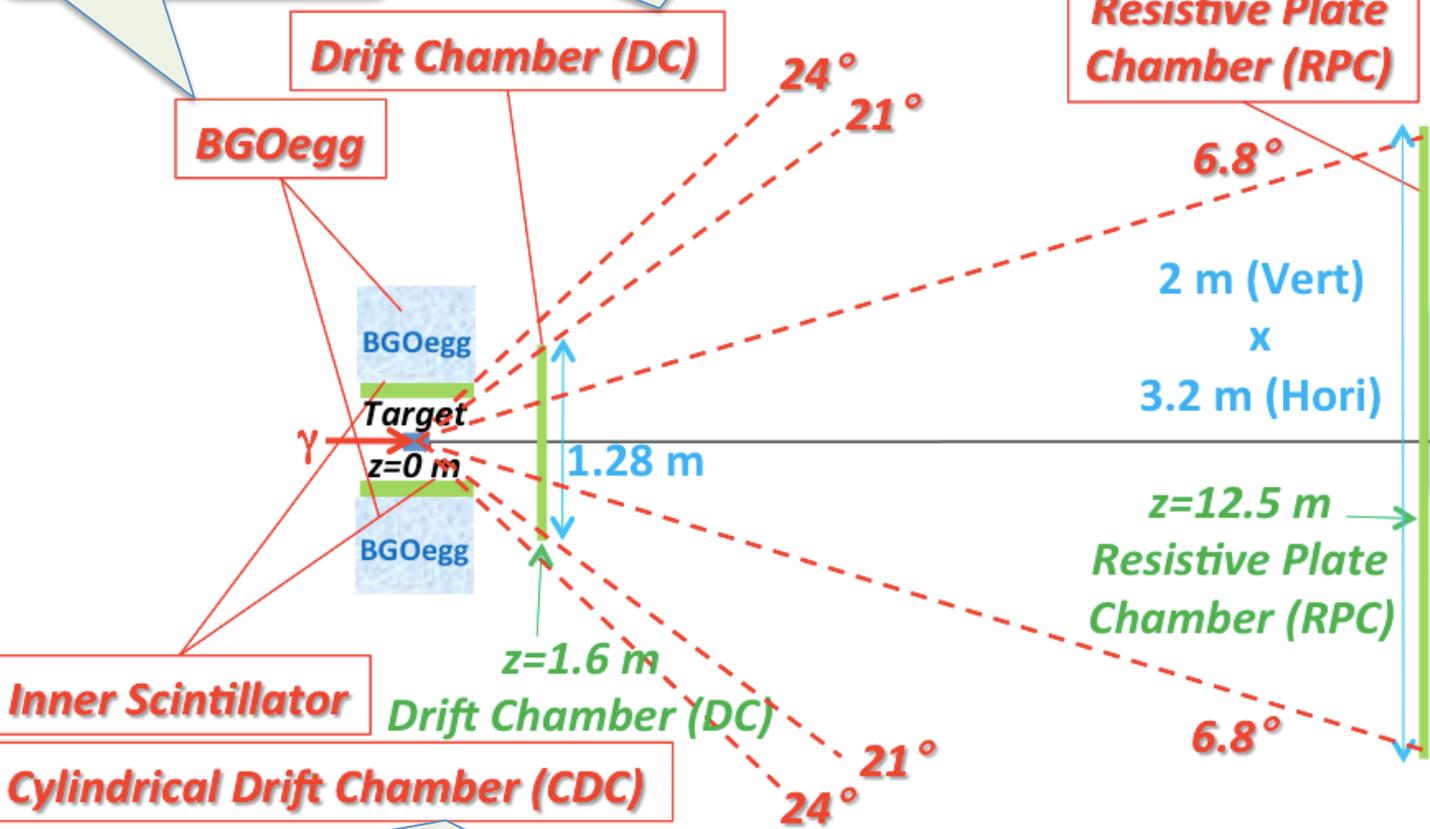
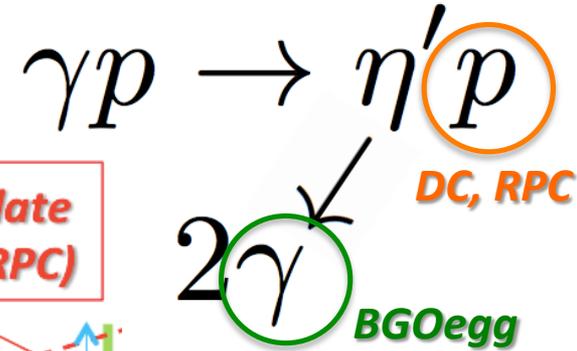


BGOeggスペクトロメータ

Eg.) scattering length measurement of $\eta'p$

24° - 144°の範囲で主に γ 線を検出

前方飛跡検出用DC
6面(480 ch)で構成
主に前方陽子を検出



主に陽子 β を測定するためのTOF-RPC (32 chambers, 256 ch)

Inner Scintillator
Cylindrical Drift Chamber (CDC)

標的まわりの電荷検出用シンチレータ(30本)
& 荷電粒子検出&vertex決め用のCDC (5層、288 ch)

その他に読み出すべきもの

- 入射ビームの電荷チェック用UpVetoカウンタ(プラスチックシンチレータ, 1 ch) @ スペクトロメータ上流
- 8 GeV周回電子と紫外レーザー衝突点(LEPS2実験棟から約150 m)の近くに、 γ 線エネルギー標識化用のTaggerがある
 - 散乱電子の位置を粗く決め、X線によるBGを減らすためのプラスチックシンチレータ(2層, 24 ch)
 - より高い精度で電子位置を決定するためのファイバーシンチレータ(2層, 160 ch)
- 加速周波数と同期したRF信号(5 ch, 逆コンプトン γ 線もこれに同期してやってくるので、スタートタイミングを決めるのに使用できる)

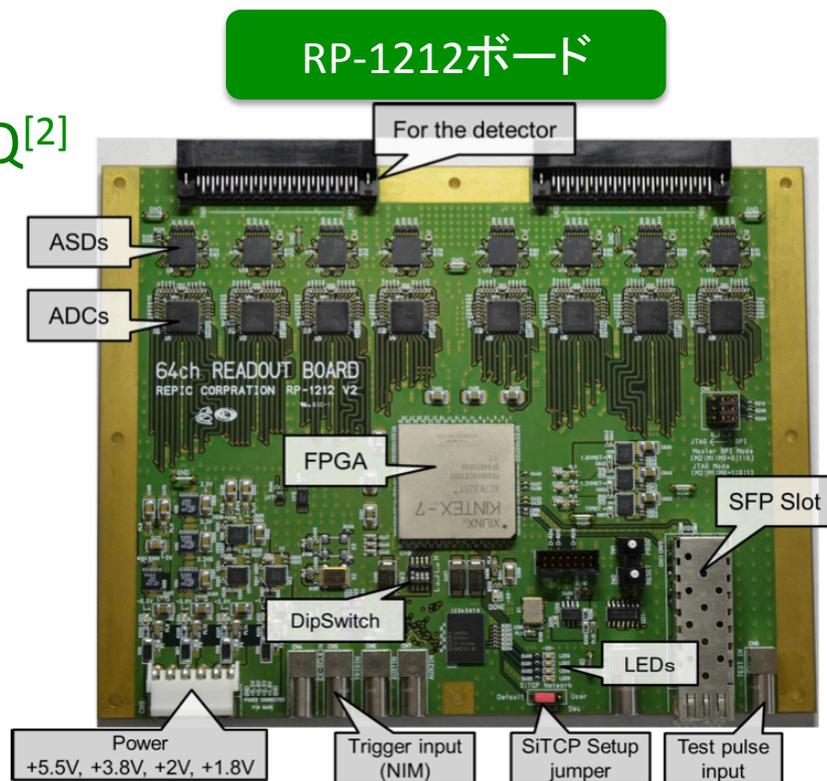
トリガー信号はBGOeggとTaggerによって生成

BGOeggとTaggerの距離が離れているのでFast Clear方式を使い、BGOeggのためのディレイケーブル(1320本)の長さを抑える

DAQ構築にあたって

- LEPS2には米国BNL (E949実験) から輸送されたCAMACクレート、FERAモジュール(4300B ADC)が大量にあり、これらを有効利用することに。(LEPSと同じFERA-UIO読み出し)
- タイミング情報はVME TDC V1190/V1290を主に使用
- CDC読み出しは、検出器側で用意されたRP-1212ボード(5枚)で行う
- DAQソフトウェアは、東北大ELPHで開発・使用されているFOREST-DAQ^[2]を使う
- 目標は1 kHzトリガで90%近い効率を出せるよう、不感時間 120 μsec としました(はじめは100 μsec を目指していましたが)

現在は(紫外レーザーがフル稼働しておらず)
0.5 kHz程度のトリガーレートで運転中



読み出しチャンネルまとめ

Detector	Readout channel #	Front-end
BGOegg	1320 ch (ADC, TDC)	FERA, V1190 (100 ps)
Inner Scinti.	30 ch (ADC, TDC)	V792, V1190 (100 ps)
CDC	288 ch (ADC, TDC)	RP-1212 FERA compatible
DC	480 ch (only TDC)	LeCroy 3377 (500 ps)
RPC	256 ch (ADC, TDC)	FERA, V1290 (25 ps)
Tagger (PS)	24 ch (ADC, TDC)	FERA, V1190 (100 ps)
Tagger (SciFi)	160 ch (TDC)	V1190 (100 ps)
UpVeto	1 ch (ADC, TDC)	V792, V1290N (25 ps)
RF signals	5 ch (TDC)	V1290N (25 ps)

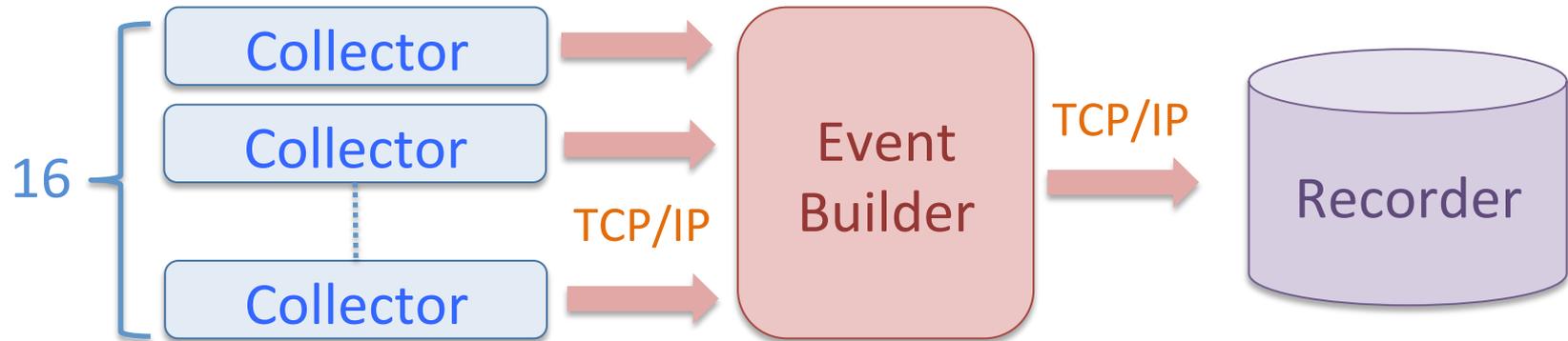
基本的にはFERA, VME-TDC (V792含), RP-1212の3種類のフロントエンドで構成

Total

ADC : 1929 channels
TDC : 2584 channels

BGOegg DAQシステム

3種類(FERA-UIO, VME TDC, RP-1212), 16個のコレクタ(サブシステム)で構成



コレクタからイベントビルダ、レコーダへのデータ転送はTCP/IPで並列に行われる

- ~ 6.5 k bytes / event
- 1 kHzでデータを取るとすると52 M bits/s

Ethernet & HD はこのレートに対応可能

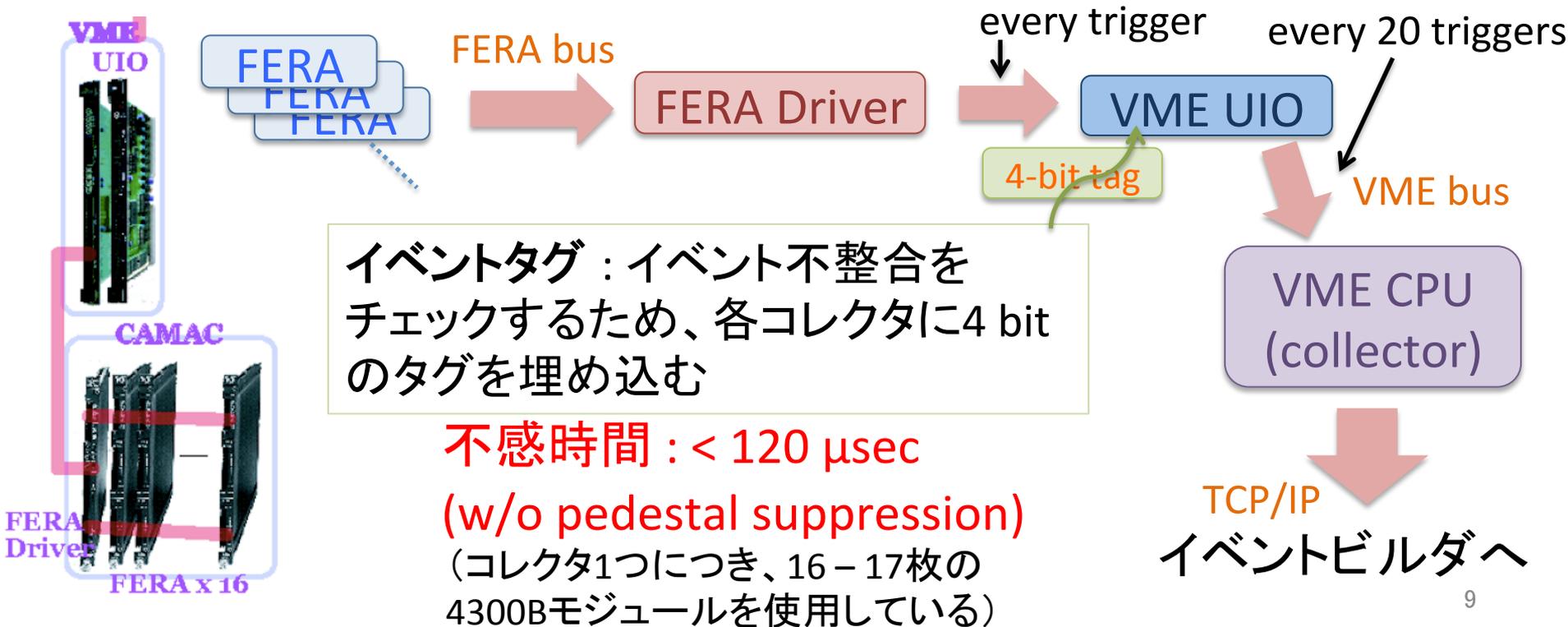
ビジー処理

- イベントトリガが来ると16コレクタ分のDAQ busyフラグがたつ
- 各コレクタCPUはデジタイザからデータを読み出したらフラグを下ろし、全16フラグが降りたら再び次のトリガを受け付ける
- 最もbusyフラグを下ろすのに時間がかかるコレクタがDAQシステム全体の不感時間を決める

フロントエンドの読み出し速度がDAQ全体のスピードを決める

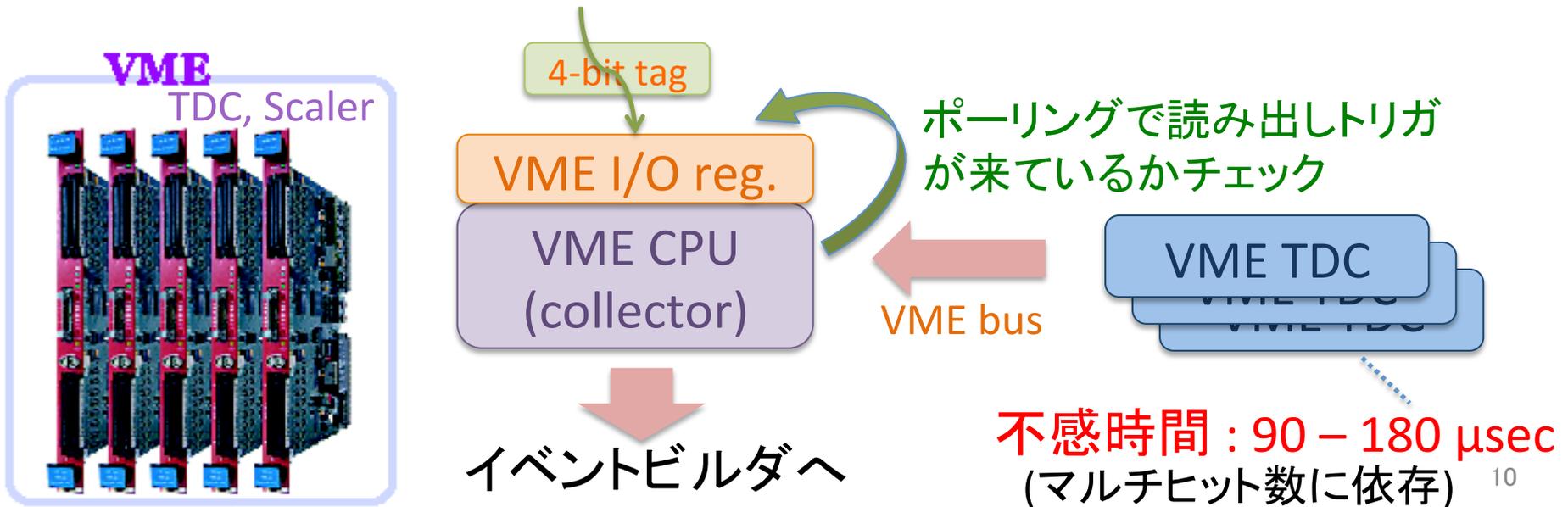
FERA-UIO サブシステム

- FERA-UIOサブシステムが8つある
 - FERA 4300B QDC : BGOegg (1320 ch), RPC (256 ch)
 - LeCroy 3377 TDC : DC (480 ch) FERA compatible
- Universal I/O (UIO)^[1]はダブルバッファ式で、特定回数トリガ毎にバッファチェンジおよびVME CPUへのデータ転送を行う



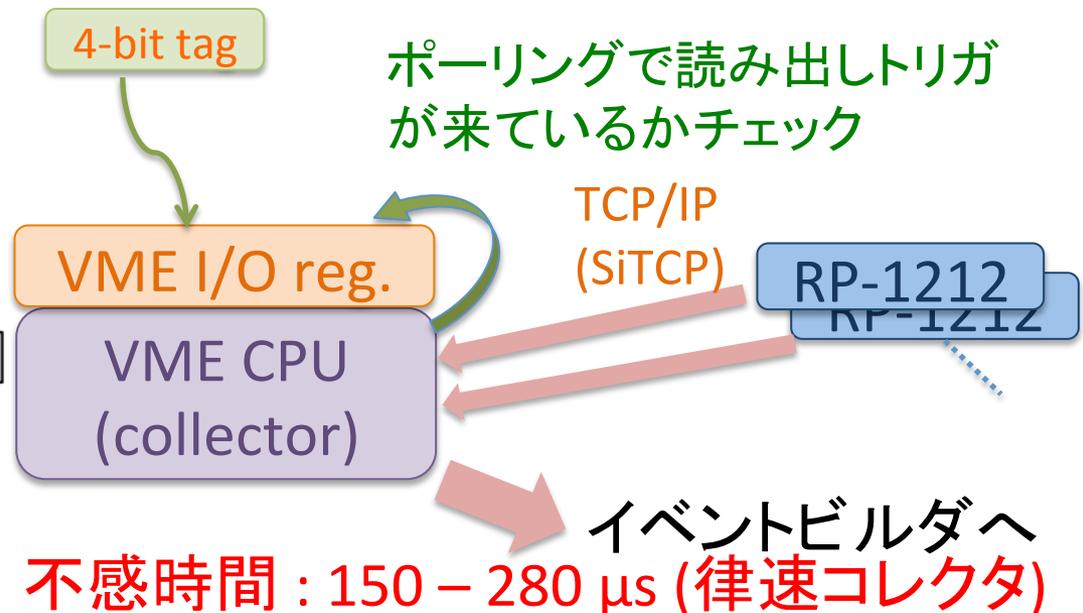
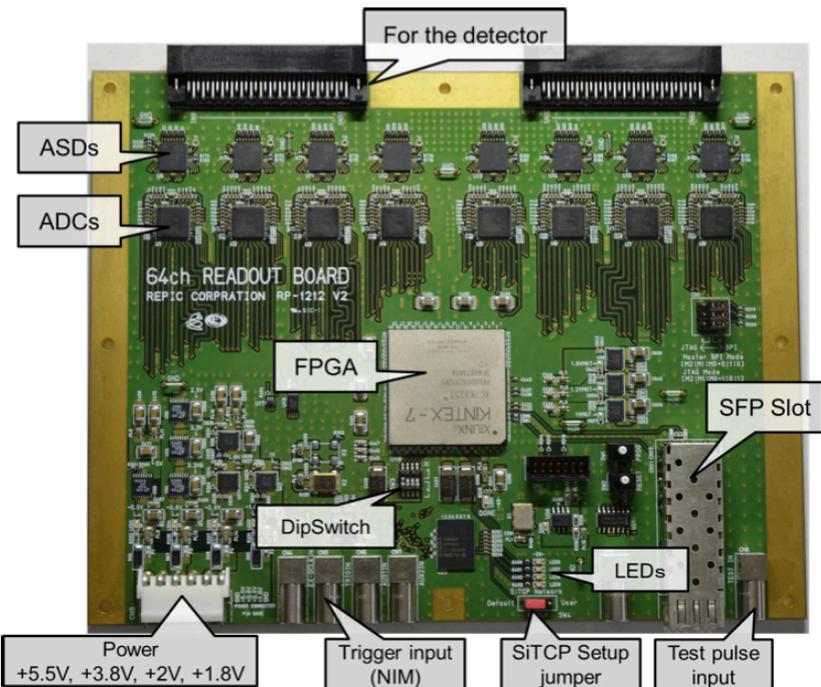
VME TDC サブシステム

- 6つのVME TDCサブシステムと1つのVME ADCサブシステムがある
 - V1190 TDC : BGOegg (1320 ch), Tagger (24 + 160 ch)
 - スケーラモジュールもこのサブシステム内にある
 - V1290 high res. (25 ps) TDC : TOF-RPCs (256 ch)
 - マルチヒット数に応じて不感時間が変化する
 - V792 QDC : Tagger (24 ch), IPS (30 ch)
 - w/o pedestal suppression (不感時間 < 120 μ sec)



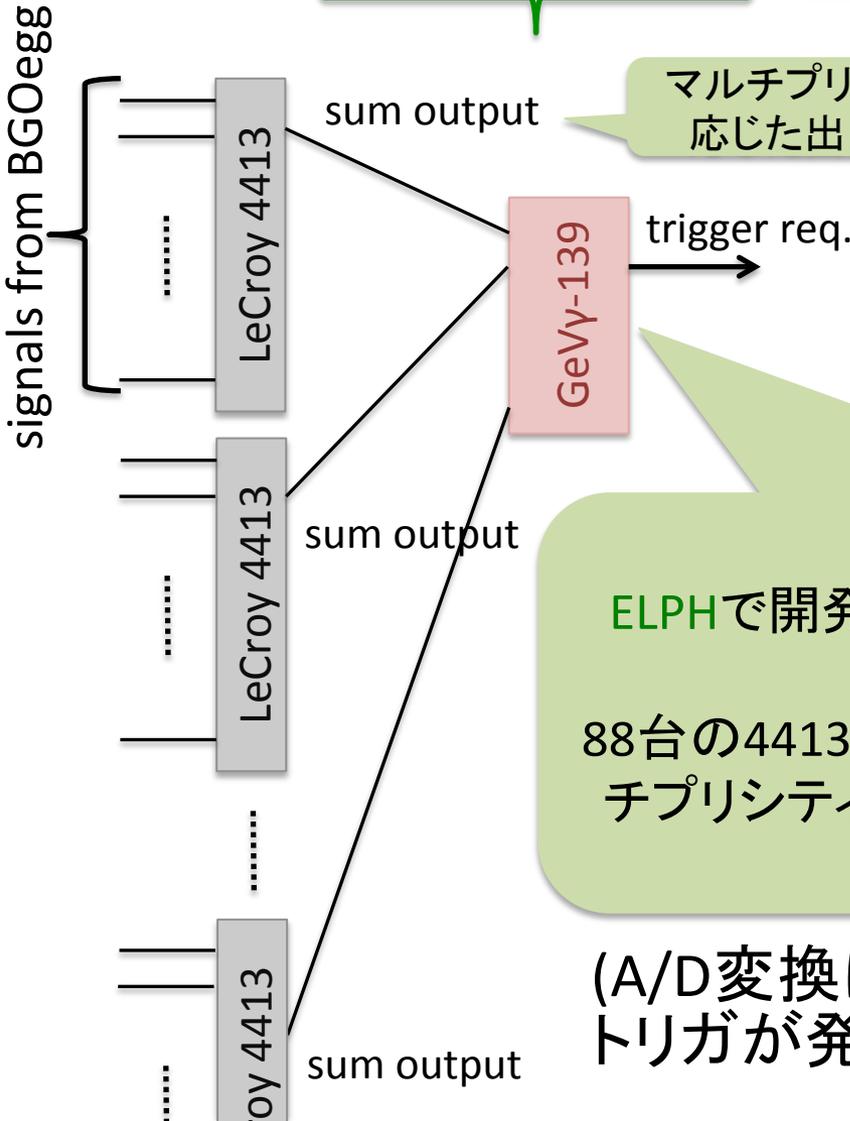
RP-1212 サブシステム

- CDC読み出し用に、RP-1212サブシステムを1つ用意した
- 64 ch RP-1212 (ASD/FADC/TDC) board : CDC 288 ch (5 boards)
 - w/ pedestal suppression
 - TOT/summed ADC/TDC情報のみ転送
- 5枚のRP-1212ボードから並列(非同期)にデータを転送する



トリガ生成

Trigger : $\underbrace{\text{BGOegg } n \text{ hits}} \times \underbrace{\text{Tagging counter}} (n \in \{1, 2\})$



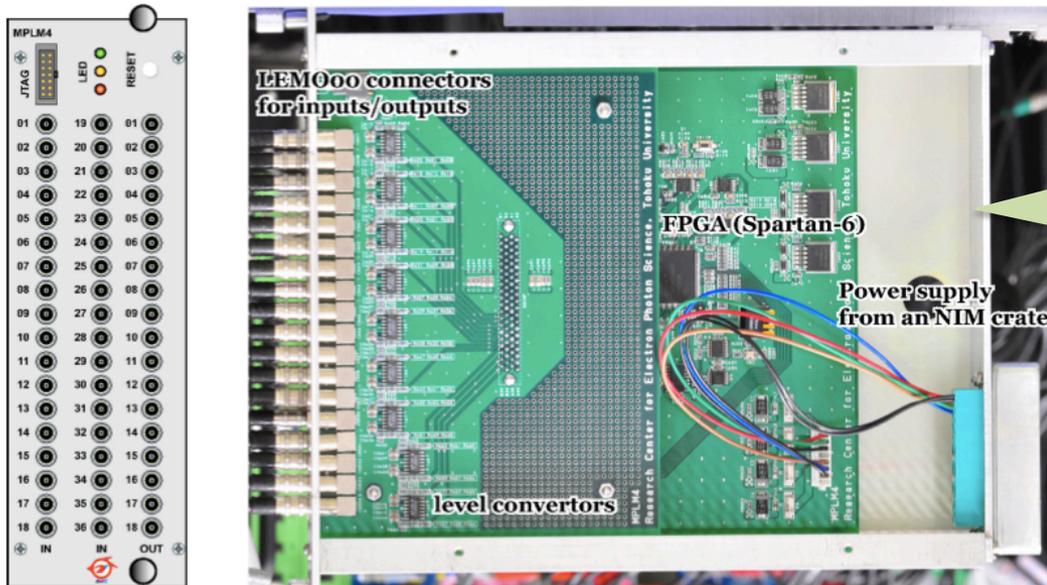
対応する上流・下流のPS層が同時にヒットしたとき、タガートリガーを発行(ELPHで開発されたFPGAモジュール MPLM4^[3]で実装)

ELPHで開発されたトリガ生成用モジュール(88 ch入力)
(Linear FIFO + Discr.)
88台の4413 discr.と合わせて使うことで、BGOeggのマルチプリシティに応じたトリガーリクエスト信号を発行する

(A/D変換はBGOeggトリガで開始され、Taggerトリガが発行されなければFast Clearされる)

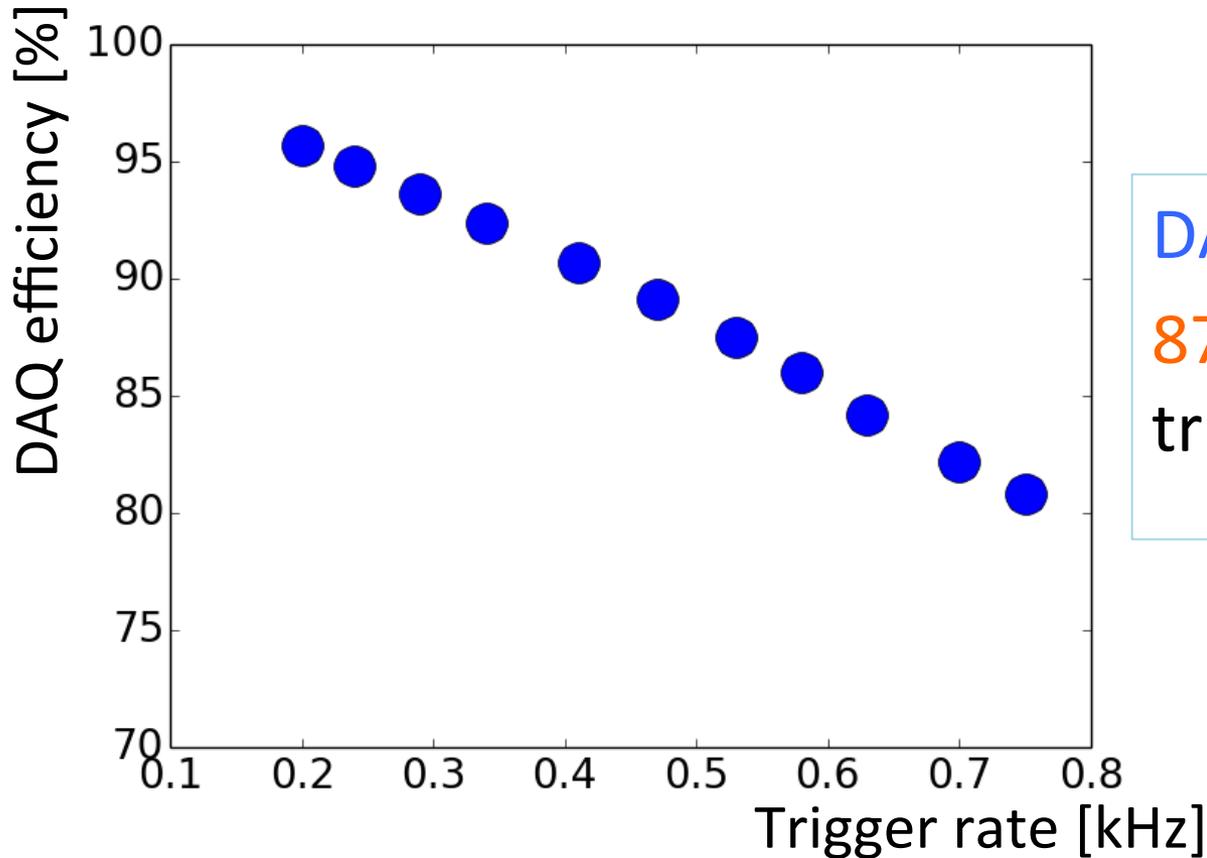
スケーラトリガ

- スケーラデータを転送するため、10秒に1度発行されるトリガを通常トリガに混ぜている
- スケーラトリガも通常トリガと同様、ビジー処理を行う。また偶然通常トリガによるDAQビジー中に発行されても、通常ビジー解除後に必ずアクセプトされる
- スケーラ情報以外に、環境変数(温度、偏極度、オペレーションステータスなど)もこのトリガーで読み出される



ELPHで開発された汎用FPGA
モジュールMPLM^[4]で、ス
ケーラトリガのビジー処理を
実行している

現在のDAQシステム性能



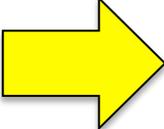
DAQ efficiency :
87 % for 0.55 kHz
trigger

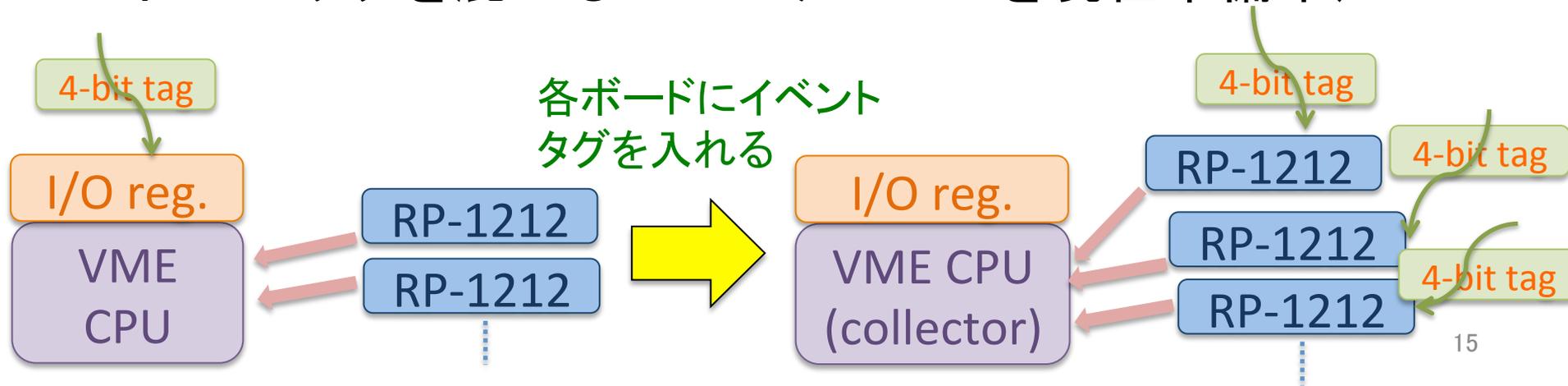
DAQシステム全体の不感時間 : 235 μsec

(RP-1212サブシステムの不感時間とほぼ一致)

目標の 120 μsec には到達していない

どうやって不感時間を少なくするか?

- CDC読み出しのためのRP-1212サブシステムで律速
- RP-1212ボードを使っている限り、イベント毎にデータ読み出し（ビジー処理）をしていては 200 μ sec 以下の不感時間にはならない
-  このサブシステムのみビジー処理を止める
- イベントずれ（特に5枚のRP-1212ボード間での）が怖いので、各ボードにイベントタグ信号を入れたい（現在は5枚のボードにたいして一つのイベントタグ信号が入力されている。入力信号にイベントタグを混ぜるためのケーブルを現在準備中）



CDC読み出し改善の次は?

- RP-1212サブシステムの次に不感時間が長いシステムは、**Tagger** (V1190A, $\sim 180 \mu\text{sec}$)と**TOF-RPC** (V1290A, $\sim 160 \mu\text{sec}$)
- マルチヒット数が多く、データサイズが大きいので不感時間が長い
 - サブシステムを分割してコレクタCPU当たりのデータサイズを減らす → すでにそれぞれ2つのサブシステムに分割済(夏前までは14コレクタだった)
 - タイムウィンドウを狭めて、マルチヒット数を減らす
 - V1190/V1290にはトリガ入力が必要で、トリガも検出器信号もタイムウィンドウにいれなければならない。(なので検出器信号だけが入るように短くすればいいというわけではない)

V1190/V1290のマルチヒット数の削減(外部クロック化)

- V1190/V1290は各モジュールに入力チャンネルにトリガ信号を混ぜる必要があり、タイムウィンドウ幅はこのトリガ信号と検出器からの信号との時間差によって決められていた
- **外部クロックモード**というのがあることに最近気づいた。これを使うと各モジュールのクロックが同期され、トリガ入力が必要なモジュールが1つでよくなる
- ヒット数が少ないモジュールにトリガを入れ、他のモジュールのタイムウィンドウ幅を減らせるかも
(RPCは不感時間改善とは別の検出器側からの要請ですすでに外部クロック化済。しかしまだ不感時間の確認はしていない)

これらの読み出し速度改善で、 $120\ \mu\text{s}$ の不感時間を目指す

まとめ

- LEPS2で新しくはじまったBGOegg実験のためのDAQシステムを構築した
- TCP/IPベースで16コレクタからなるDAQシステム
- DAQ構築当初は様々なトラブル(主にモジュール/クレータ故障)があったが、現在はわりと安定して動作している
- 現在の不感時間はおよそ240 μsec 。CDC読み出しのためのRP-1212サブシステムの不感時間が最も長い。つづいてTagger, RPCのTDC読み出しの不感時間が長い
- CDC読み出しはビジー処理から外すことで不感時間を短くする(要イベントタグ)
- Tagger, RPC TDC読み出しは、V1190/V1290を外部クロック化してタイムウィンドウ幅を小さくすることでデータサイズを減らして不感時間を減らす
- 以上の改善で、120 μsec でのデータ取得を目指す

参考文献

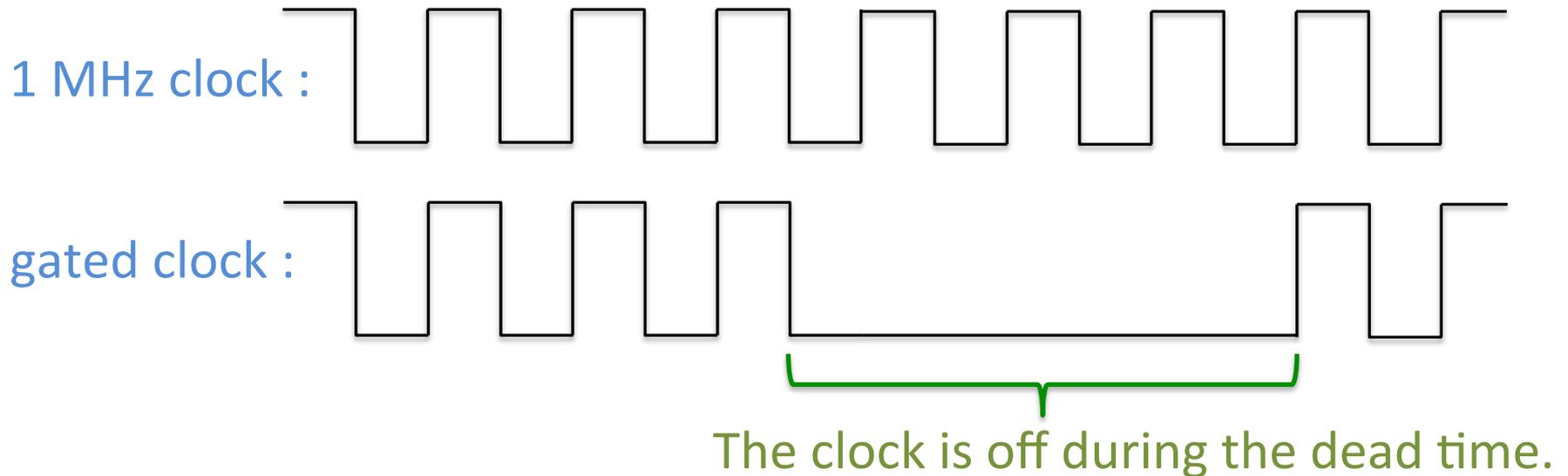
- [1] (UIO) Universal I/O board for the laser-electron photons experiments at SPring-8 Nucl. Inst. Meth. in Phys. Res. A 437, 68 (1999).
Y. Sugaya and M. Nomachi.
- [2] (DAQ framework) A New Data Acquisition System for 4π EM Calorimeter FOREST Research Report of Laboratory of Nuclear Science 2008, 26
Hisako Fujimura*, Ryo Hashimoto, Takatsugu Ishikawa*, Jirohta Kasagi, Atsushi Kawano, Shuzo Kuwasaki, Kazushige Maeda, Yasuyuki Okada, Yasunobu Sakamoto, Mamoru Sato, Hajime Shimizu, Koutaku Suzuki*, Yasuhisa Tajima, and Hirohito Yamazaki
- [3] (MPLM4) Development of a new multi-purpose logic module MPLM4, ELPH annual report 2011-2013 (to be published)
I. Nagasawa*, T. Ishikawa*, H. Hamano, T. Hotta, K. Mizutani, K. Nanbu, K. Takahashi, and Y. Tsuchikawa.
- [4] (MPLM) Development of a Multi-Purpose Logic Module with the FPGA Research Report of Laboratory of Nuclear Science 2007, 27
Kenichi Nanbu*, Ishikawa Takatsugu*, and Hajime Shimizu

BACKUP

Performance

DAQ efficiency : 87 % for 0.55 kHz trigger

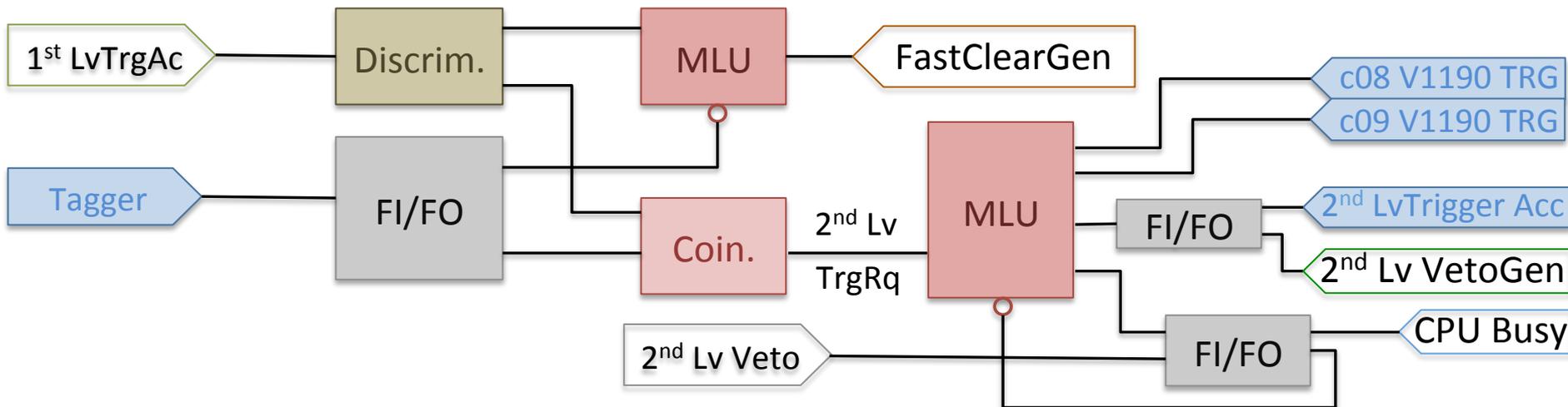
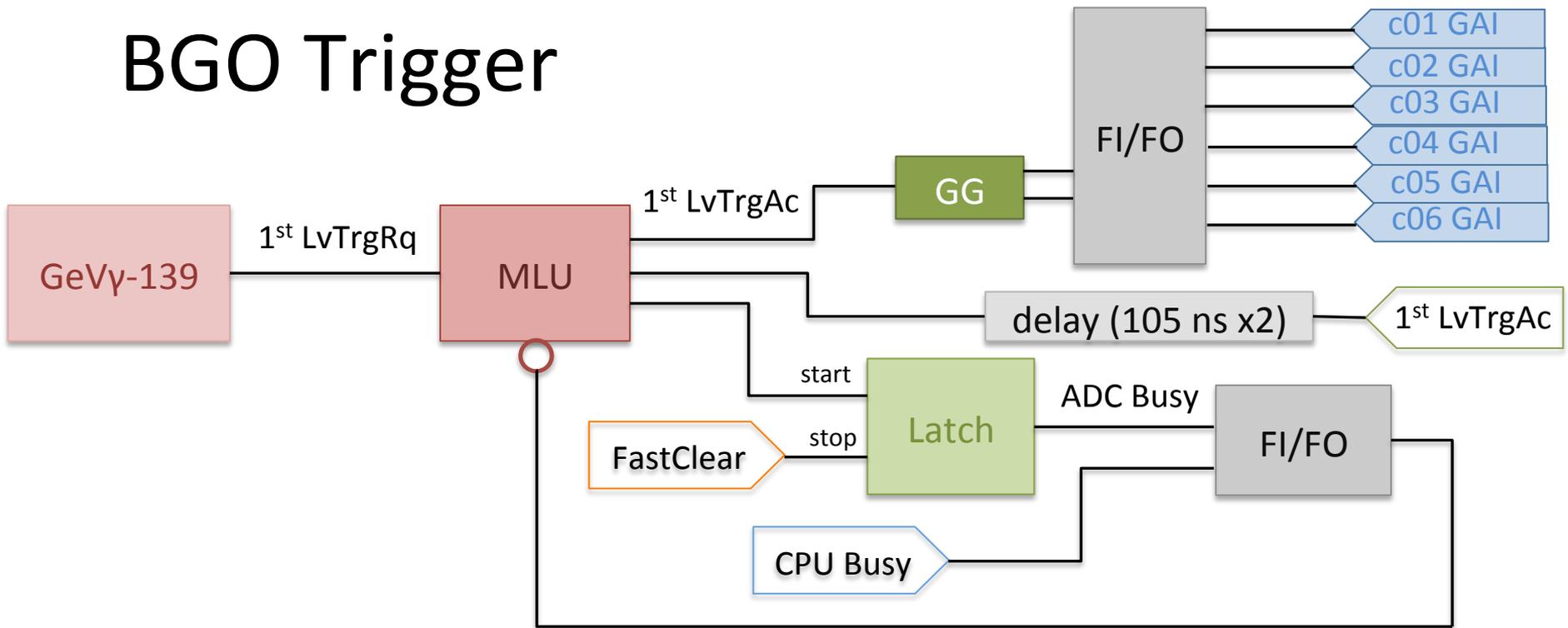
(count the 1 MHz clock and gated 1 MHz clock)



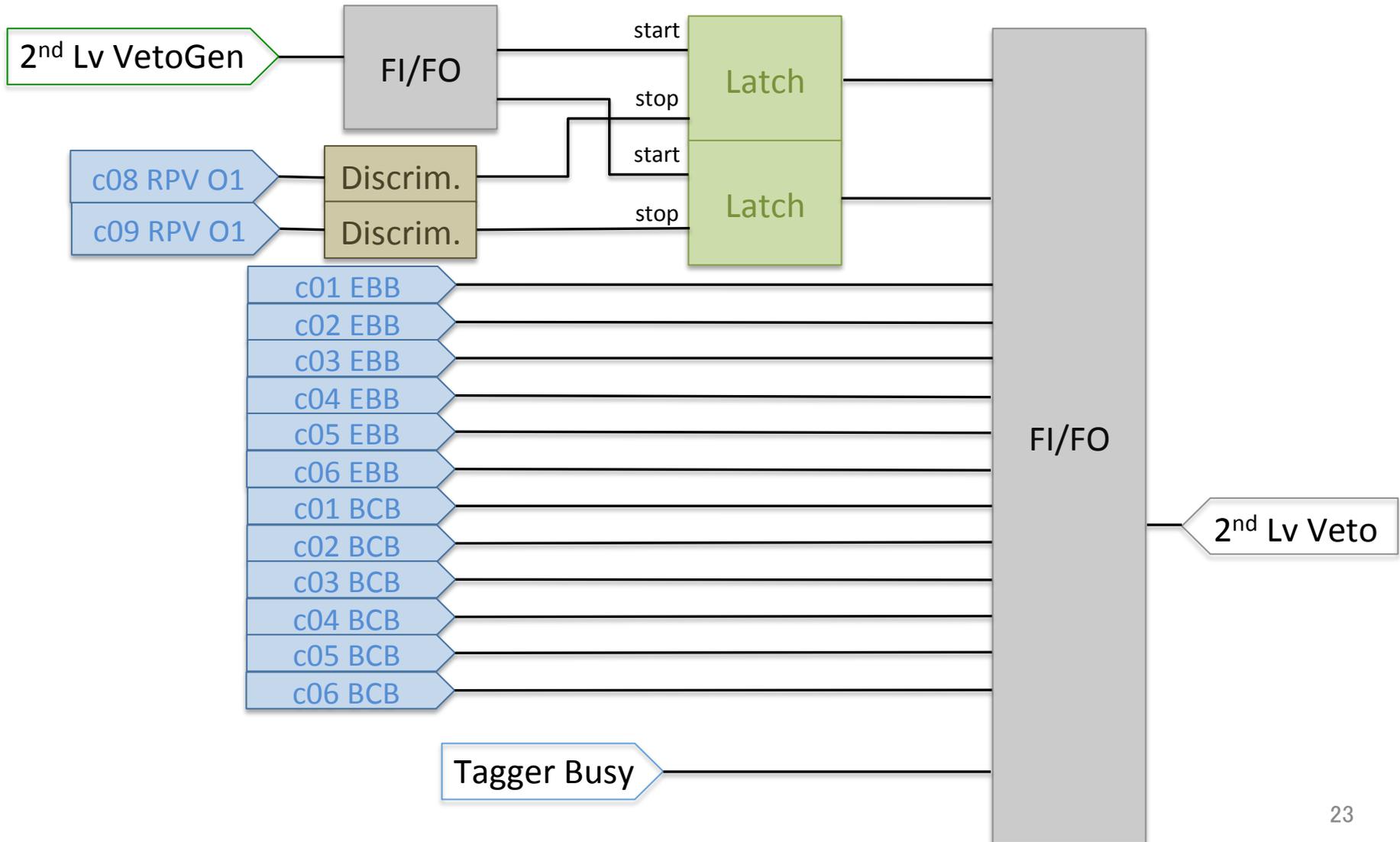
corresponding dead time : 235 μsec

(roughly consistent with the CDC's dead time)

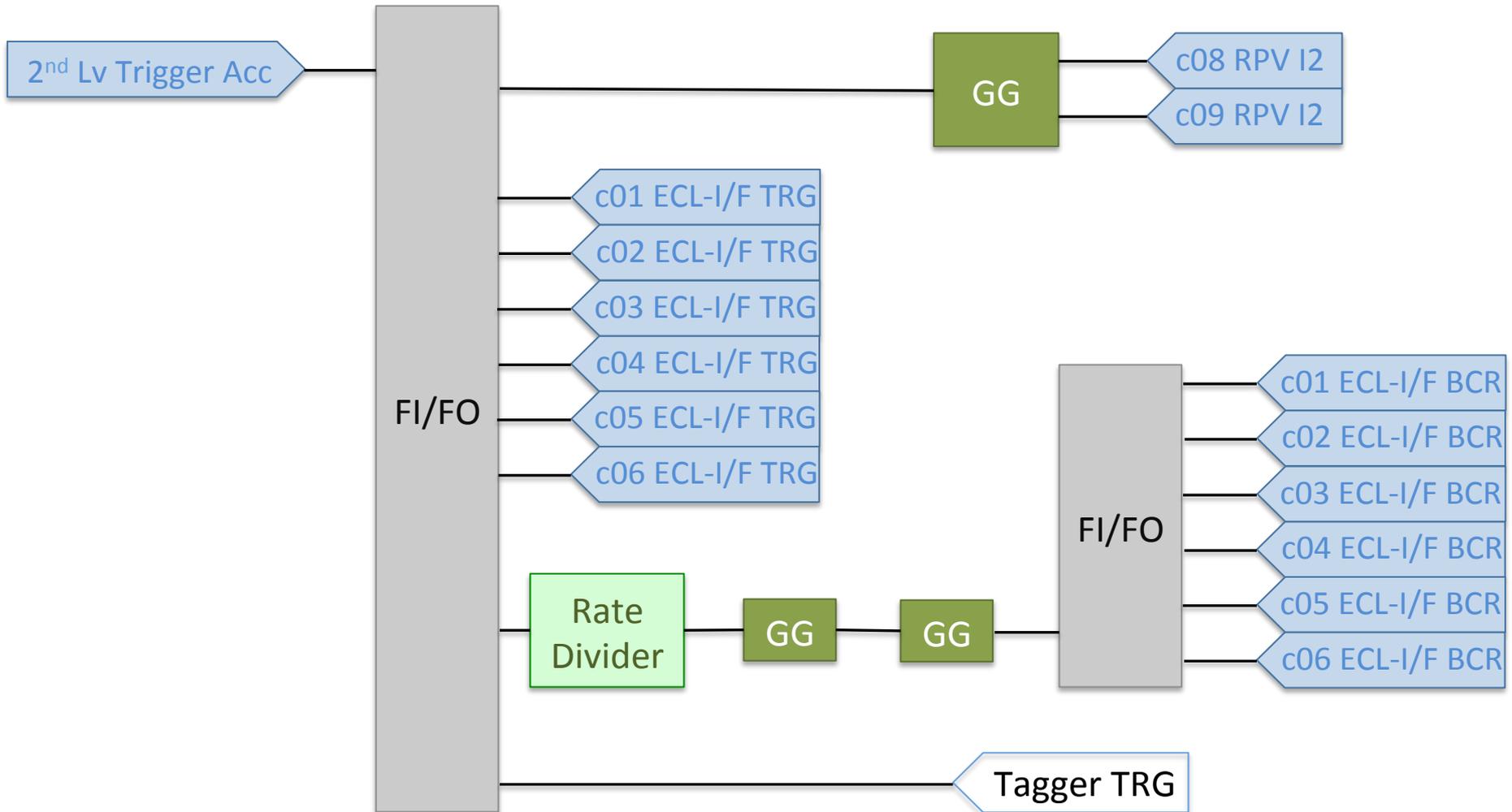
BGO Trigger



2nd Lv Busy Part



2nd Lv Trigger Part



Overview

