

次世代X線天文衛星搭載を目指した イベント駆動型SOIピクセル検出器の開発

計測システム研究会 @ RCNP

2015年07月25日

武田 彩希 (京都大)

atakeda @cr.scphys.kyoto-u.ac.jp

SOIPIX Group : <http://rd.kek.jp/project/soi/>
<http://soipix.jp>

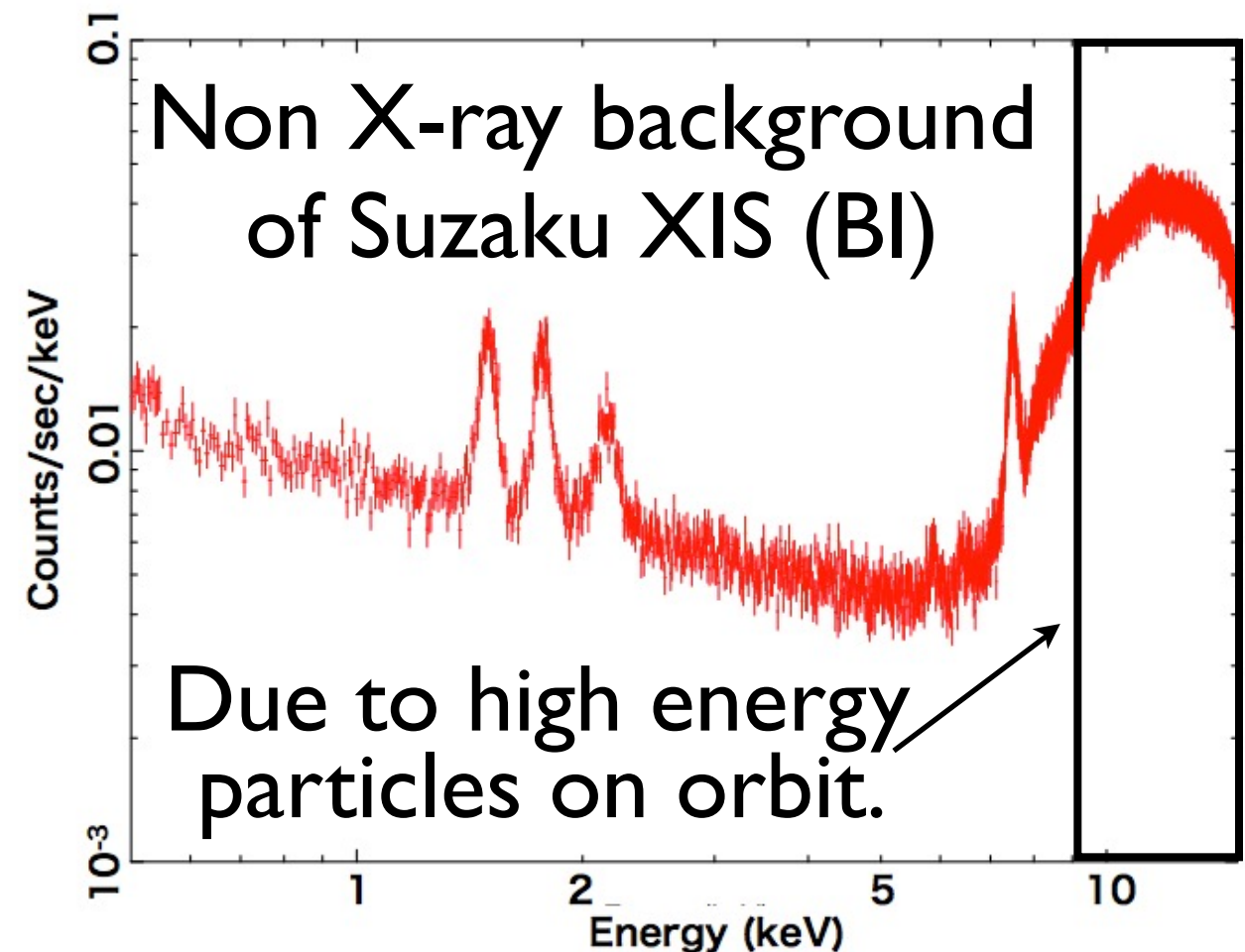
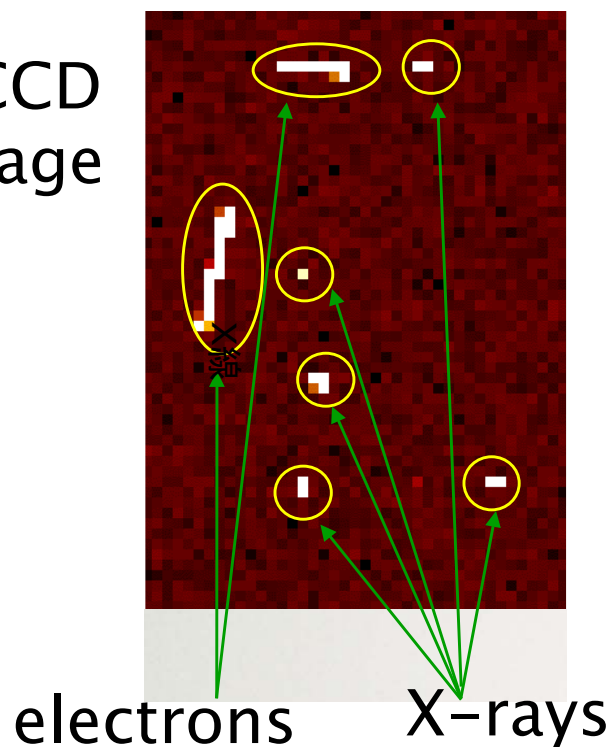
Outline

- 次世代のX線天文観測を目指したイベント駆動型SOIピクセル検出器
 - > XRPIXシリーズ
- これまでの開発
 - > 分光性能の向上
 - > イベント駆動読み出し
 - > 素子面積の大型化
- まとめ

現在のX線天文衛星の主力検出器 - X線CCD -

- 広視野 (~20 - 30 mm角) かつ精密撮像 (~30 μ m角)
- ファノ限界の分光性能 (読み出しノイズ ~3 e⁻ rms)
- **読み出しが遅い (~sec)**
 - > パルサーやブラックホール的高速現象が観測できない
- **非X線バックグラウンドが高い**
 - > 暗い (= 遠方の) 天体が観測できない

X-ray CCD
Raw Image



次世代のX線天文衛星を目指して

- 広帯域(0.5–80 keV), 低バックグラウンドなX線観測を目指し, 新たに次世代の衛星計画を発足させた. -> NGHXT計画 (提案段階)

*NGHXT : **N**ext **G**eneration **H**ard **X**-ray **T**elescope

- シリコン検出器に求められる性能は...

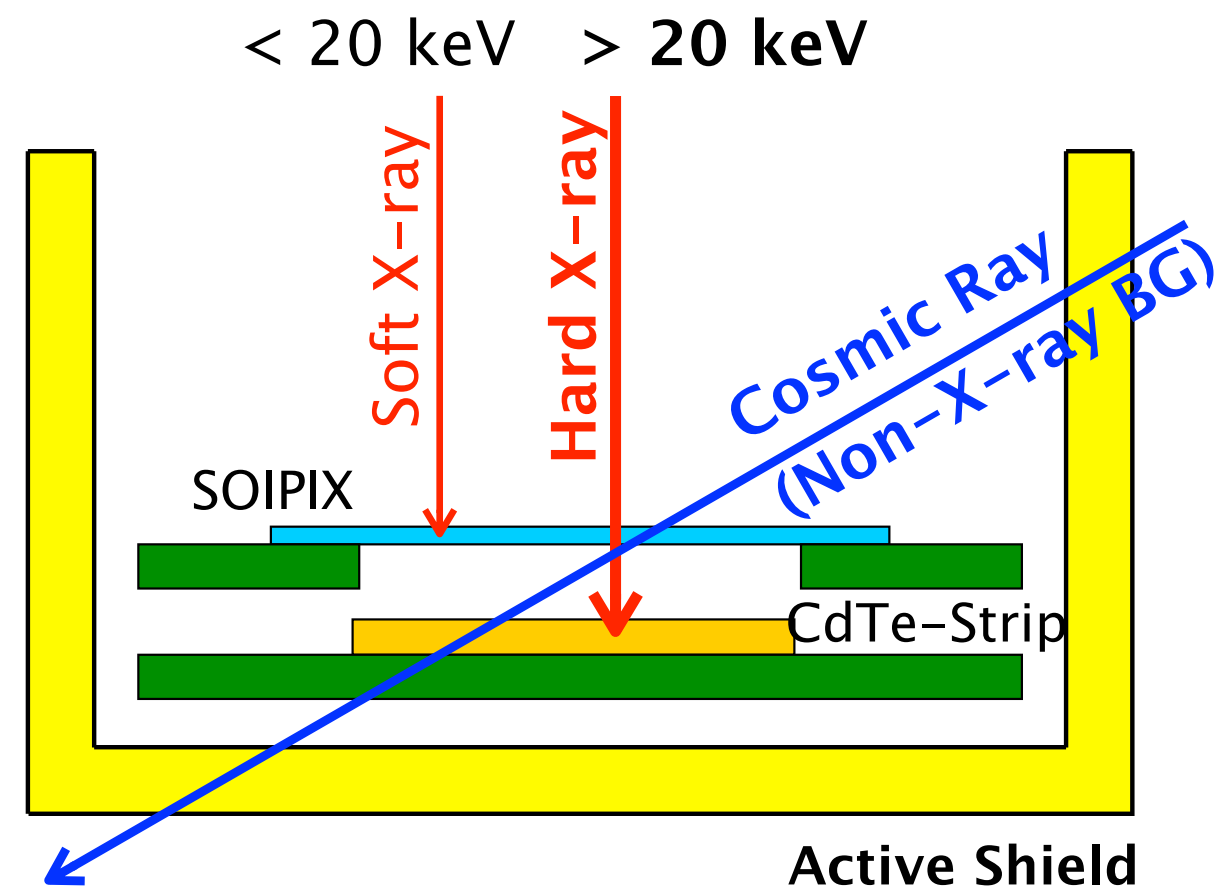
-> エネルギー分解能(ΔE) : $< 300 \text{ eV @ } 6 \text{ keV}$ (要求)
(pedestal 幅 : 30 e^- (rms) 相当)

-> 時間分解能 : $< 10 \mu\text{s}$

-> 位置分解能 : $< 100 \mu\text{m}$

- 現状の有力候補 -> SOIPIX

- イベント検出時のタイミング・ヒット位置情報を出力可能な「イベント駆動型SOIPIX」を開発.
-> XRPIXシリーズ



SOIピクセル検出器 (SOIPIX)

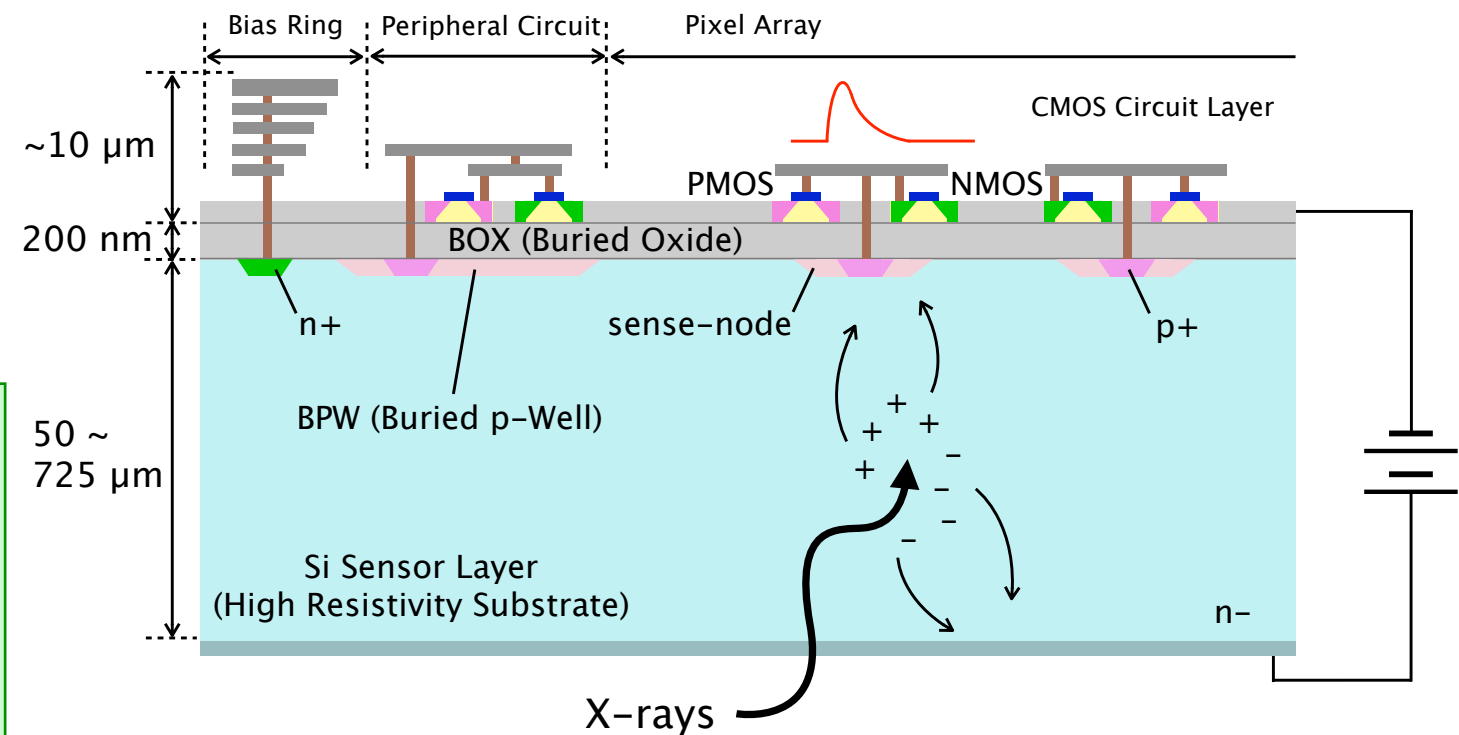
- Silicon-on-Insulator (SOI)技術による読み出し回路部・センサ部一体型半導体ピクセル放射線検出器
- KEK測定器開発室 SOIPIXグループが中心に研究開発
- LAPIS セミコンダクタ 0.2 μm FD-SOIピクセルプロセス
 - > SOIピクセル検出器をプロセスするために開発しているプロセス手法

基本構成

Circuit Layer : $\sim 10 \mu\text{m}$
Buried Oxide (BOX) : 200 nm
Sensor Layer : 50 - 725 μm

SOIピクセル検出器の特徴

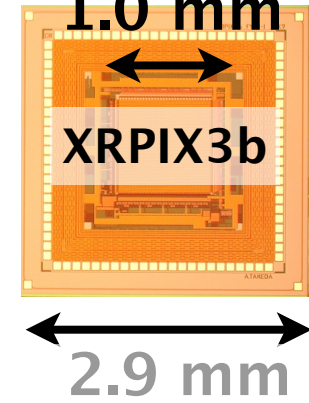
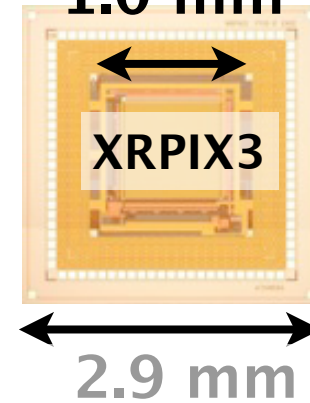
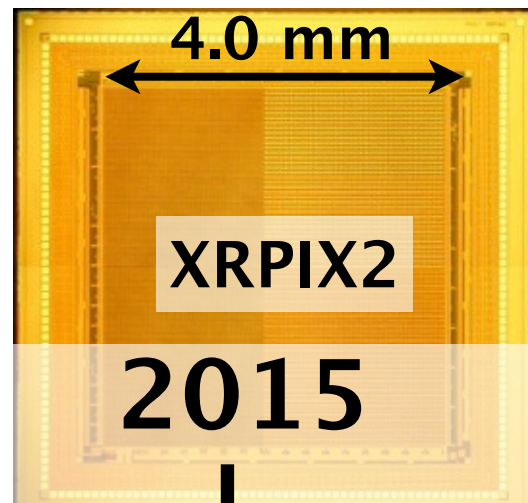
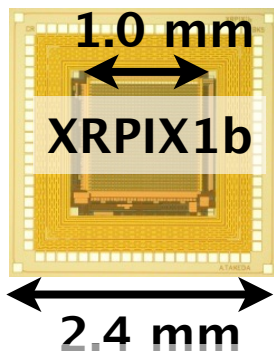
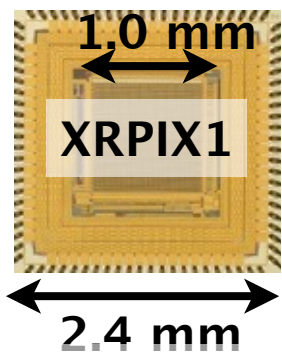
- 金属バンプボンディングがない
 - > 高密度・低寄生容量・高感度
- 一般的なCMOS回路により構成
- 一般的な産業技術を基盤とする



高いX線感度と高度な信号処理を両立

XRPIXシリーズ

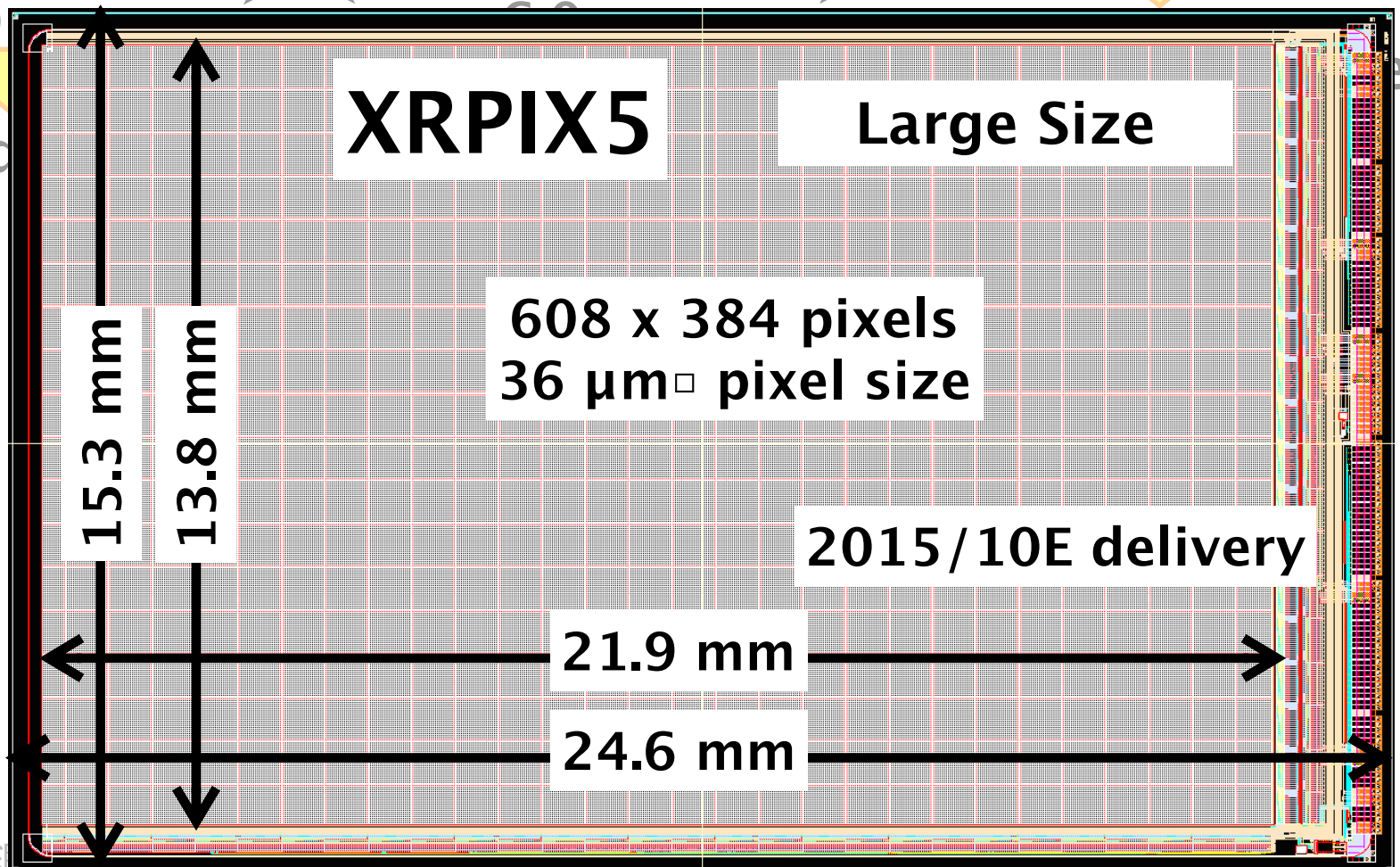
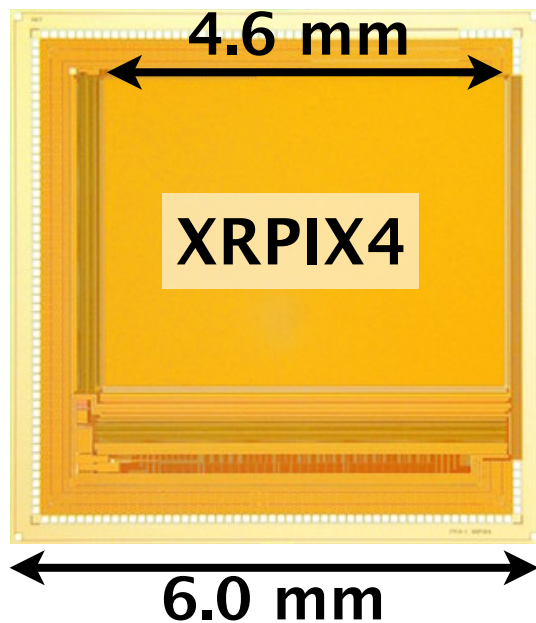
2010 2011 2012 2013 2014



2014



First Model
Trigger Output
(Event-Driven readout) Middle

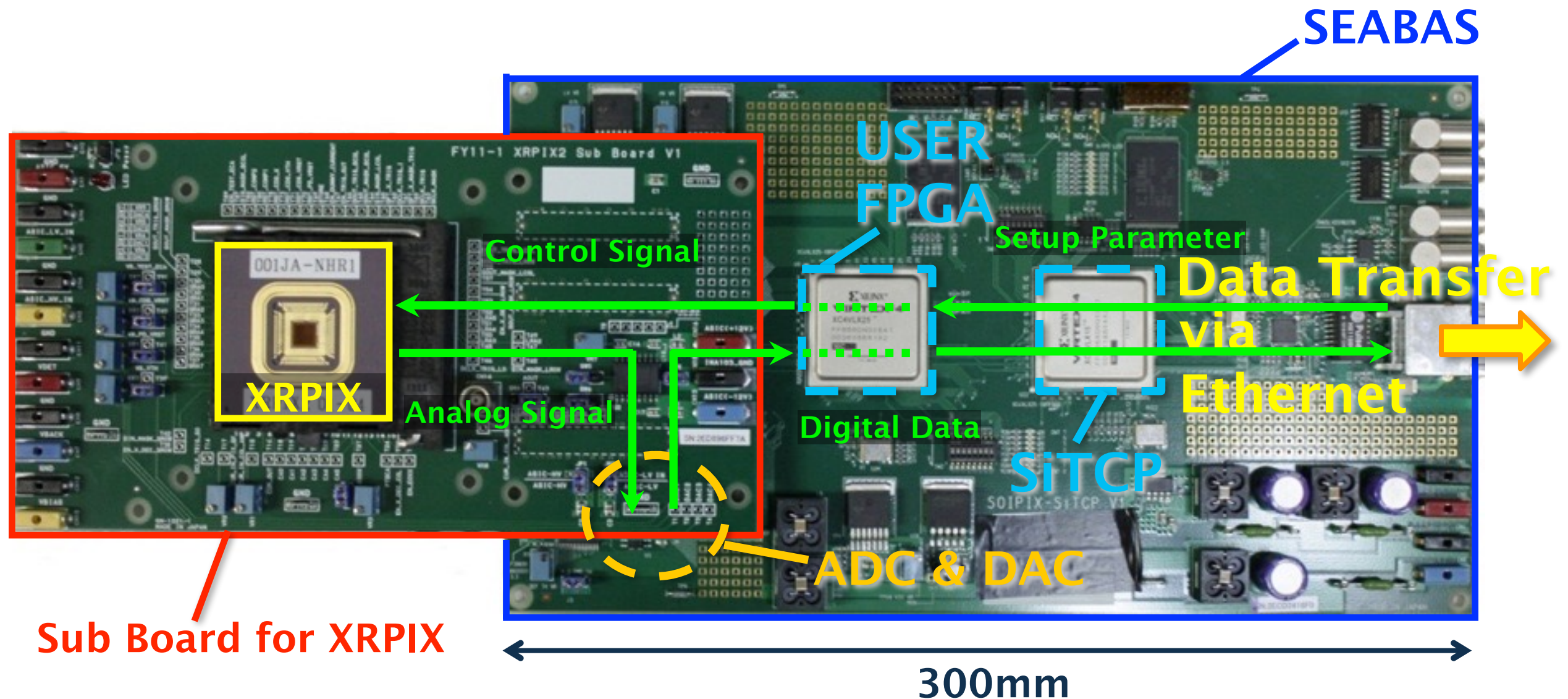


New Readout Circuit

DAQ システム

- SoI Evaluation Board with Sitcp (SEABAS)
- (SOIピクセル検出器用) 汎用データ読み出しボード
- FPGAにより検出器を制御.
- EthernetによりPCとデータを送受信.

Power Supply : ± 5 V
Clock : 25/50 MHz
Network : 100 Mbps
ADC, DAC,
NIM IN x2, NIM OUT x 2



DAQ システム

- DAQ SoftwareはROOT GUIベースのもの
(CUI版も存在はする)

DAQ Software for XRPIX2b

Control

Start
Stop
Pause

of Cali Frame (0-5e3) 200
of Phy Frame (0-1e6) 0
of Current Frame 108

save data
Save directory path (relative path) 2b_software_v013
Save file name

XRPIX Parameters

Integration Time [us] 100
RST Time [us] 40
CDS_RST Time [us] 80
VTH_RST Time [us] 20
RST_COMP1 Time [us] 30
RST_COMP2 Time [us] 40
Scan Time [ns/pixel] 480
PD_RSTV [mV] 0
CDS_RSTV [mV] 500
VTH [mV] 600

Display Options

Display Data(All pixel) Raw data

Set Log X(1D only)
 Set Log Y(1D only)
 Set Log Z(2D only)

2D Hist Range
Min 0 Max 4096

Run Mode

Calib Data Only
 Calib & Phys Data
 Data Only
 One Pixel Mode

Fixed Pixel Address
RA 16 CA 16

Monitor Display_1

2D hist (Raw data)

1D hist (Raw data)

Monitor Display_2

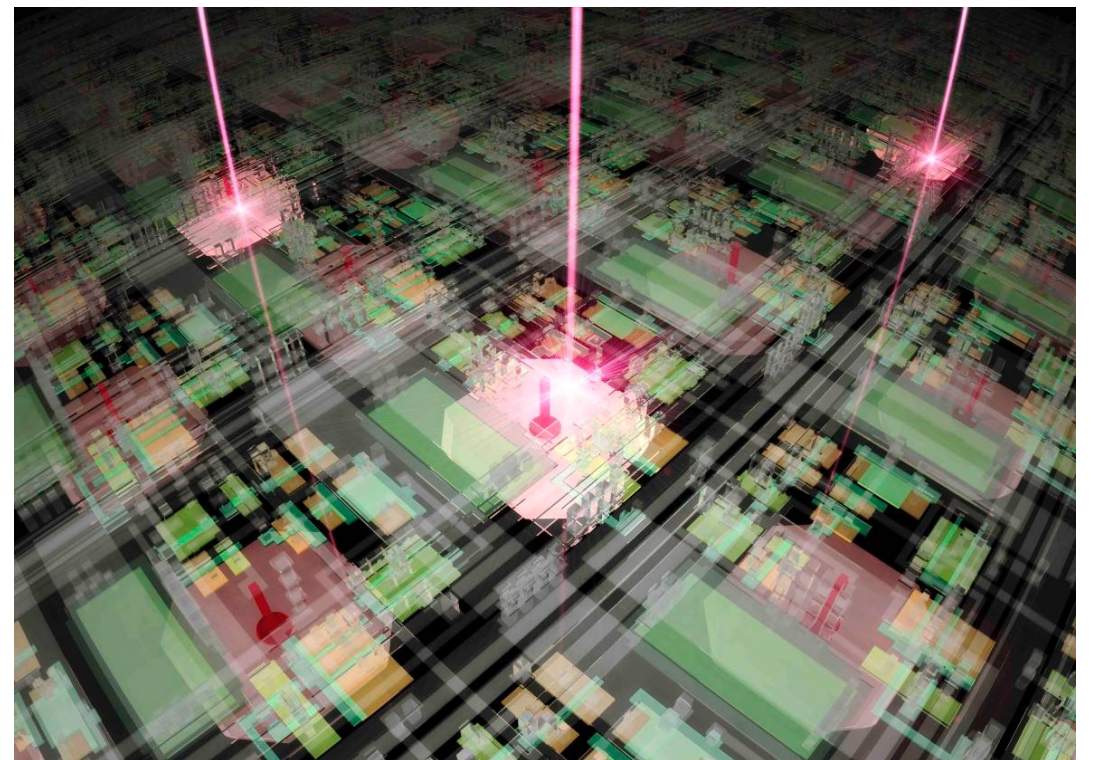
<AOUT> (bik) vs.Frame.No. [24][24] (red), [24][8] (grn), [8][8] (blue), [8][24] (purple)

Update Timer for Monitor
Update interval (0-1e4 s) 1.00

Status Log

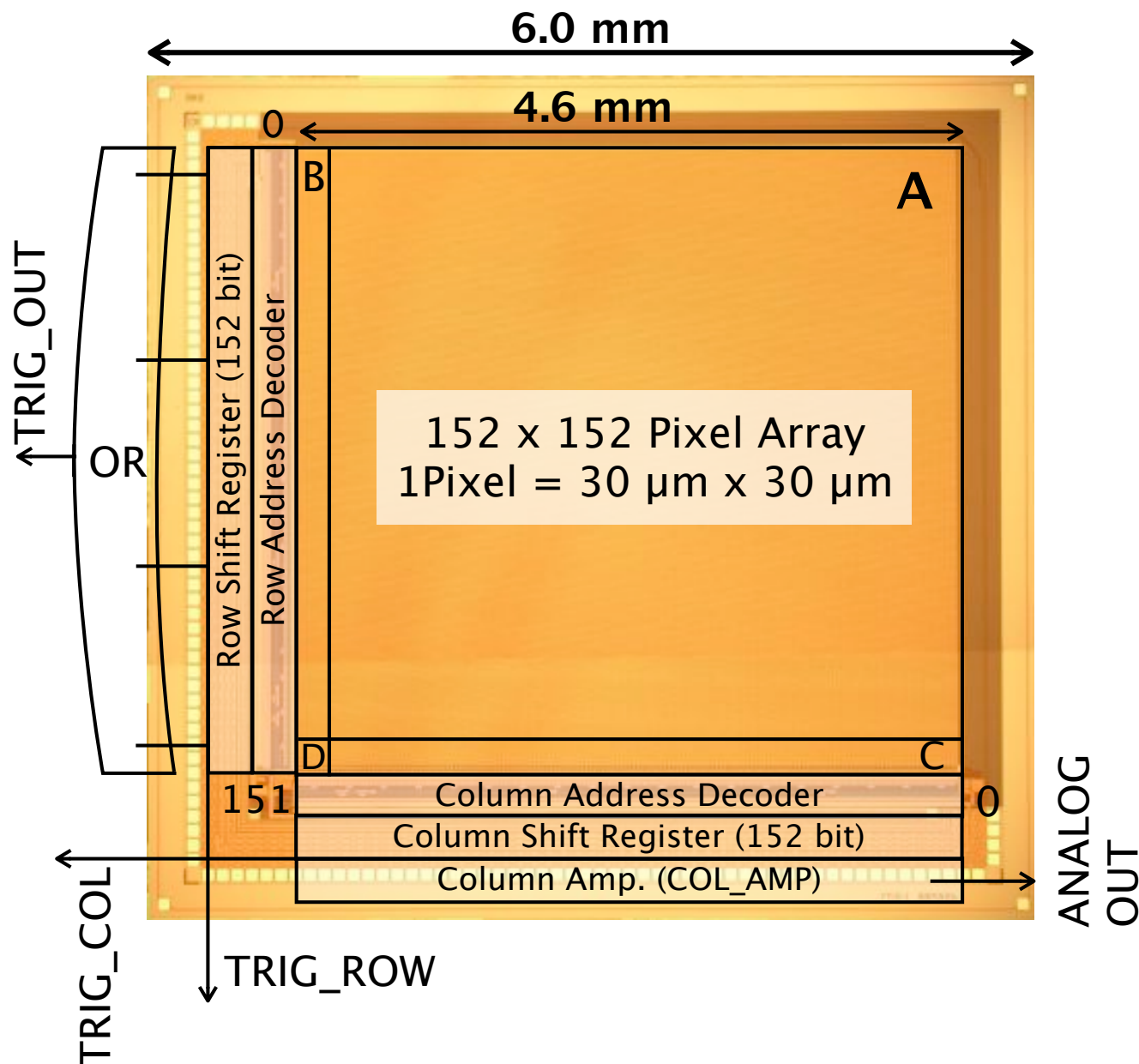
```
TCP/IP Setting: IP=192.168.0.16, TCP_PORT=24, UDP_PORT=4660
Start SEABAS Operation
Connecting to SEABAS : Success!
[2013-07-04 09:07:00] Take calibration data (200 event)
[2013-07-04 09:07:00] ** Start run **
[2013-07-04 09:07:00] Calibration event start
```


分光性能の向上



XRPIX2b 概要

- ピクセルデザインの最適化, 面積を広げ一様性の確認が目的の素子.
- Buried p-Well (BPW)のサイズが異なるピクセル構造を持つ.
-> sense-node容量と読み出しノイズの関係性を調査する.

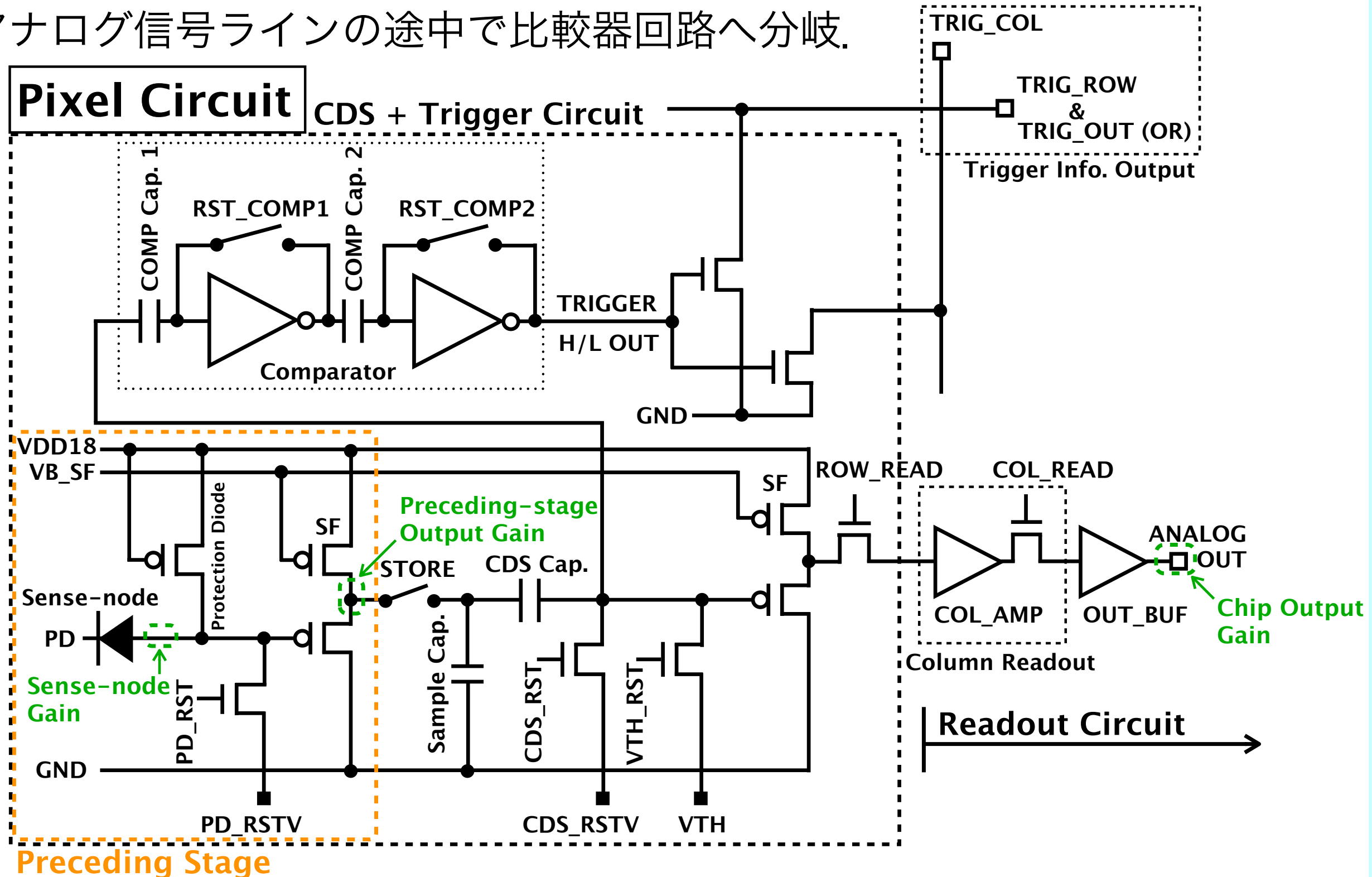


基本構成

- チップサイズ : 6.0 mm sq.
(有感領域 : ~ 4.6 mm sq.)
- ピクセルサイズ : 30 μm sq.
- ピクセル数 : 152 x 152 (~ 23 k)
- センサ厚 : 260 μm / 500 μm
- 4種のBPWのサイズ
-> A : 12 μm sq. / B : 10 μm sq.
C : 8 μm sq. / D : 6 μm sq.

XRPIX2bのピクセル回路

- 初段はSource Follower (SF)回路.
- アナログ信号ラインの途中で比較器回路へ分岐.



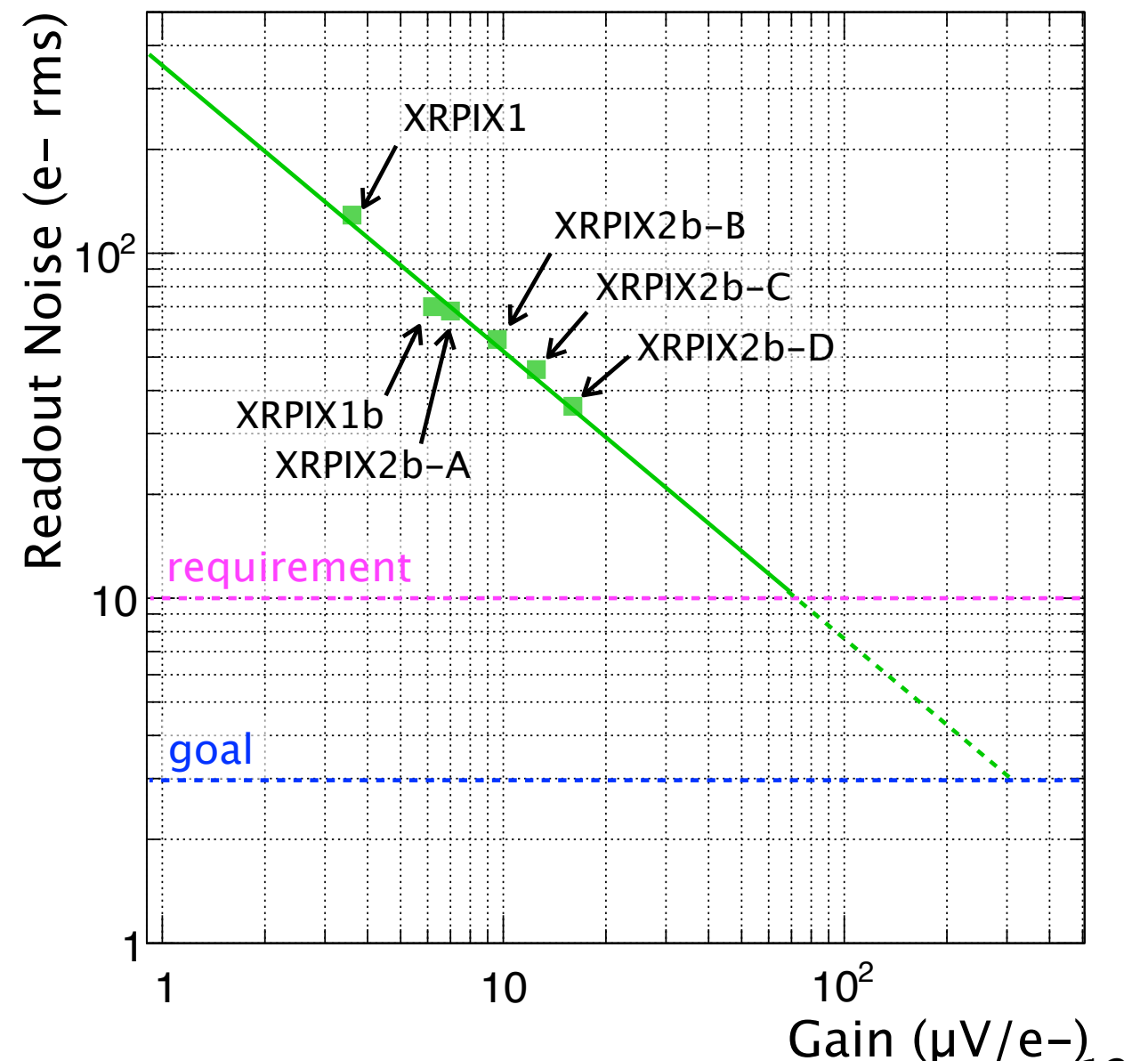
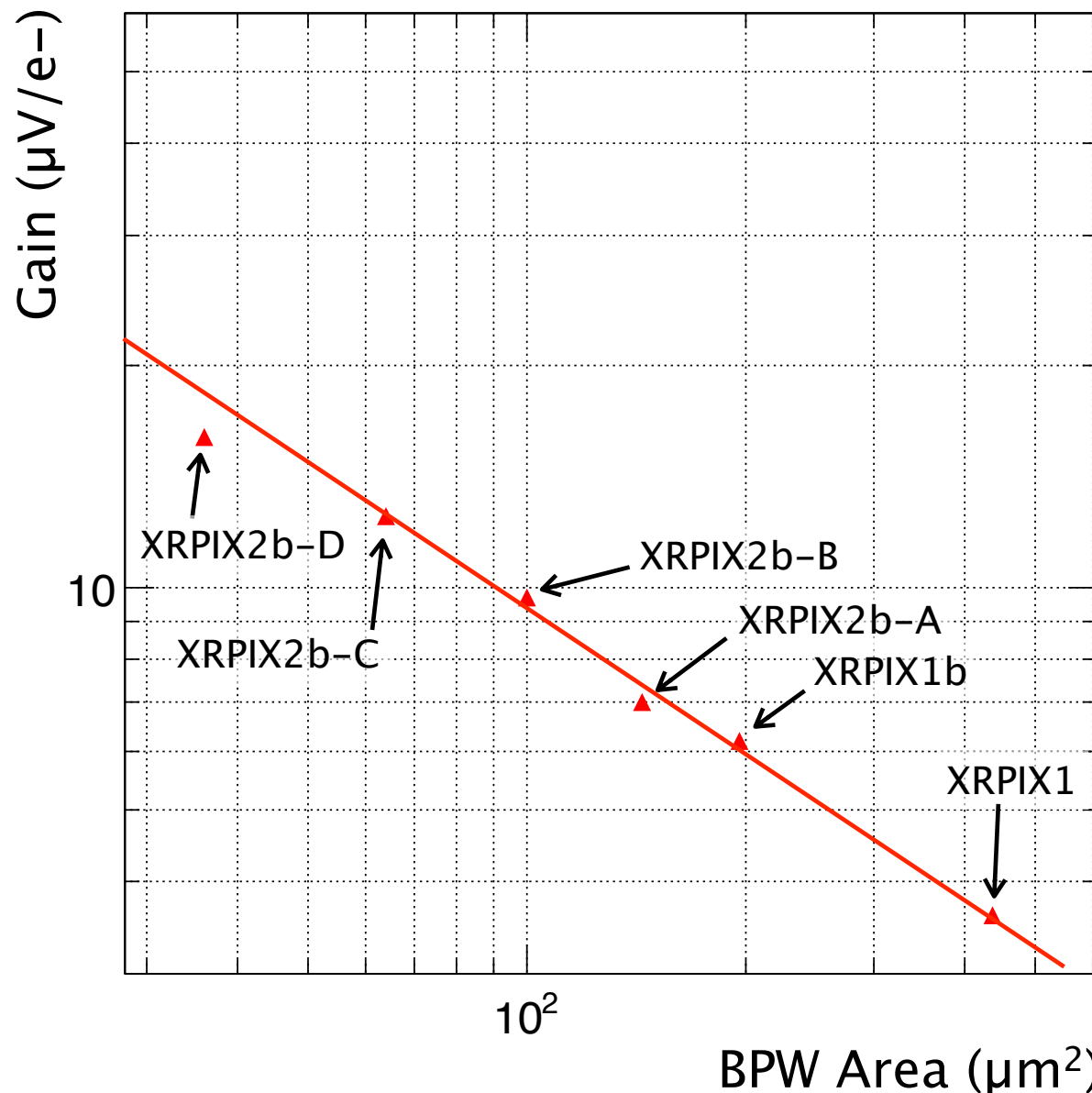
BPWサイズ・ゲイン・ノイズの関係

- BPWサイズを小さくすることで, sense-nodeゲインを上げてきた.
-> チップ出力ゲインが上がり, 読み出しノイズが下がる.

BPWのサイズ

*フレーム読み出しによる評価

XRPIX1 : 20.9 $\mu\text{m sq.}$ / XRPIX1b : 14 $\mu\text{m sq.}$ / XRPIX2b-A : 12 $\mu\text{m sq.}$
XRPIX2b-B : 10 $\mu\text{m sq.}$ / XRPIX2b-C : 8 $\mu\text{m sq.}$ / XRPIX2b-D : 6 $\mu\text{m sq.}$

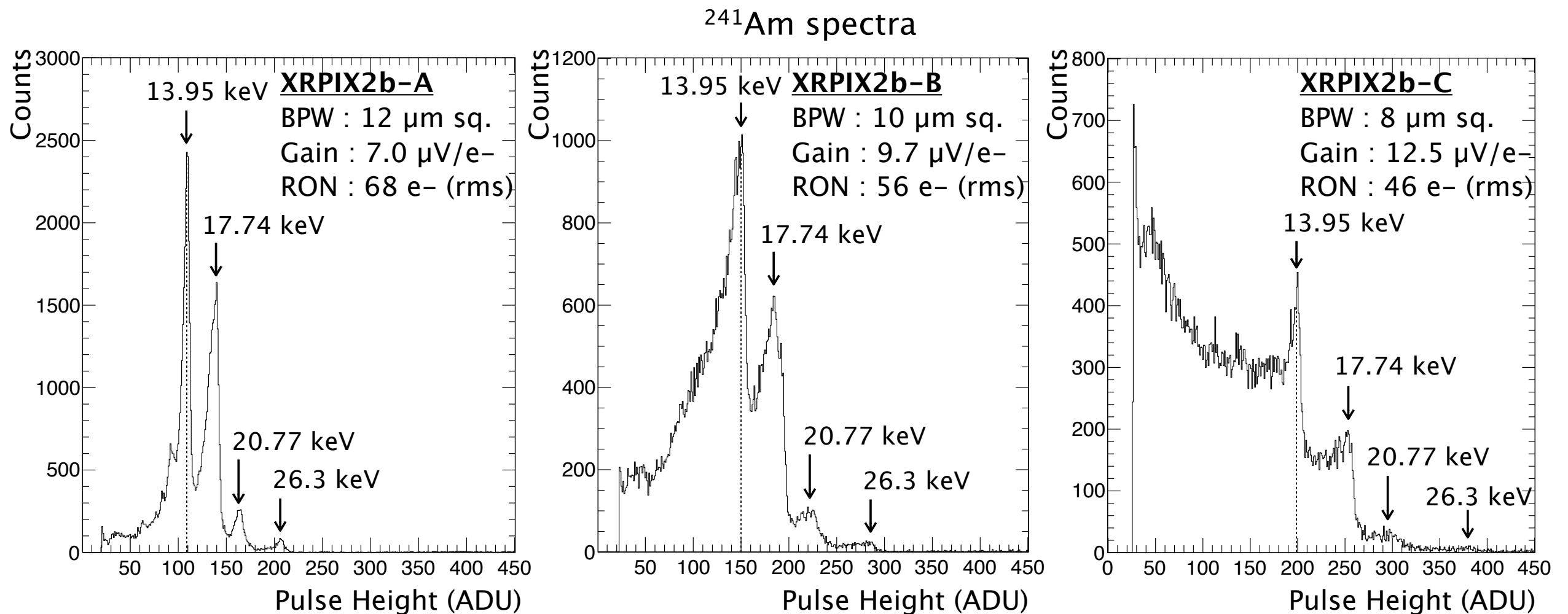


分光性能の低下

- BPWサイズを小さくすることで、読み出しノイズは下がったが...
電荷収集効率の低下が問題となった.

-> BPWサイズの変更以外の手法による対策が必要.

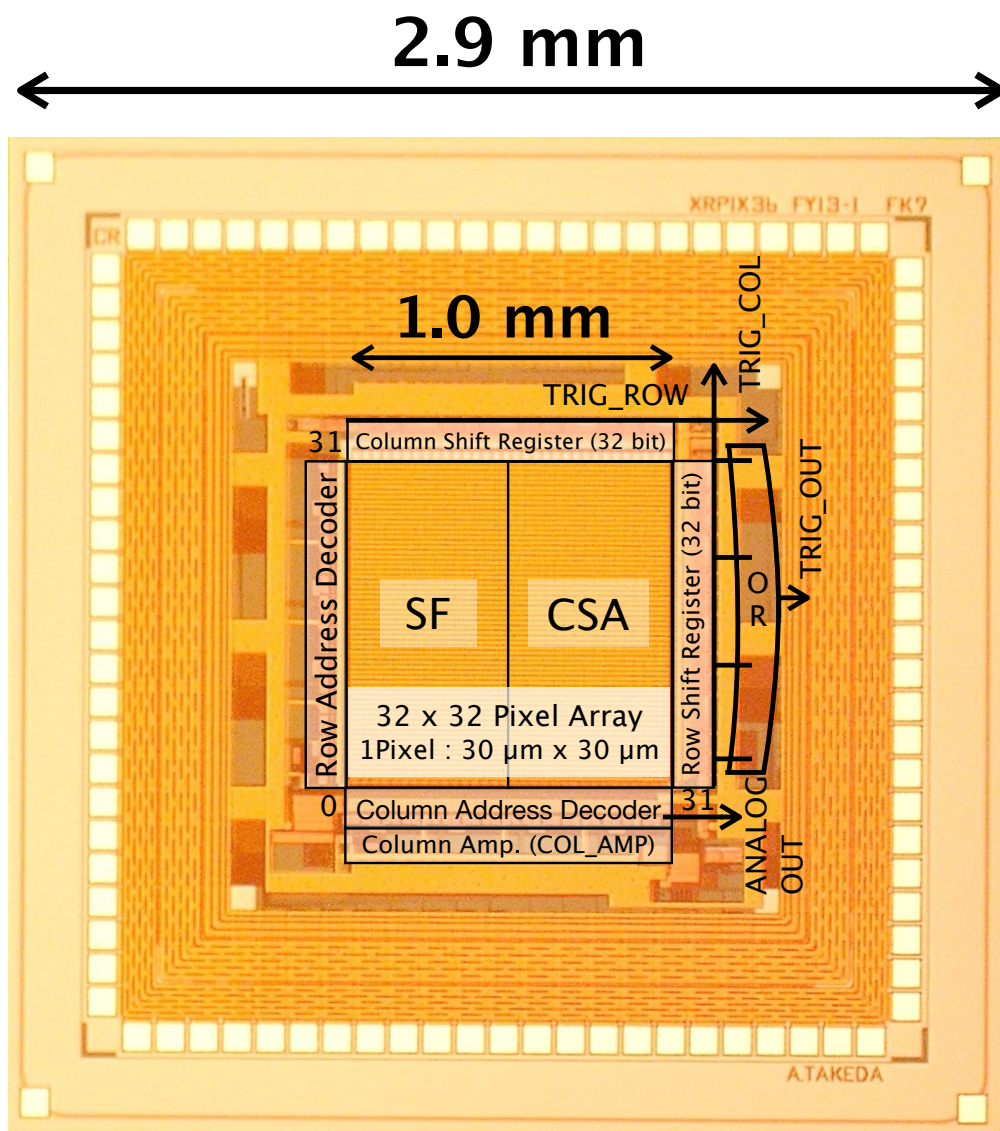
* 読み出しノイズ(RON: readout noise)はペDESTALピークの幅から算出.



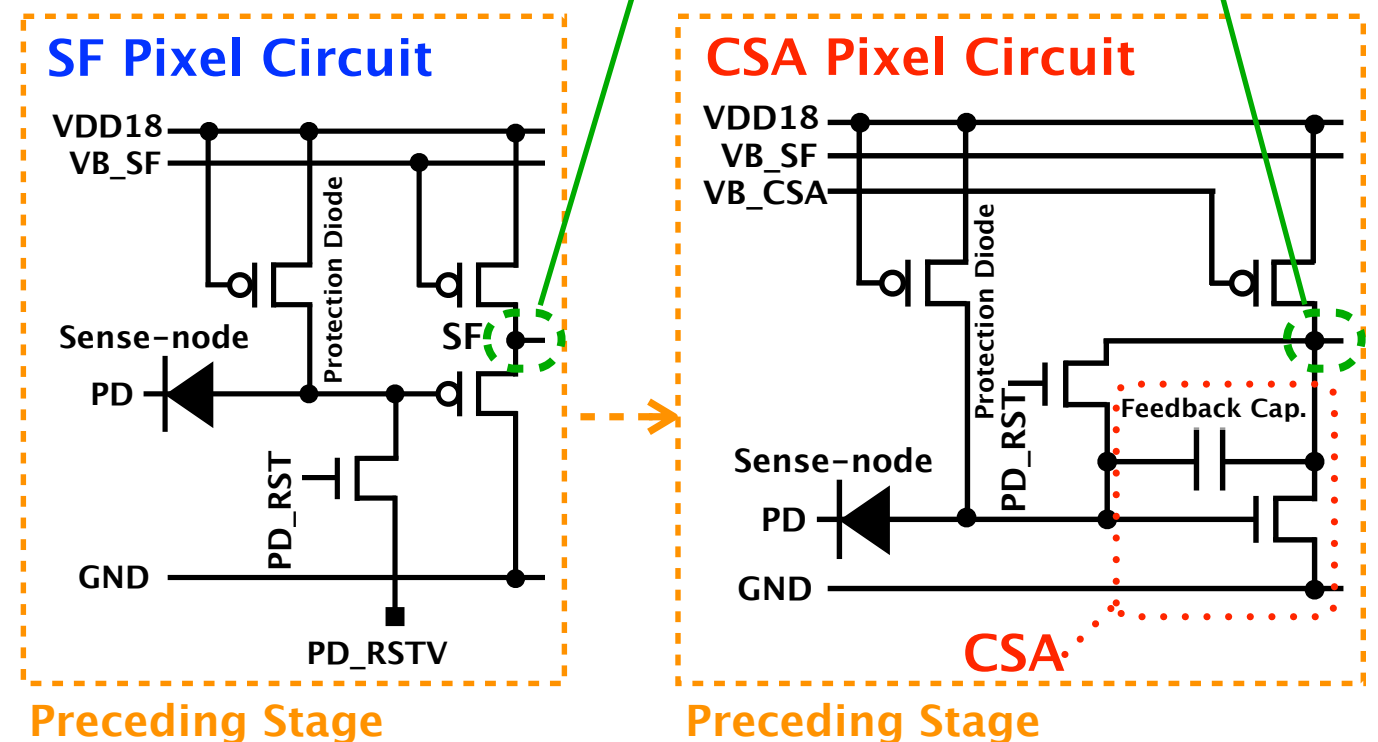
XRPIX3b 概要

- 電荷収集効率を保ちつつ、読み出しノイズを下げることを目的とした素子.
- 各ピクセルにCharge-sensitive Amplifier (CSA)回路を組み込む.
- 初段出力ゲインを上げることで、チップ出力ゲインを上げる.
-> Sense-nodeゲインは変えない.

- チップサイズ : 2.9 mm sq.
- ピクセルサイズ : 30 um sq.
- ピクセル数 : SF : 32 x 16 (Left)
CSA : 32 x 16 (Right)

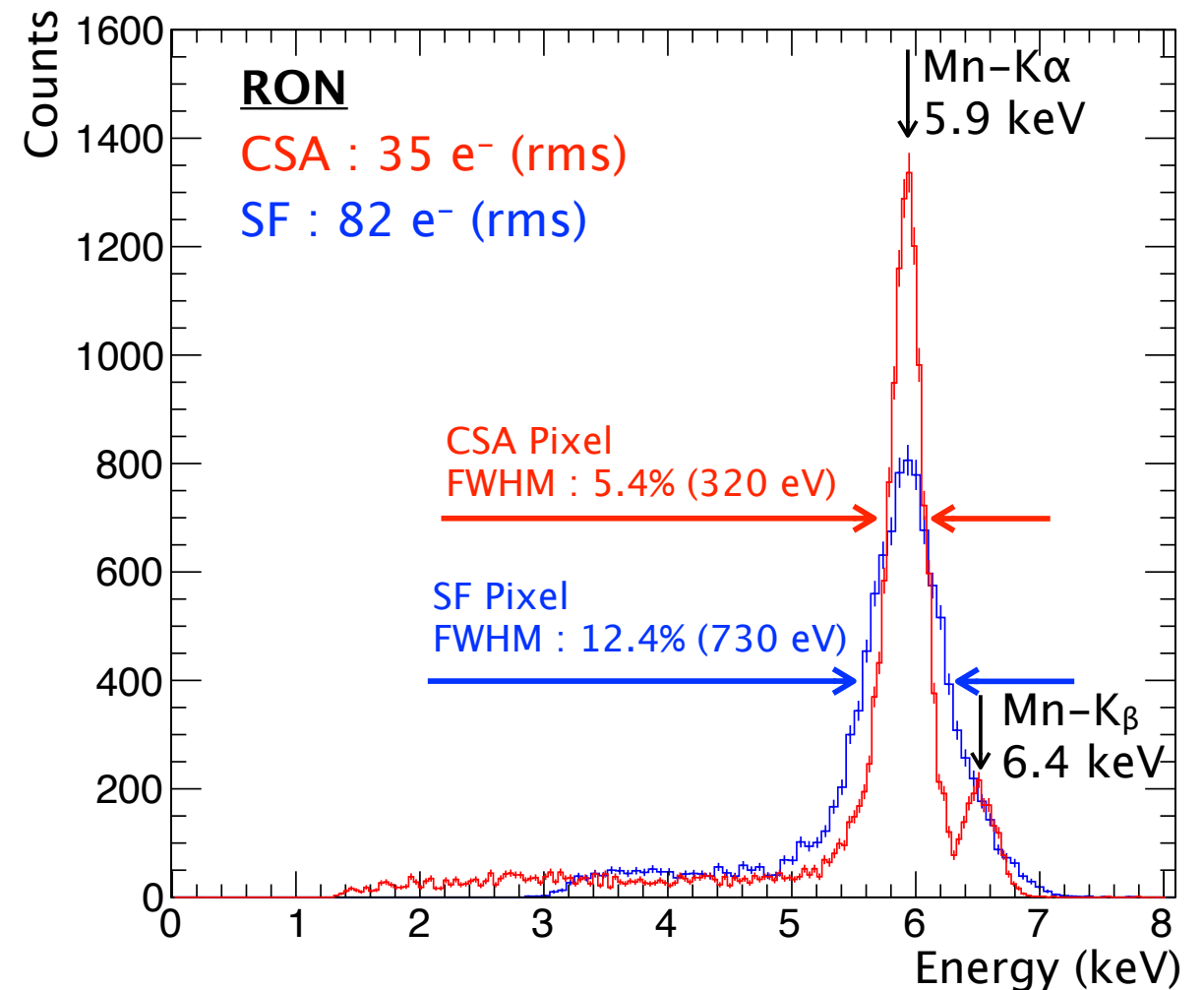
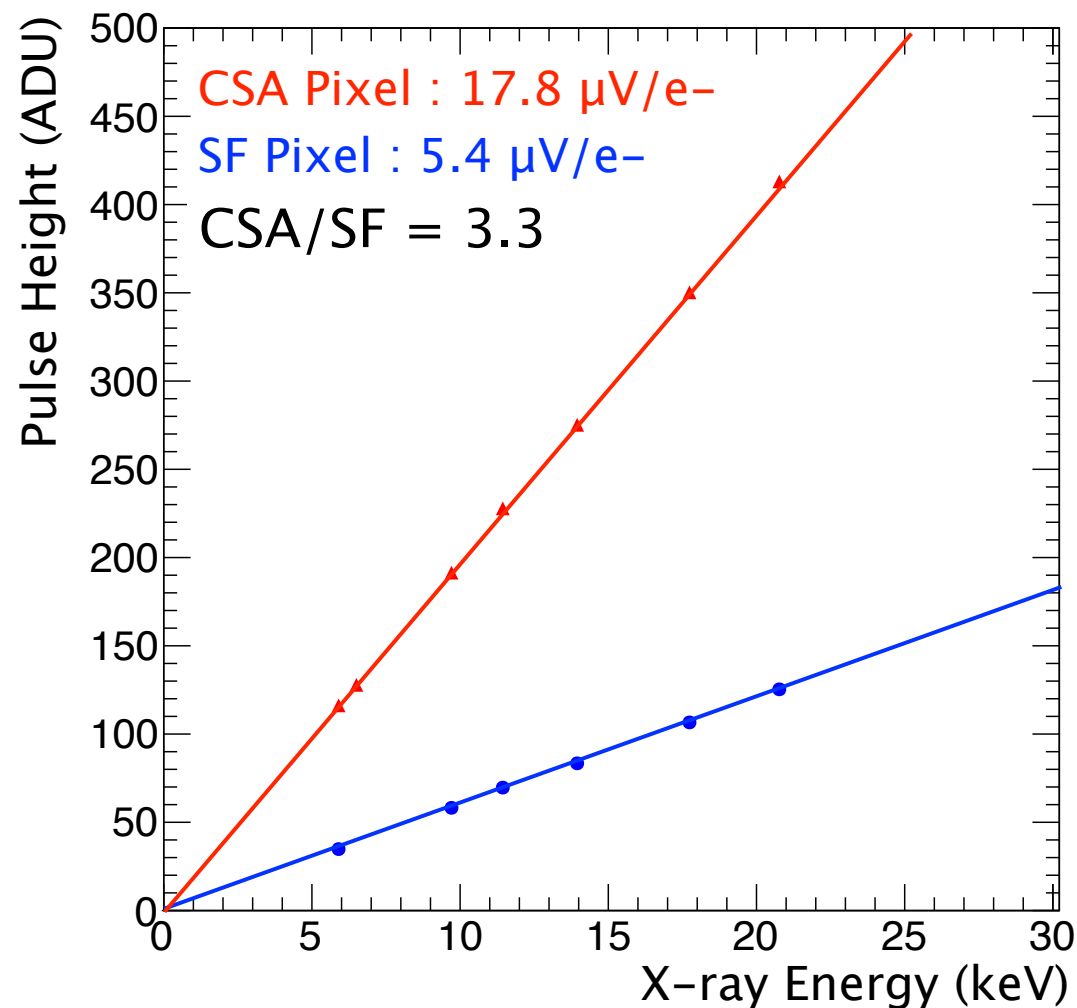


Preceding-stage Output Gain



CSA回路の効果

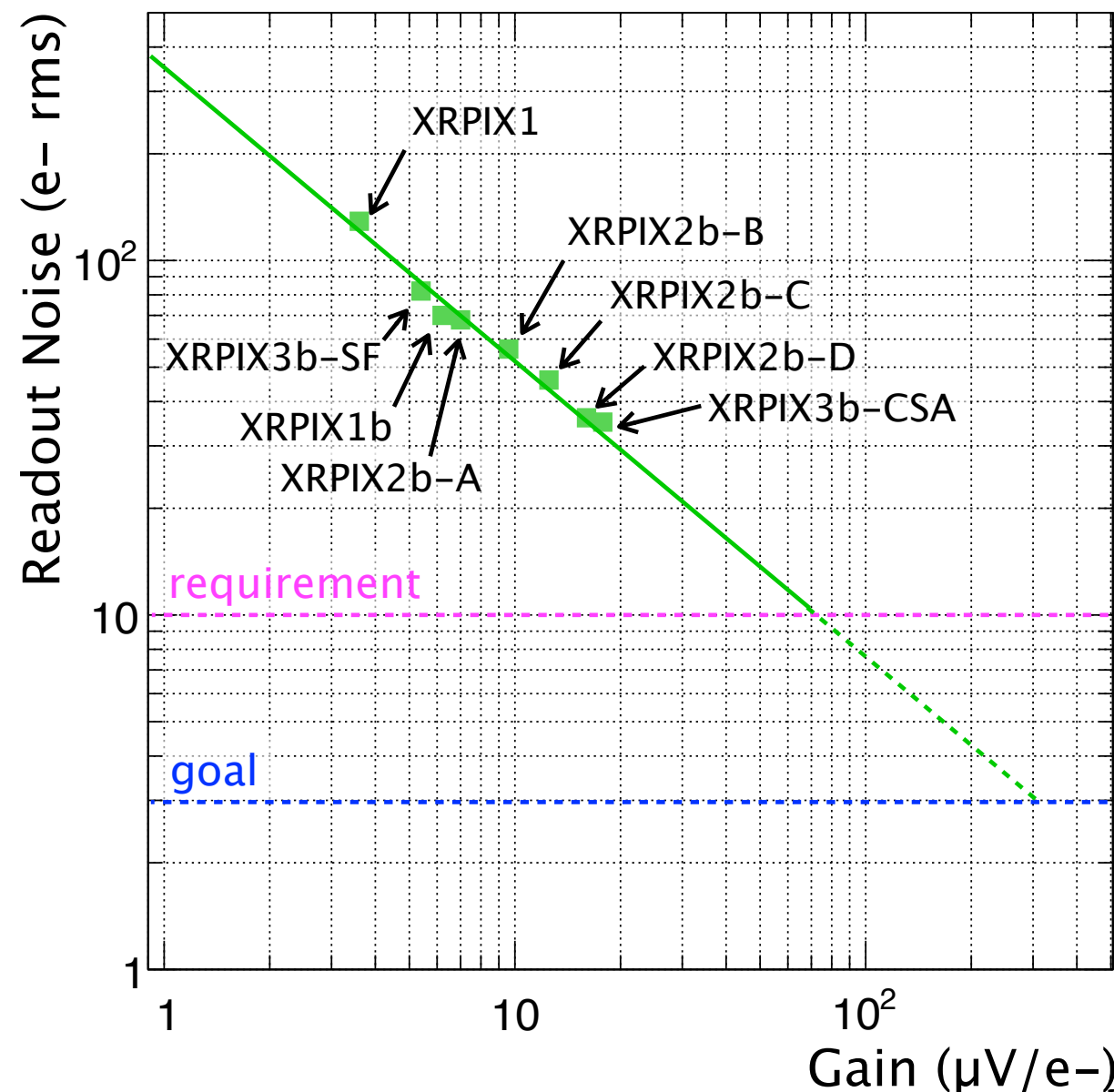
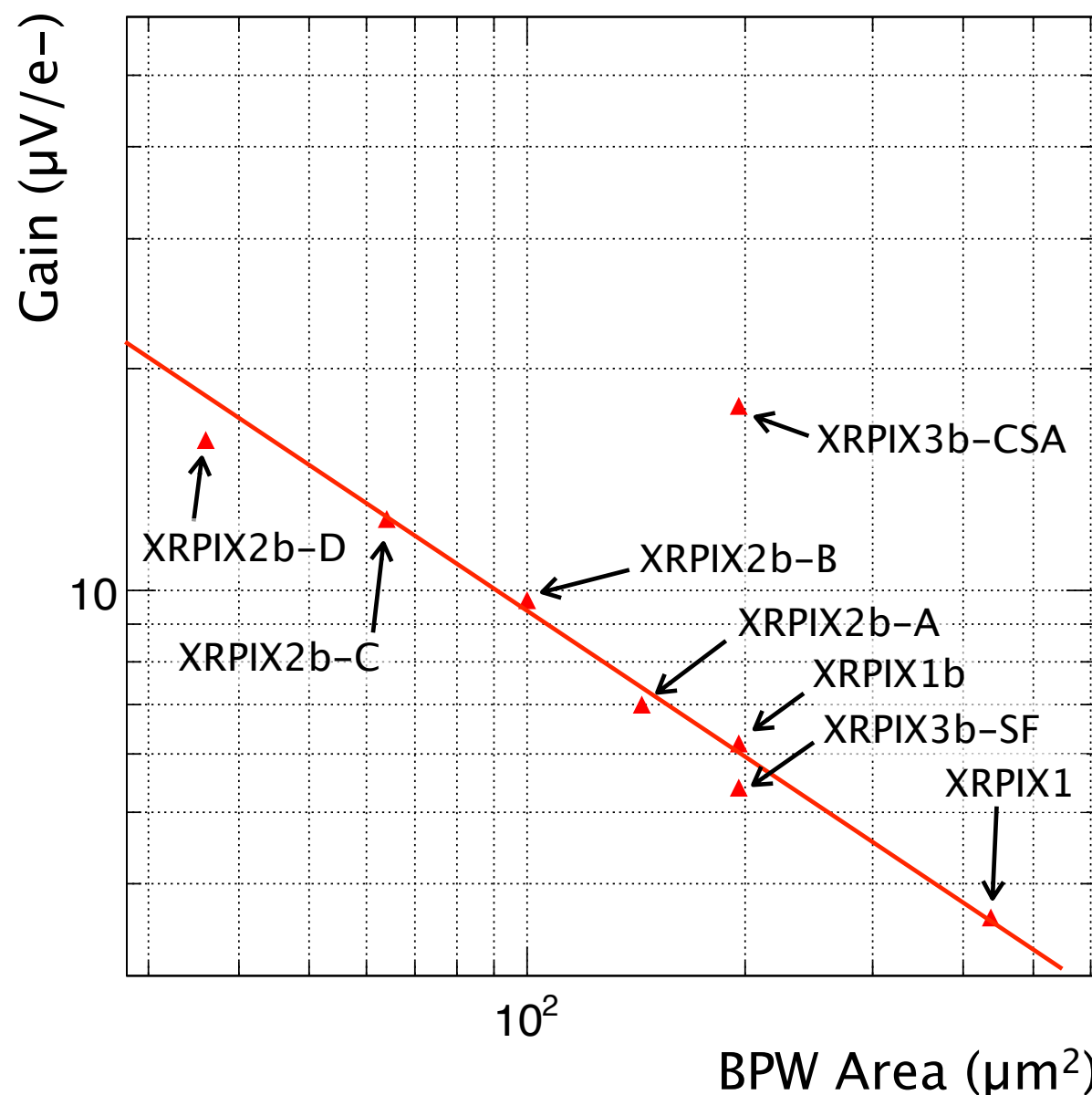
- XRPIX3bのSF/CSAの比較により，電荷収集効率を落とさずに読み出しノイズを下げることに成功した。 -> 分光性能の飛躍
- Mn-K α ， Mn-K β の分離ができるようになった。
- 今後， CSA回路の最適化を行っていく。



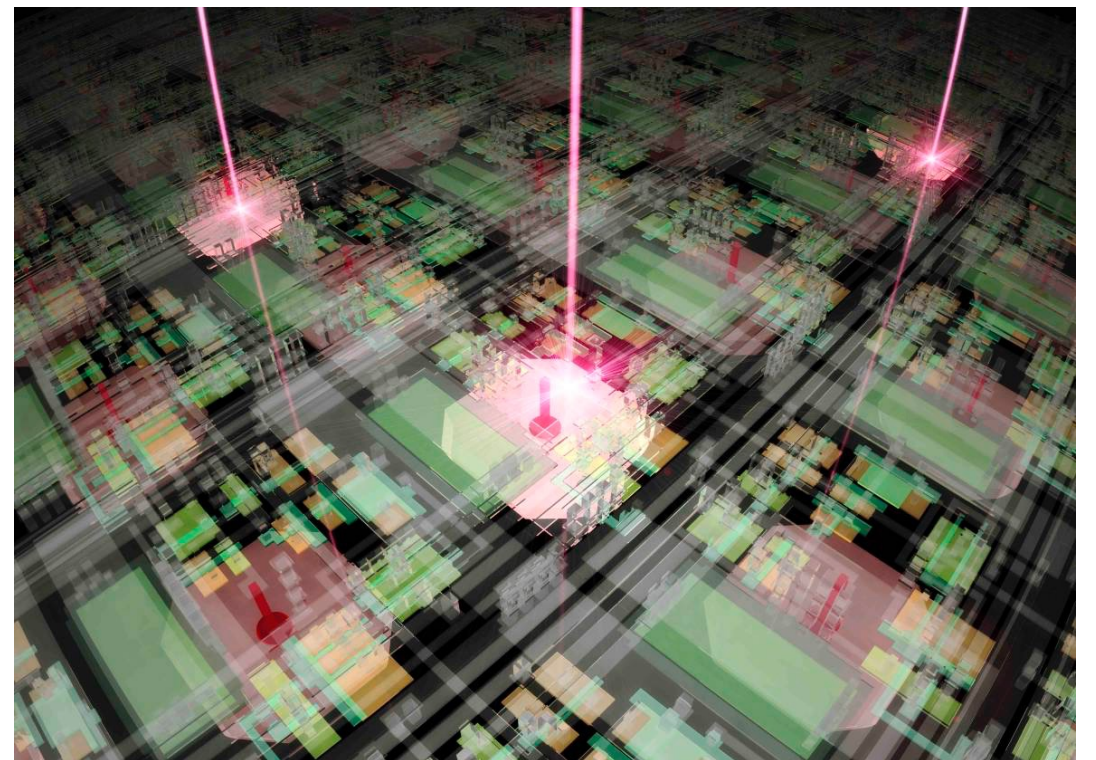
* 読み出しノイズはペDESTALピークの幅から算出。

BPWサイズ・ゲイン・ノイズの関係

- CSA回路による出力ゲインの増幅は効果があった。
- 出力ゲインを上げるだけでは厳しいため、他の方法も必要。
 - > 素子内の読み出し回路のノイズ自体を下げる。
 - > 新しい読み出し回路を採用し、XRPIX4を設計した。（工学系の協力）

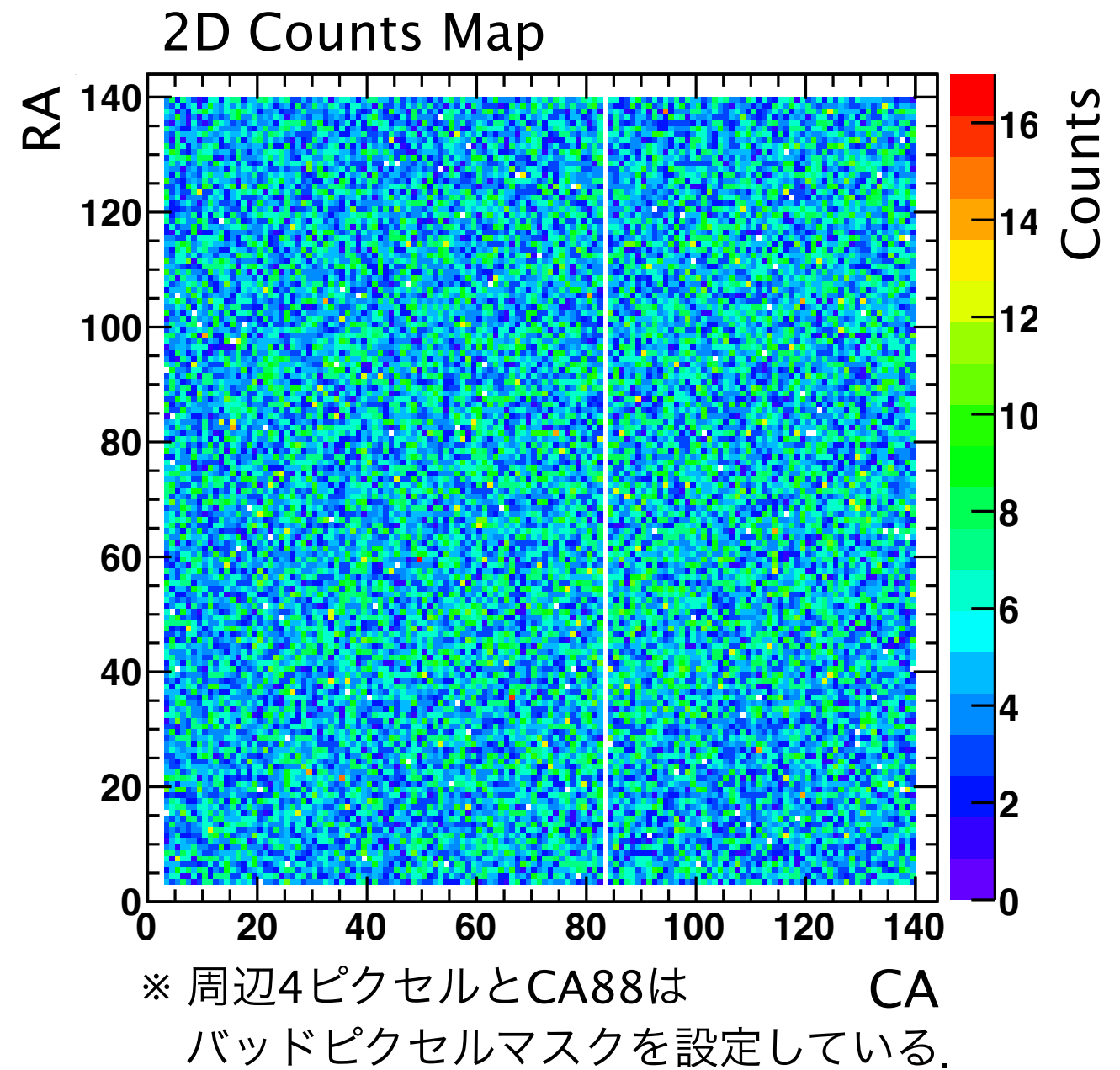
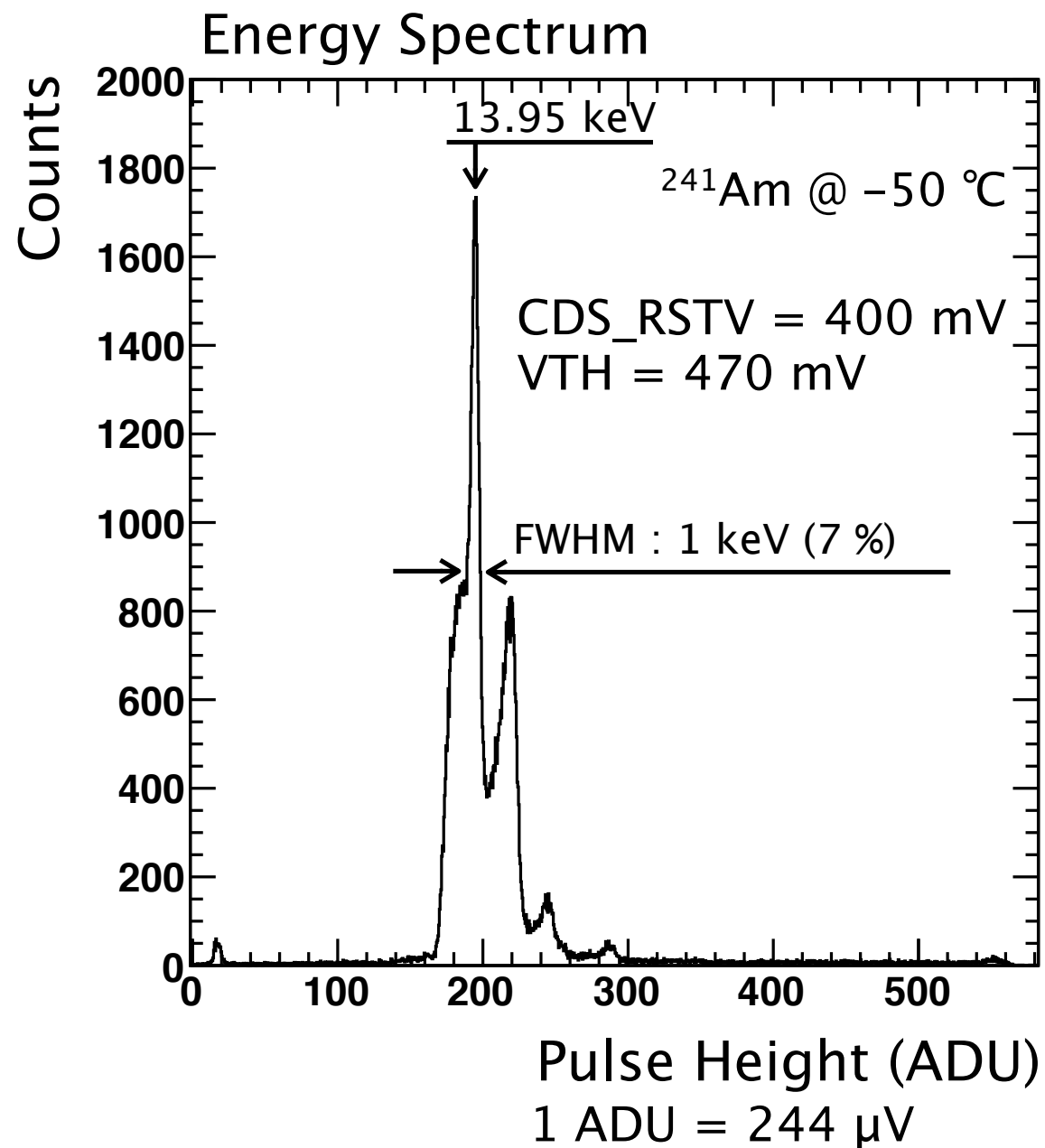


イベント駆動読み出し



イベント駆動読み出しの結果

- XRPIXの要である, イベント駆動読み出しによるスペクトル取得.
(ここまでは過去に成功している. 結果はXRPIX2bのもの)
- 読み出しイベントレート: ~ 1 kHz (現状は低速読み出し)
- イベント駆動読み出しにはいくつか課題があった.

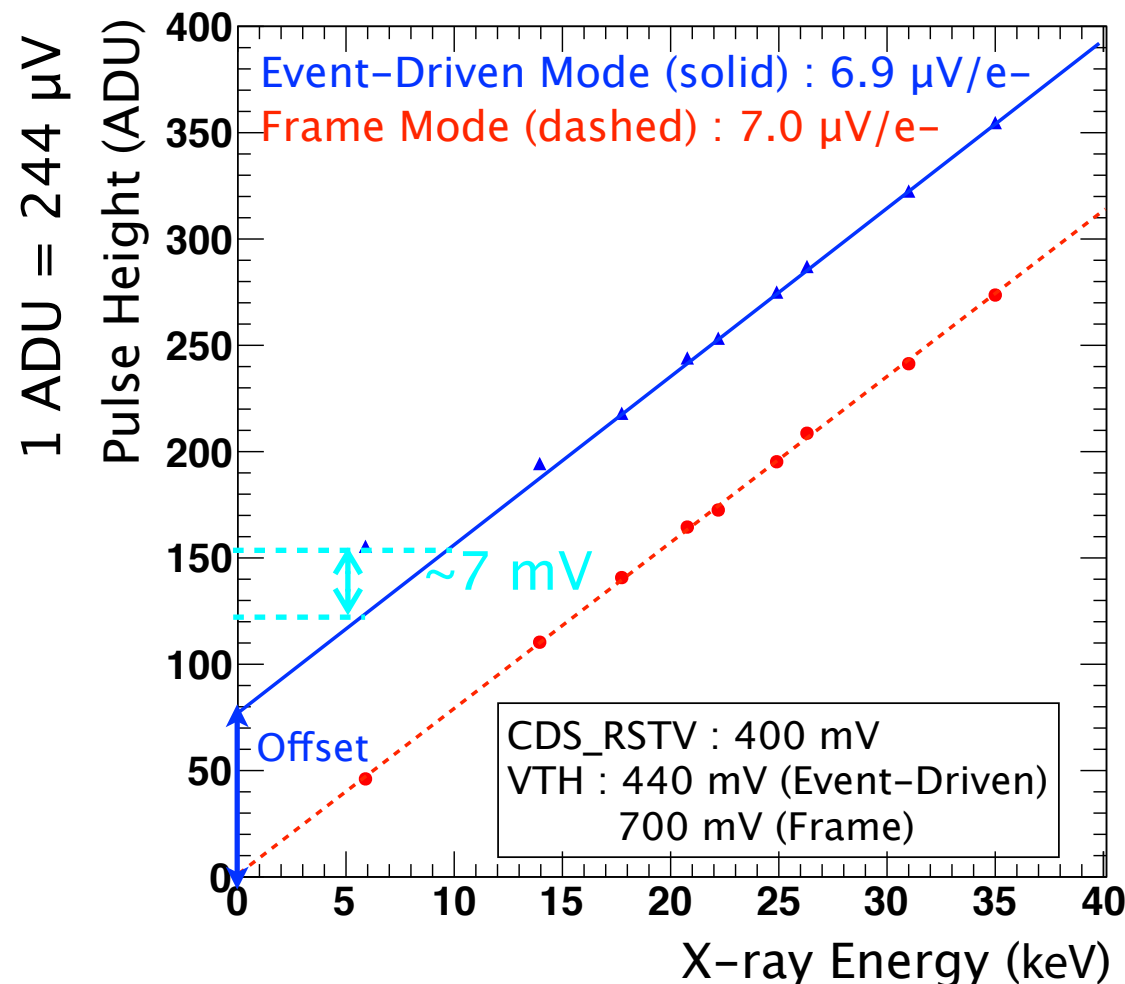


イベント駆動読み出しのキャリブレーション

- ^{55}Fe , ^{241}Am , ^{109}Cd , ^{133}Ba の線源によるキャリブレーションプロット.

2つの問題を確認

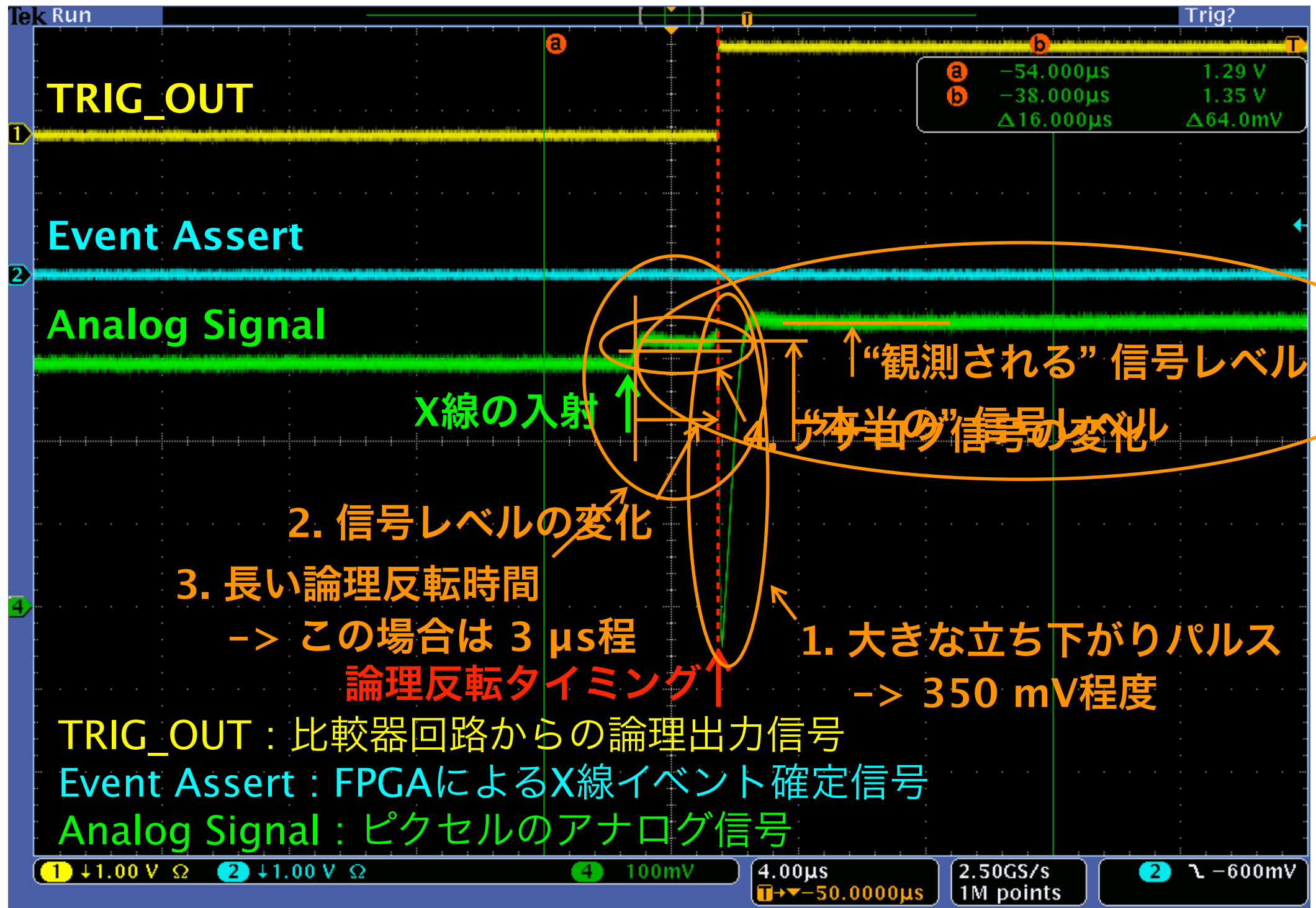
1. 80 ADU (20 mV)程度のオフセットがある.
 2. 出力の波高値はエネルギーが低いほど線形性からずれる.
-> ^{55}Fe の5.9 keVが明らかにずれている.
- これらの現象の理解と改善が不可欠である.
-> これらは比較器回路の動作によるものと分かった (次頁以降).



イベント駆動によるX線入射時の応答

- オシロスコープによるX線入射時の波形観測結果 (^{109}Cd : 22.2 keV).

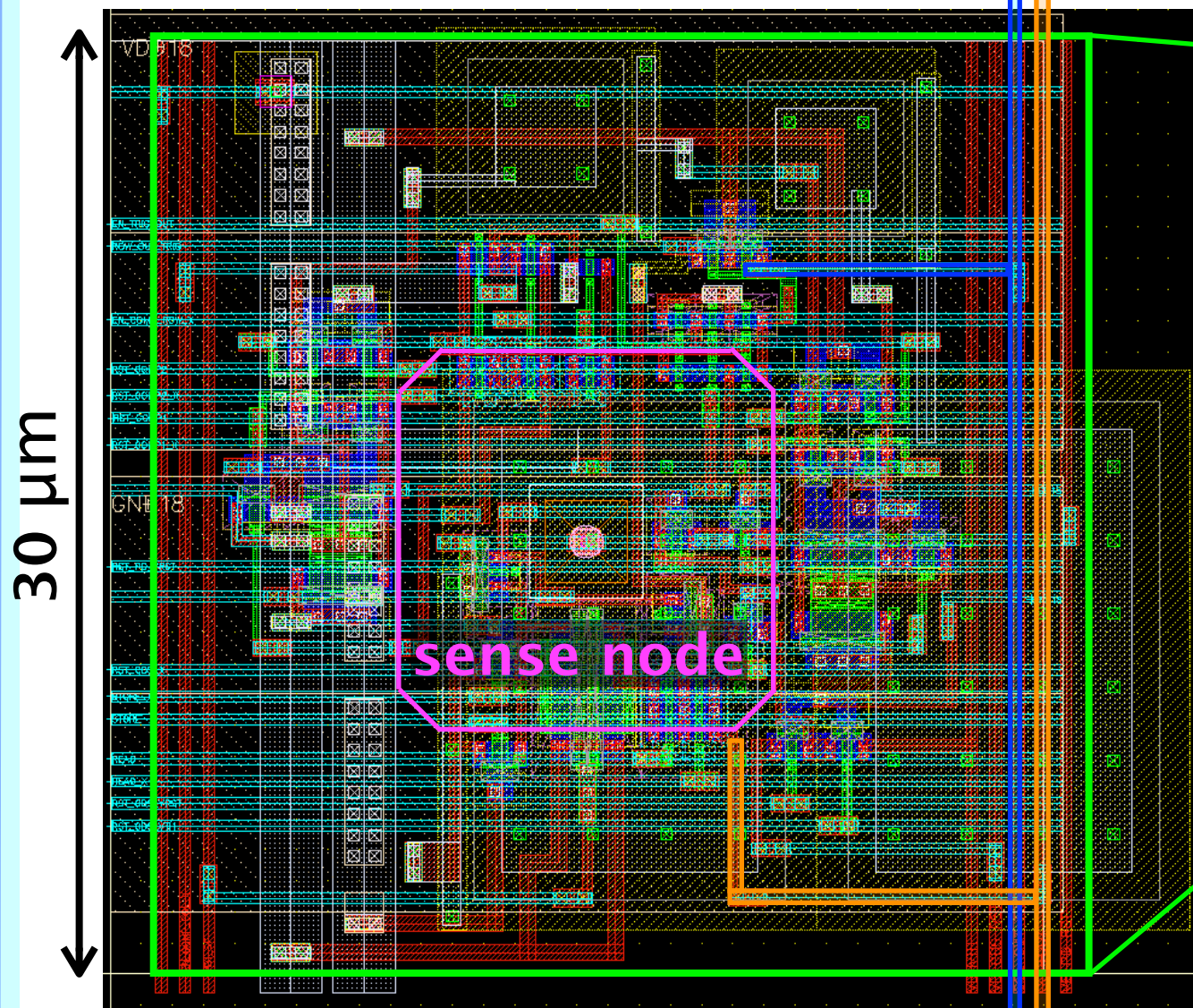
-> アナログ信号に4つの問題が見られる.



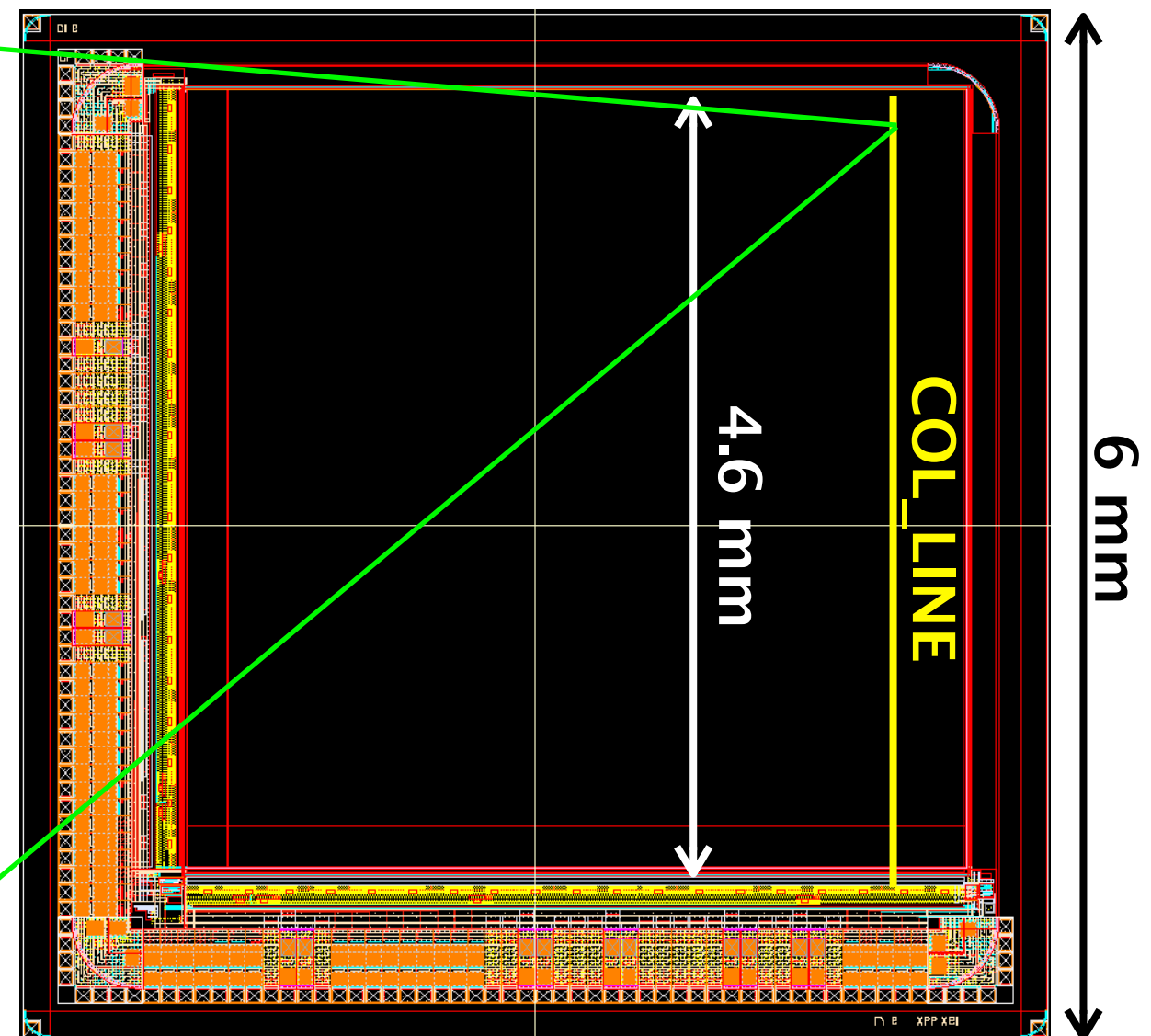
1. 立ち下がりパルス

- ピクセルレイアウトでアナログ信号線 (COL_OUT) とトリガ信号線 (COL_TRIG_OUT) が並列であり大きな容量結合 (~250 fF) が形成されていた。
-> 立ち下がりパルスの原因でhspiceシミュレーションでも再現できた。
- ピクセル選択トランジスタより後段ゆえ、通常の動作時には観測されない。

COL_TRIG_OUT → ← COL_OUT (Analog Signal)



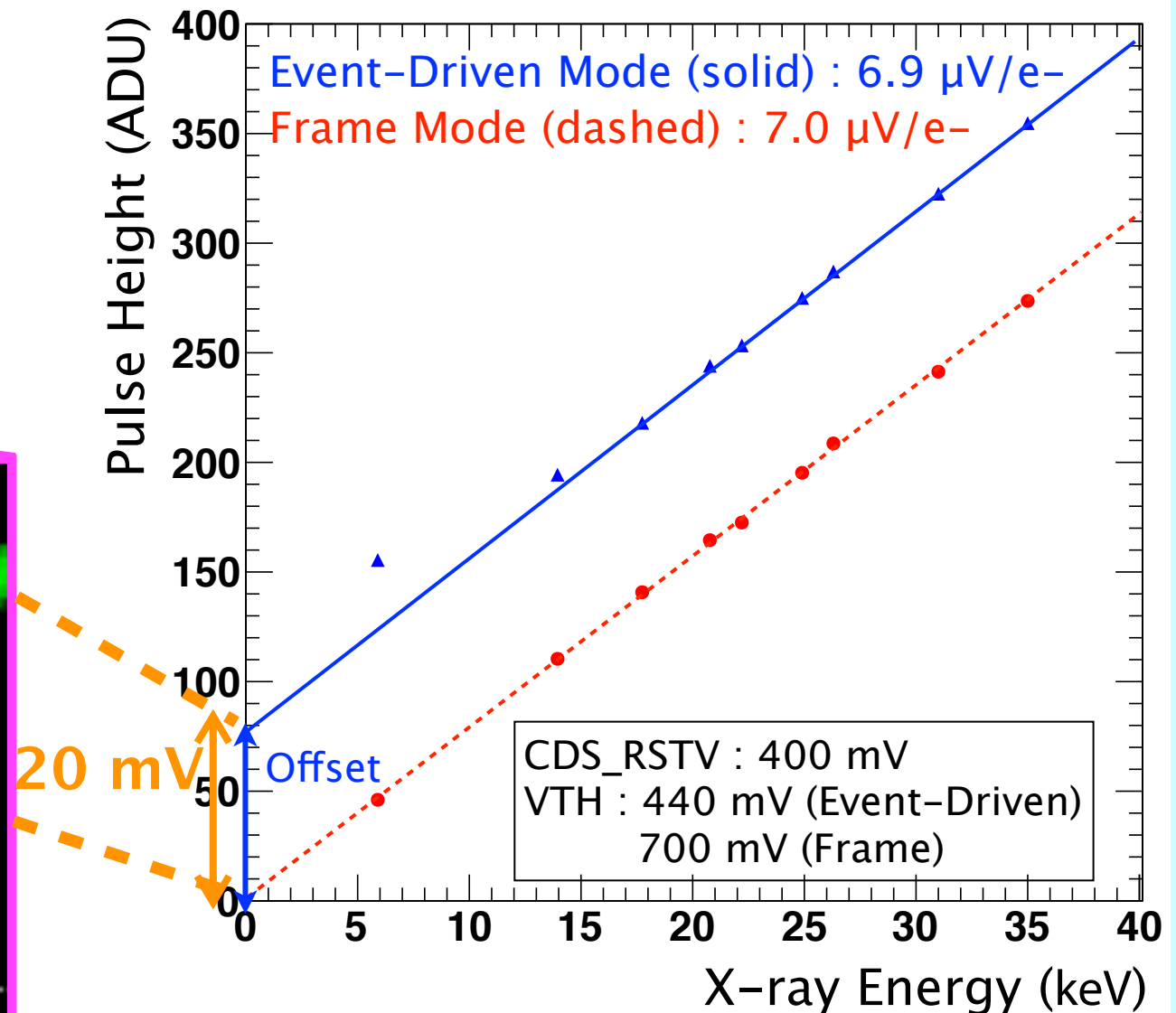
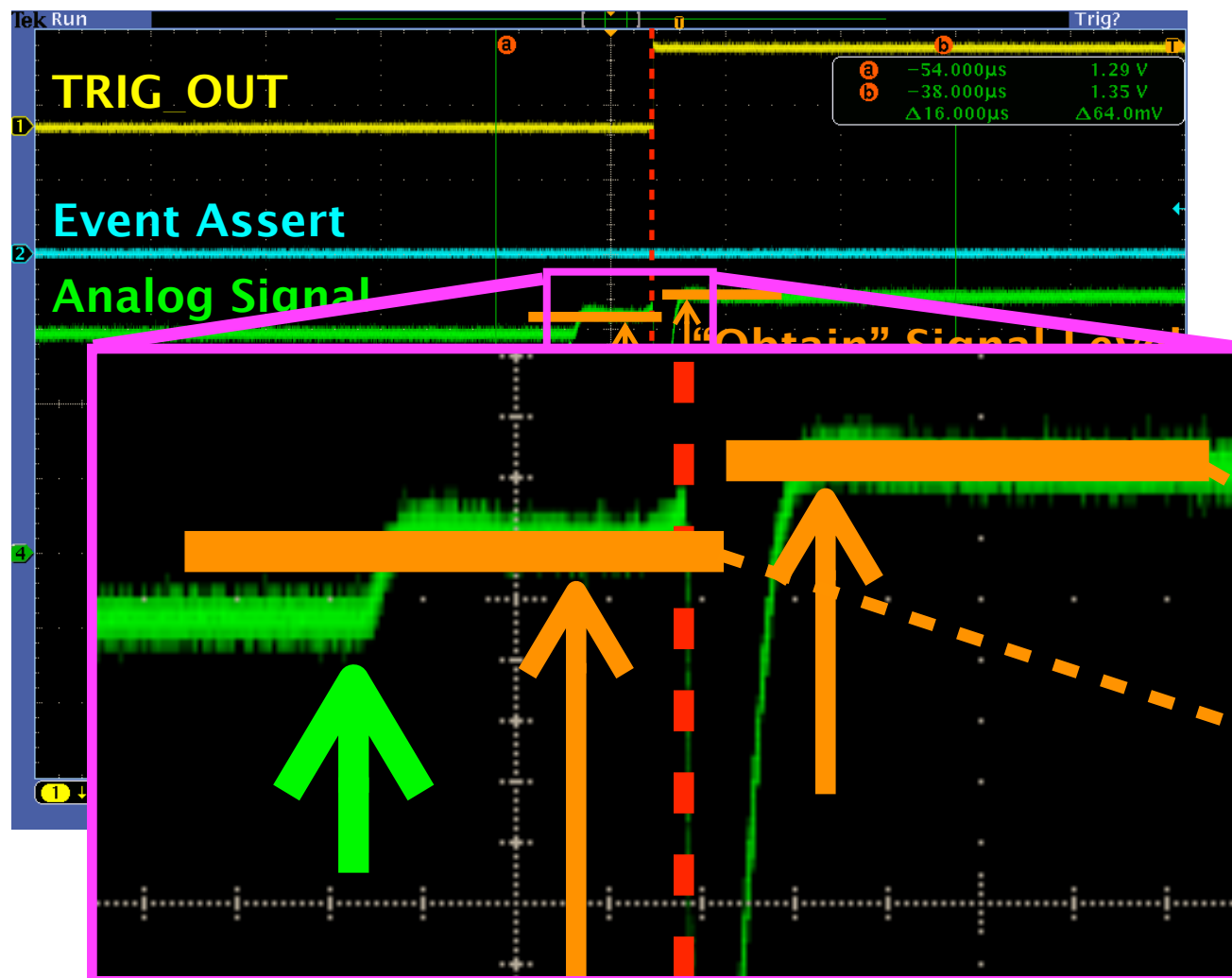
XRPIX2b / Pixel Layout



XRPIX2b / Chip Layout

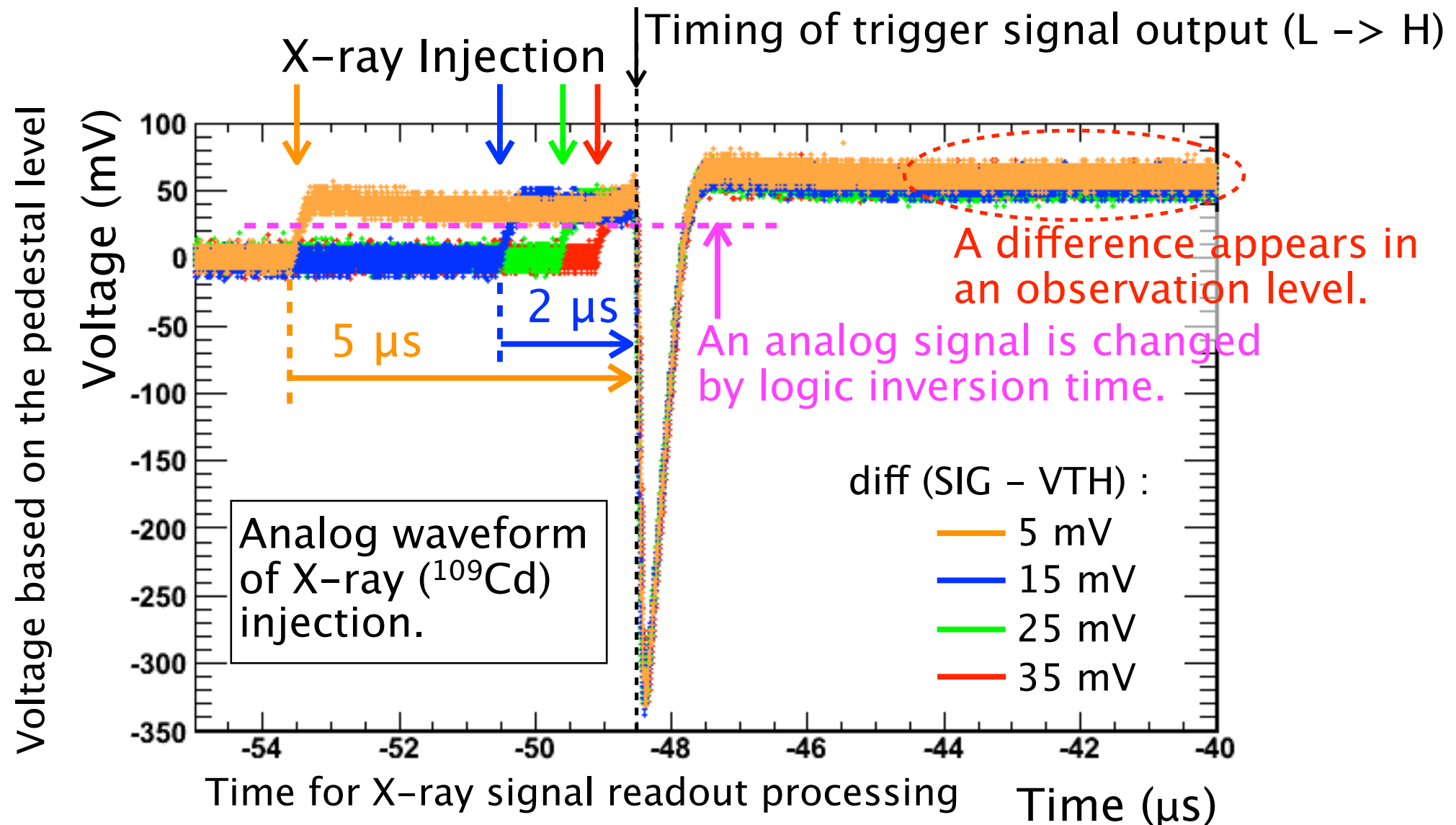
2. 信号レベルの変化

- “本当の”信号レベルと“観測される”信号レベルの差分はトリガ信号線とセンスノードの容量結合により起こる。
 - > アナログ信号レベルは増加したまま元のレベルに戻らない。
- この差分はキャリブレーションプロットのオフセット(~20 mV)に相当する。



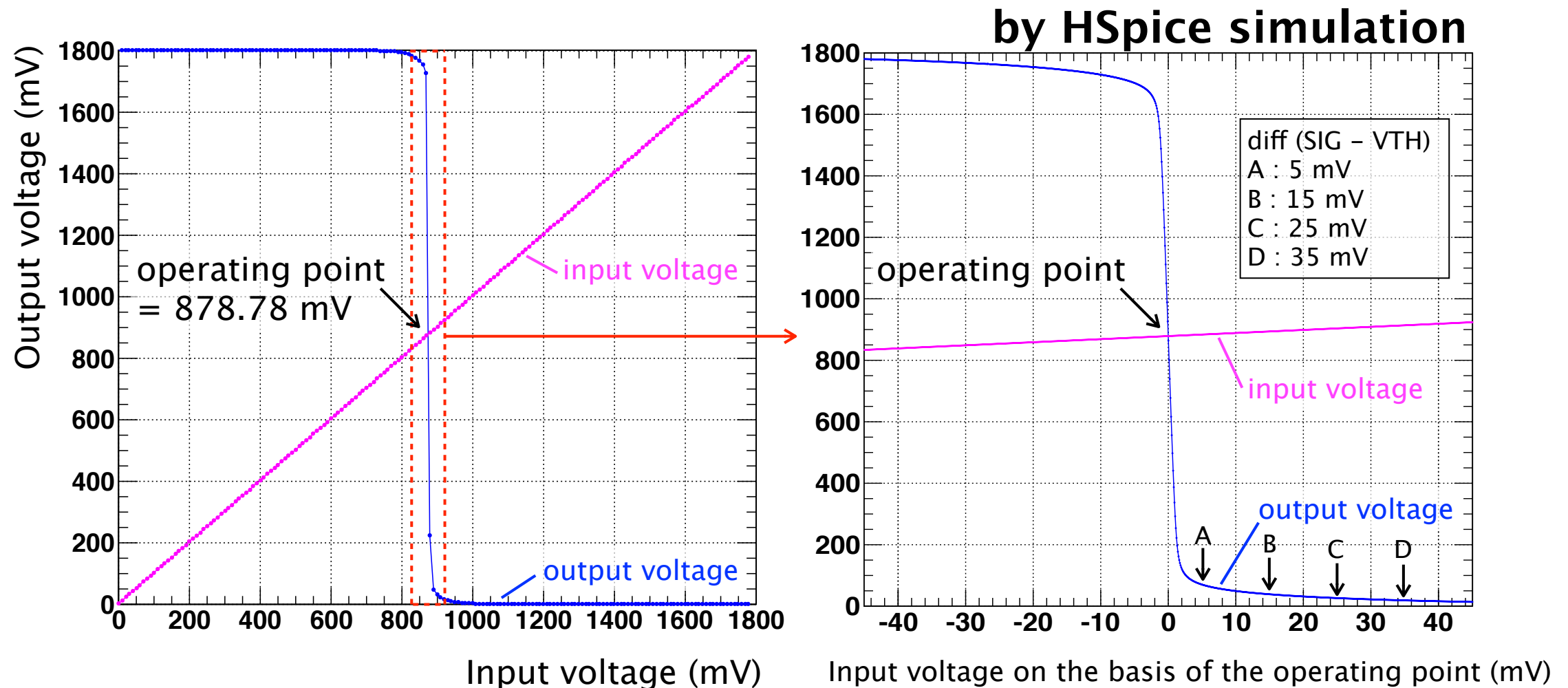
3. 長い論理反転時間

- 長い論理反転時間は比較器回路の特性により現れる.
- 信号レベル(SIG)と閾値(VTH)の差分 “diff(SIG - VTH)” が小さいほど、論理反転に時間がかかる (最大5 μ s程度).
- これは比較器回路(inverter circuit)の特性であり, hspiceシミュレーションでも動作が確認できている.



4. アナログ信号の変化

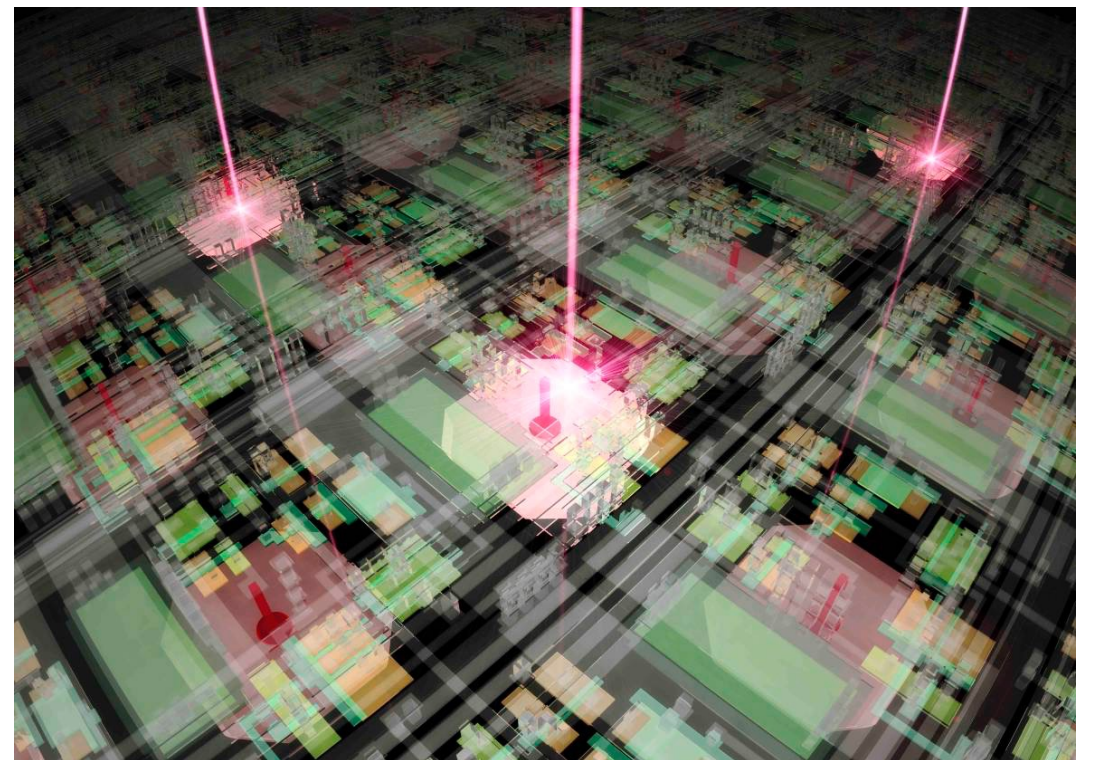
- アナログ信号の変化は比較器回路の動作と配線構成により現れる。
- 信号レベルと閾値の差分が小さいほど論理反転時間が必要で、CMOSの論理中間状態が長く続く。(電流消費大)
- ピクセル内のアナログ・デジタル電源ラインを分離していなかったため、瞬間的な電流消費により起こる電圧降下がアナログ信号に影響を与える。



左図：比較器回路初段の入出力特性。右図：左図の動作点付近を拡大し、動作点を基準にしたもの。

素子面積の大型化

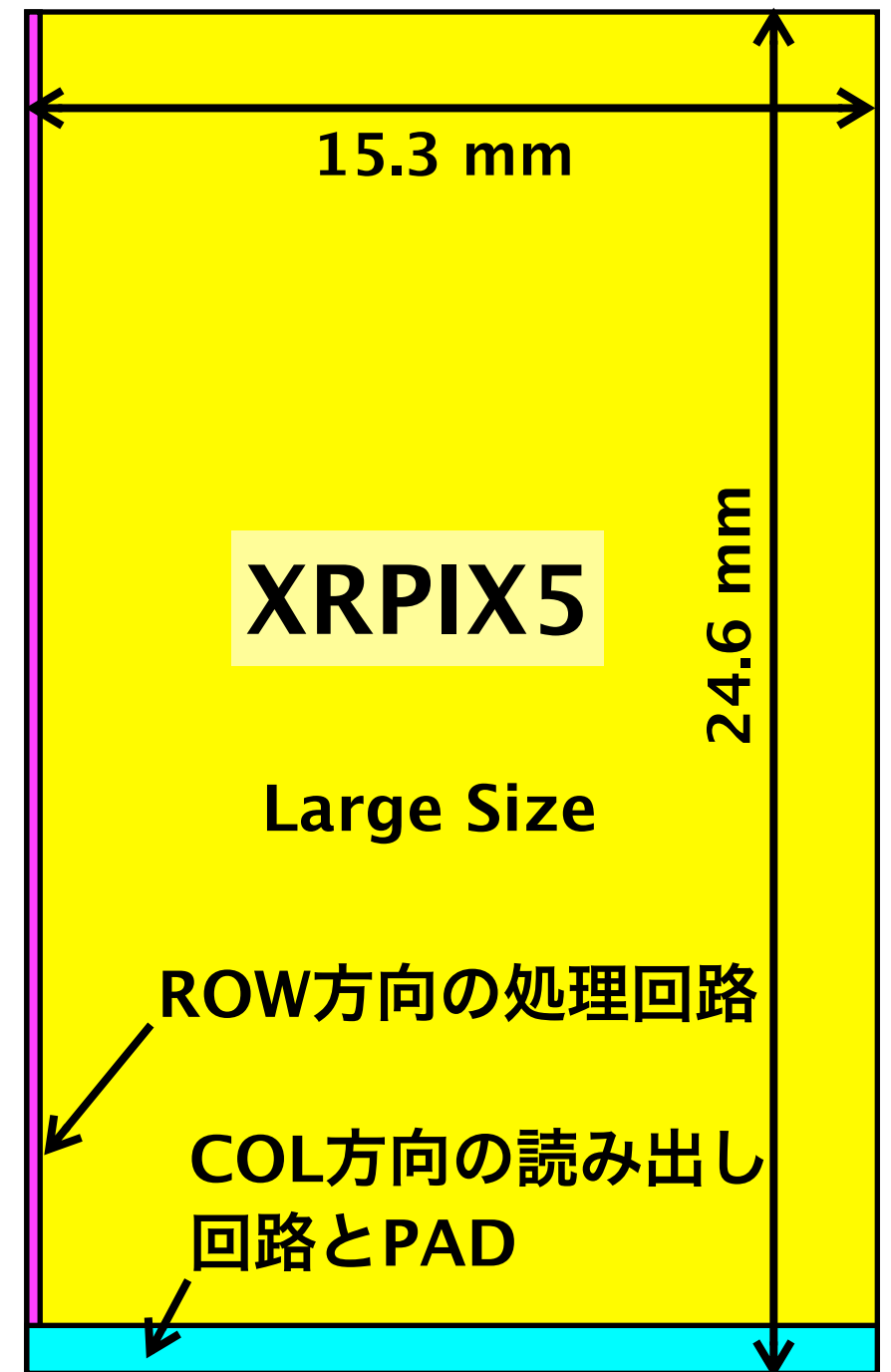
や設計に関すること



大面積素子への一歩

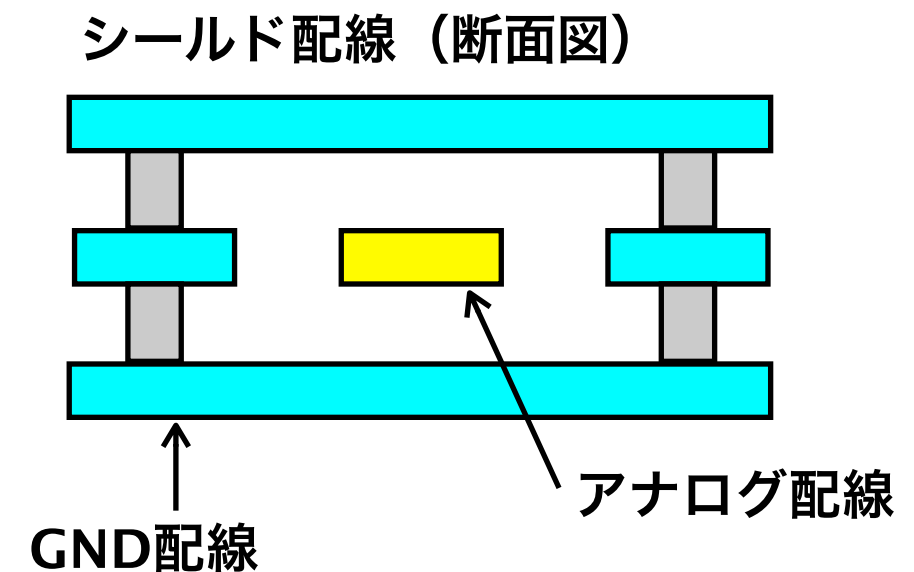
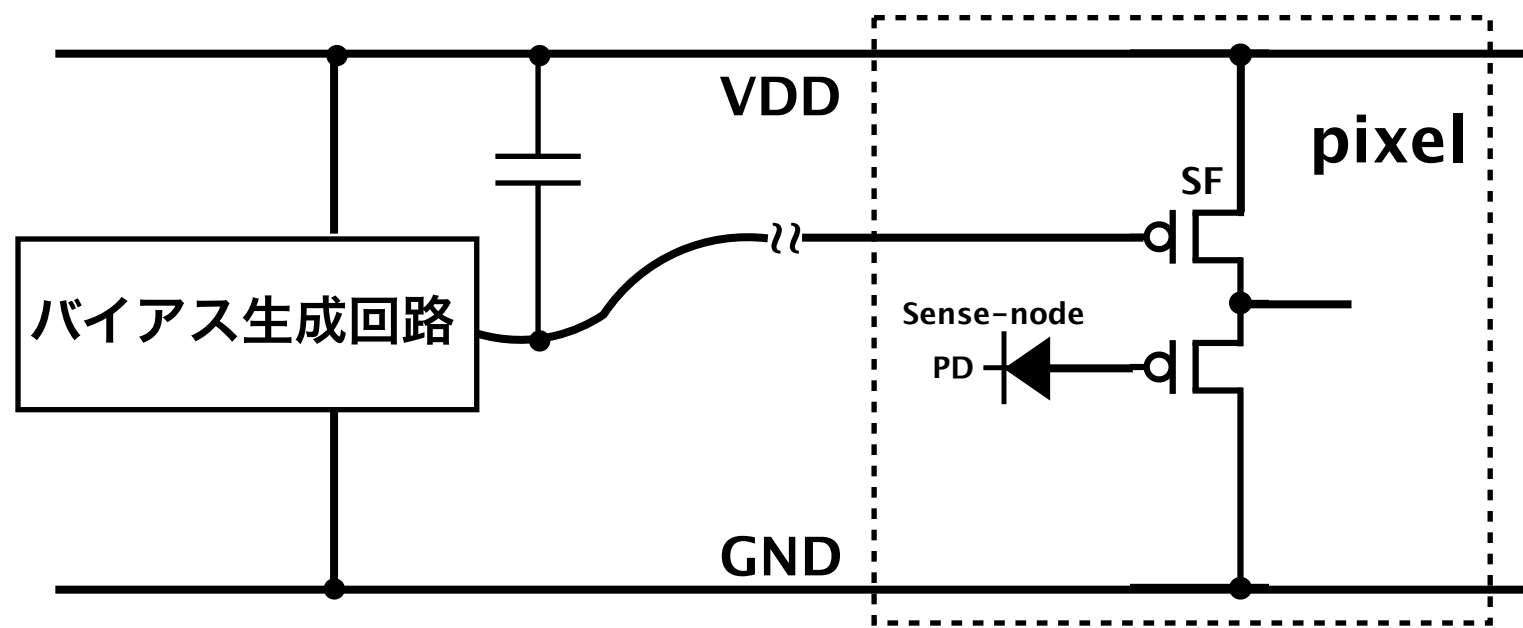
- XRPIX5 (FY15-1) : 面積10倍の大型素子.
 - > 6月中旬にサブミット. 大型化の課題を把握する.
- このサイズのデザインは次元が変わる?!
 - > 回路の負荷増
 - > 配線抵抗・容量増
 - > グローバルリセット時の挙動
 - > 歩留まり減(?)
 - > メタル面積制限
 - > densityルール

...いろいろと気にすべきことが増える
- 回路・プロセスの専門家に助言を得た.
- 周辺デジタル回路の作業を業者に一部委託し回路設計や検証の時間を確保した.
 - > 設計の効率性アップ



より良い性能にするために

- あまったエリアには、とりあえずパスコン挿入。
 - > 周辺の電源だけでなく、バイアスライン、ピクセル内にも。
- バイアスラインのパスコン極性に気をつける。
 - > どの電位を固定したい？
- 大事なアナログラインにはシールド配線。
 - > デジタル信号とのクロスポイントも
- 回路には現れない要素にも気をつけて描く。
 - > 単につながっていてもいい、は危険。



まとめ

- 次世代のX線天文衛星搭載を目指し，イベント駆動型SOIピクセル検出器“XRPIX”の開発を行っている。 -> トリガ情報出力機能を持つ。
- 電荷収集効率の低下によりデザインの限界が見え，方針を変更した。
-> ピクセル内にCSA回路を導入，分光性能の飛躍に成功。
- 課題は読み出し回路のノイズの低減。 -> XRPIX4
- イベント駆動読み出し時の問題が起こりにくいよう設計を改良した。
- 初の大型素子は今秋に完成。 -> XRPIX5
- ASIC設計の大変さは素子設計の度に感じています。

