

J-PARC ミューオン $g-2$ /EDM 実験 におけるシリコントラッカーの開発

東城 順治
九州大学

2015年7月26日
計測システム研究会@RCNP

共同研究者

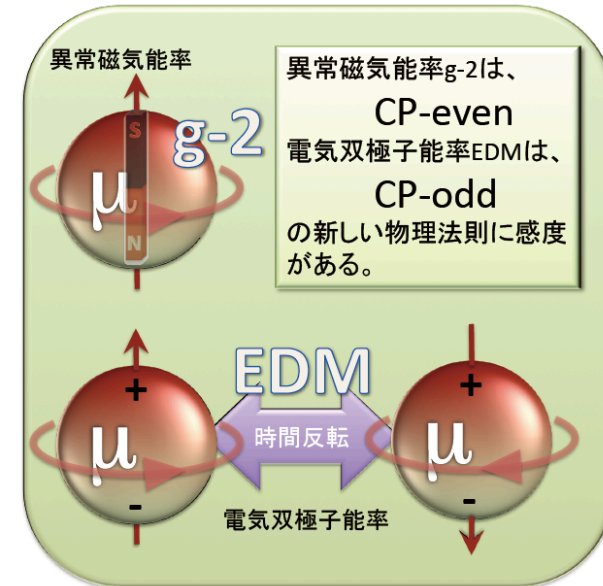
- KEK
池野正弘、三部勉、村上武、西村昇一郎(東京大学)、高力孝、内田智久、
上野一樹、齊藤直人、佐々木修、庄子正剛、田中真伸
- 九州大学
川越清以、長澤翼、真玉将豊、調翔平、末原大幹、東城順治、吉岡瑞樹
- JAXA
池田博一
- 高麗大学(韓国)
- BINP(ロシア)
- LPNHE(フランス)
- CC-IN2P3(フランス)

Collaboration Meeting at J-PARC in June 2015

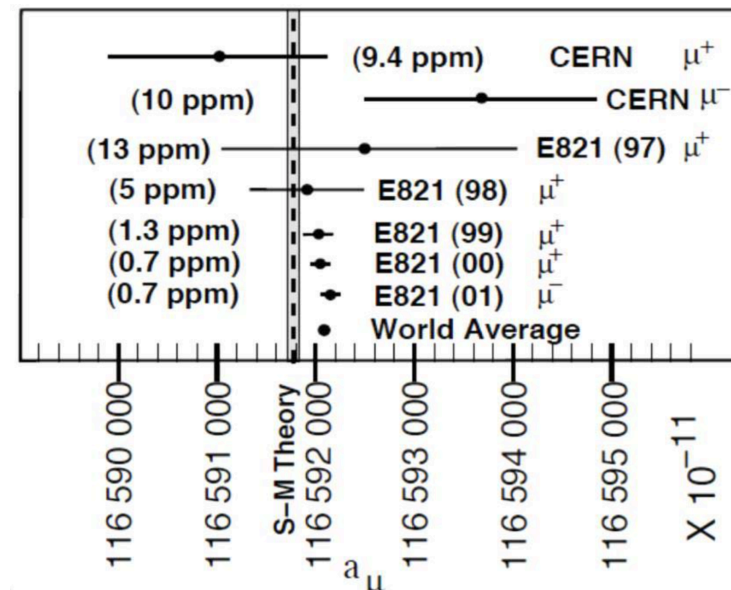


ミューオン g-2/EDM

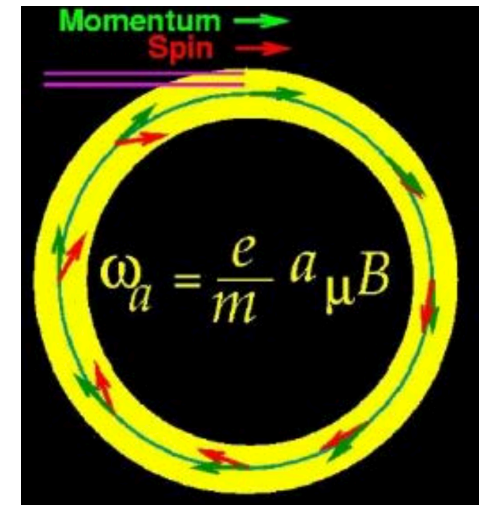
- 異常磁気能率 g-2
 - $a_\mu = (g-2)/2$
 - 第一世代実験 CERN
 - 第二世代実験 BNL E821
 - 精度 0.54 ppm
 - SM から約 3σ のズレ



- 電気双極子能率 EDM
 - レプトンセクターでのCP非保存
 - 上限値 $< 10^{-19} e \cdot \text{cm}$



測定原理



- 一様磁場中でのスピン歳差運動

$$\vec{\omega} = -\frac{e}{m} \left[a_\mu \vec{B} - \left(a_\mu - \frac{1}{\gamma^2 - 1} \right) \frac{\vec{\beta} \times \vec{E}}{c} + \frac{\eta}{2} \left(\vec{\beta} \times \vec{B} + \frac{\vec{E}}{c} \right) \right]$$

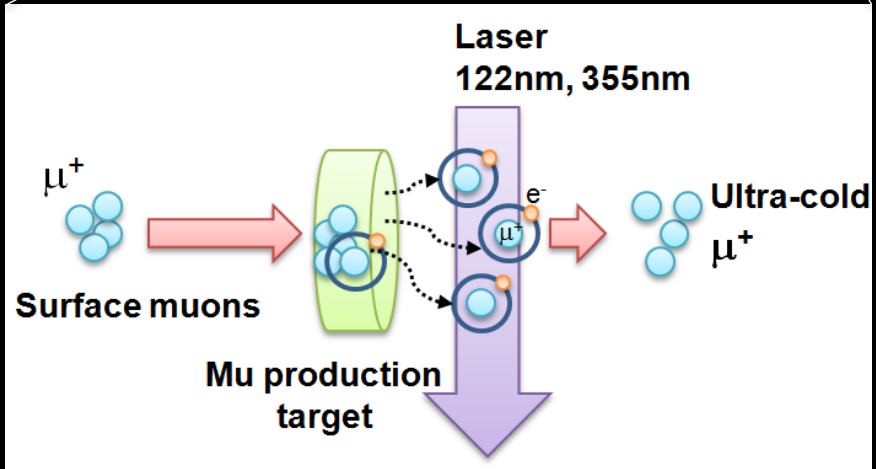
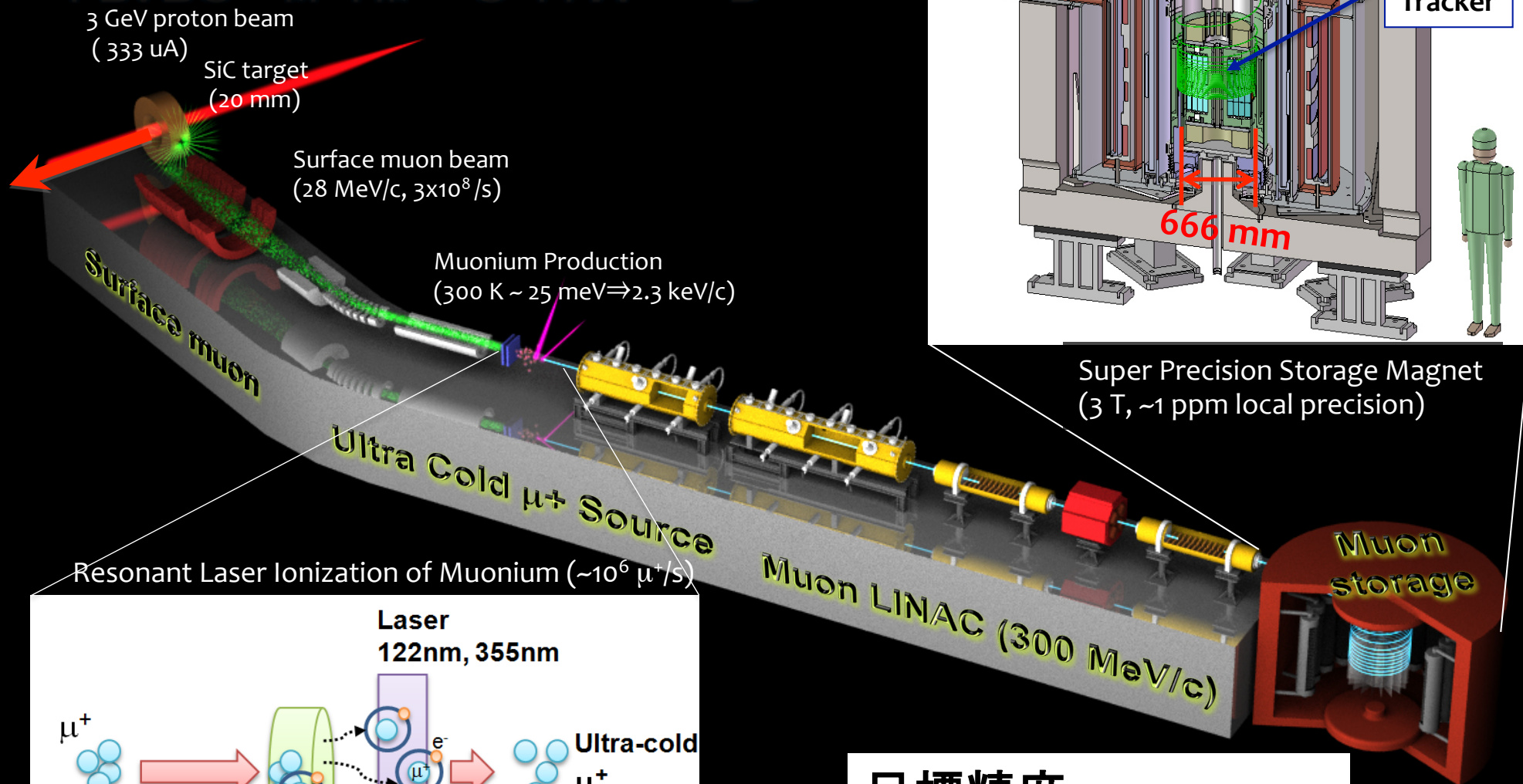
- BNL E821 / FNAL E989 実験
 - Magic momentum $p = 3 \text{ GeV}/c$ ($\gamma=30$)

$$\vec{\omega} = -\frac{e}{m} \left[a_\mu \vec{B} + \frac{\eta}{2} \left(\vec{\beta} \times \vec{B} + \frac{\vec{E}}{c} \right) \right]$$

- J-PARC muon $g-2/\text{EDM}$ (E34) 実験
 - $E = 0$
 - $g-2$ と EDM を分離

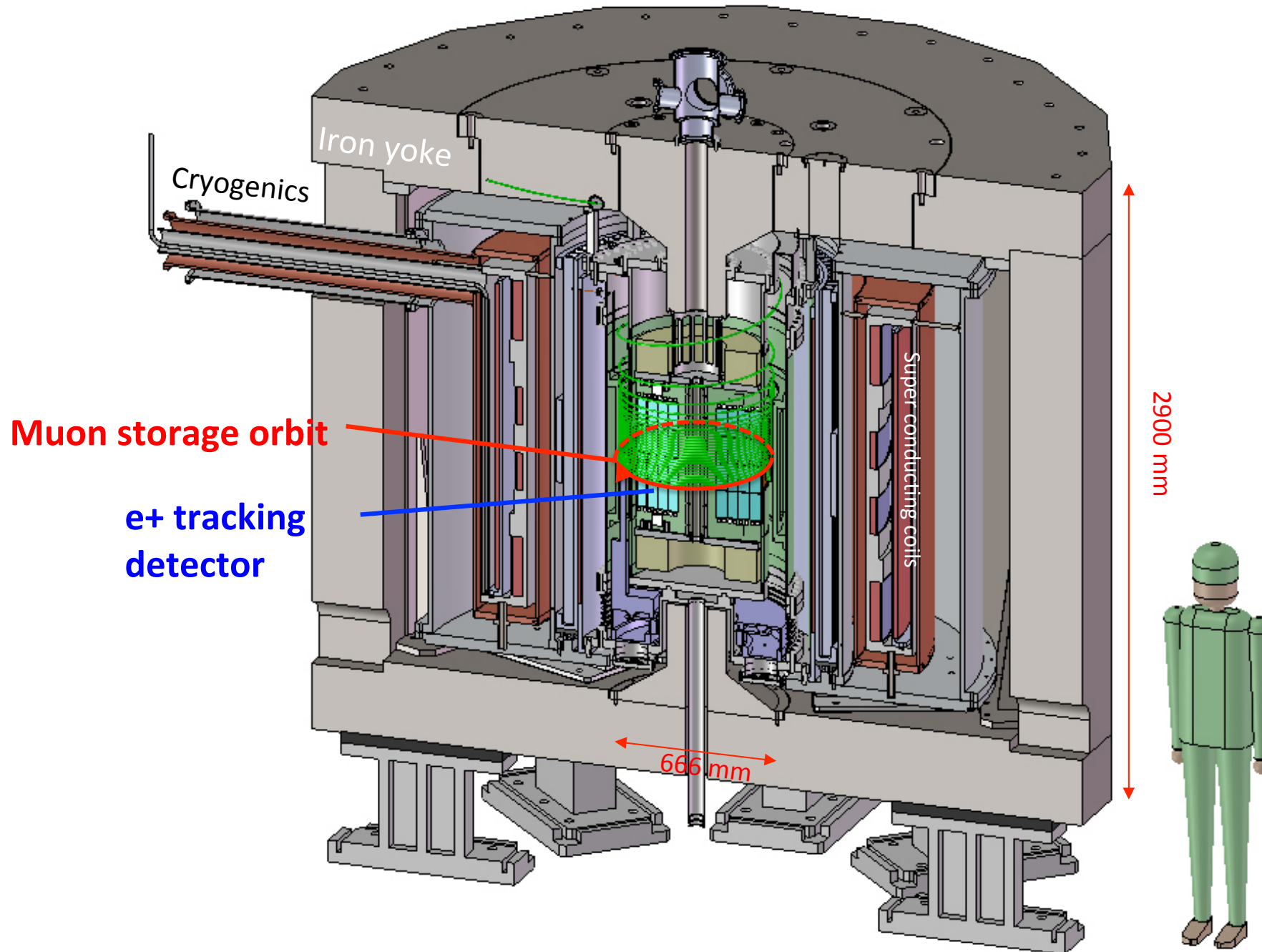
$$\vec{\omega} = -\frac{e}{m} \left[a_\mu \vec{B} + \frac{\eta}{2} \left(\vec{\beta} \times \vec{B} \right) \right]$$

New Muon g-2/EDM Experiment at J-PARC with Ultra-Cold Muon Beam

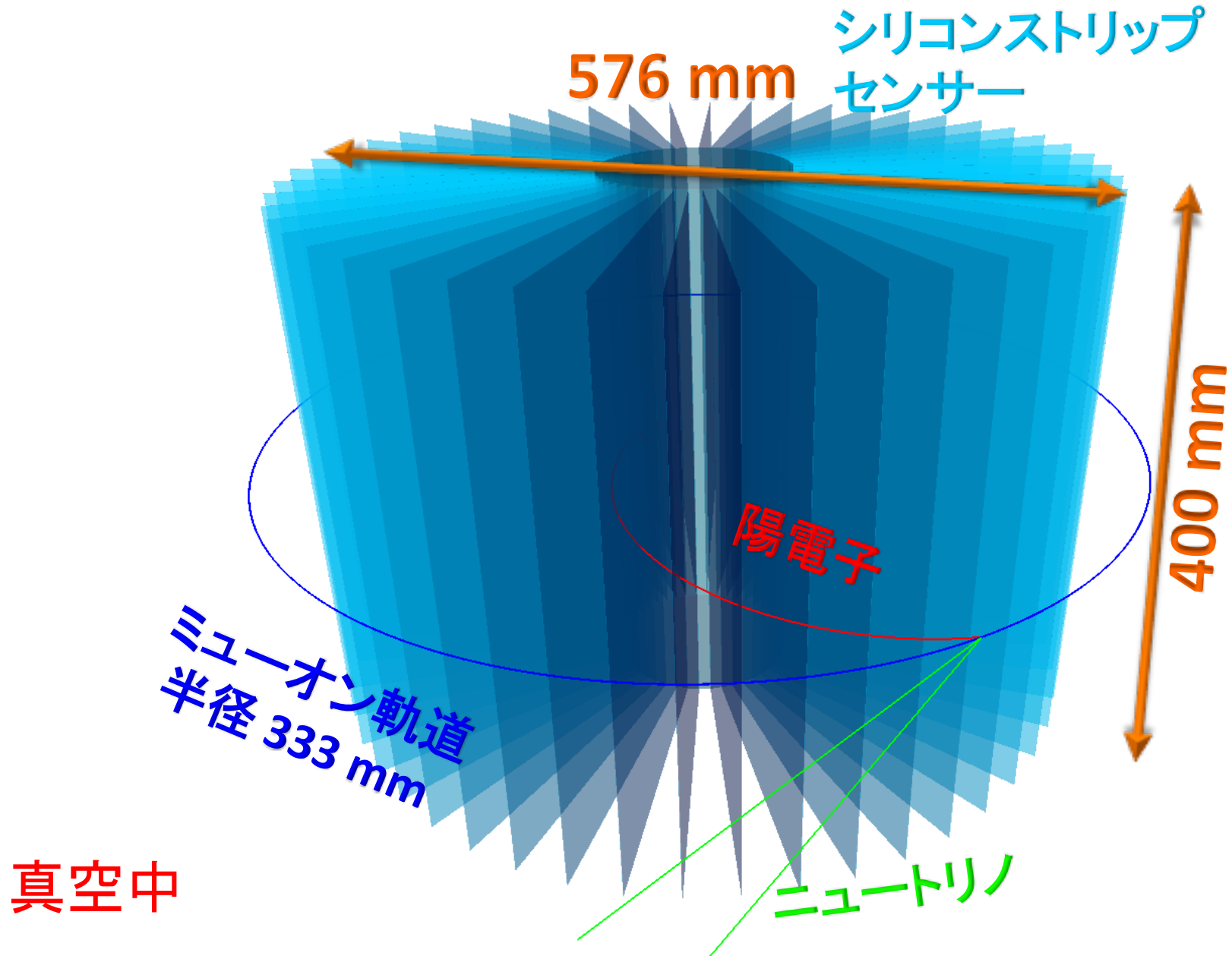


- ## 目標精度
- g-2 : 0.1 ppm
 - EDM : $\sim 10^{-21}$ e \cdot cm

ミューオン蓄積磁石・検出機



シリコントラッカー



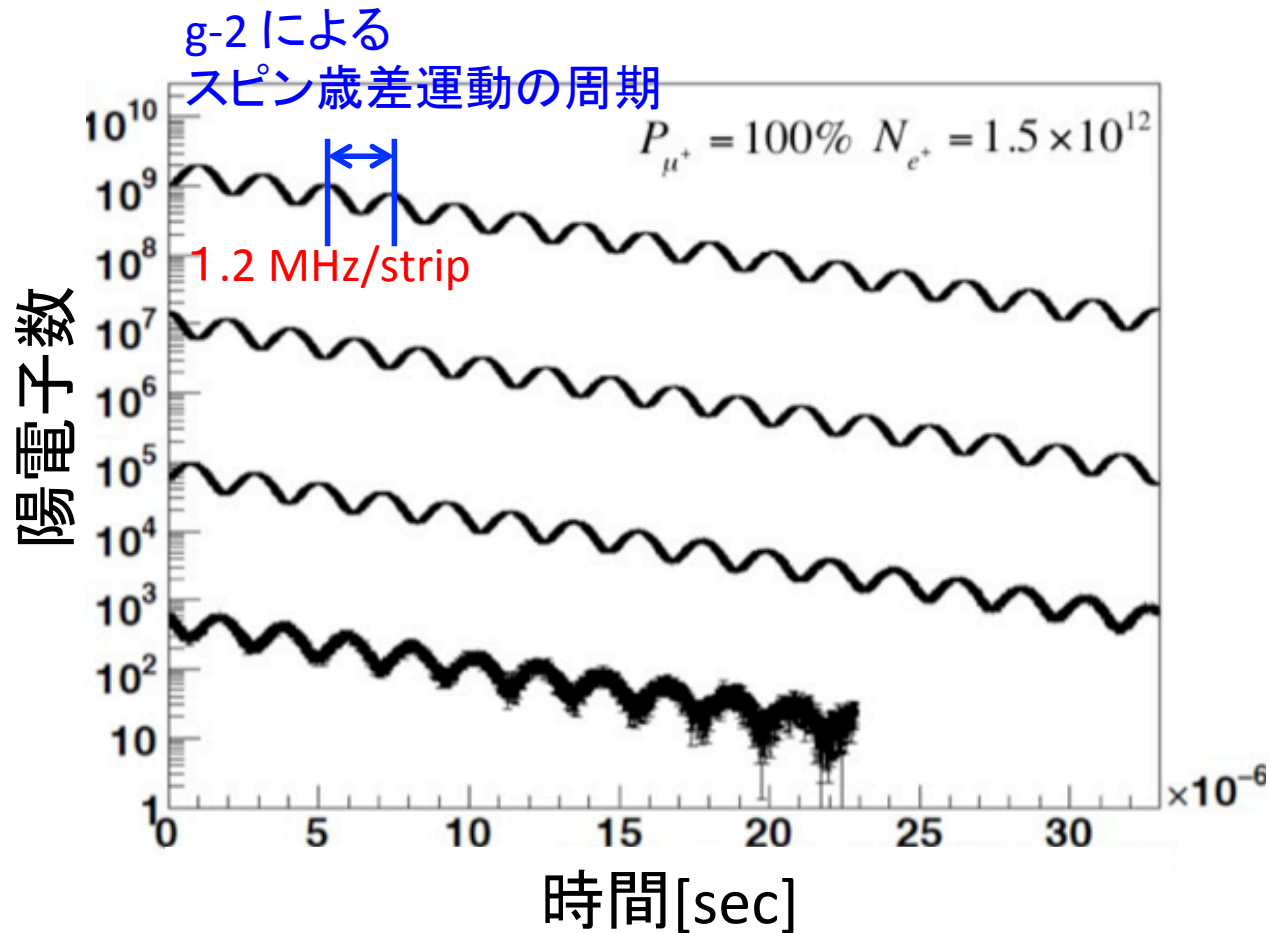
陽電子検出と g-2 測定

- 陽電子の検出

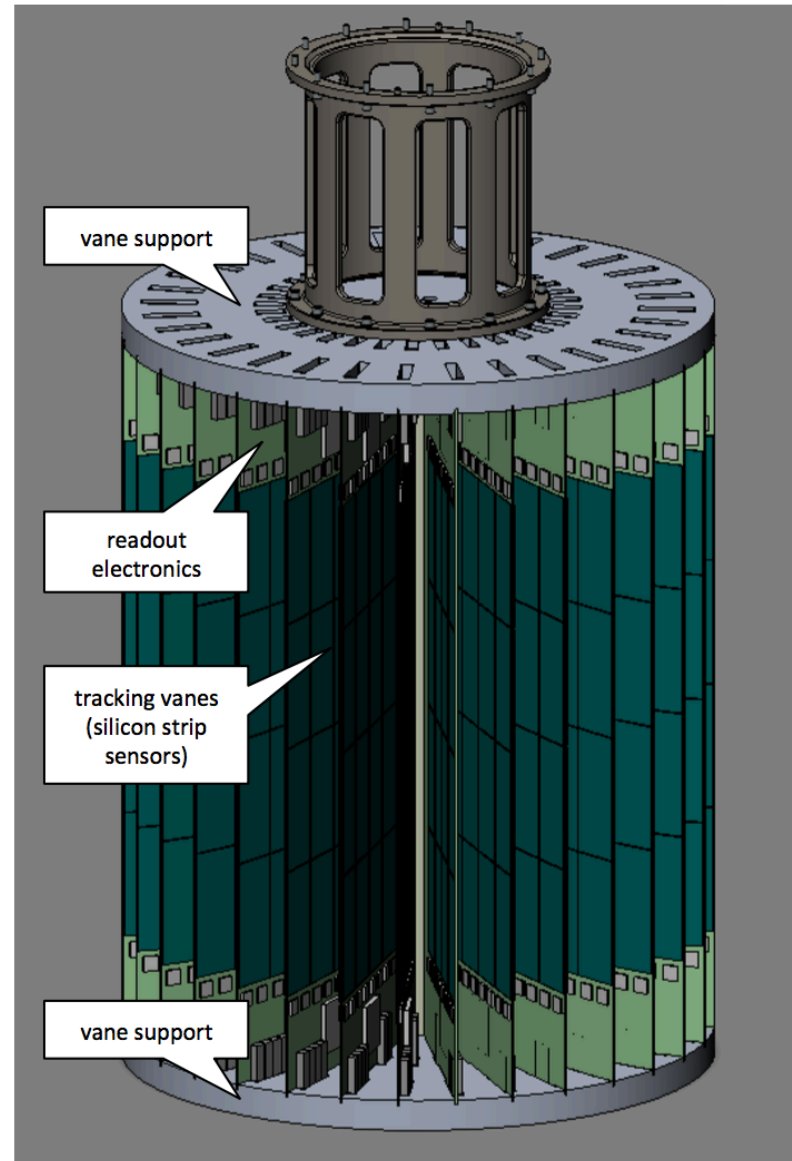
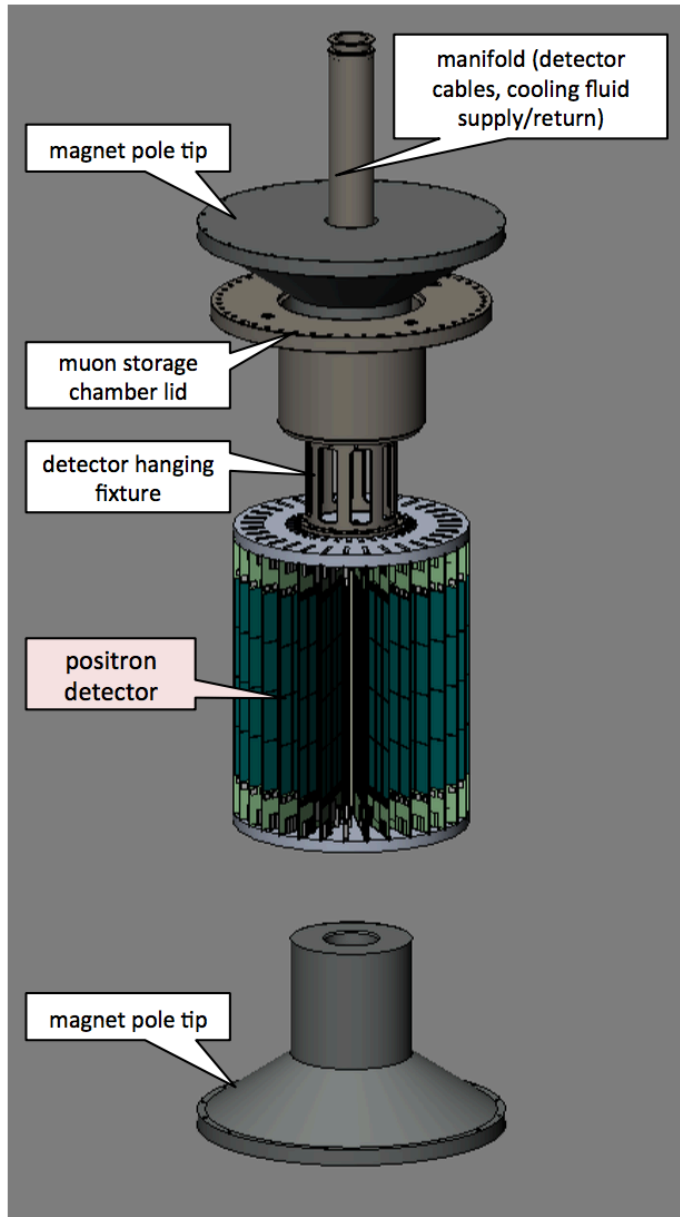
- 飛跡
- 時間測定
- 高レート: 1.2 MHz/strip

要求

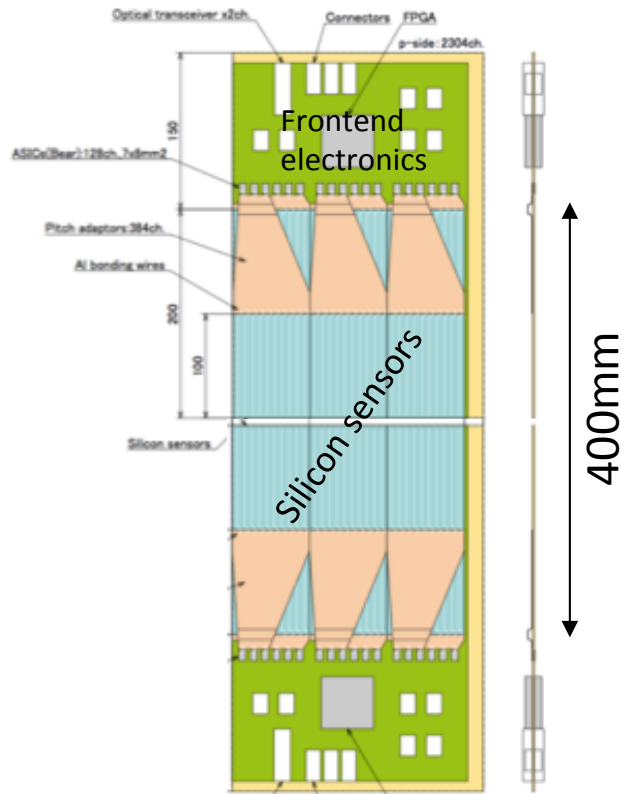
- High granularity
- 高速応答
- 高レート耐性
- 高安定性



構造



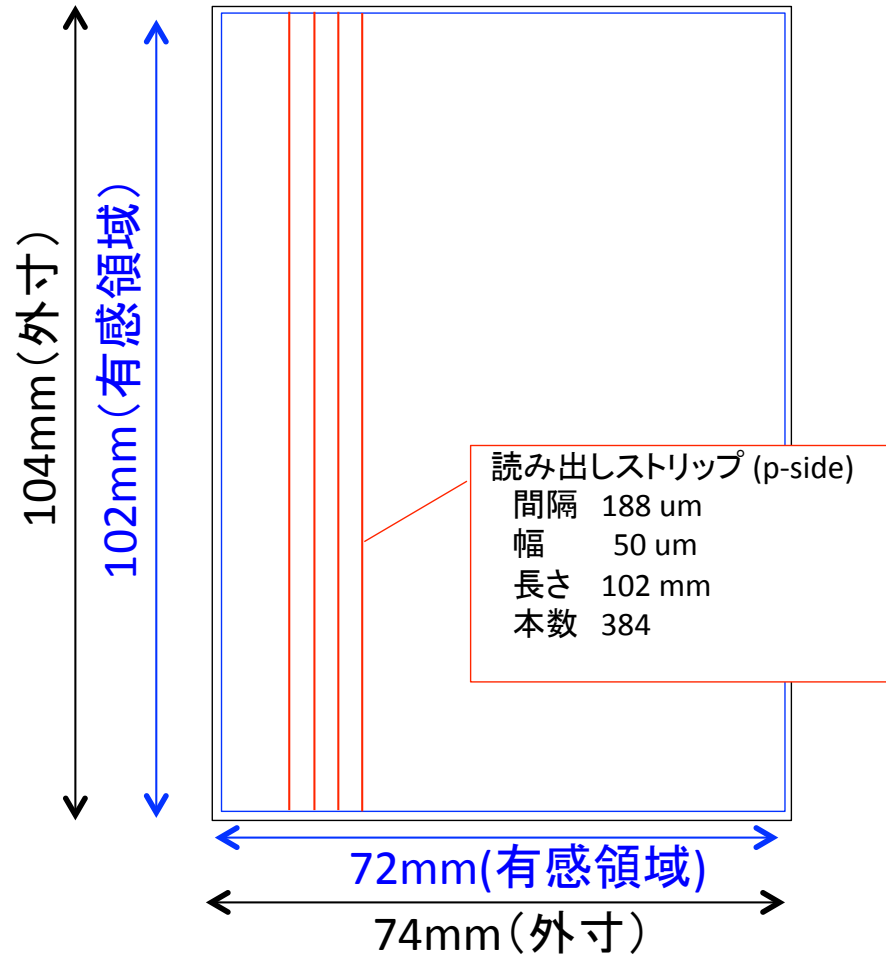
シリコンストリップ検出器



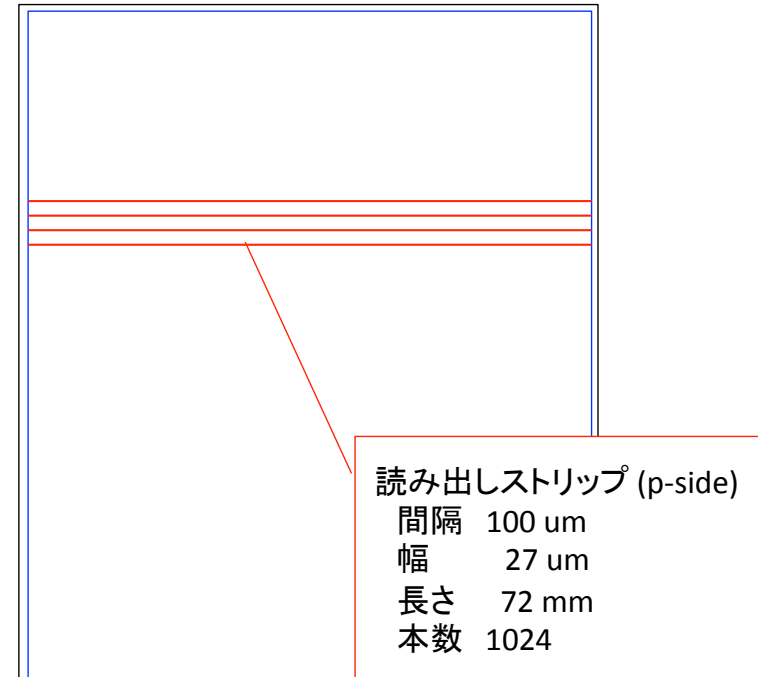
Item	Specifications
Fiducial volume	240mm (radial) x 400 mm (axial)
Number of vane	48
Sensor technology	Single-sided Silicon strip sensor (p-on-n)
Strip	axial-strip : 100 μ m pitch, 72mm long , 1024 ch radial-strip: 188 μ m pitch, 98mm long, 384 ch
Sensor dimension	74 mm x 98 mm x 0.32mm
Number of sensor	1152 (12 sensors per vane)
Number of channel	811,008ch
Time measurement	Period : 33 μ s, Sampling time : 5ns

シリコンストリップセンサー

動径方向センサー



軸方向センサー

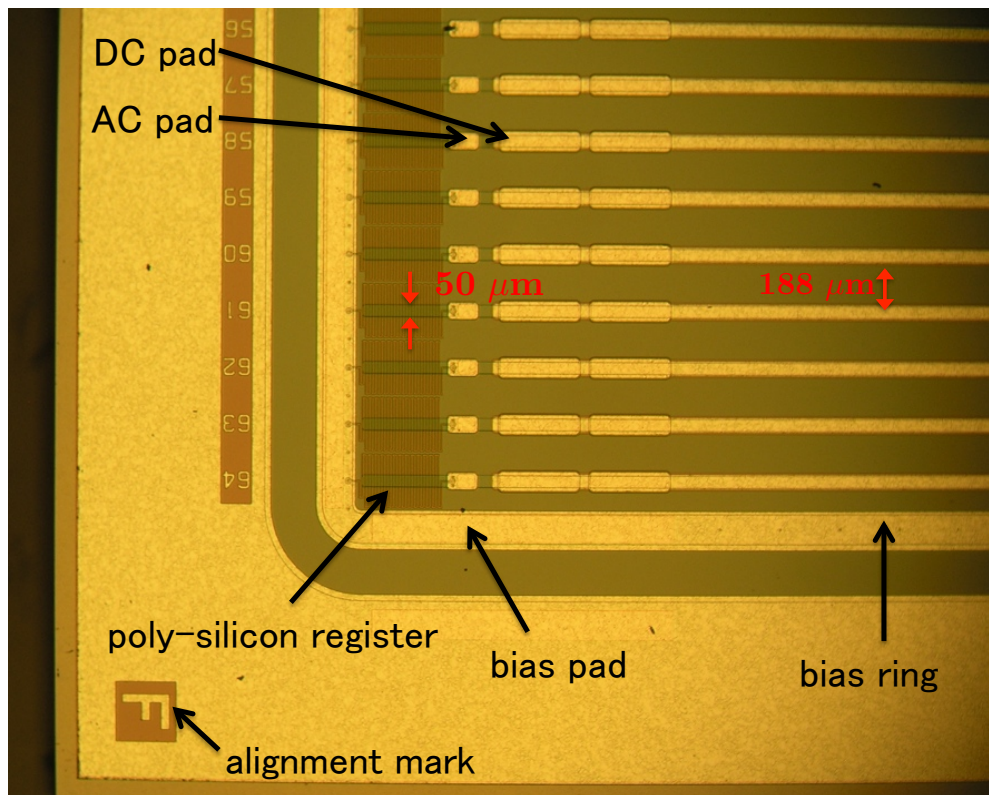


p-on-n シリコンセンサー
厚さ 320um

AC結合容量 >100pF

バイアス抵抗 10MΩ

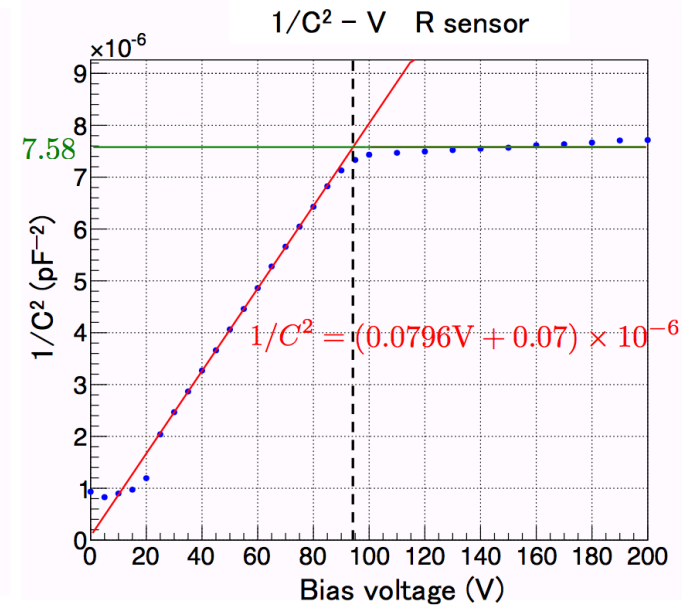
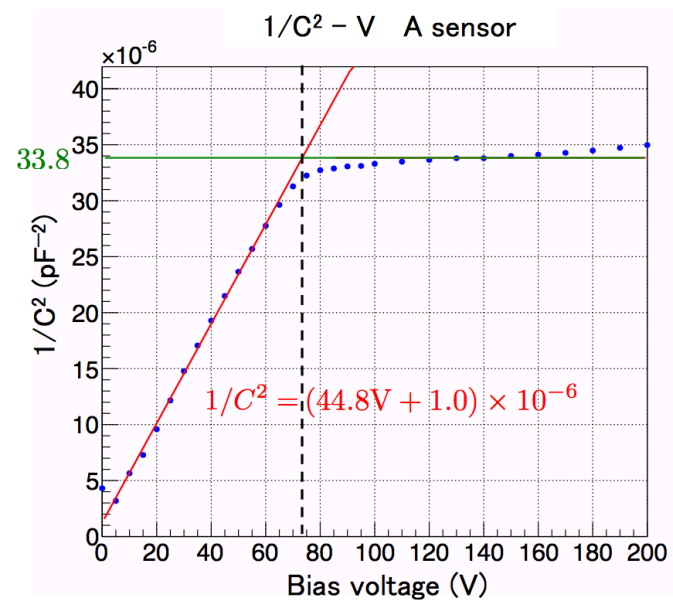
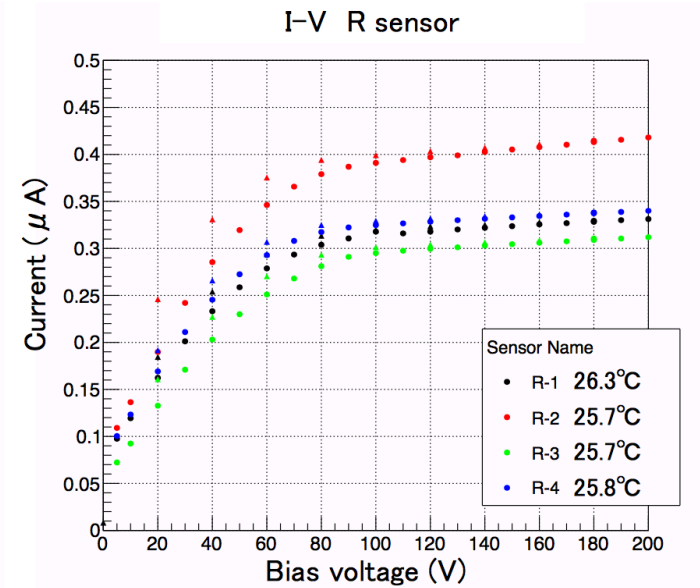
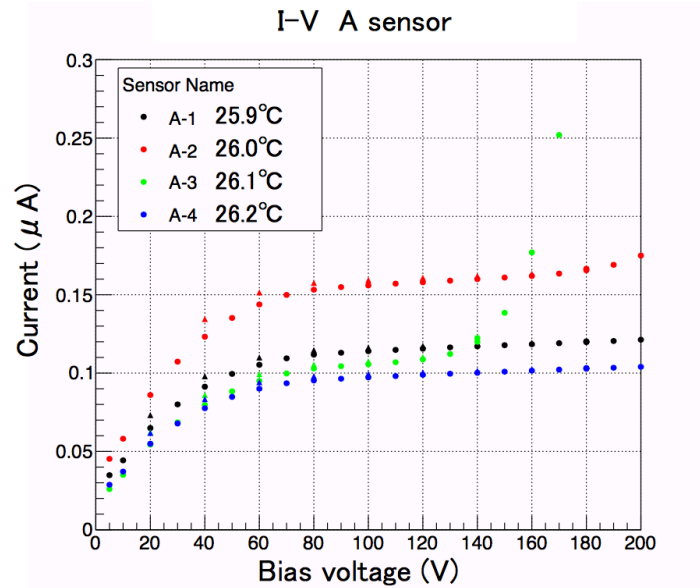
センサー試作機



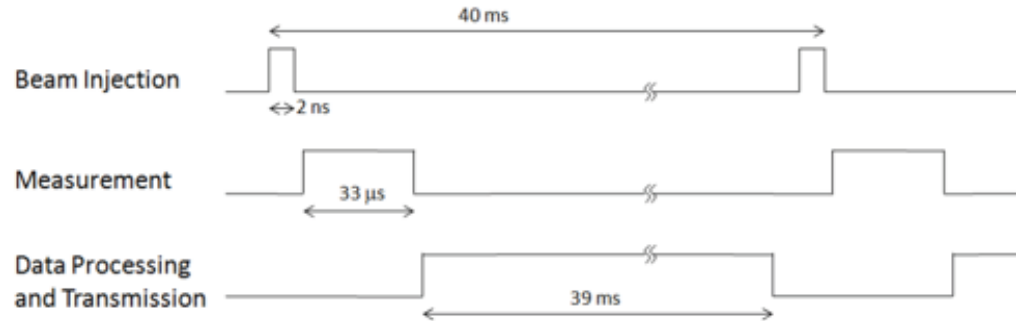
次期試作機

- フルスケール
- ピッチの再最適化
- ワイヤーボンディングパッドの配置

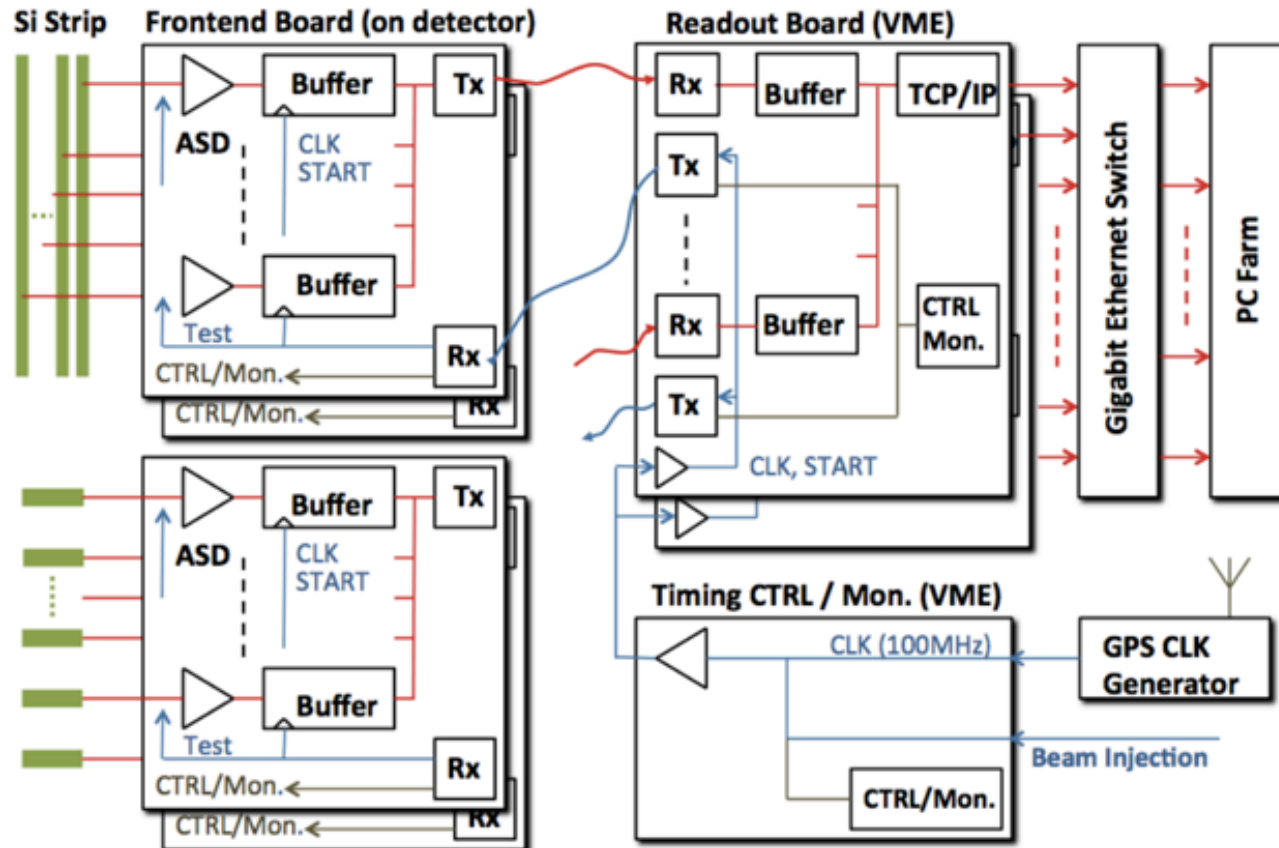
センサー試作機



読み出し回路



- J-PARCの25 Hzのパルスビーム構造に同期して読み出し。
- ビーム入射後33μsにわたって測定。その後、次のパルスが来るまでにデータを転送。



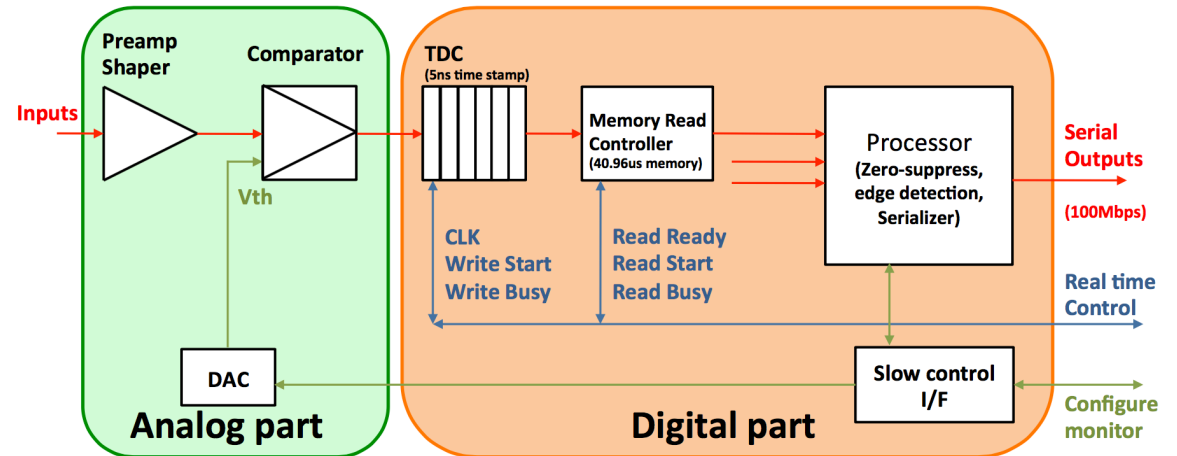
- フロントエンドではASDのデジタル出力を5nsのタイムスタンプでバッファメモリに格納(1スピル分)。
- 後段読み出し回路でスピル毎にデータを吸い上げる。

FE ASIC Slit の開発

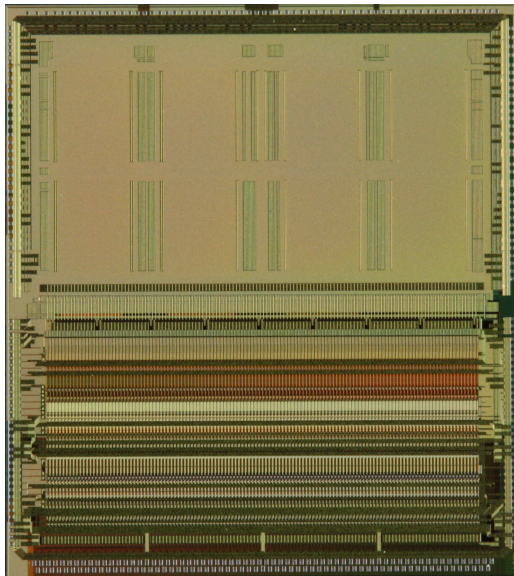
- 2011
 - SlitA : アナログ部、16 channel
- 2012
 - SlitA2013 : アナログ部、64 channel
- 2014
 - Slit128A : アナログ・デジタル混載、128 channel

Slit128A

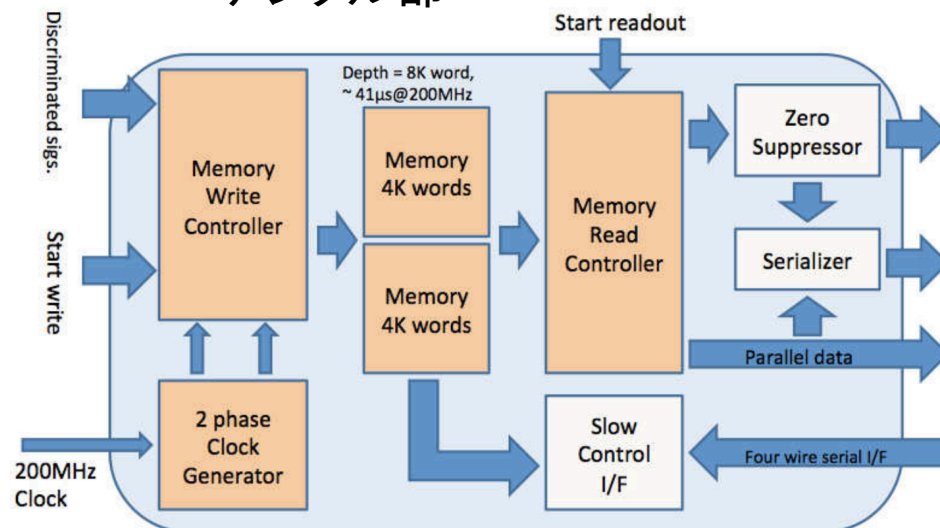
- Silterra CMOS 0.18 μm process
- アナログ・デジタル混載
- 128 channel
- Binary readout
- ToT



9 mm x 10 mm



デジタル部



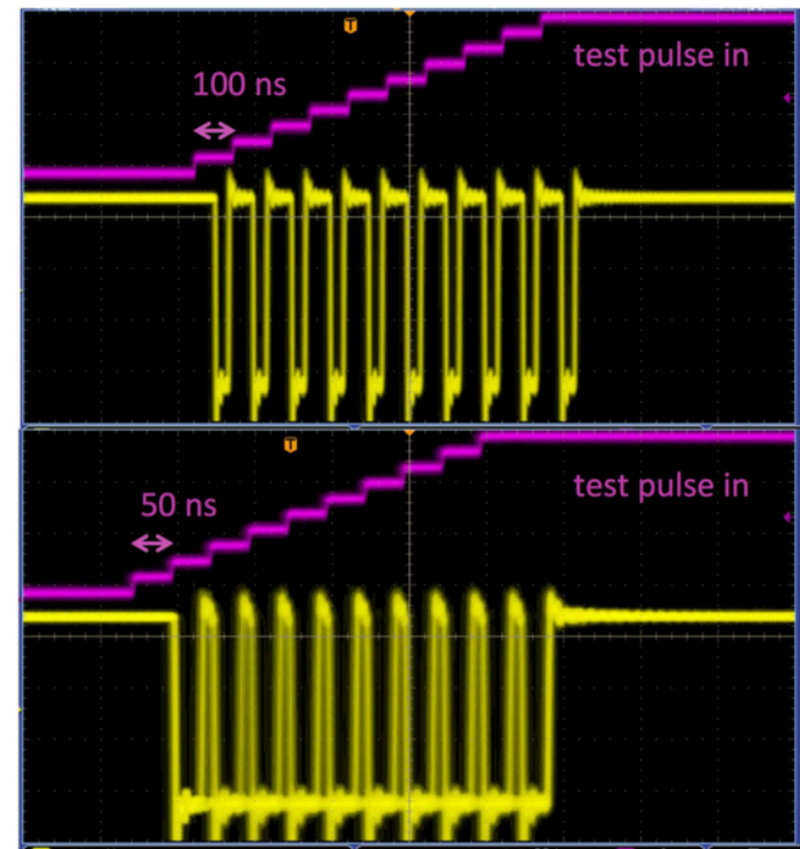
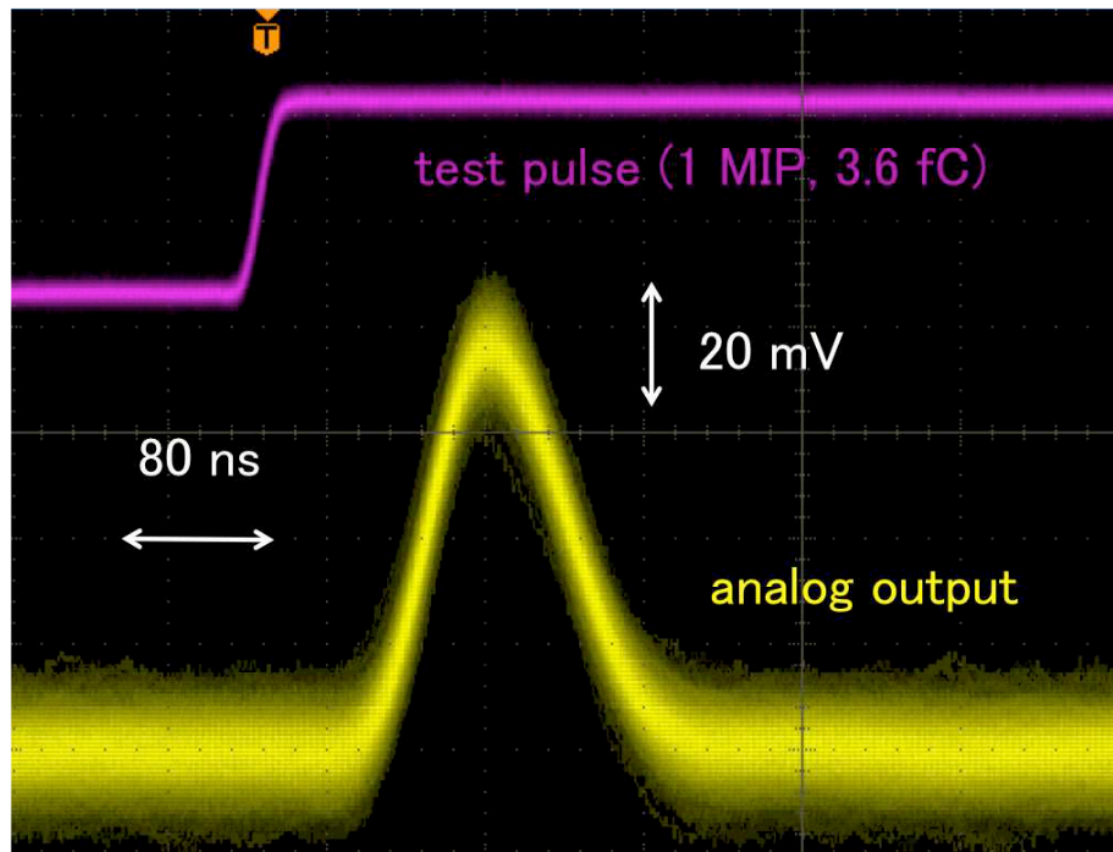
アナログ部要求性能

Parameter	Requirement
Gain	$> 19 \text{ mV / fC}$
ENC	$< 1600 \text{ e}$
S/N	15
Dynamic Range	$> 5 \text{ MIP}$
Pulse Width	$< 100 \text{ ns}$
Time Walk	$< 5 \text{ ns}$
# of channels	128

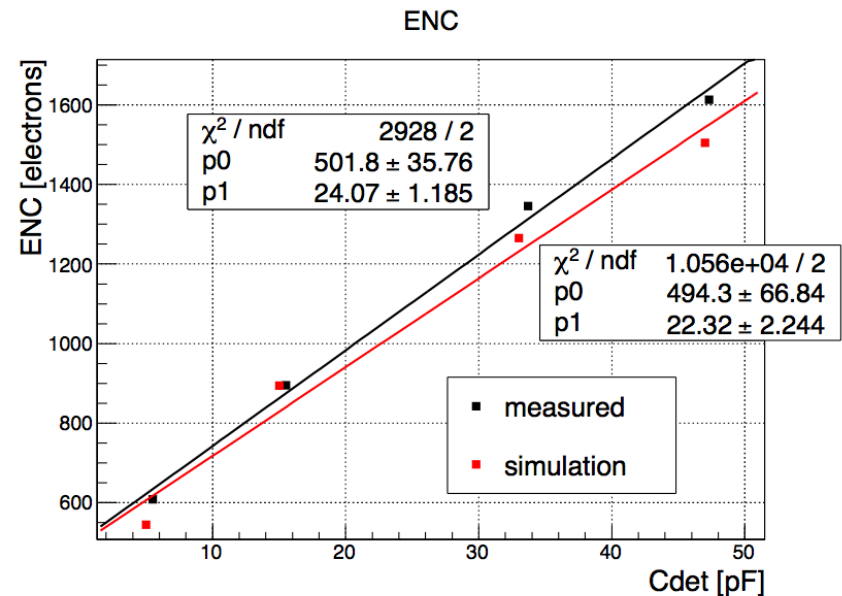
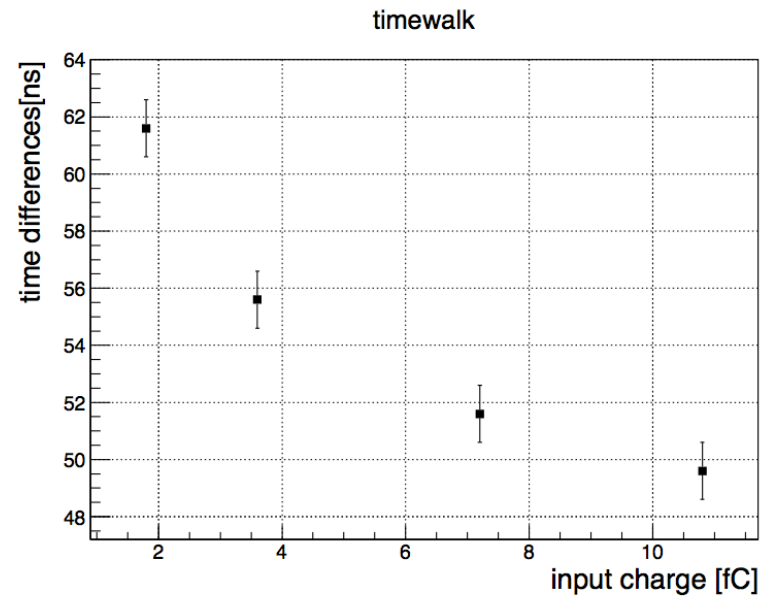
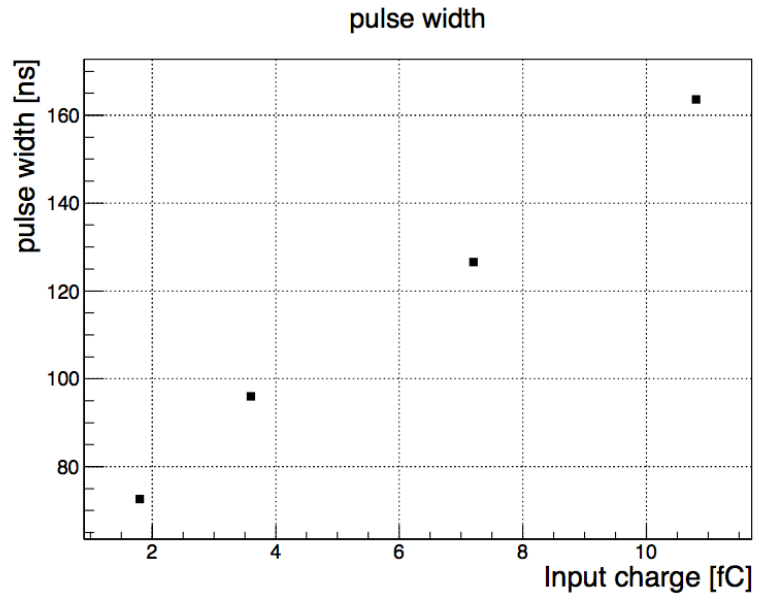
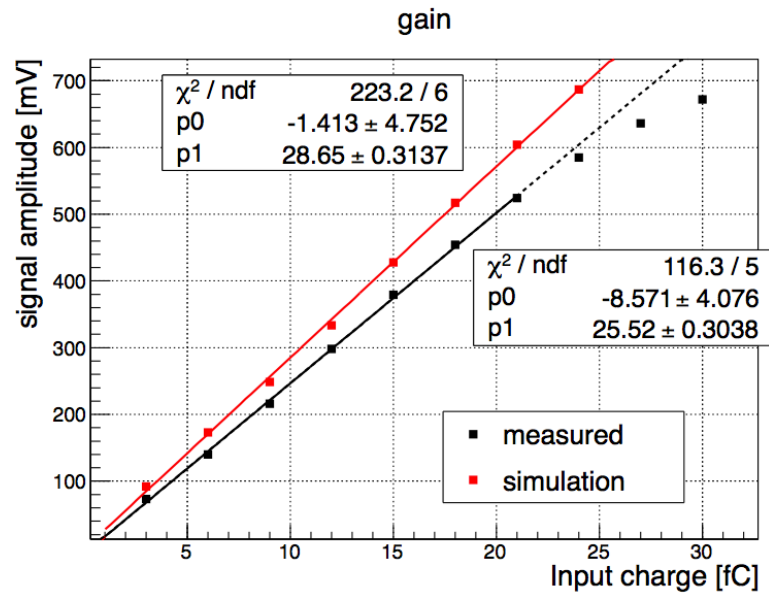
仕様

Block	Parameter	Value
Analog	conversion gain	90 mV/fC
	dynamic range	4 MIP
	pulse width	80 ns
	peaking time	25 ns
	time walk	<5 ns
	noise	< 1600 e^-
	number of channel	128
Digital	reference clock	200 MHz
	sampling period	5 ns
	event buffer length	8k (40.96 μ s)
	serial outputs rate	100 Mbps
Mechanical	chip size	<9 mm \times 5 mm
	thickness	\sim 300 μ m
	pad pitch	60 μ m
Electronical	supply voltages	\pm 0.9 V, 2.4 V, GND
	power consumption	<5 mW/ch

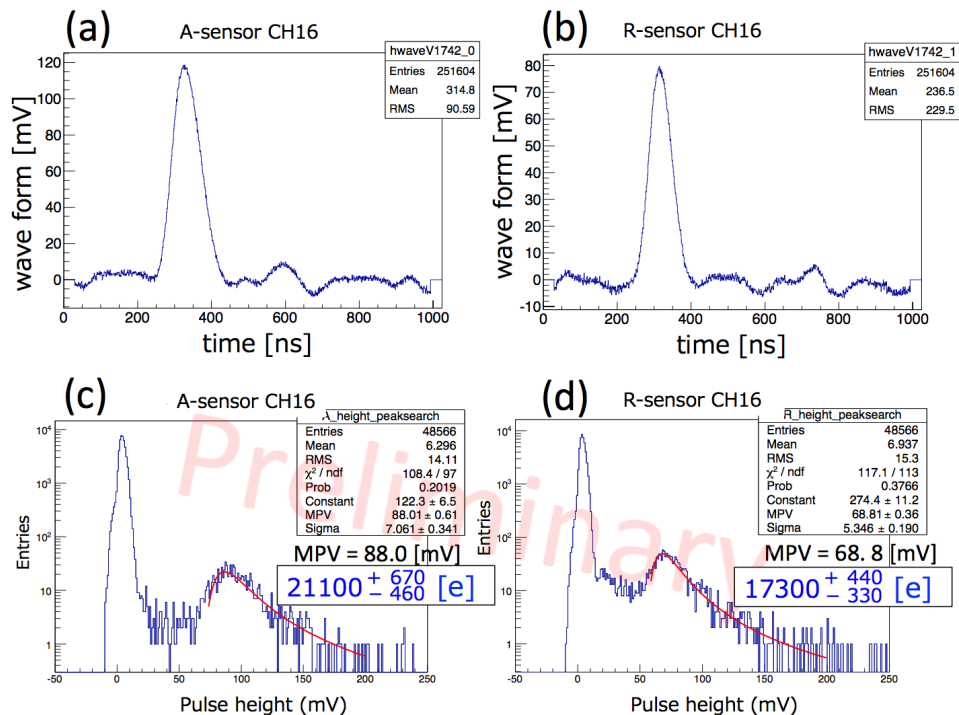
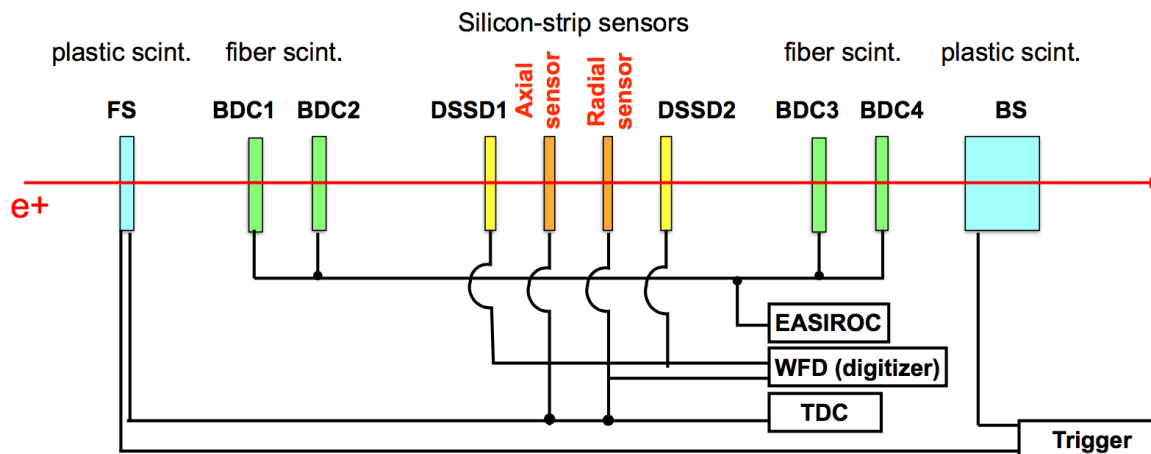
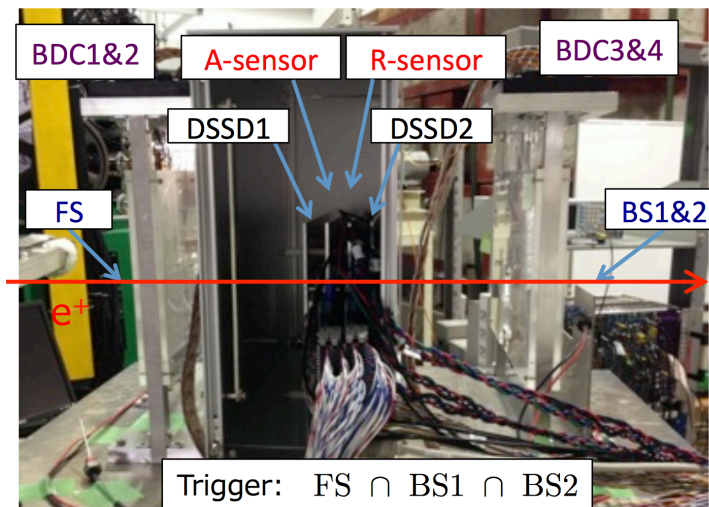
テストパルス入力による応答



SlitA2013 評価



ビーム試験：東北大学電子光物理学研究センター



WFDによる波形取得

J-PARC MLFでノイズも測定

ビーム試験：東北大学電子光物理学研究センター

CH	A-sensor				
	Tohoku University	Tohoku University		J-PARC	
	Electric charge of positron signal [e]	Standard deviation [e]	S/N	Standard deviation [e]	S/N
16	21500 \pm 300 - 300	833	25.9 \pm 0.3 - 0.4	1160	18.5 \pm 0.3 - 0.2
11	23000 \pm 400 - 400	930	24.7 \pm 0.5 - 0.4	—	—
21	24700 \pm 300 - 500	924	26.7 \pm 0.4 - 0.5	—	—
CH	R-sensor				
	Tohoku University	Tohoku University		J-PARC	
	Electric charge of positron signal [e]	Standard deviation [e]	S/N	Standard deviation [e]	S/N
16	17600 \pm 200 - 200	798	22.1 \pm 0.2 - 0.3	993	17.7 \pm 0.2 - 0.2
11	20800 \pm 300 - 300	953	21.8 \pm 0.3 - 0.3	—	—
21	20000 \pm 300 - 300	972	20.6 \pm 0.3 - 0.3	—	—

SlitA2013 評価まとめ

Parameters	Requirements	SlitA	SlitA2013	Slit128A
		1st prot. (2012)	2nd prot. (2013)	3rd prot. (2014)
Process	—	UMC 0.25 μm	Silterra 0.18 μm	
Type	mixed (ana.+digi.)	analog	analog	mixed
S/N	>15	20	20	20
Gain	(>19 mV/fC)	40 mV/fC	26 mV/fC	90 mV/fC
ENC	(<1600 e)	1600 e	1000 e	1000 e
Dynamic Range	>~ 5 MIP	> 5 MIP	> 5 MIP	~4 MIP
Pulse Width (1 MIP)	< 100 ns	130 ns	80 ns	50 ns
Time Walk (0.5 MIP→ 5 MIP)	< 5 ns	—	18 ns	5 ns
the number of channels	128	16	64	128
Power Consumption	<5 mW/ch	2 mW/ch	2 mW/ch	TBD

Slit128Aでは、特にゲインとタイムウォークの性能向上が鍵

Slit128A TEG

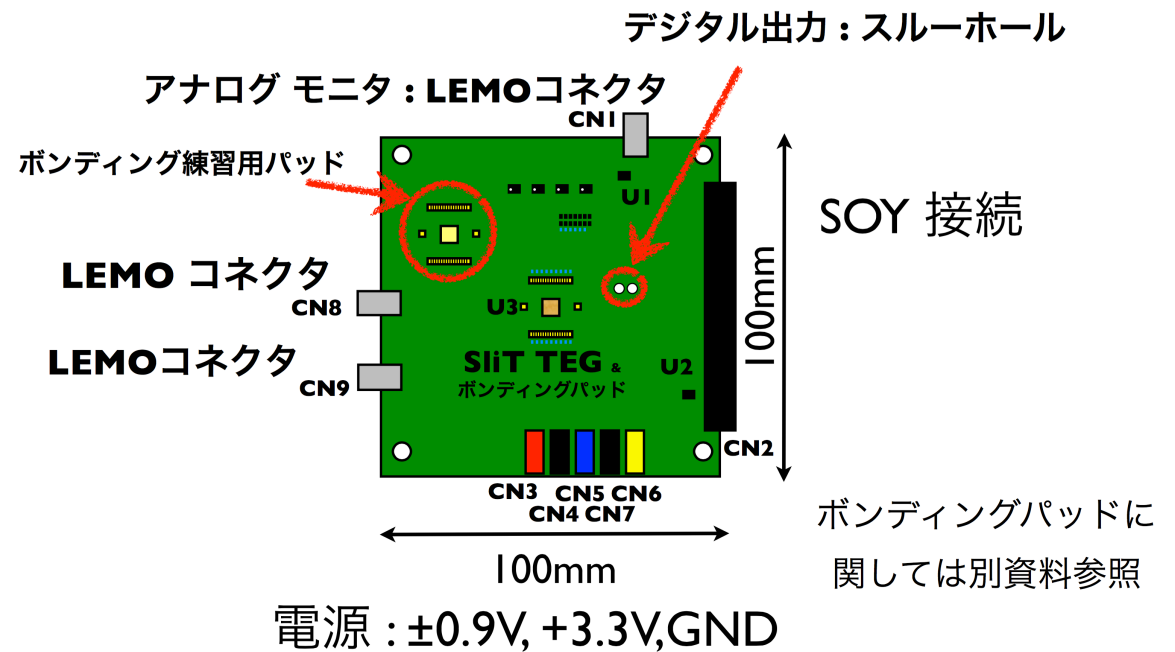
- TEGによるアナログ部評価

TEG chip



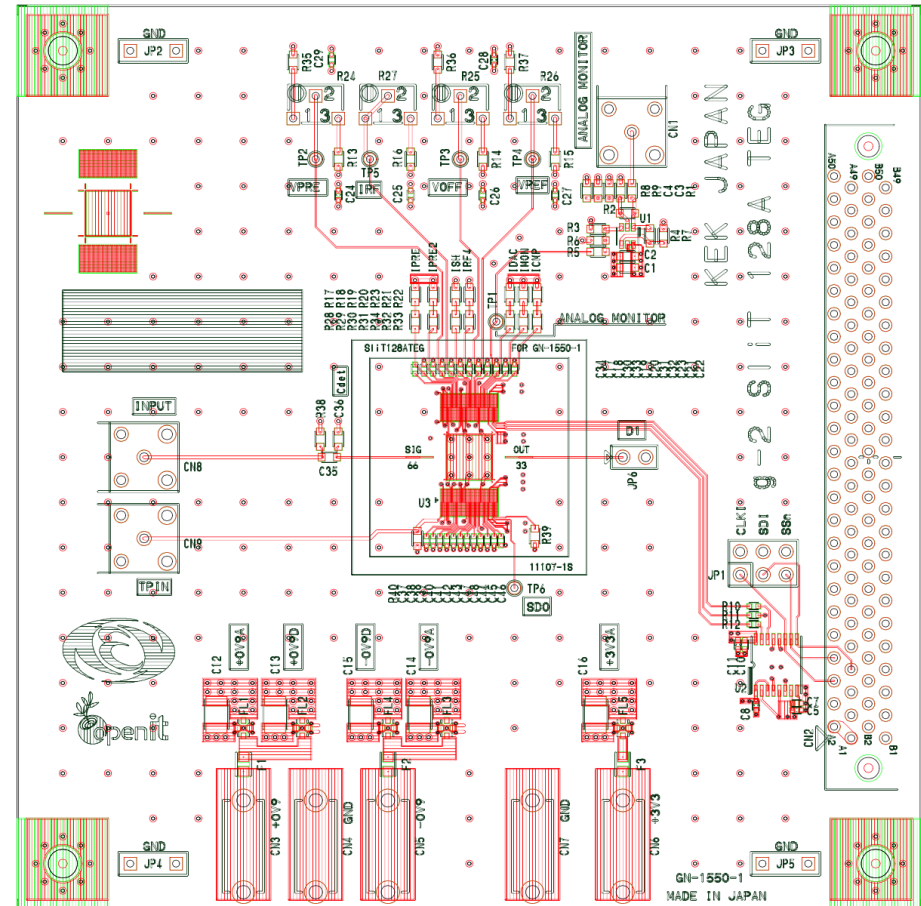
TEG チップサイズ : 5mm x 5mm

パッド間隔 : 100um

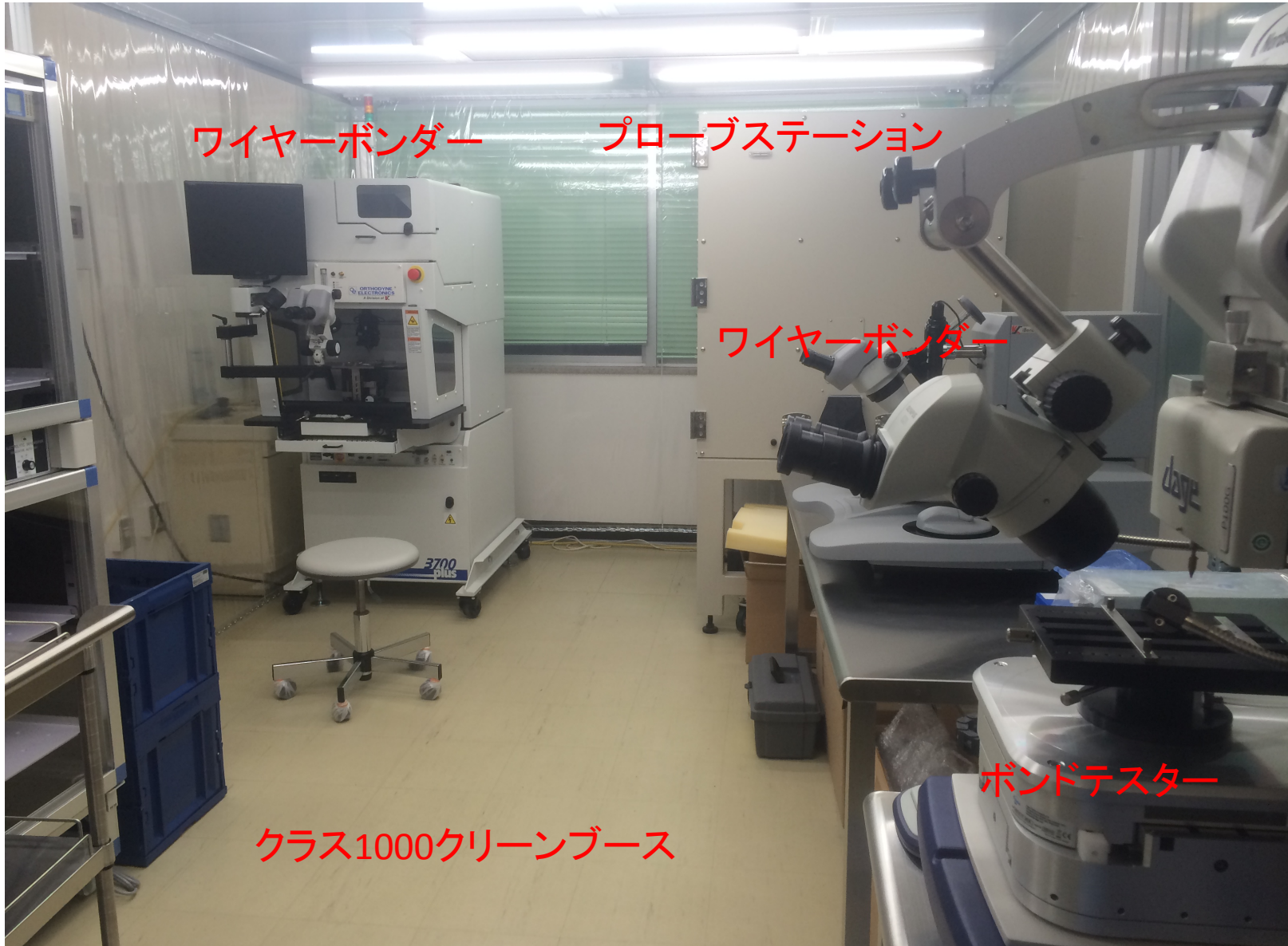


Slit128A TEG 評価ボード

- ボード完成
- チップ実装
 - ベアチップを実装
 - チップ貼り付け、アルミ線ワイヤーボンディング(九州大学)
 - 準備中、まもなく開始



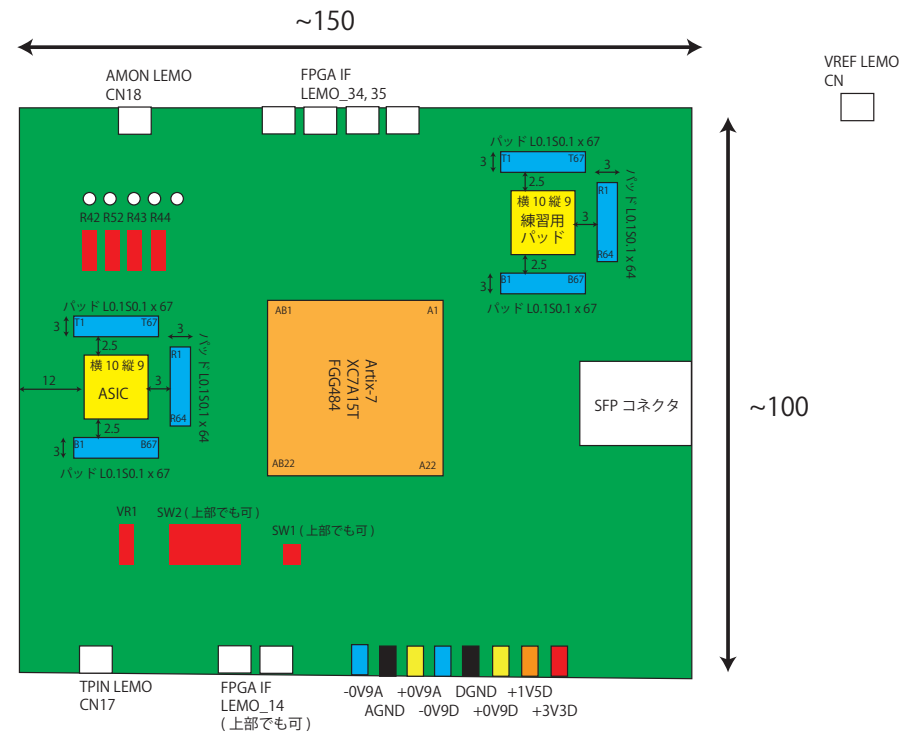
九州大学シリコン検出器開発設備



Slit128A 評価ボード

- Slit128A 評価ボードも並行して開発
- FPGA : Artix7
- Slit128A ベアチップを実装
- センサー(+ピッチアダプター)と接続して試験予定

フロアプラン



まとめと展望

- J-PARC ミューオン $g-2$ /EDM 実験におけるシリコントラックの開発では、高レート計測システムが鍵。
- 特に、読み出し ASIC の性能が重要
 - フルサイズ 128 ch の Slit128A を開発
 - 性能評価はこれから
 - Binary readout, ToT : 汎用性もある
- 実機を目指して、さらに開発要素・最適化をつめる
 - センサー
 - 機械構造
 - 真空中での動作

宣伝

FPGAトレーニング@九州大学を今年12月もやります。
 多くの方々のご参加をよろしくお願ひします。



Open Source Consortium of Instrumentation(osc)

サイトを検索
 現在のセクション内のみ

ホーム	OpenItについて	テクノロジー	プロジェクト	教育・連携	ワークショップ	F.A.Q.	Tips	メンバーの方へ
-----	------------	--------	--------	-------	---------	--------	------	---------

ナビゲーション

- OpenItについて
- テクノロジー
- プロジェクト
- 教育・連携
 - 若手の会
 - 不定期開催セミナー情報
 - VPN及びネットワーク接続について
 - コンソーシアム拠点リスト
 - Intro_Verilog-HDL
 - 2014
 - FPGAトレーニングコース
 - 九州大学
 - FPGAトレーニングコース2014@九州大学
- ワークショップ
- F.A.Q.
- Tips
- メンバーの方へ

現在位置: ホーム, 教育・連携, 2014, F P G Aトレーニングコース, 九州大学, FPGAトレーニングコース2014@九州大学

FPGAトレーニングコース2014@九州大学



開催趣旨

本セミナーはFPGA回路開発時に必須である開発ツールの使い方の習得を目指した実習形式の未経験者向けのセミナーです。セミナー終了後に独学で開発を進める事が出来る最低限の予備知識の習得を目指します。

受講対象者としてFPGA回路開発未経験の電気電子工学を専門としない学生を想定しています。特に物理実験系に所属する学生を受講対象としていますが他の分野の学生や若手研究者の参加も歓迎いたします。

FPGAの回路を開発するために必要な知識は①デジタル回路設計に関する知識と②FPGAへの実装方法です。①に関しては書籍などにより習得する事が出来ますが、②に関しては良い習得方法がありません。そこで本セミナーでは②について学習します。

本セミナー受講後は自分で設計した回路をFPGAへ実装して動かすことができるので、①の学習効果が向上する事も期待しています。

実習で使用するFPGAはXilinx社Artix-7シリーズ、使用HDLはVerilog-HDLです。