

HL-LHC用シリコン検出器の 性能評価のための テレスコープ検出器開発

Kazuki YAJIMA
Osaka University



計測システム研究会@RCNP

2015/07/25



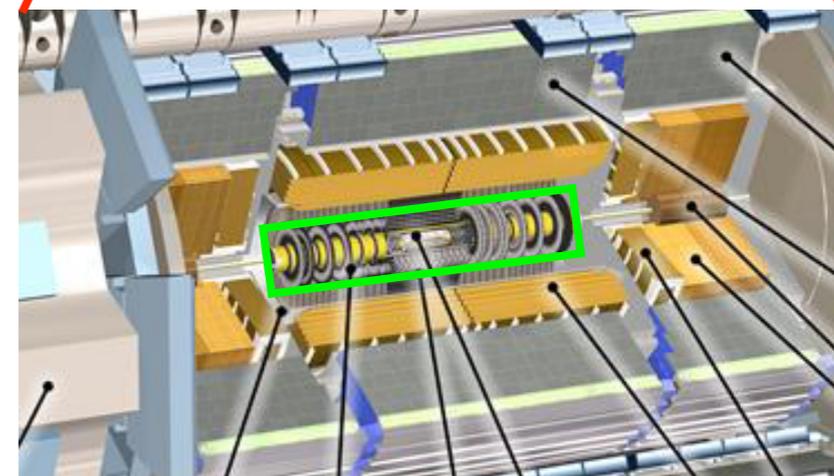
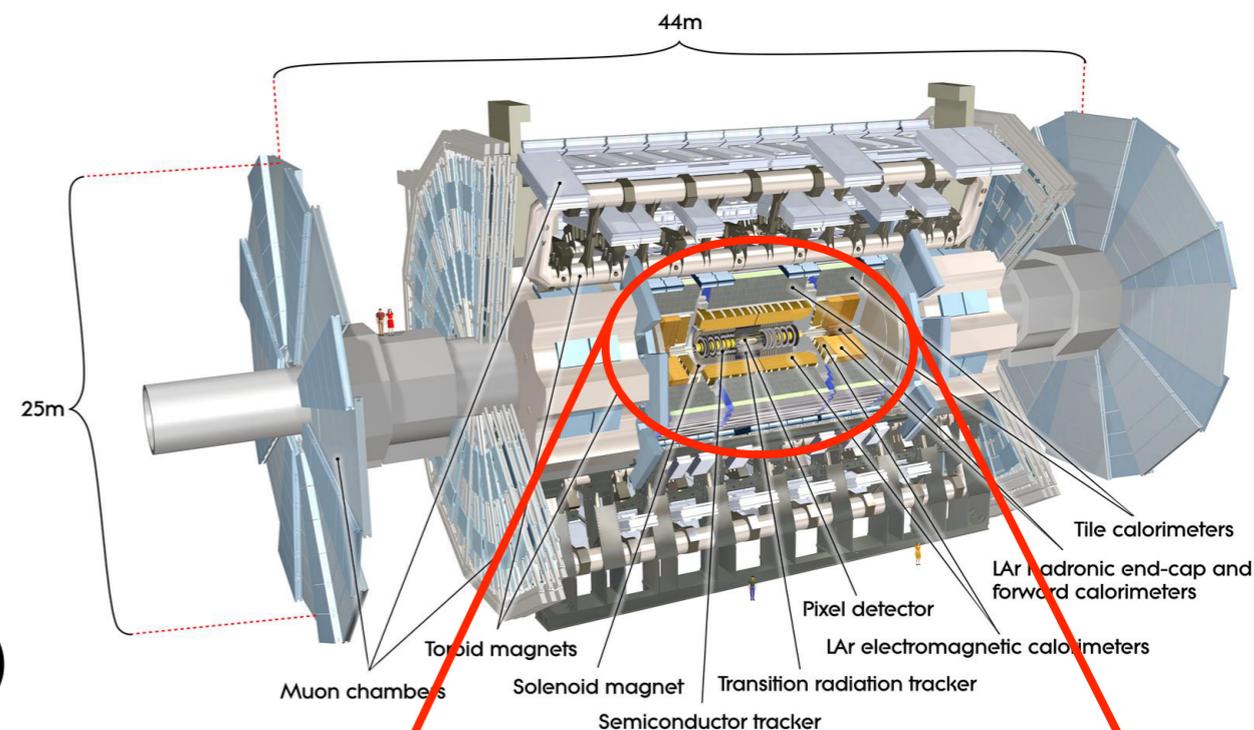
目次

- 背景
 - LHC&ATLASアップグレード計画
 - シリコン検出器の性能評価手法
- 新テレスコープ検出器について
- テレスコープ検出器読み出し開発
 - Firmware(FPGA)
 - Software



開発の背景

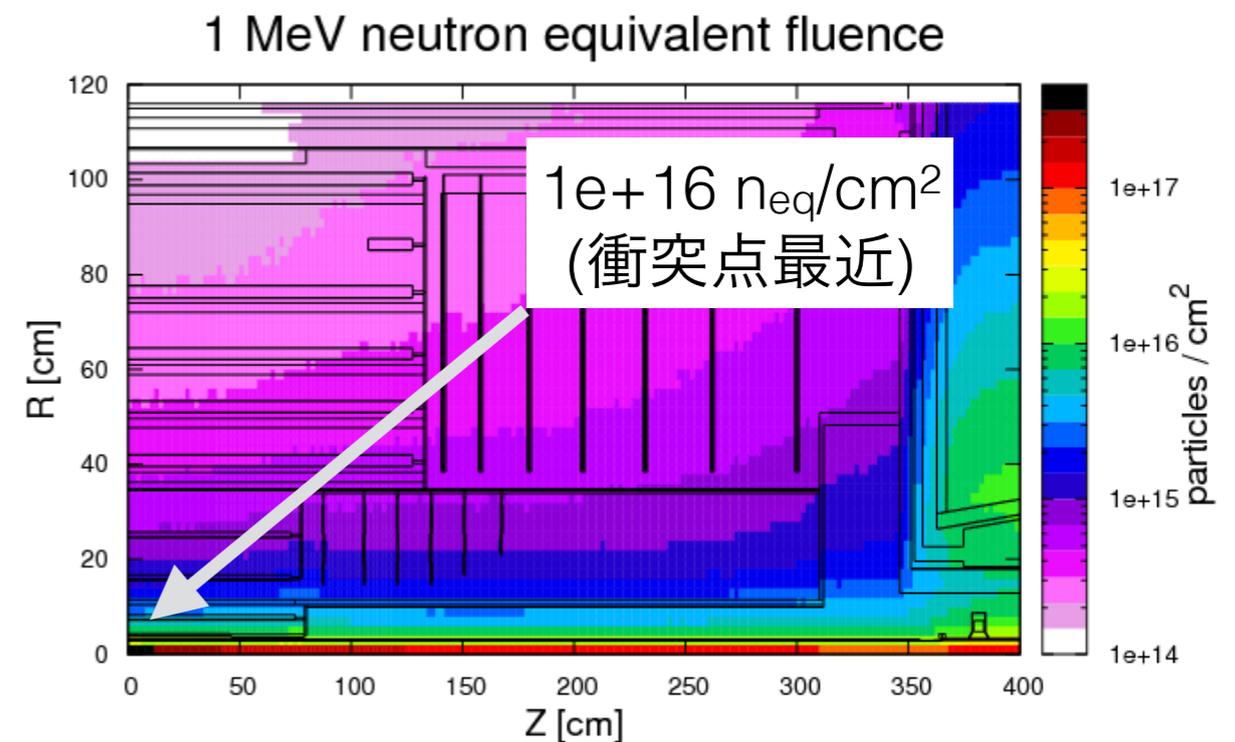
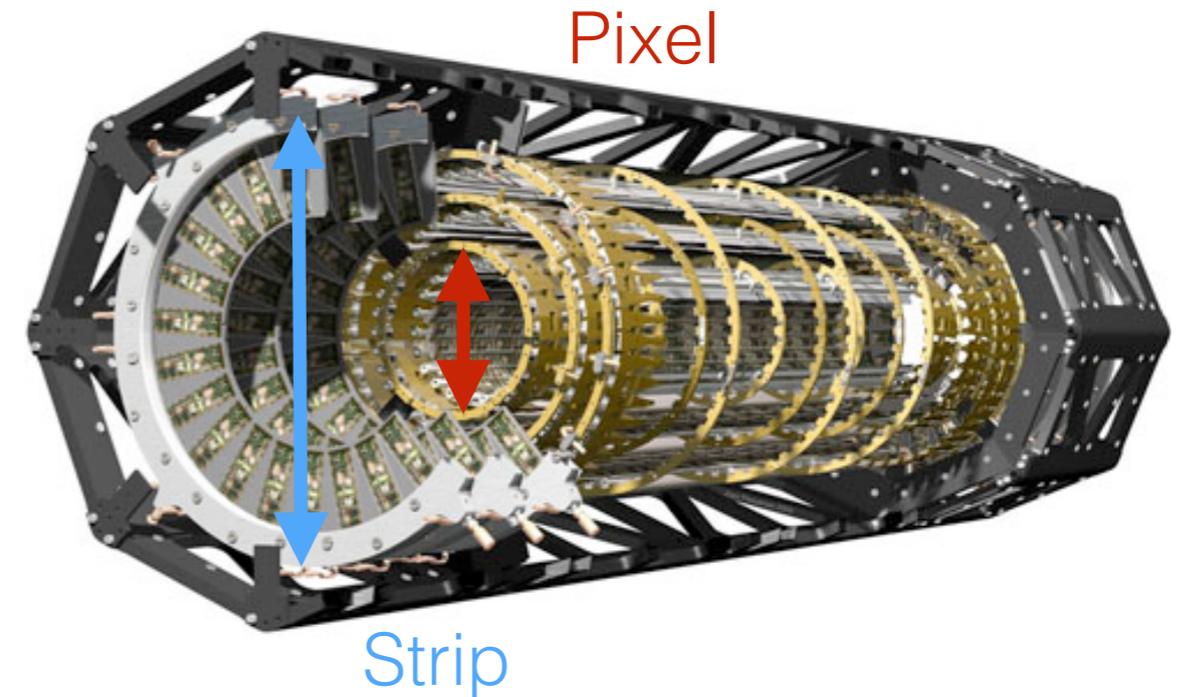
- 大型ハドロンコライダー(LHC)は2025年ごろHL-LHCへ
- ピークルミノシティが現行の5倍！
($1 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1} \rightarrow 5 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$)
- HL-LHCアップグレードに合わせてATLASシリコン検出器は総入れ替え
- **テレスコープ検出器...**
新シリコン検出器の性能評価に必要



ATLAS検出器中心部の
シリコン検出器

ATLASシリコン検出器

- 飛跡検出器として使用
- 外層にはストリップ検出器、
内層にはピクセル検出器を用いる
- シリコン検出器は
衝突点に最も近い検出器
←高ルミノシティ化で
更なる高放射線耐性が必要



シリコン検出器の性能評価

- シリコン検出器の放射線耐性評価

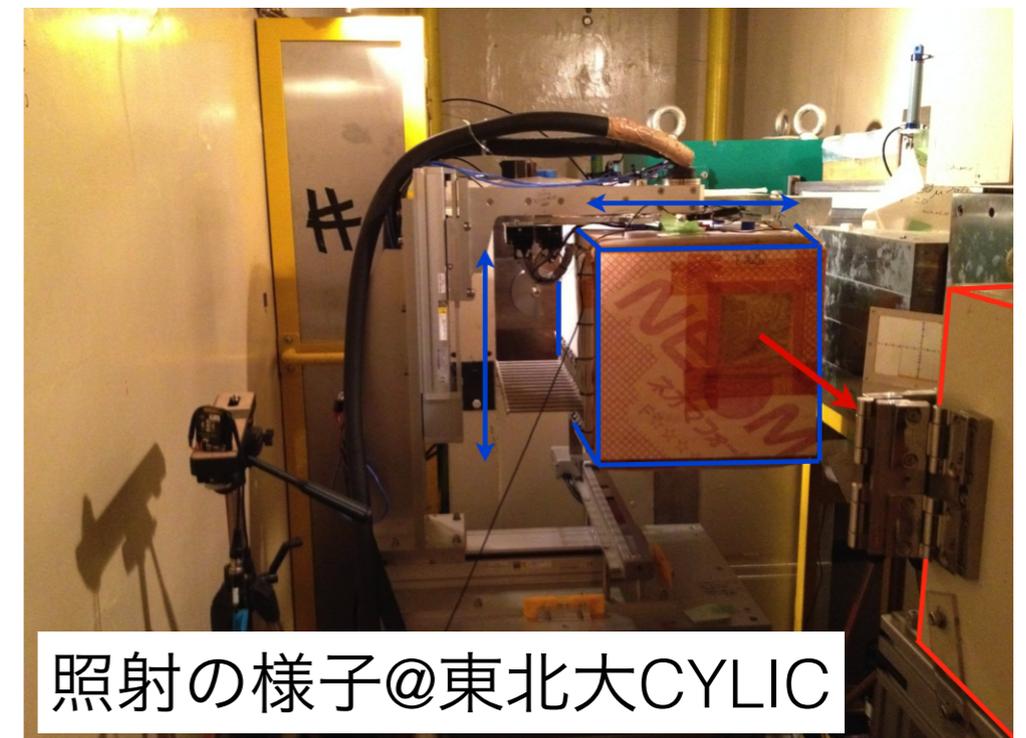
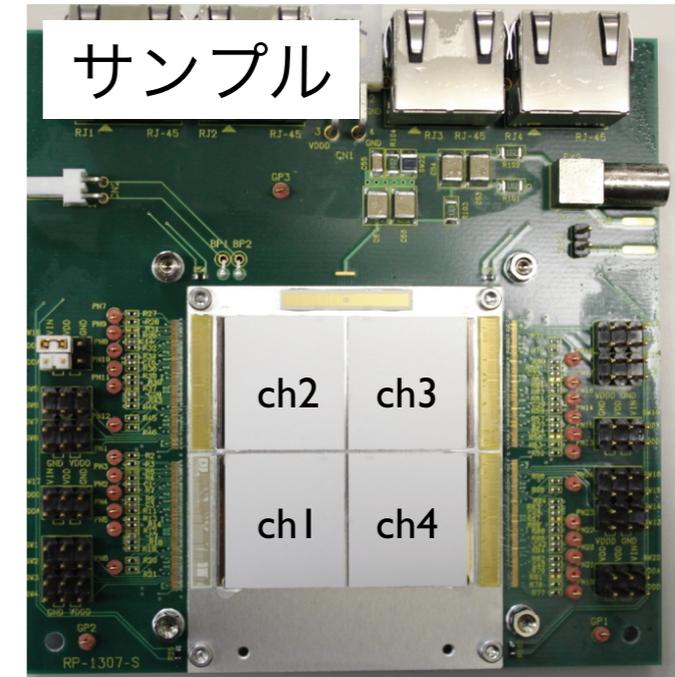
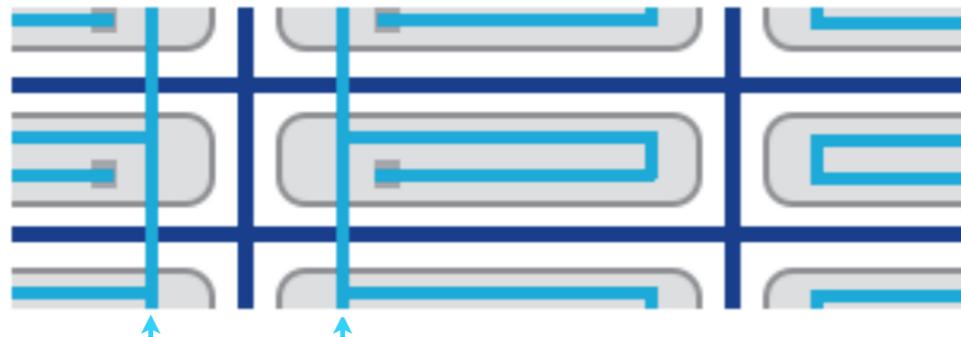
- 1. サンプル作成

- 2. 放射線照射

- 3. ヒット検出効率

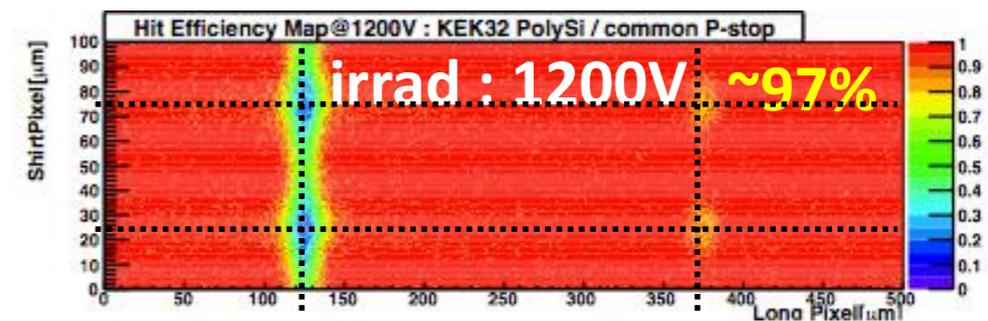
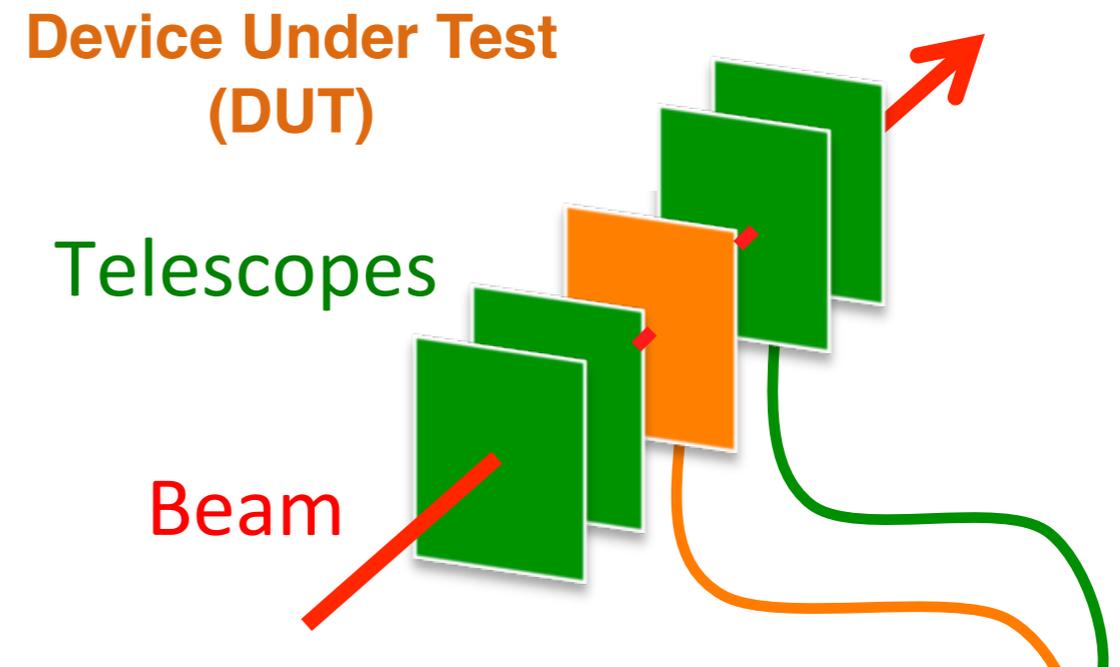
電荷収集効率の測定

- これらの位置依存性を
ピクセルスケール以下で見たい



テレスコープを用いた性能評価

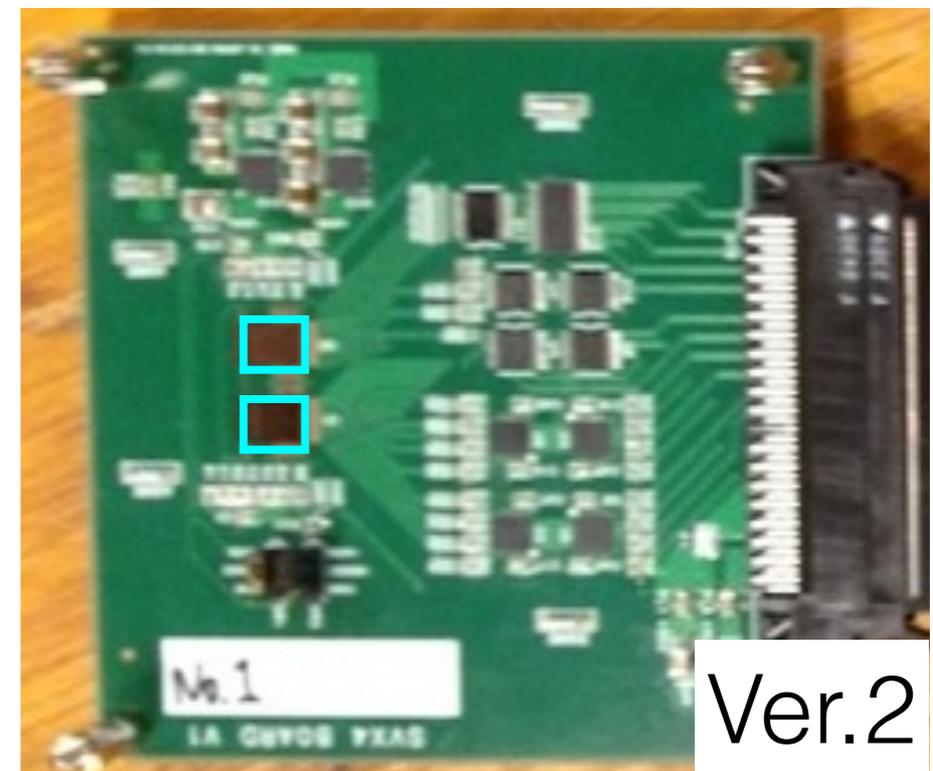
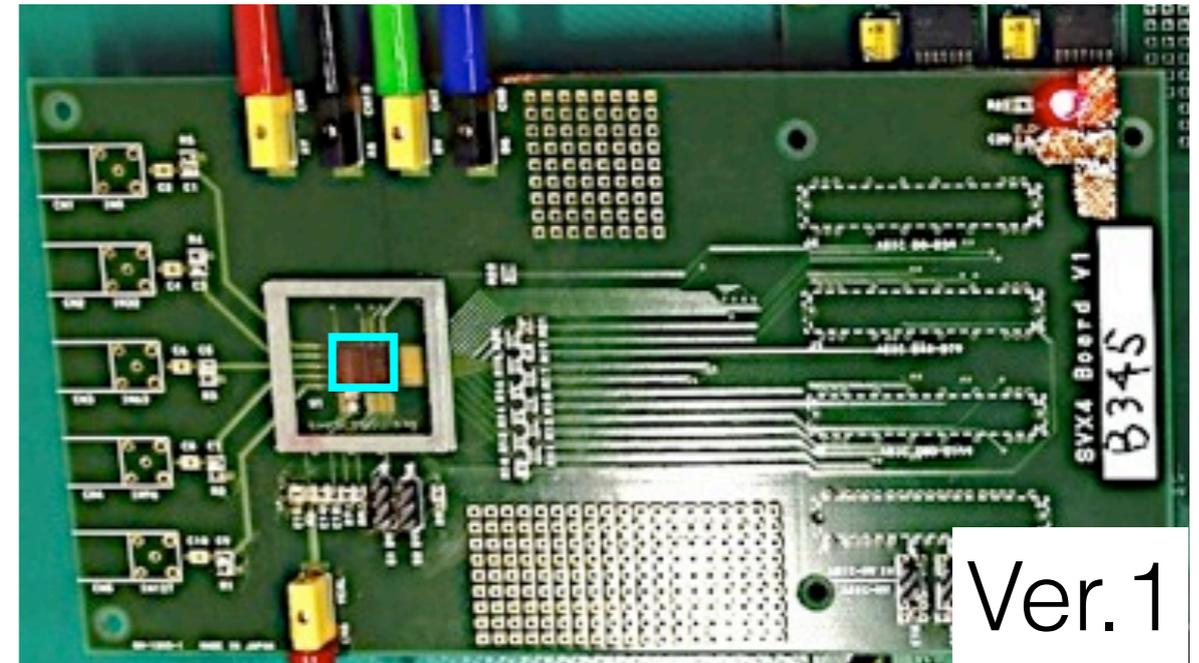
- 試験対象(DUT)を別に用意した飛跡検出器(テレスコープ検出器)で挟みビーム試験
- ATLASシリコン日本グループは新テレスコープを開発中
- テレスコープの要求性能
 - 小型、可搬性
 - 位置分解能5 μm
 - 10k event/s のデータ取得レート



他テレスコープ検出器による結果
中村浩二氏(KEK)より

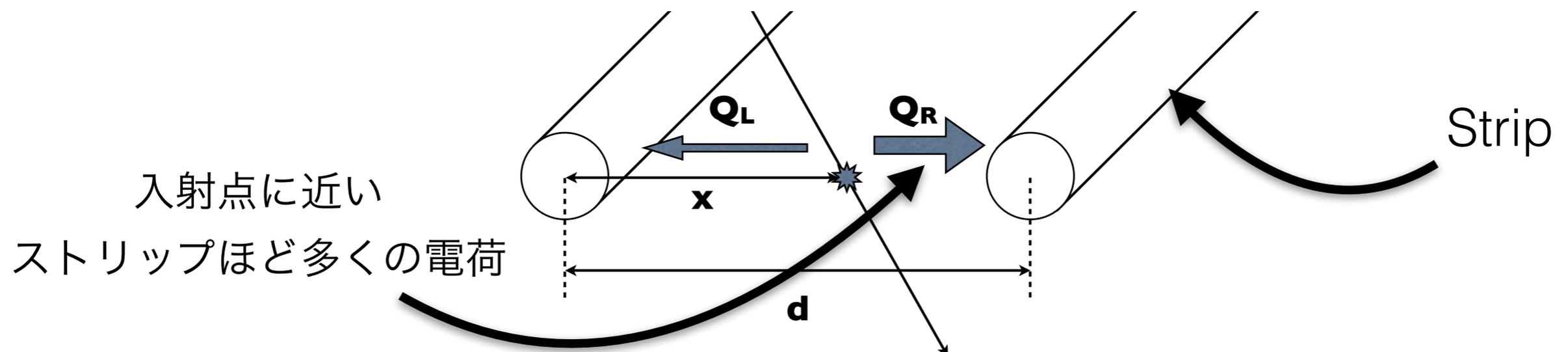
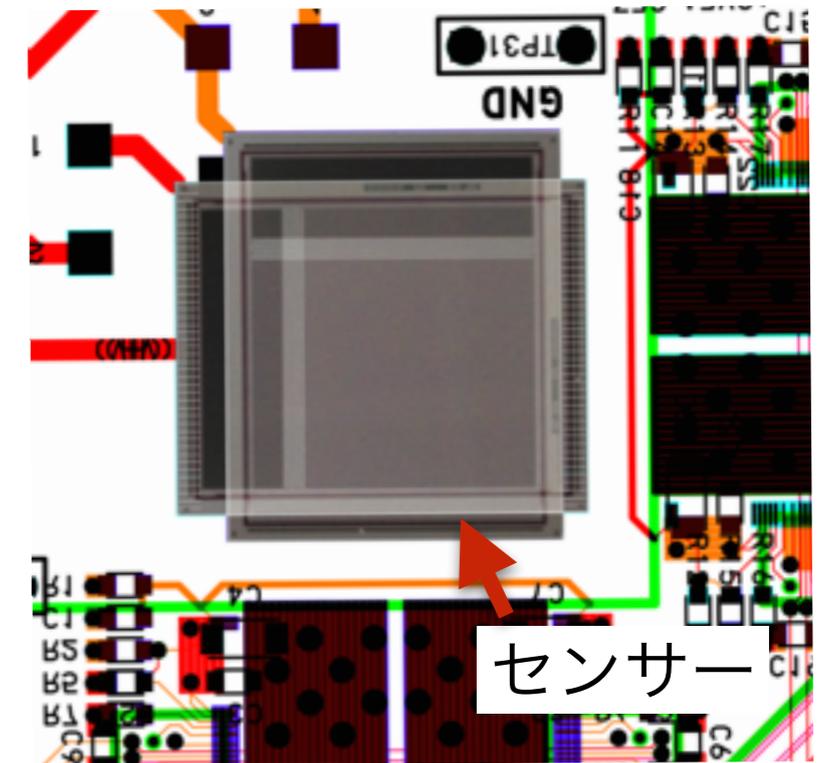
新テレスコープ検出器開発史

- センサー信号読み出しASICの制御、読み出しをSEABASで行う
- 2012：ASIC1chipの試験 (ver1)
- 2013：差動信号化、Daisy Chain、基板の小型化 (ver2)
- 2014：両面実装基板 (ver3)
4台の同時読み出し



Newテレスコープ検出器

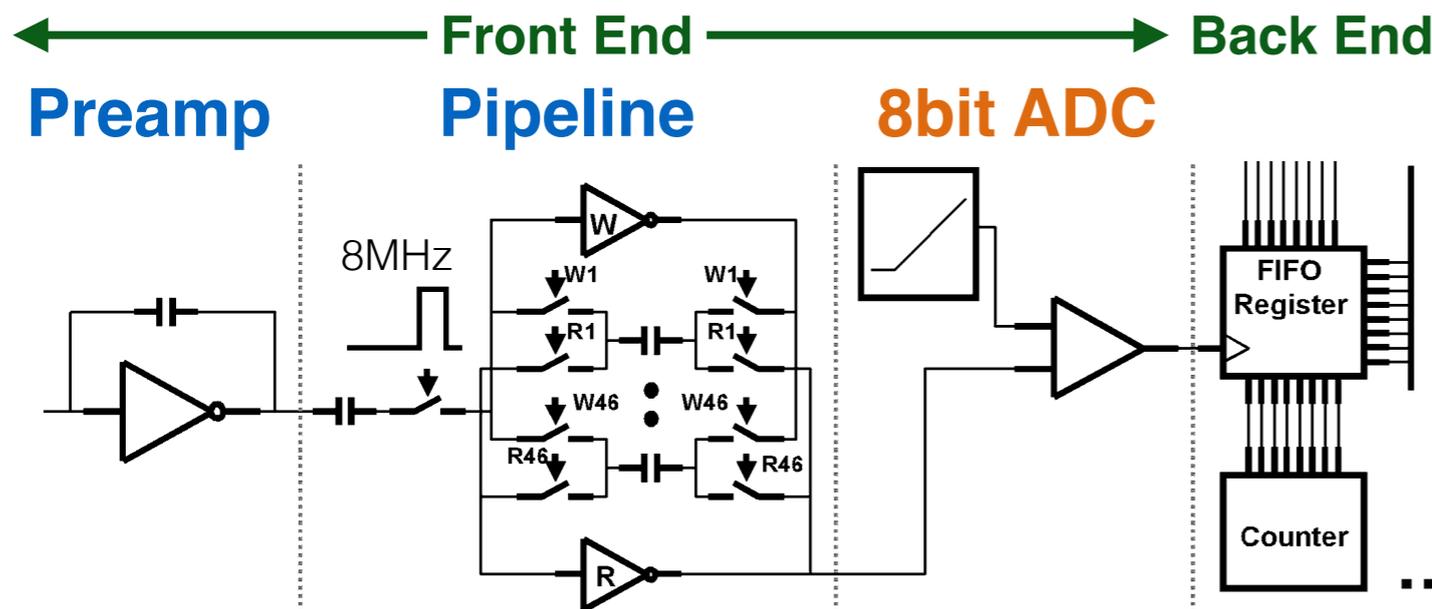
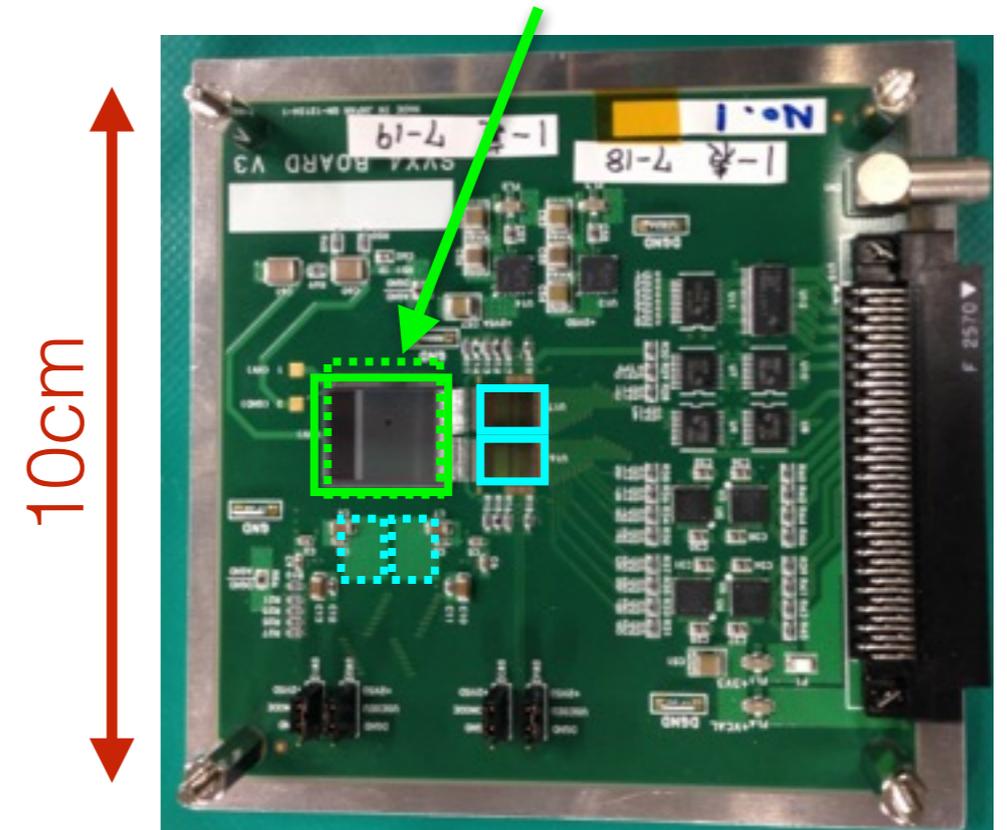
- シリコンストリップセンサー × 2
 - 256ch 50 μ mピッチ, p-in-n型
 - テレスコープ基板の両面に、直交させて貼付け (右図)
- 電荷分割法より3 μ mの位置分解能が期待 (下図)
→アナログ読出の必要性



Newテレスコープ検出器

- 信号読み出しASIC **SVX4**
 - Fermilab, LBLによる開発
 - Chipあたり128チャンネル
 - 各chに8bit Wilkinson ADC
- テレスコープ基板はコンパクトに！

有感領域 13mm x 13mm



緑：シリコンストリップセンサー
シアン：読み出しASIC SVX4

読み出しシステム

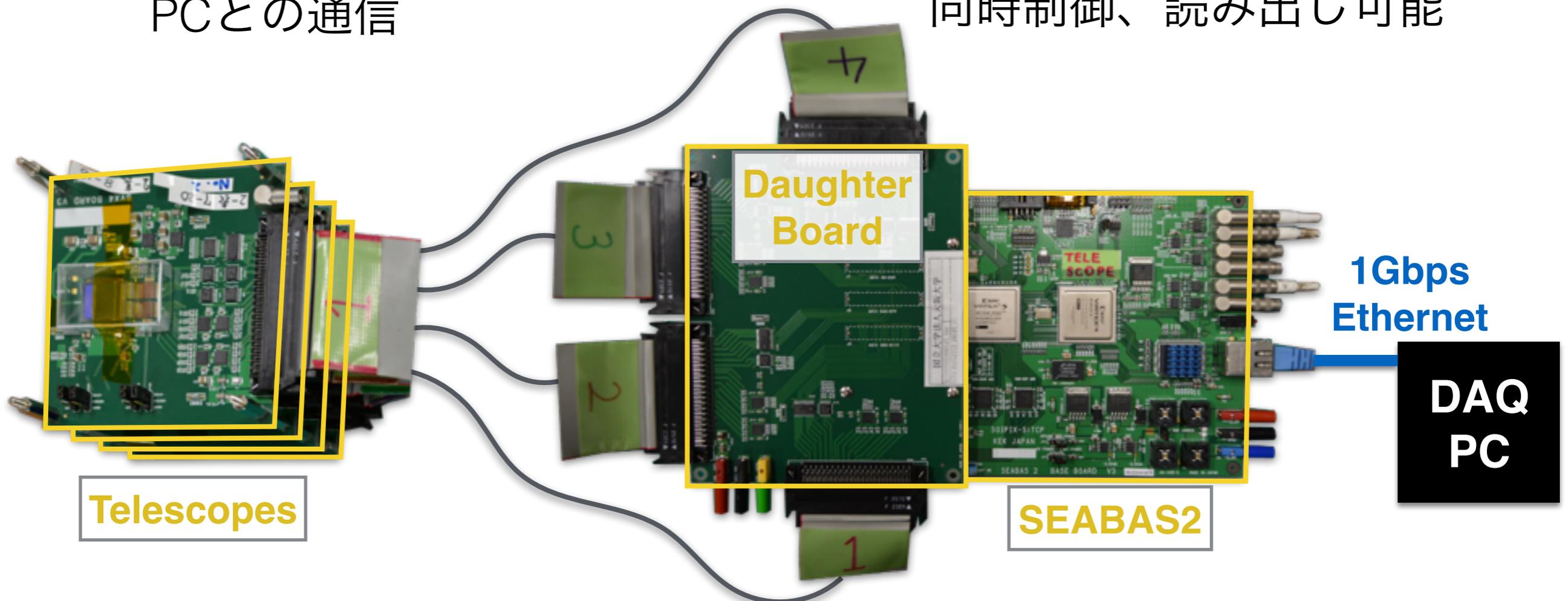
- 汎用読み出しDAQ基板

SEABAS2

- KEK開発
- SVX4の制御, データ処理,
PCとの通信

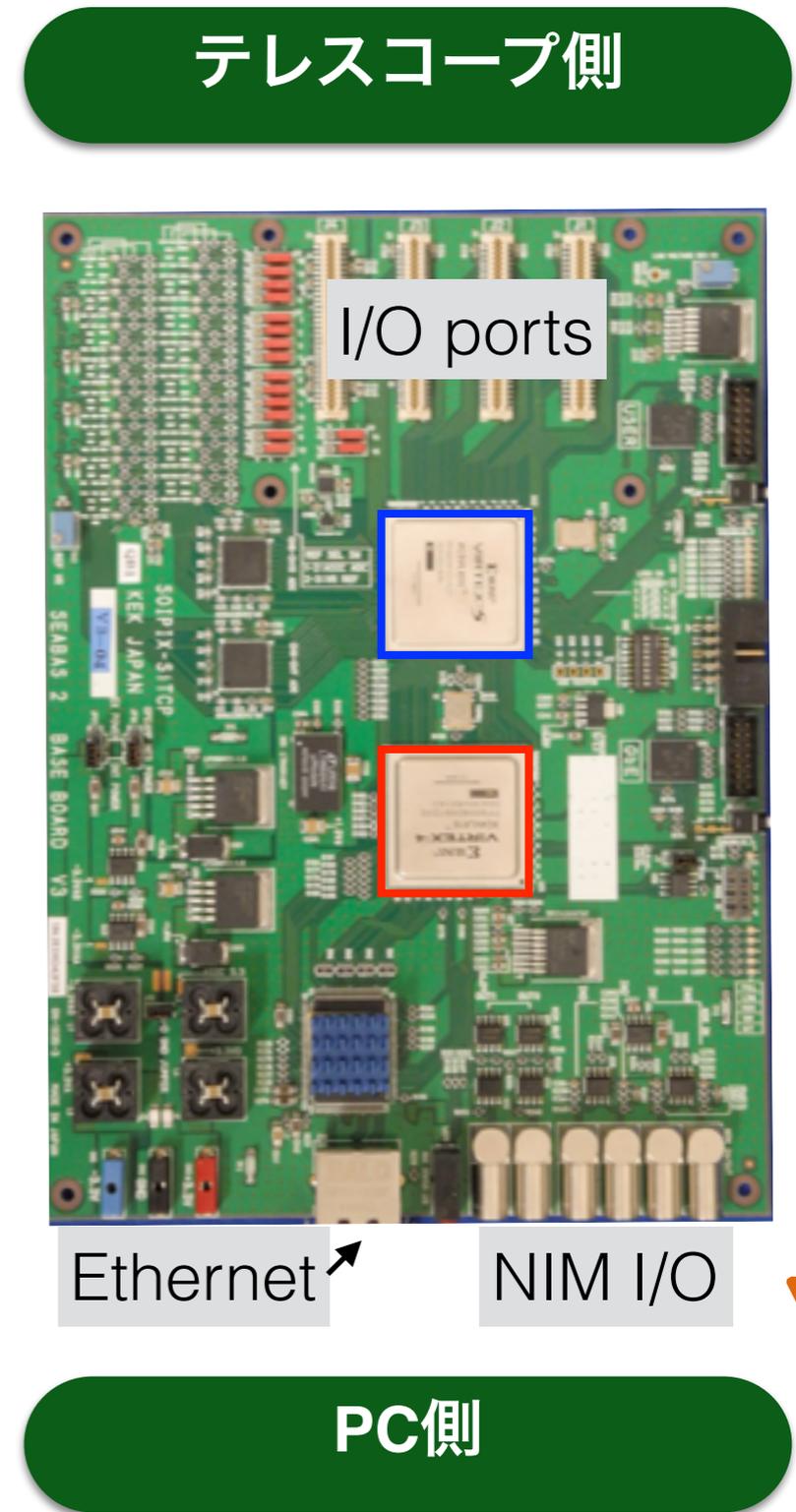
- Gigabit Ethernet規格,
TCP/IP, UDP プロトコル対応

- FPGAを2つ搭載
- 4つのテレスコープを
同時制御、読み出し可能

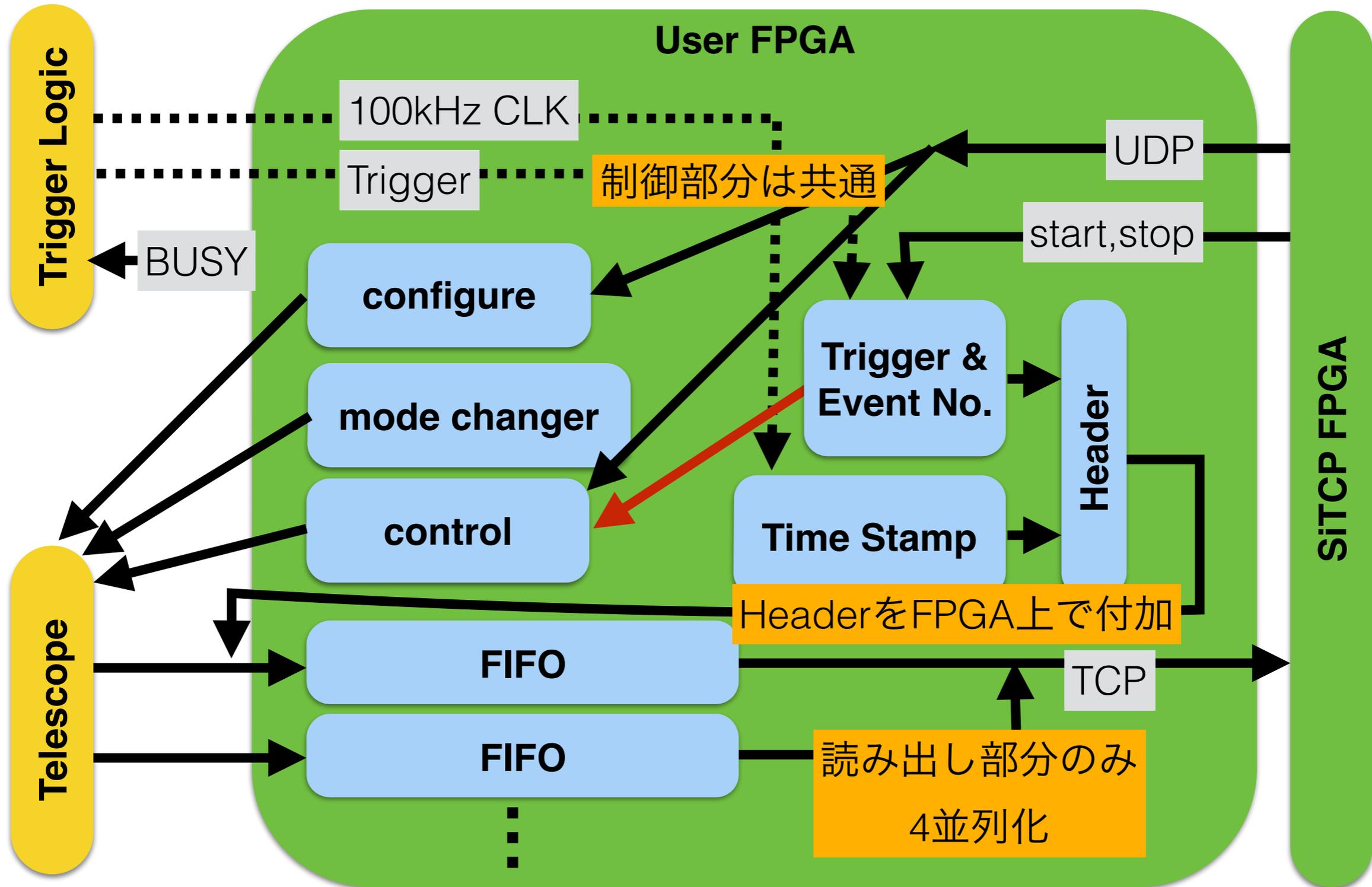


汎用読み出し基板SEABAS2

- 2つのFPGAを搭載
 - User FPGA (青)
 - SEABASのI/Oポートへ接続
 - ユーザーがプログラムする
 - SiTCP FPGA (赤)
 - EthernetドライバとUser FPGA間の接続
 - TCP/IP, UDPプロトコルの実装
 - ユーザーは普段いじらない

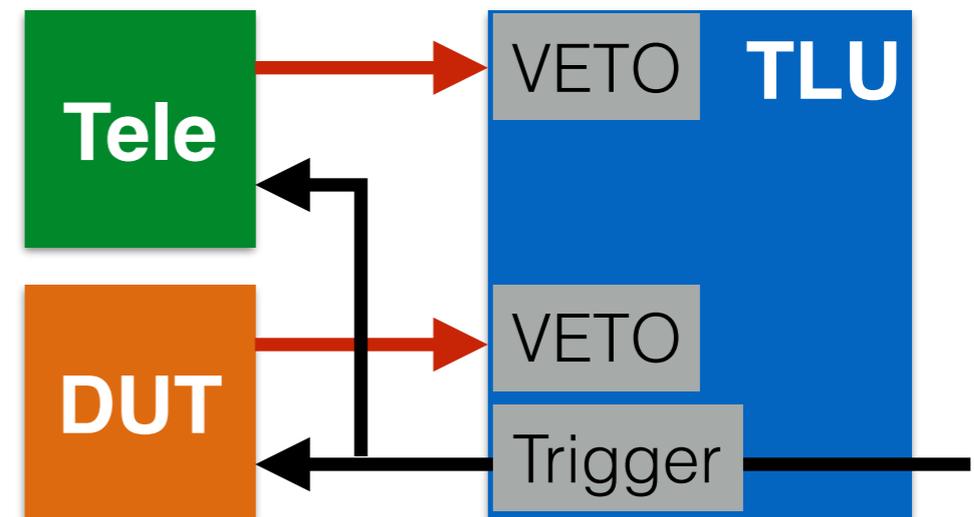


FPGA内部 ブロック図



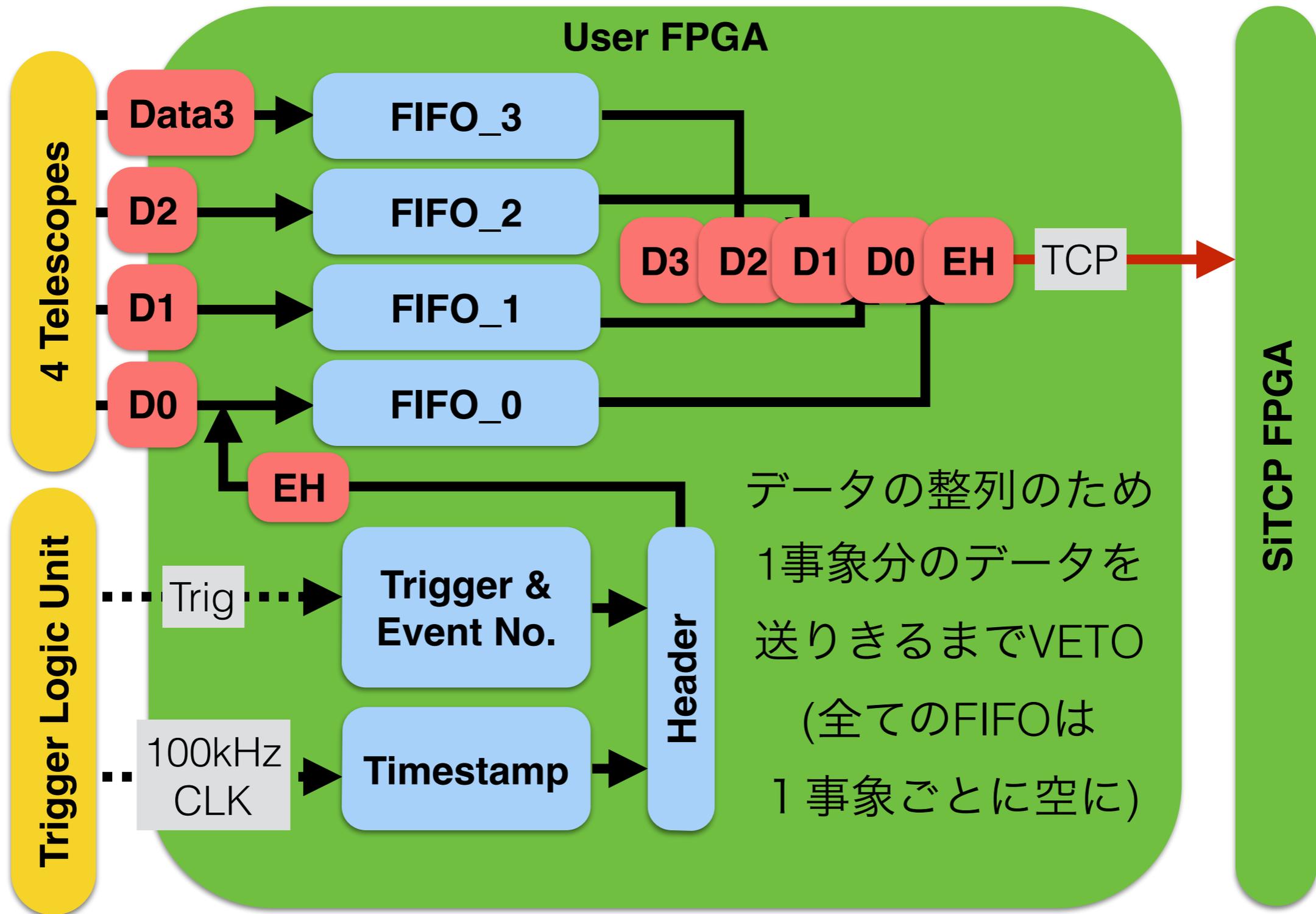
DUTとの同期DAQ

- BUSY信号でトリガをVETO
→DUTとテレスコープでの、
イベントミスマッチを防ぐ
- 加えて、双方のイベントの
時間情報の一致を要求
→SVX4は時間情報を持たない
- FPGA上でデータに時間情報を
くっつける←Event Header



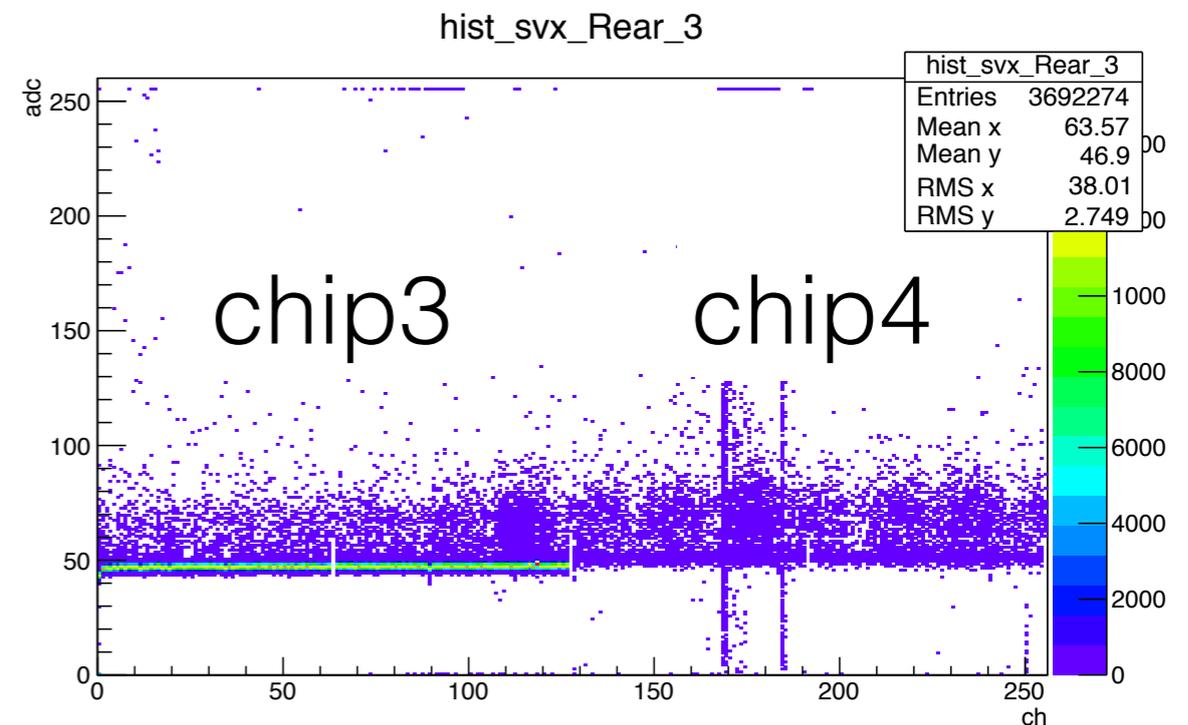
Byte no	Content
1	Chip ID
2	Pipeline Cell Number
3	Channel Id
4	Data for above Channel Id
...	...
Last-1	Channel Id
Last	Data for Above Channel Id

Event Header



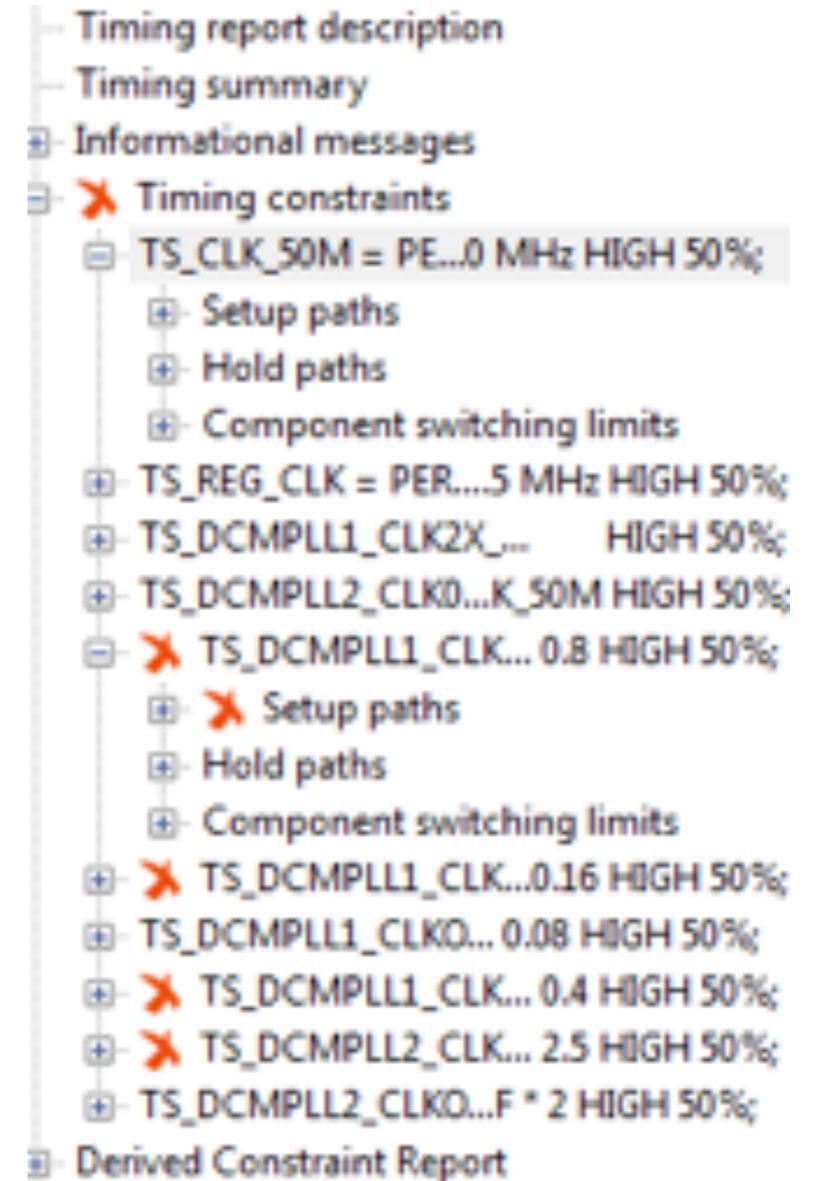
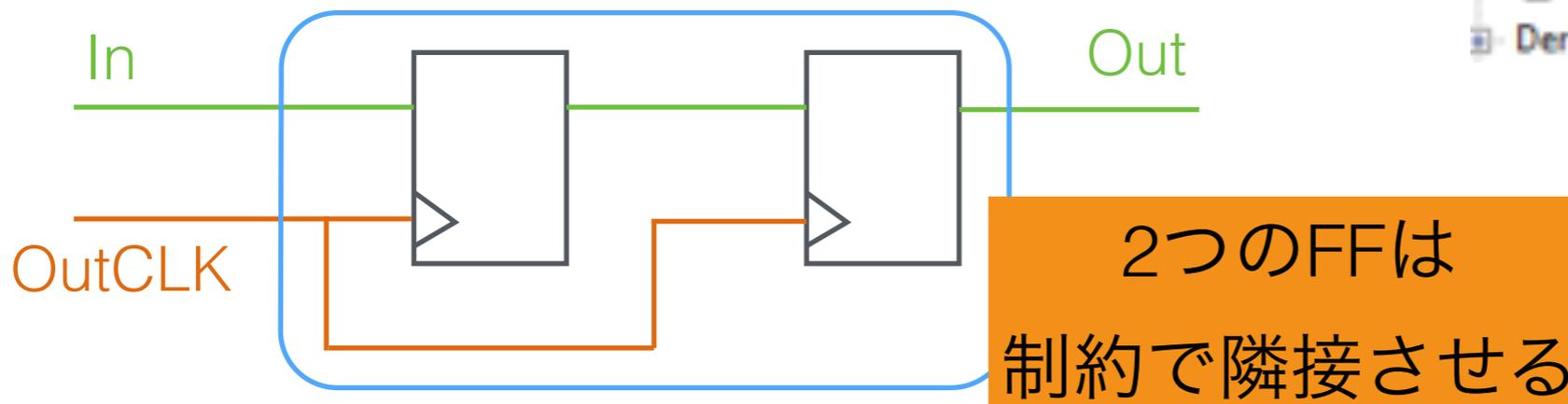
抱えていた問題

- Firmwareの不安定性
 - データの乱れ、欠け
 - configurationが上手くいかない
- DAQが動かない
- 過去にもあった問題だが、回路規模が増えるにつれて悪化。。。



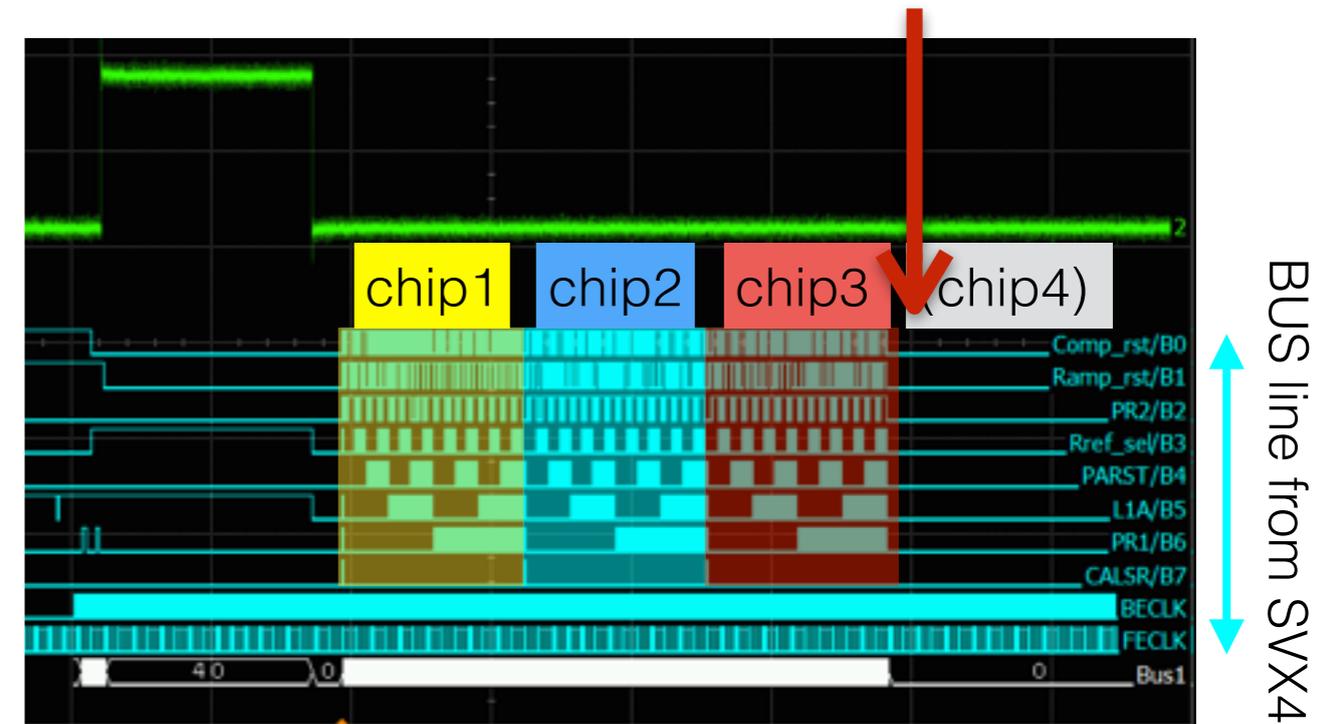
DAQの不安定性の解決

- DAQが動かない、
chipのconfigurationが変更できない
or 思った通りの変更ができない
- コンパイル毎に症状が大きく変わる
←タイミングの問題
- FPGAのクロックドメインを減らす、
クロックを跨ぐ信号間にFFを2つ挟む

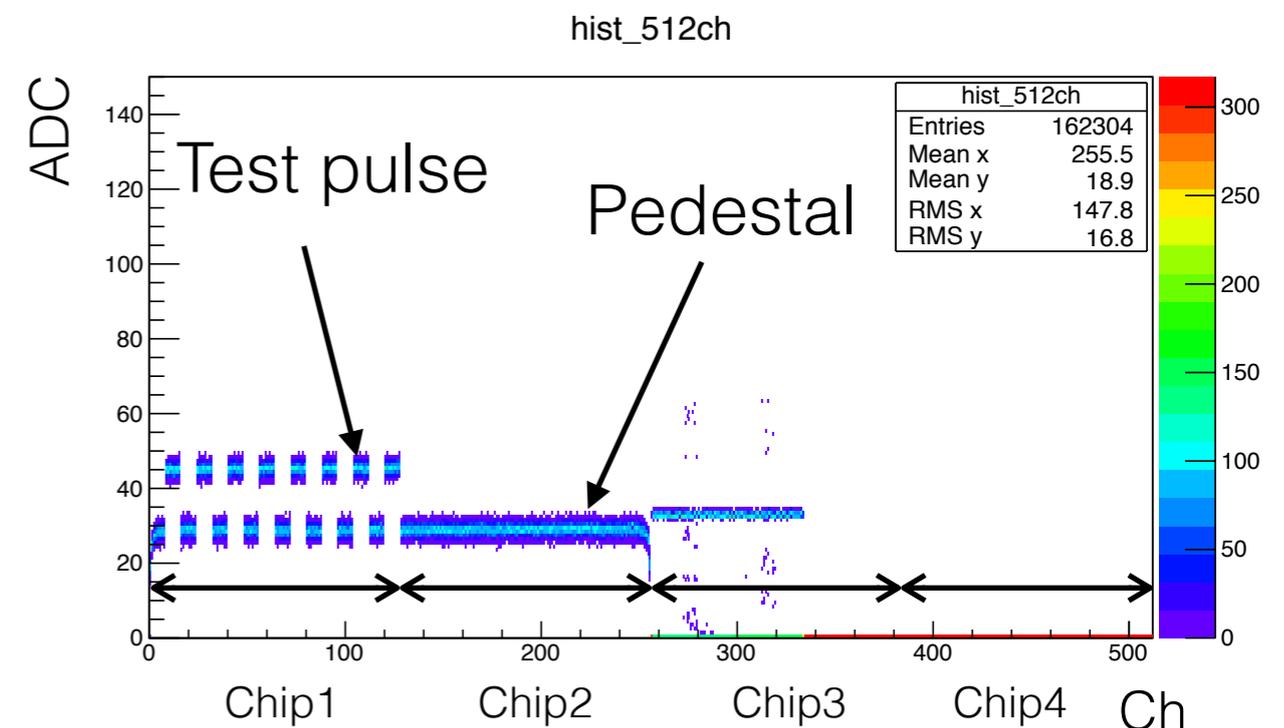


データ破損問題

- データの破損
 - SVX4がデータを出し切らない (右図)



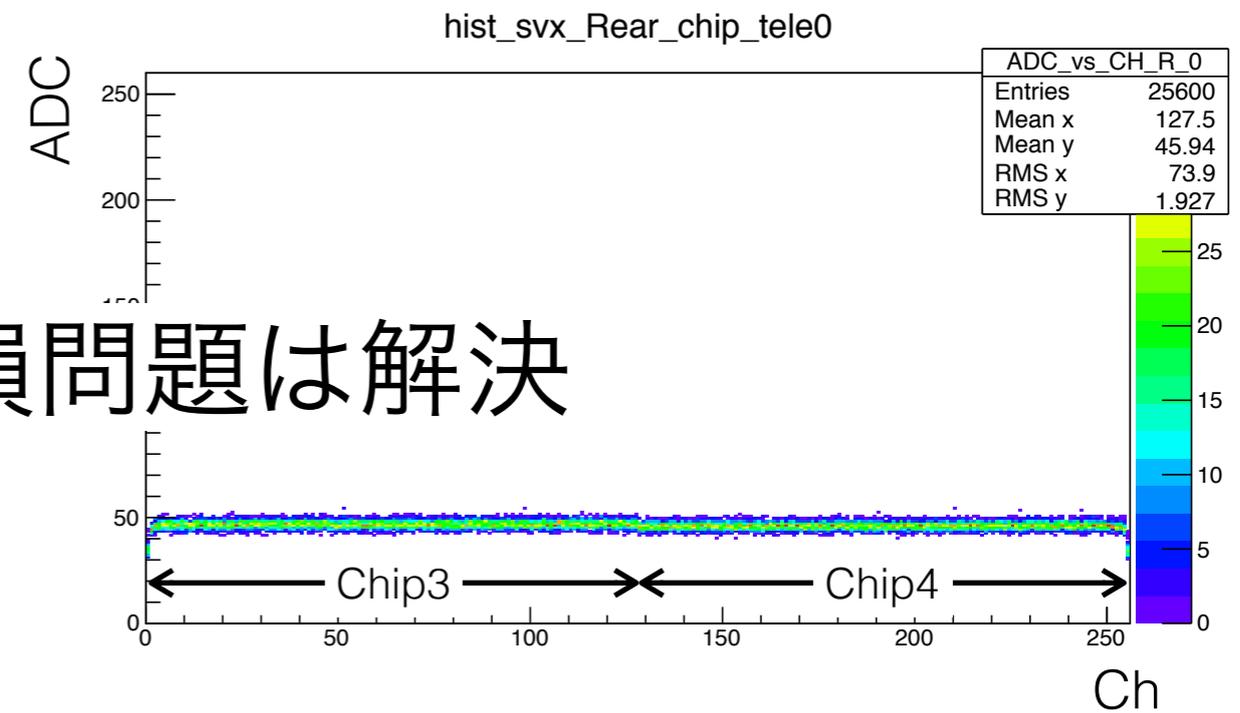
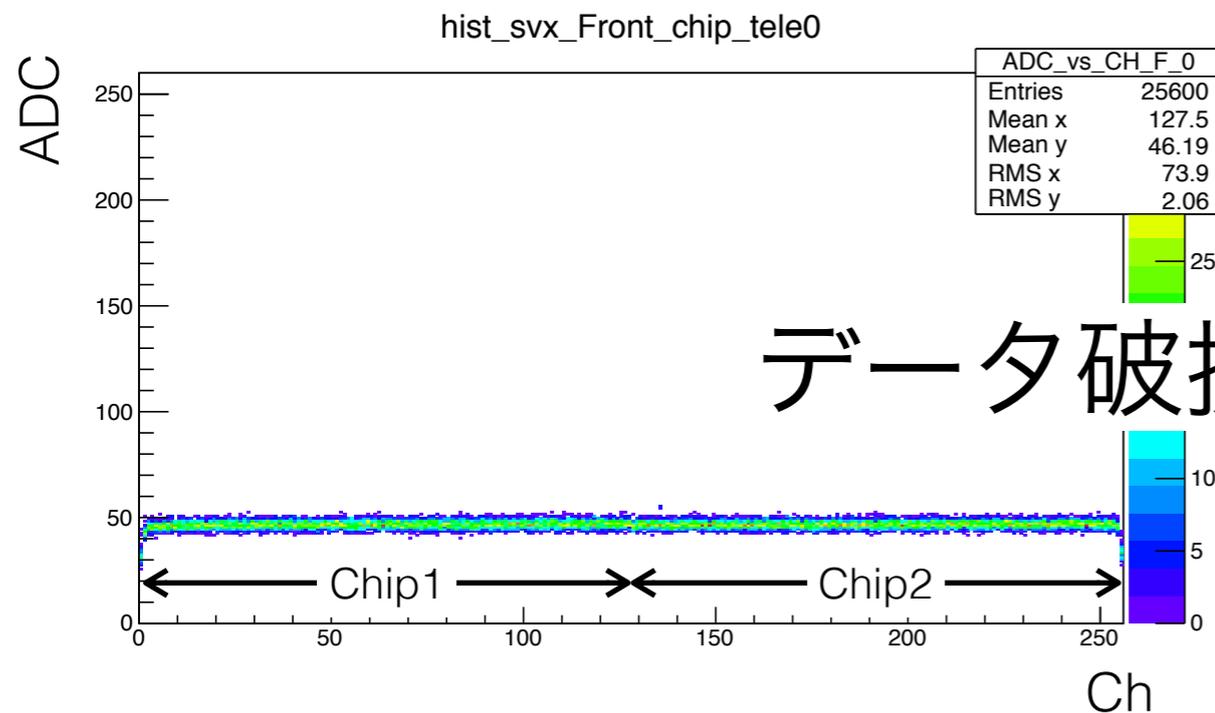
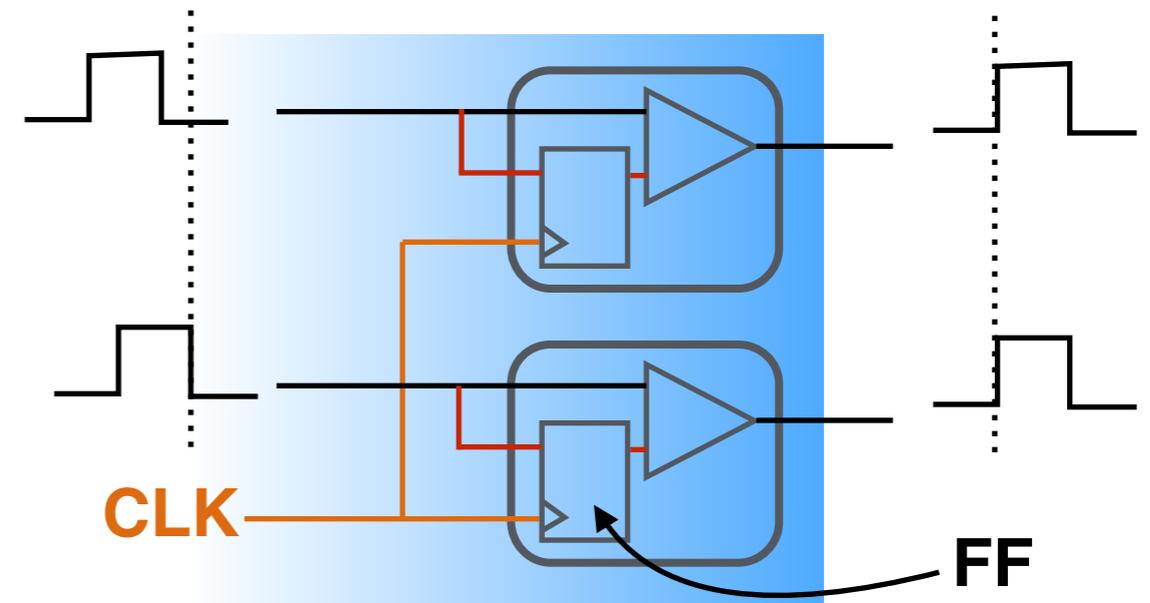
- 原因をSVX4内のFFでメタステーブル現象が起きていると推測



データ破損問題

- FPGAの出力パッド中のFFを使う
→位相のずれがキャンセル

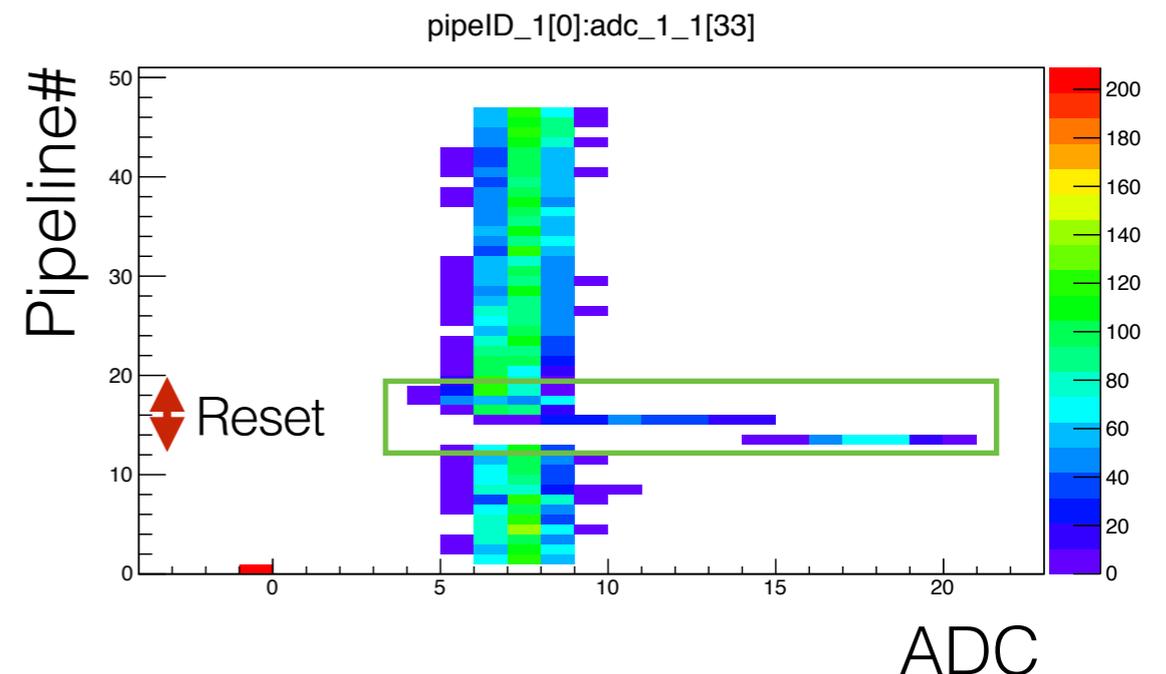
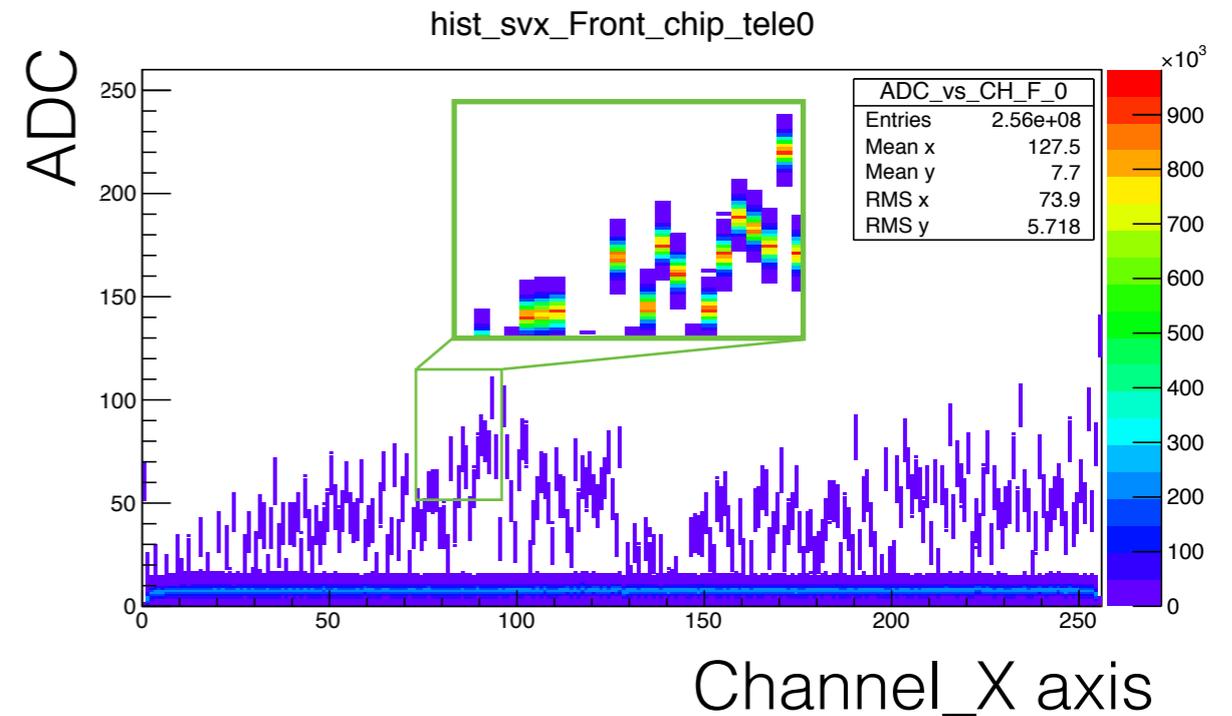
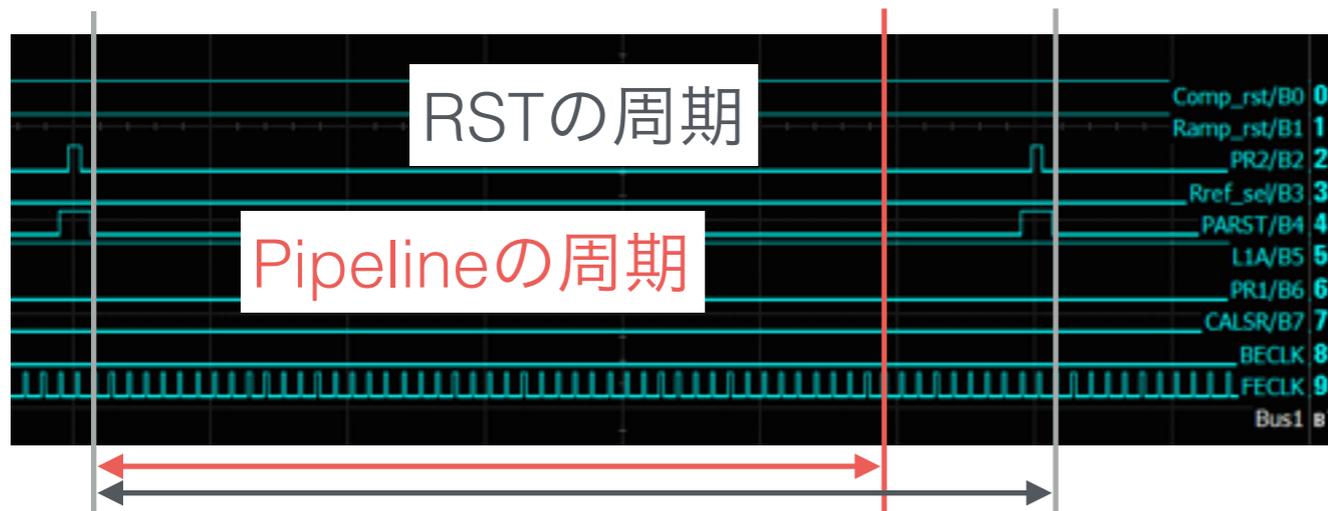
```
(* IOB = "FORCE" *) reg [3:0] ir_prin_r;  
OBUF #(.IOSTANDARD("LVCMOS33"))  
PRin1_MAP(.0(PRin[0]), .I(ir_prin_r[0]));
```



データ破損問題は解決

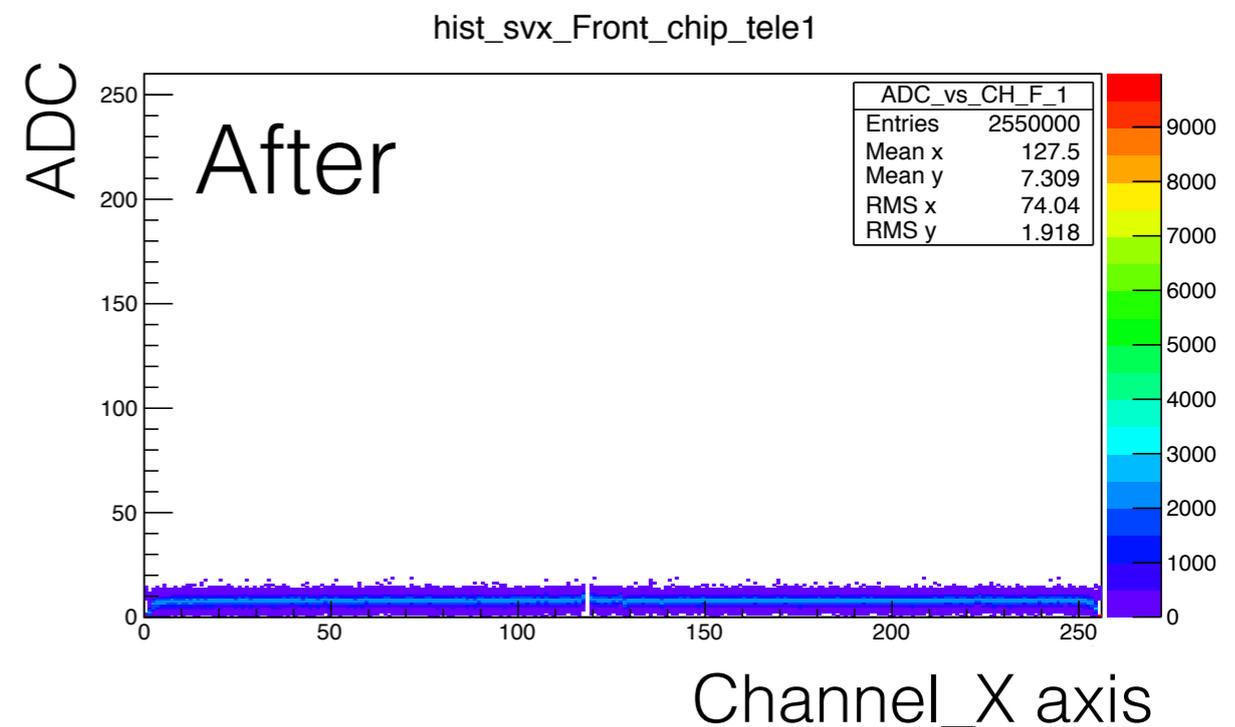
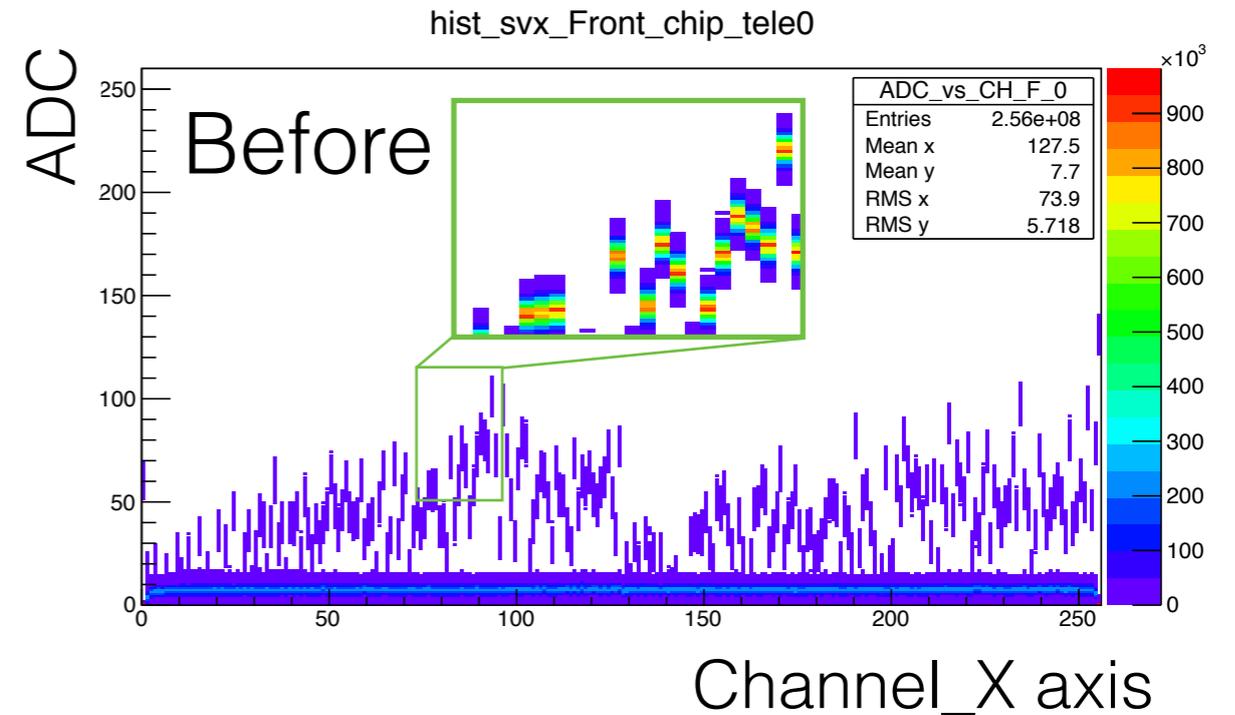
ADC値の不安定性

- ADC値の不安定性
 - イベント数に対し1%の割合で、全chのADC値がpedestal値から上昇する(右下図)
 - データ構造が壊れるという症状も
- Preampを定期的のリセットする必要
←このリセットが原因と判明



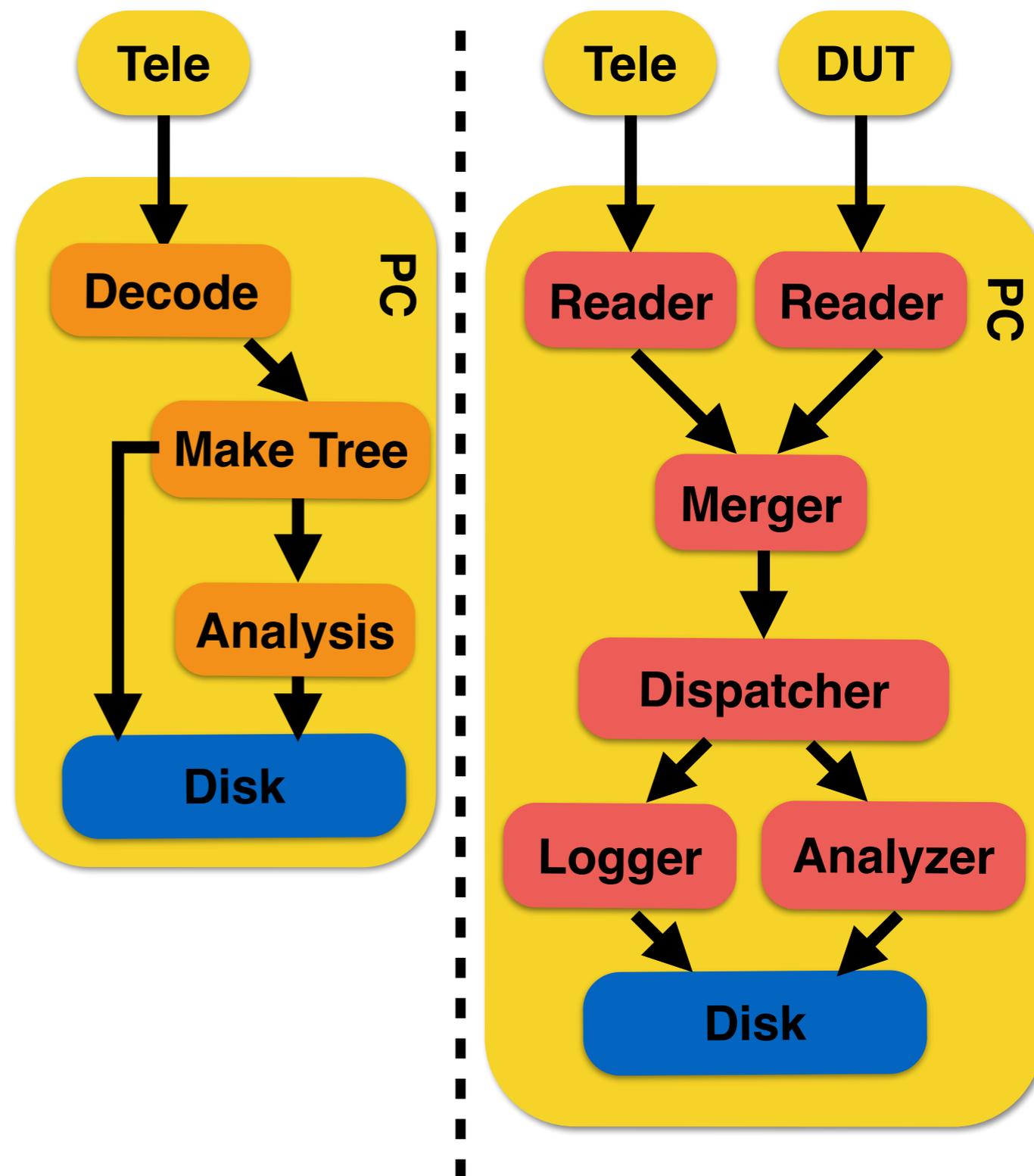
ADC値の不安定性

- リセット中はトリガをVETOすることにより、上記問題は解消
- 実際にはトリガレイテンシに合わせてリセットの位置は変動
温度等により不安定な時間も変動
- VETOのタイミングをscanできるように
- 実際の使用時は
Preampリセットは少なくする



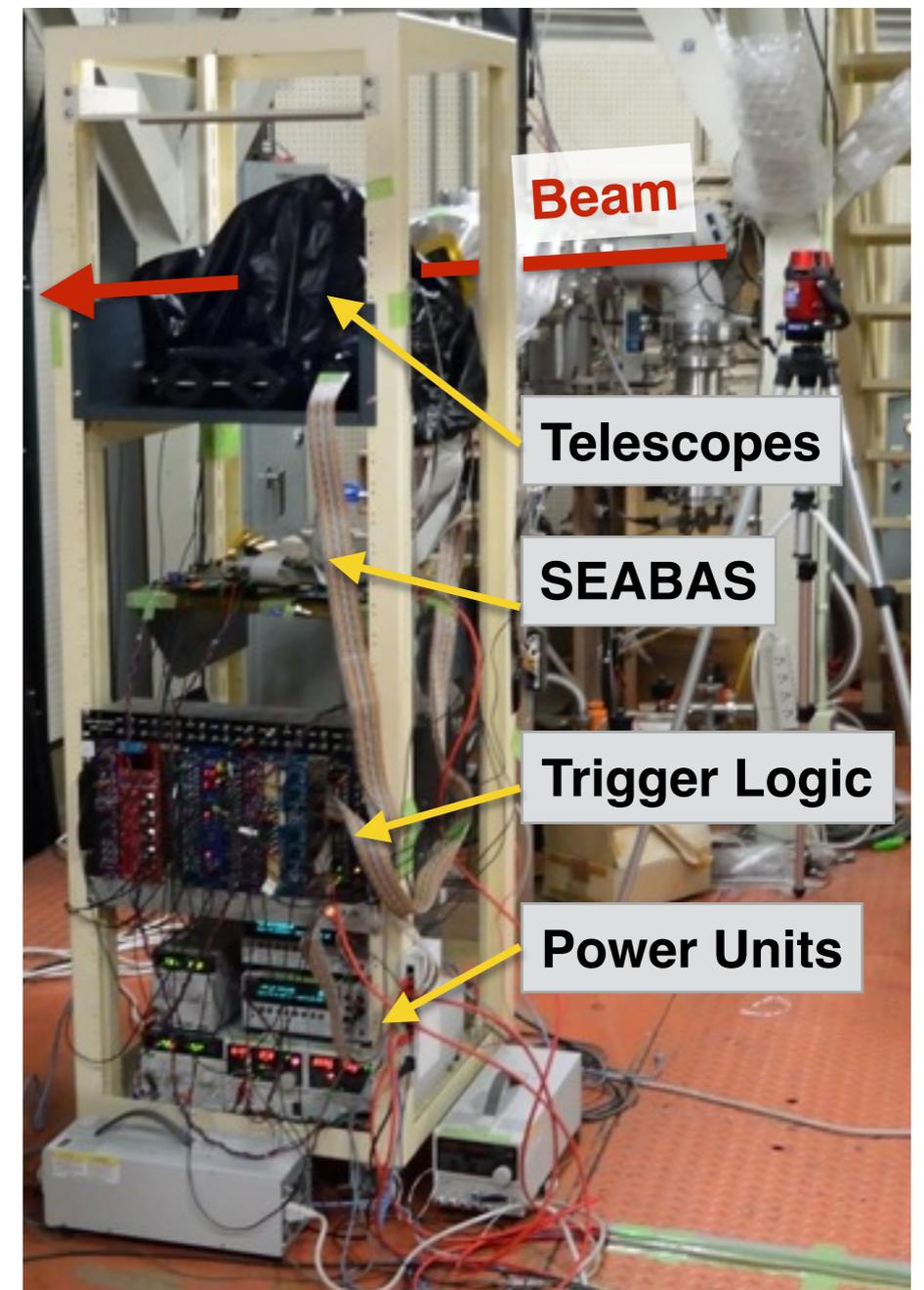
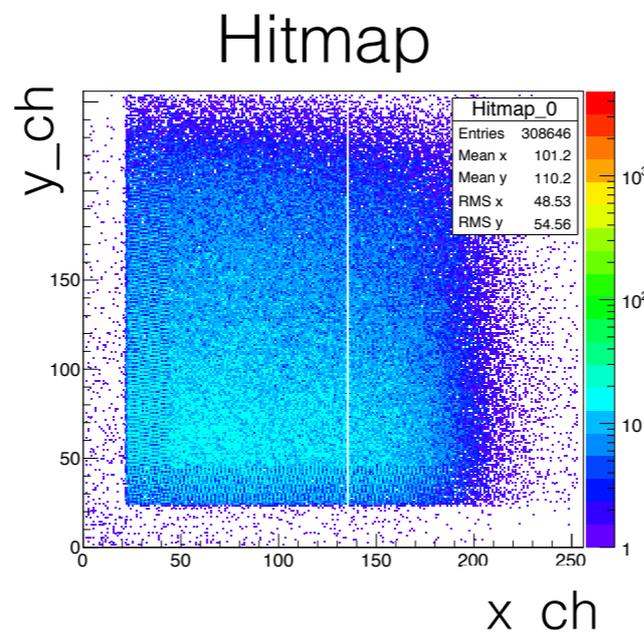
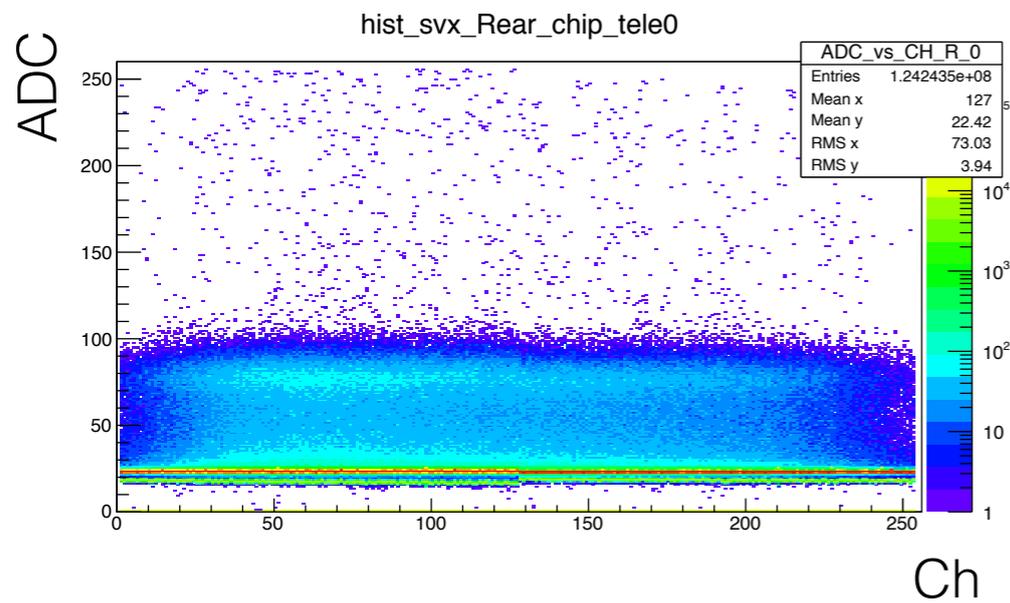
DAQソフトウェア

- デコード、オンライン解析、tree fileへの保存
- 2つのversion
 - スタンドアローン(左)
 - SCTJDAQ (右)
- マルチプロセス、GUI
- テレスコープ検出器とDUTのデータを統合



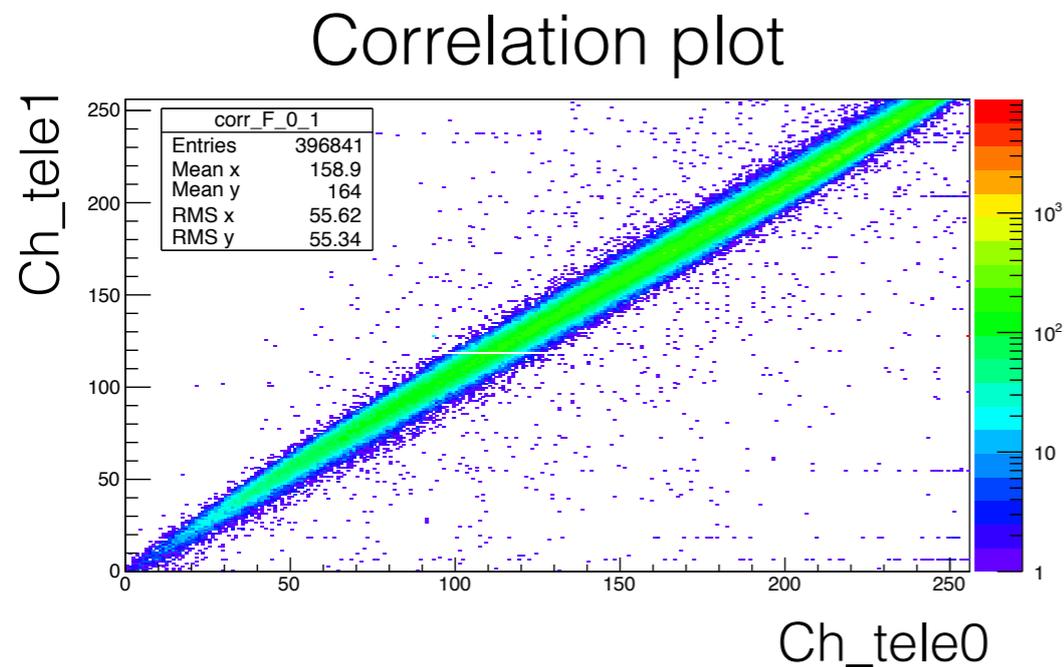
ビーム試験

- ビーム試験をRCNPで行った
- proton beam@80MeV
- テレスコープ検出器の
検出効率の評価を目指す

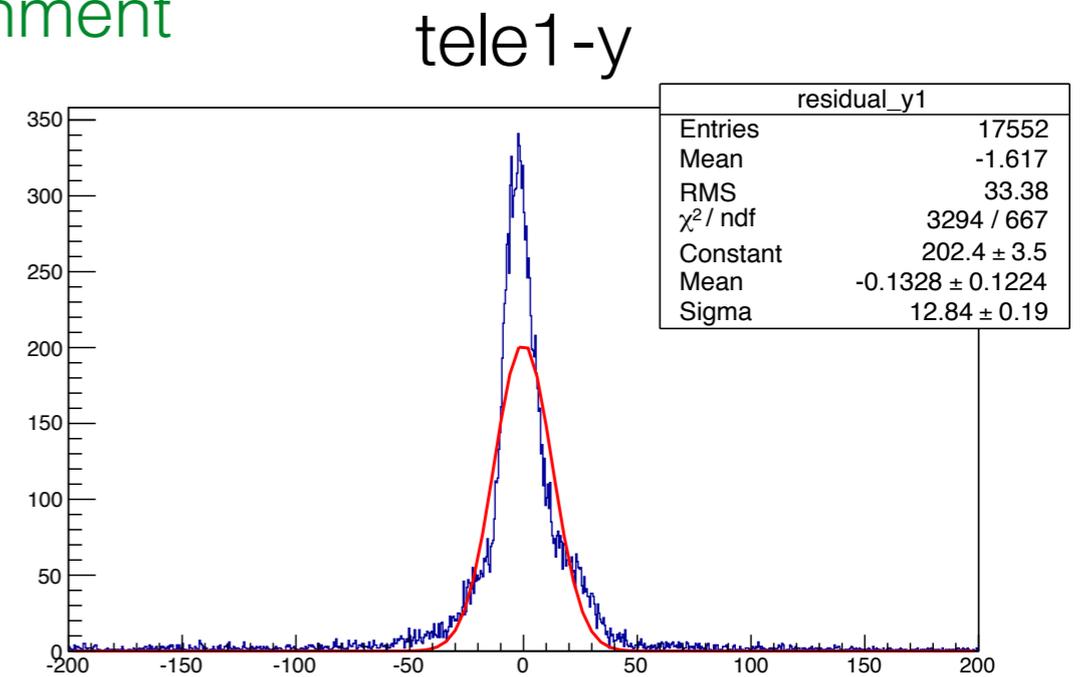
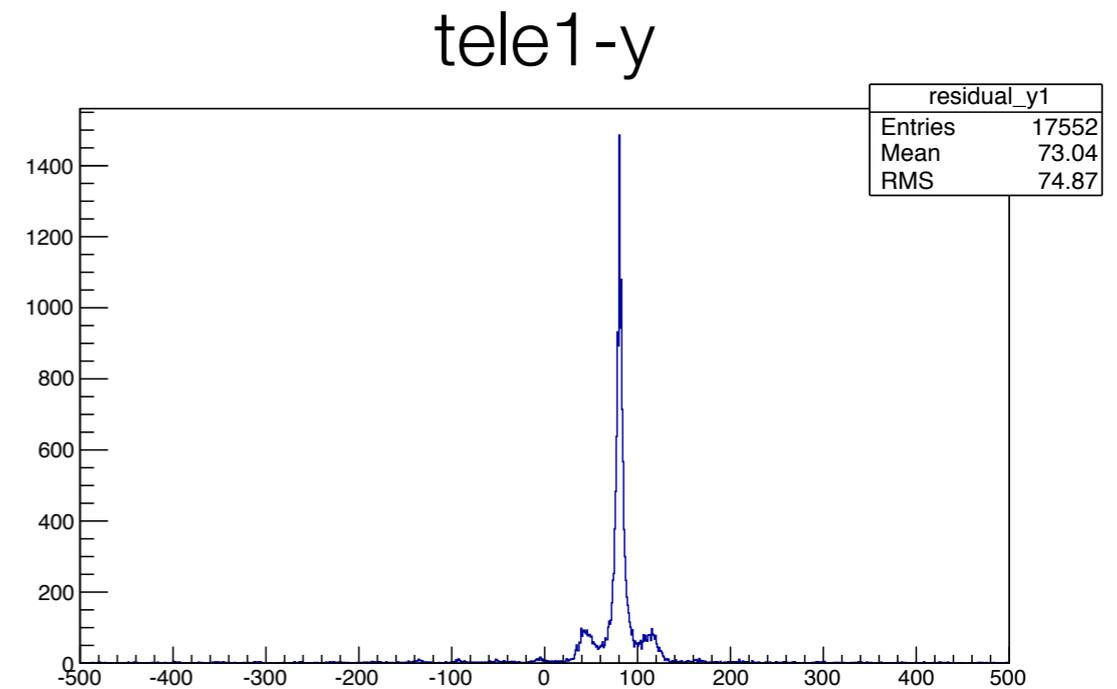


解析ソフトウェア

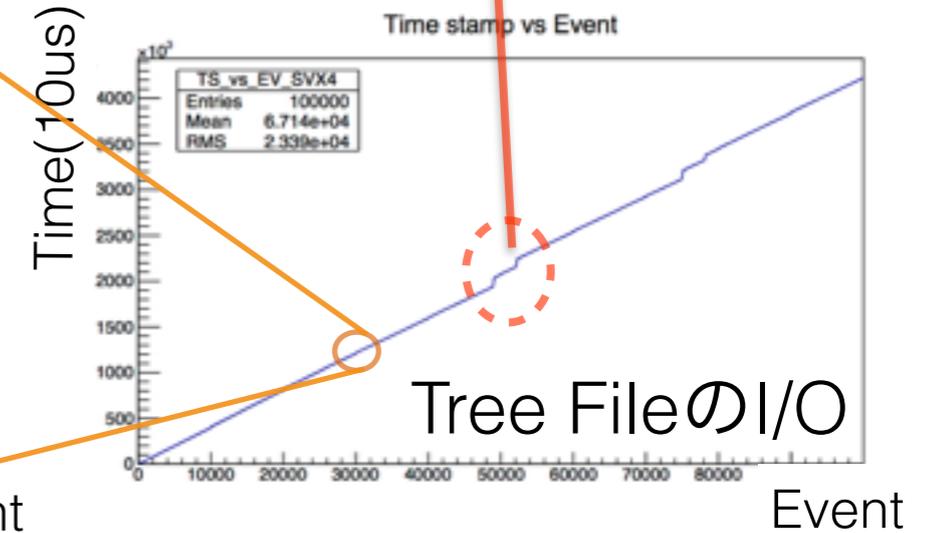
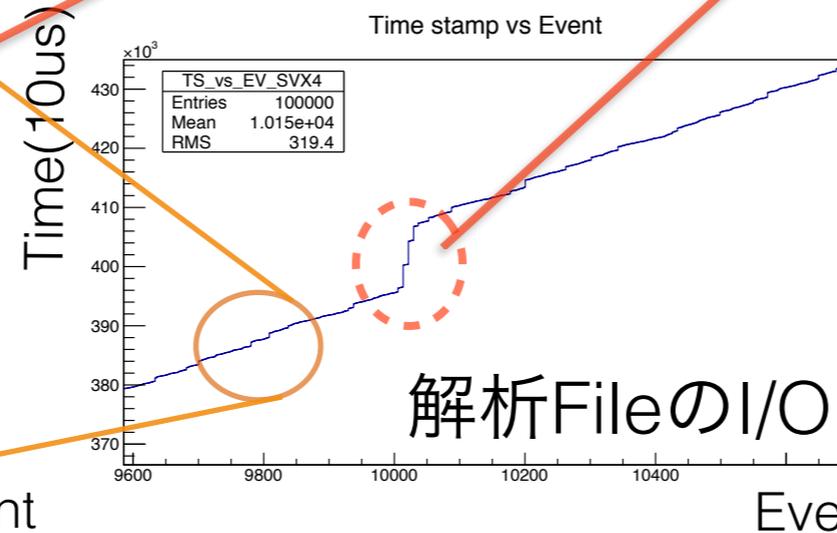
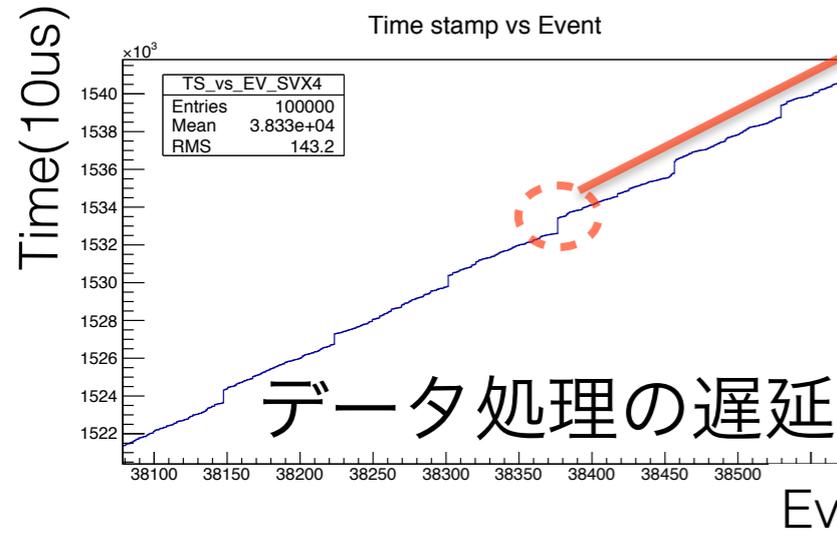
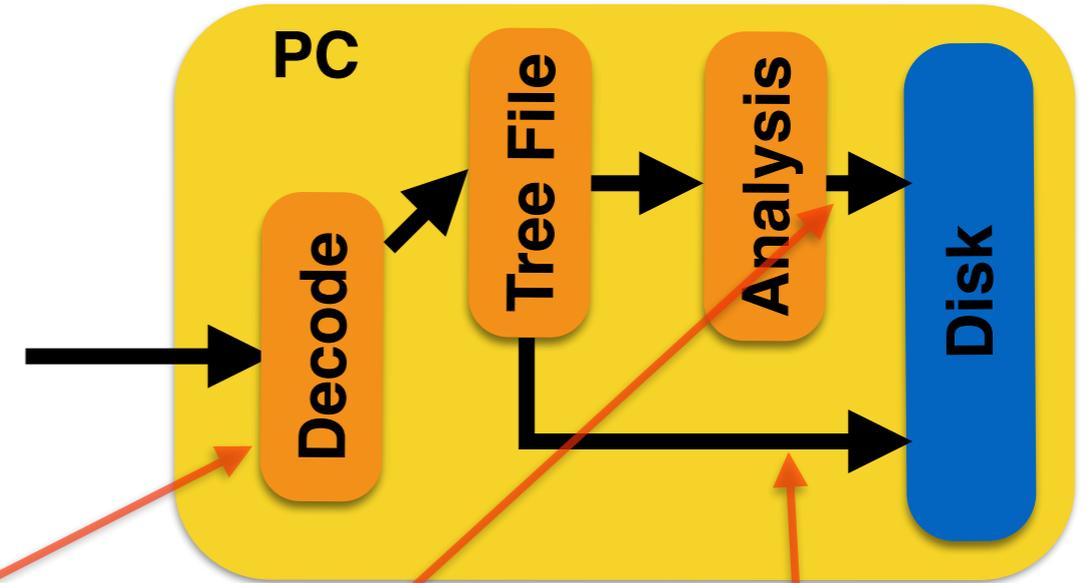
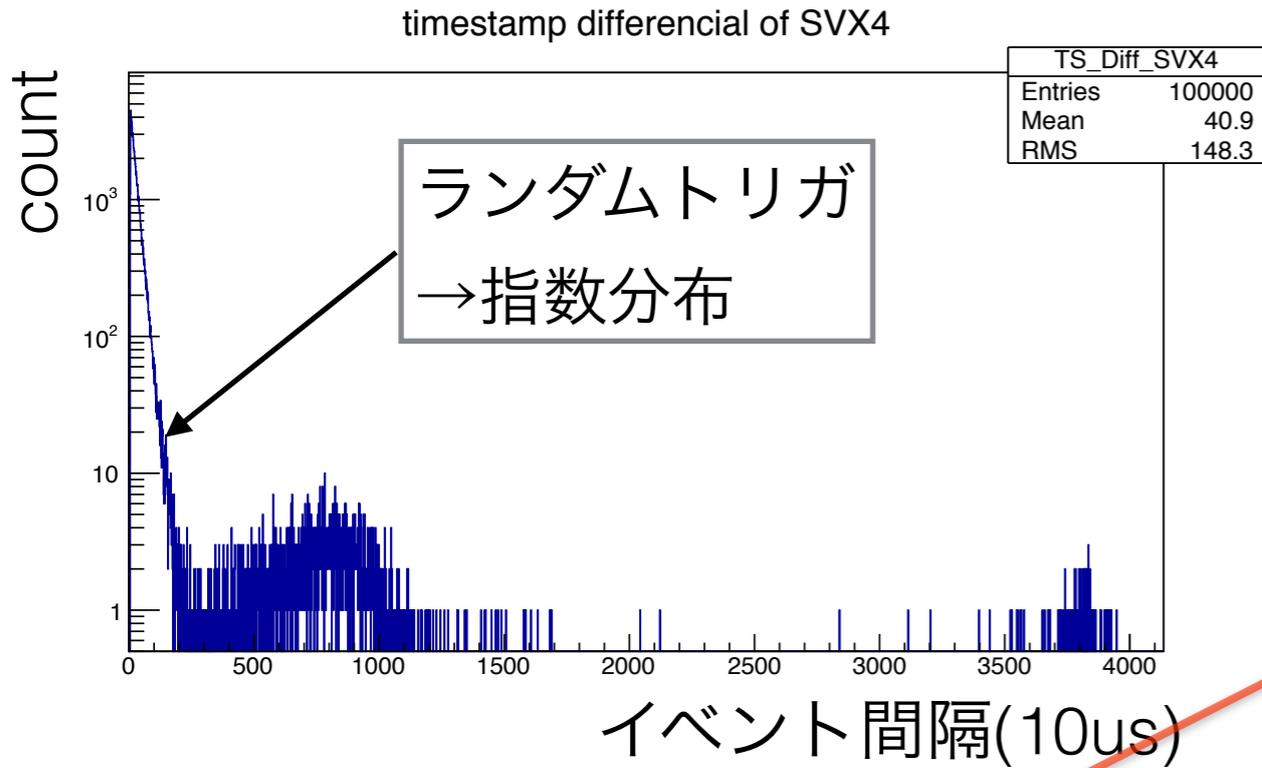
- 解析ソフトウェアも自前で用意
- トラッキング、アラインメント、検出効率、分解能算出...
- RCNPでとったデータを解析中



Alignment



DAQ速度詳細



- マルチプロセス化、ファイルフォーマットの変更で対処を予定

結論

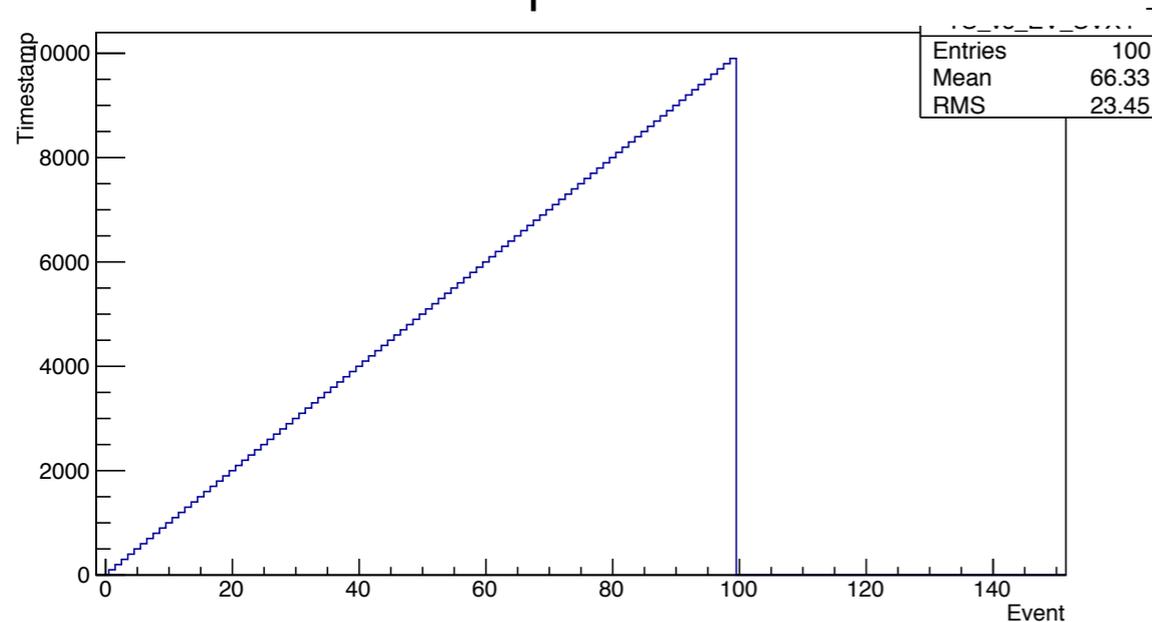
- ATLAS日本シリコングループは
新テレスコープ検出器の開発を行っている
- 新テレスコープ検出器の読み出し系は完成した
- 現在
 - ビームテストを行った
解析ソフトウェアの作成と並行して解析中
 - 9月にCERNでピクセル検出器のビーム試験に使用予定

Additional slides

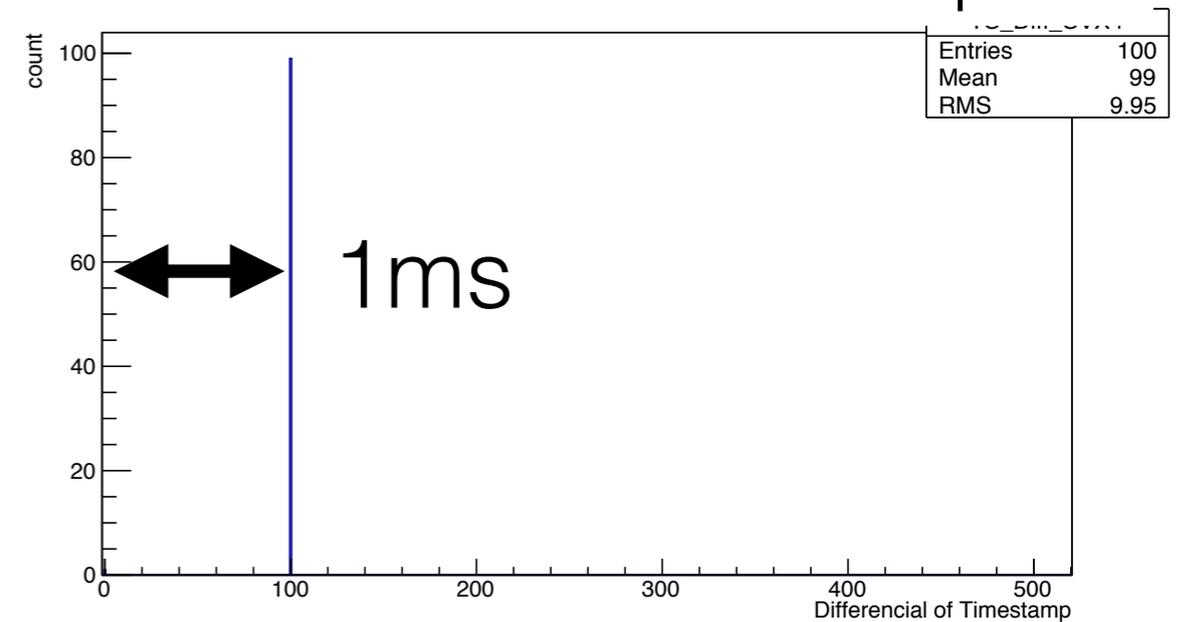
タイムスタンプ

- 10us刻み←10k event/sでは問題なし (必要に応じ変更可)
- 1kHzのトリガでDAQ
- タイムスタンプの値は正確に線形増加

Timestamp vs Event#



Differential of timestamp



ADCs on SVX4

- Wilkinson ADC
- Adjustable parameters
 - Slope of ramp voltage
 - Ramp pedestal
 - Polarity

