



ATLAS実験

Run-2におけるノイズバースト判定回路、
および

Run-3におけるトリガー判定回路の開発

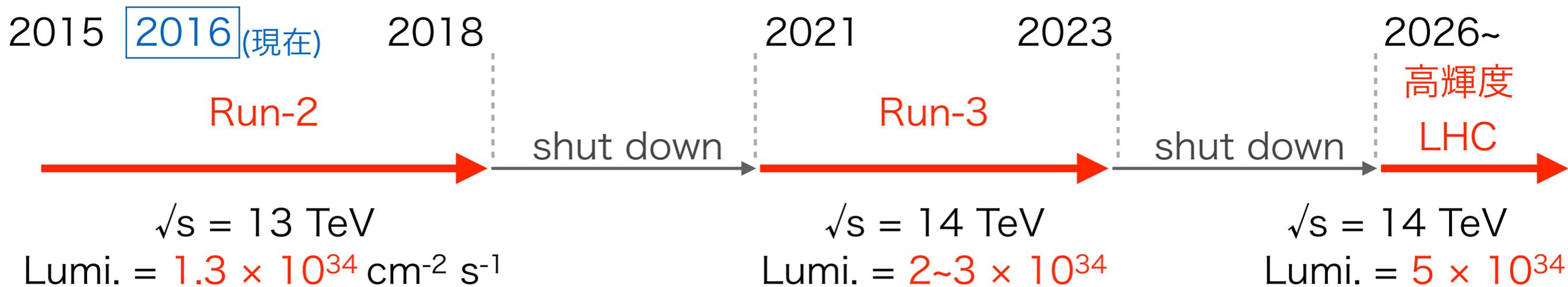
京都大学 理学研究科 修士2年 赤塚駿一

Contents

- ◆ Introduction
- ◆ Run-2 ノイズバースト判定回路 : Burst Stopper
 - ▶ Motivation
 - ▶ ボードの紹介
 - ▶ Firmware
 - ▶ 運用状況、今後
- ◆ Run-3 トリガー判定回路 : New Sector Logic
 - ▶ Motivation
 - ▶ ボードに対する要求
 - ▶ ボードの紹介
 - ▶ Firmware
 - ▶ まとめ、展望

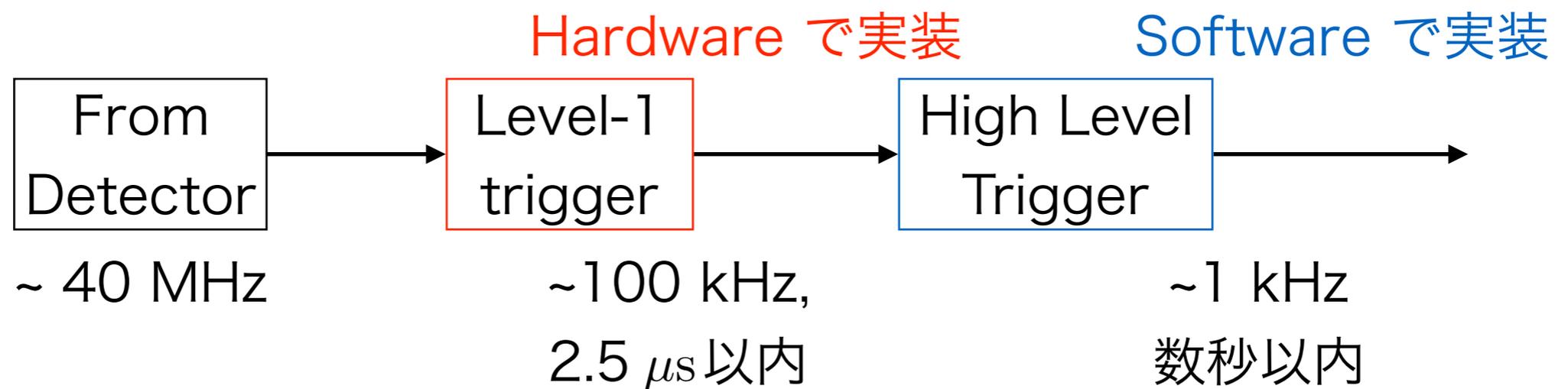
Introduction

◆ LHC Schedule



◆ ATLAS実験とトリガー

- ▶ 高いルミノシティにおいて、トリガーの性能は非常に重要
- ▶ ATLAS実験では、2段階に分けてトリガーをかけている

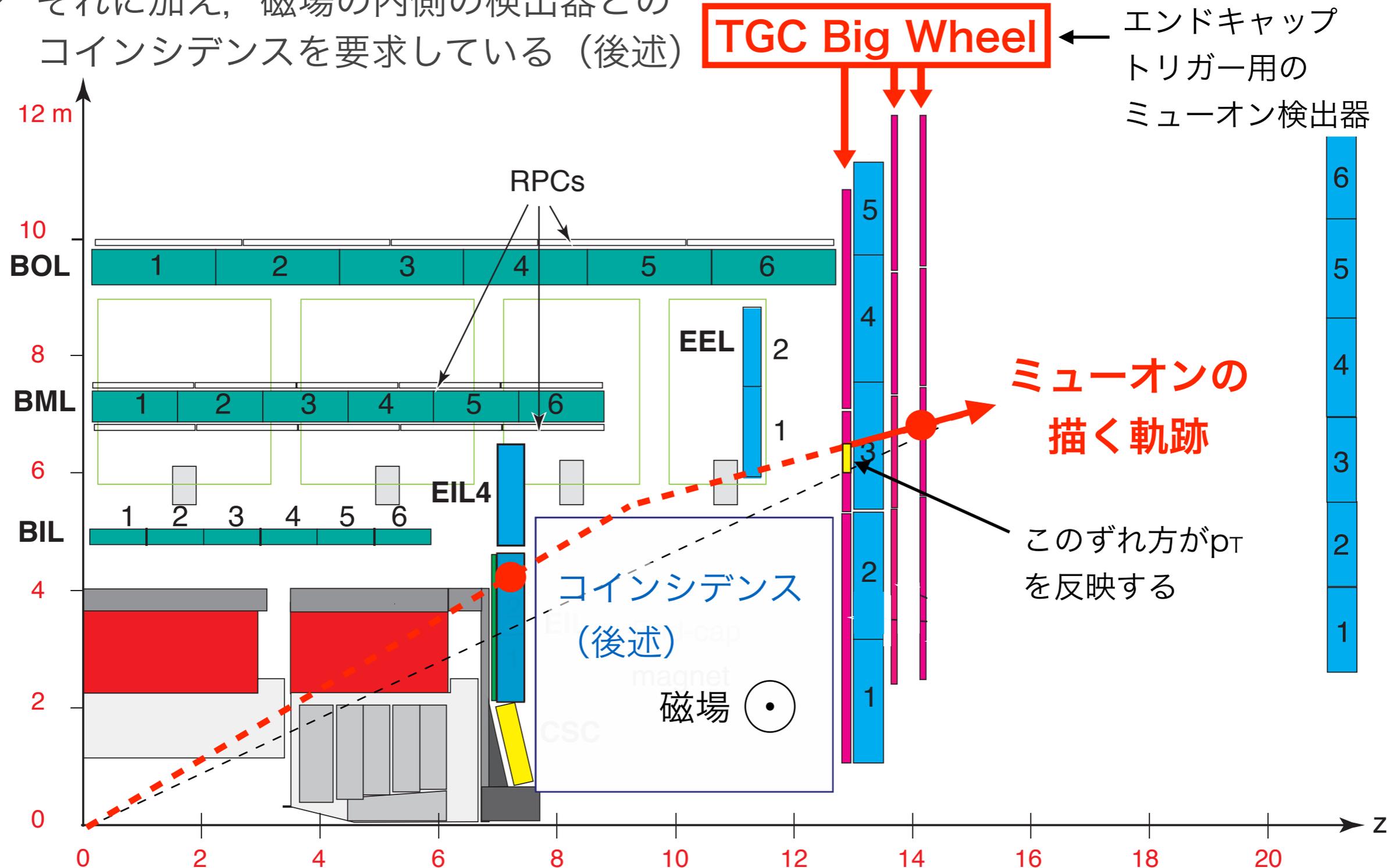


- ▶ 本講演では、**ミューオンの Level-1 trigger** について話をする

Level-1 Muon Trigger Scheme

◆ TGCという検出器でミュオンを検出し，トリガーをかける

- ▶ 特に，磁場での曲がり具合を見ることで横運動量 (p_T) に対する感度を持つ
- ▶ それに加え，磁場の内側の検出器とのコインシデンスを要求している (後述)

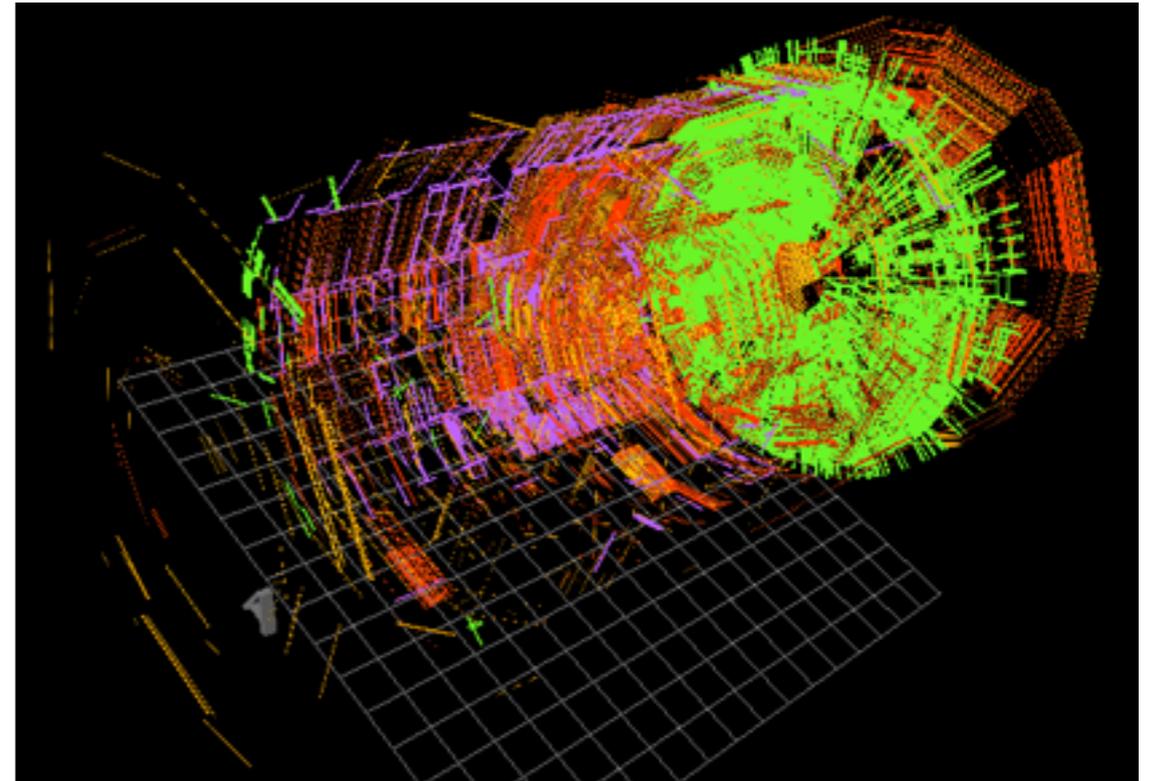


Run-2 ノイズバースト判定回路： Burst Stopper

Motivation

◆ ノイズバースト (Burst 事象) とは

- ▶ 通常の物理事象では考えられない数の Hit 情報が複数のミュオン検出器に数 μs に渡って観測される事象
- ▶ 電氣的ノイズが原因だとみられているが、何がノイズを起こしているかは未だ突き止められていない



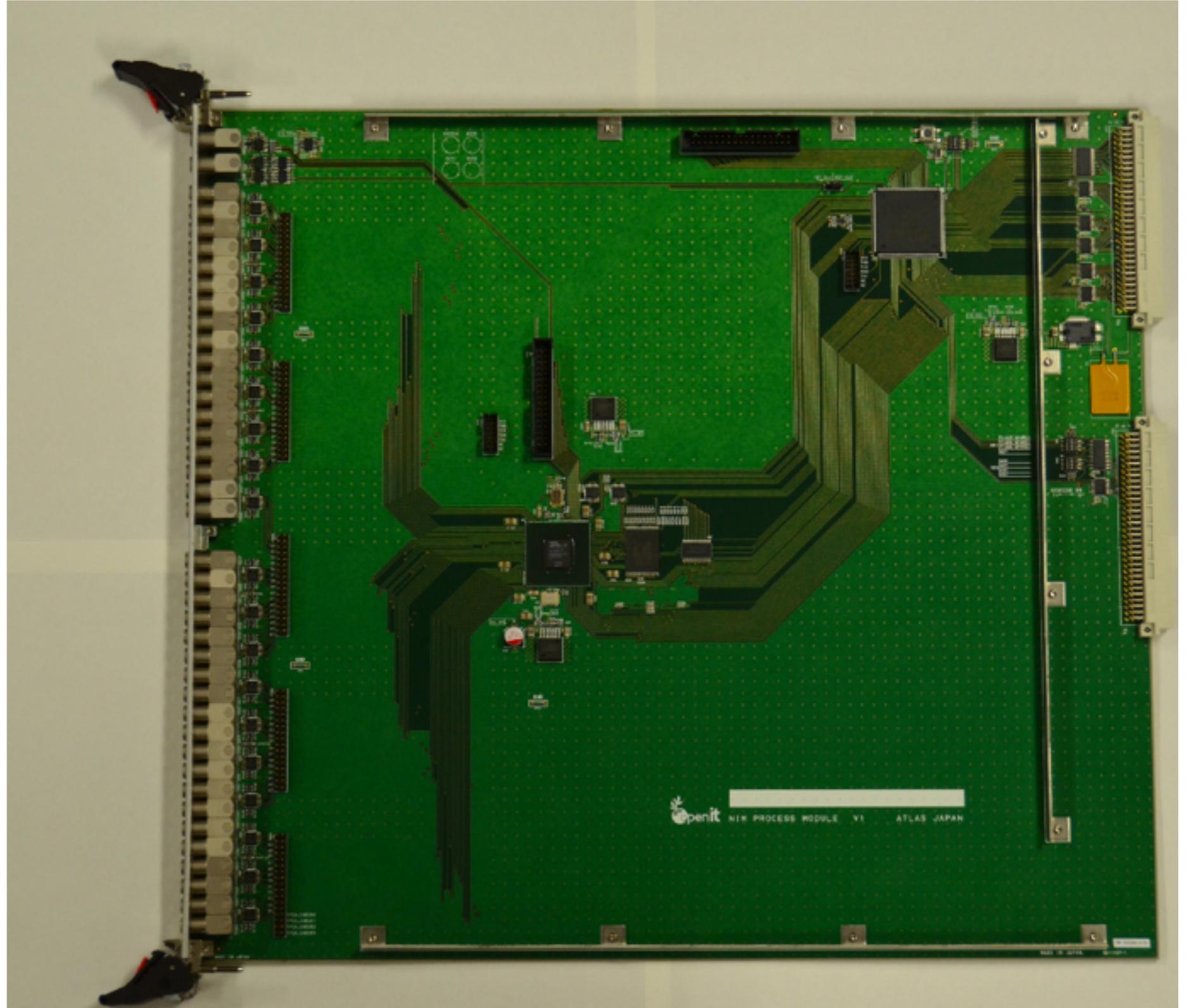
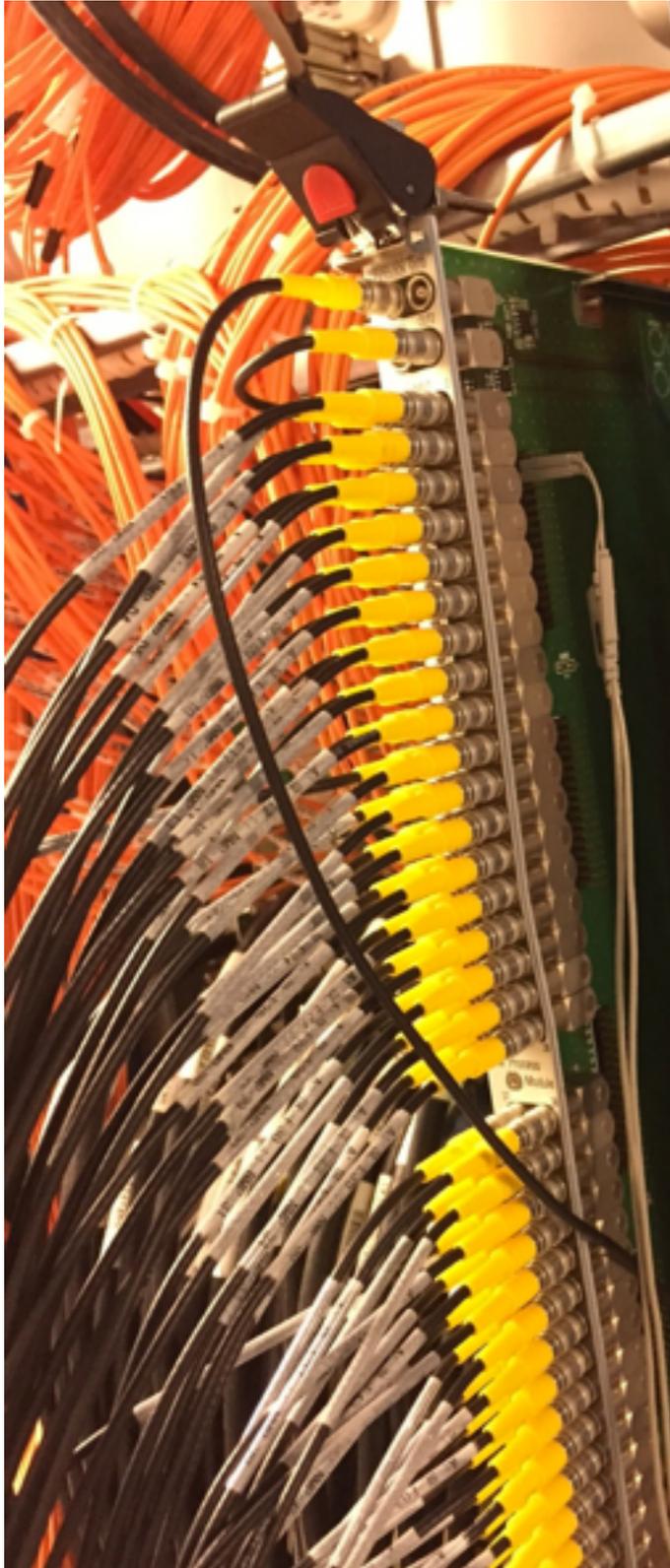
◆ Burst 事象によるデータロス

- ▶ 大量に Hit 情報が残されることにより, Level-1 muon trigger が頻発する
 - > 瞬間的に大量のデータが下流に流れ, Buffer がオーバーフローしてしまう
 - > 復旧のためにシステム全体のリスタートが必要, ~4分
 - > この間, **ATLAS 全体のデータ取得がストップしてしまう**

◆ 対策

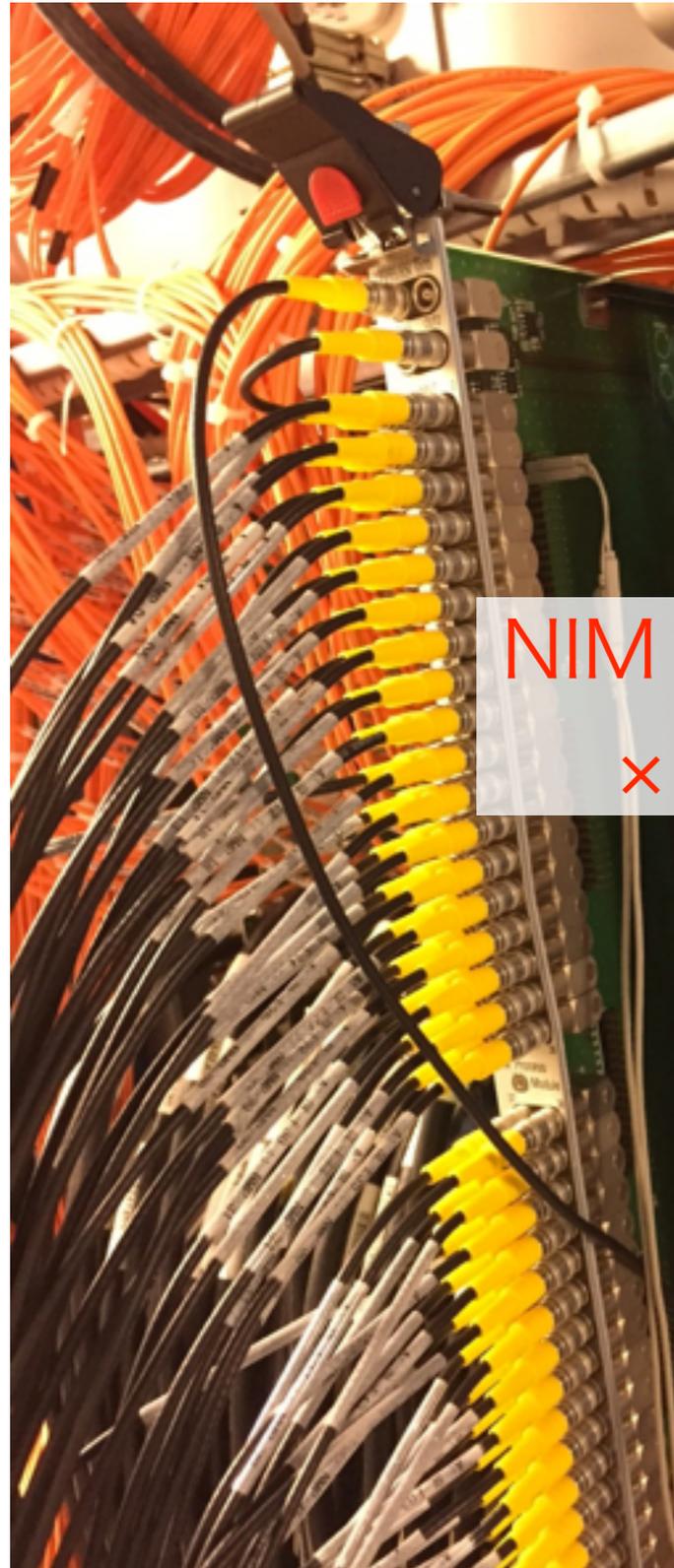
- ▶ 多数のチャンネルに比較的長時間 Hit があった場合, 一定時間 Trigger を VETO する -> **専用のボード Burst Stopper を開発**

Burst Stopper ボード



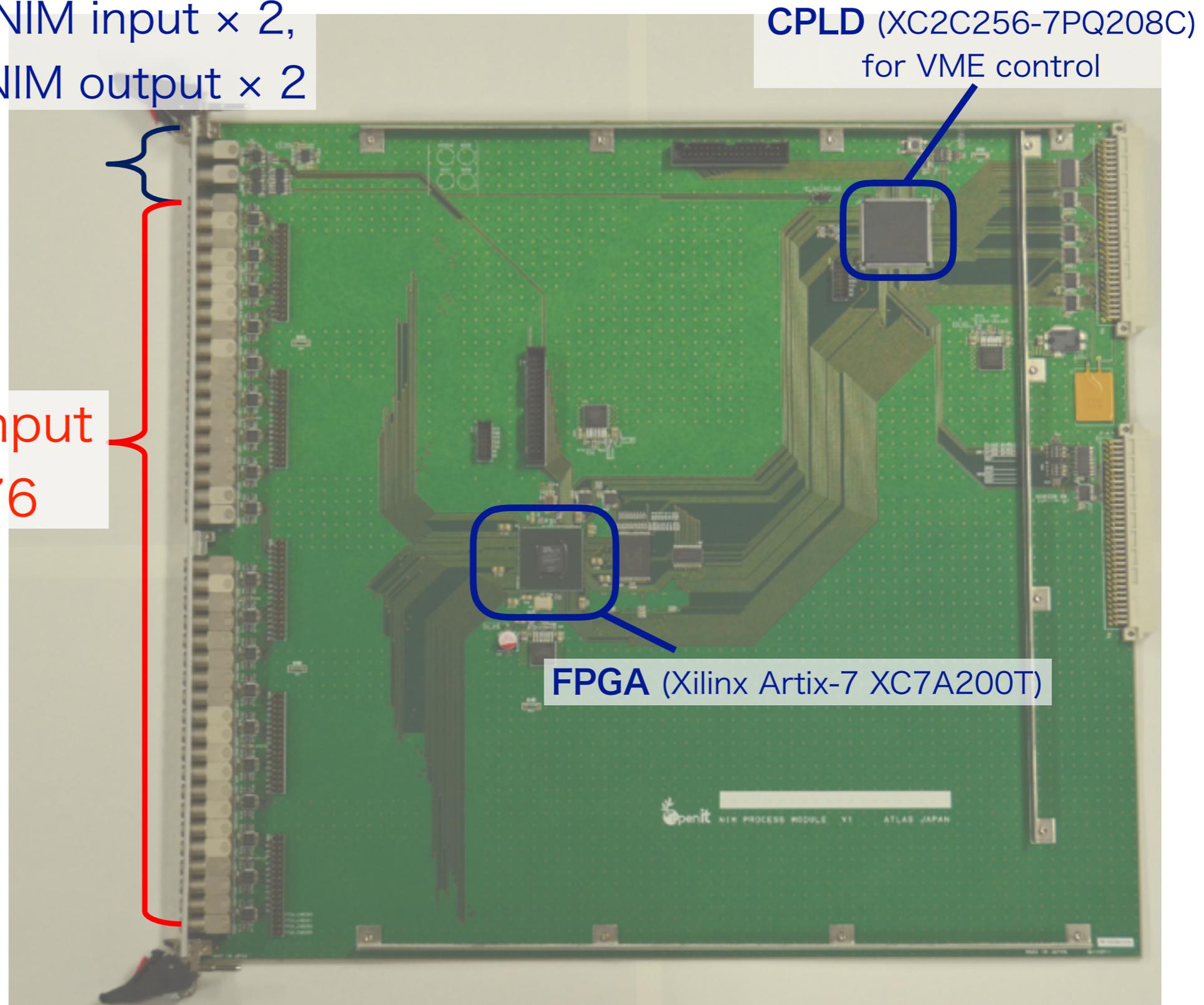
Open-Itプロジェクト 「汎用多チャンネルNIM論理回路モジュール」 [Link](#)

Burst Stopper ボード



NIM input × 2,
NIM output × 2

NIM input
× 76



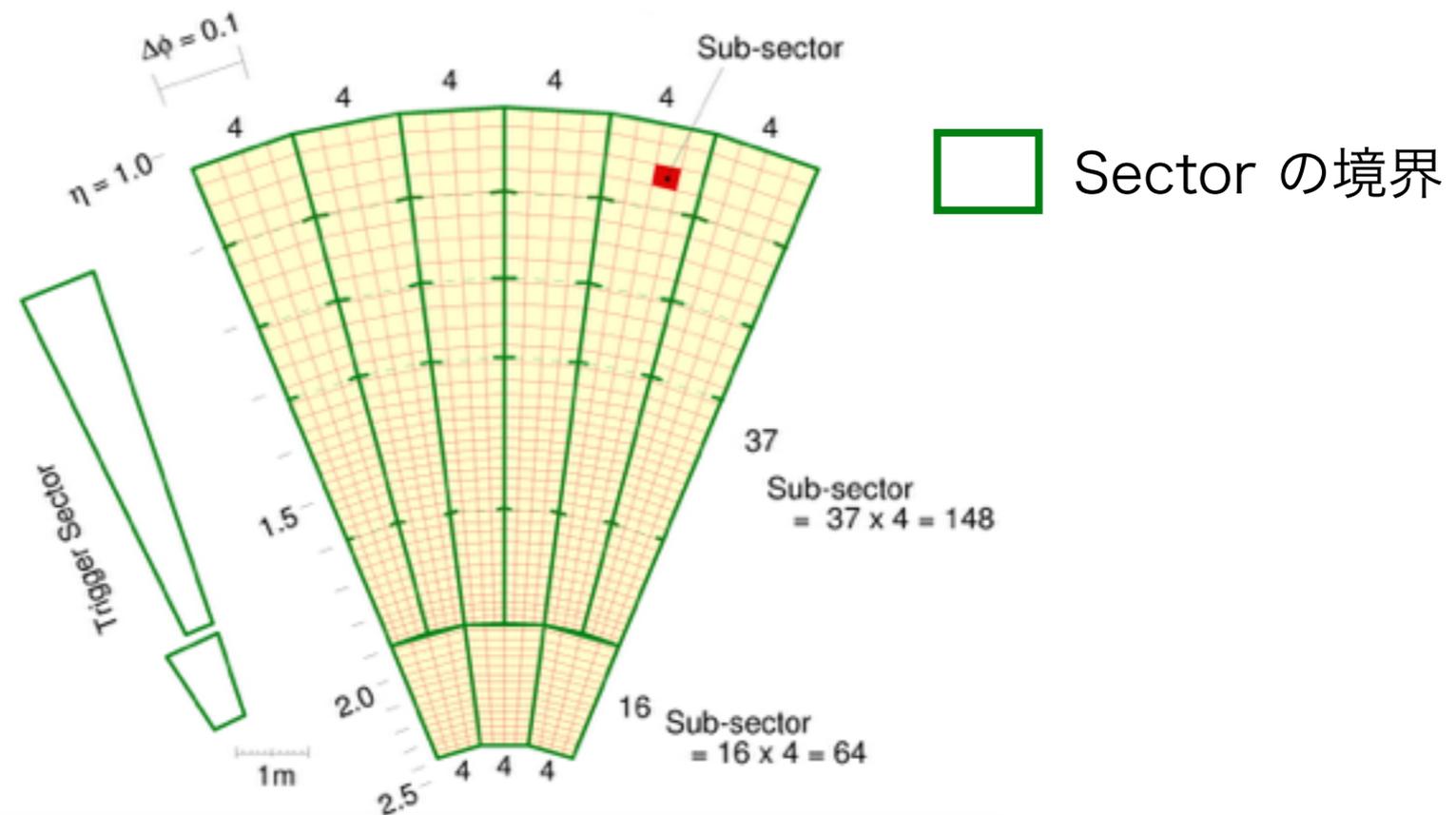
CPLD (XC2C256-7PQ208C)
for VME control

FPGA (Xilinx Artix-7 XC7A200T)

Burst Stopper への入力・出力信号

◆ 入力信号について：

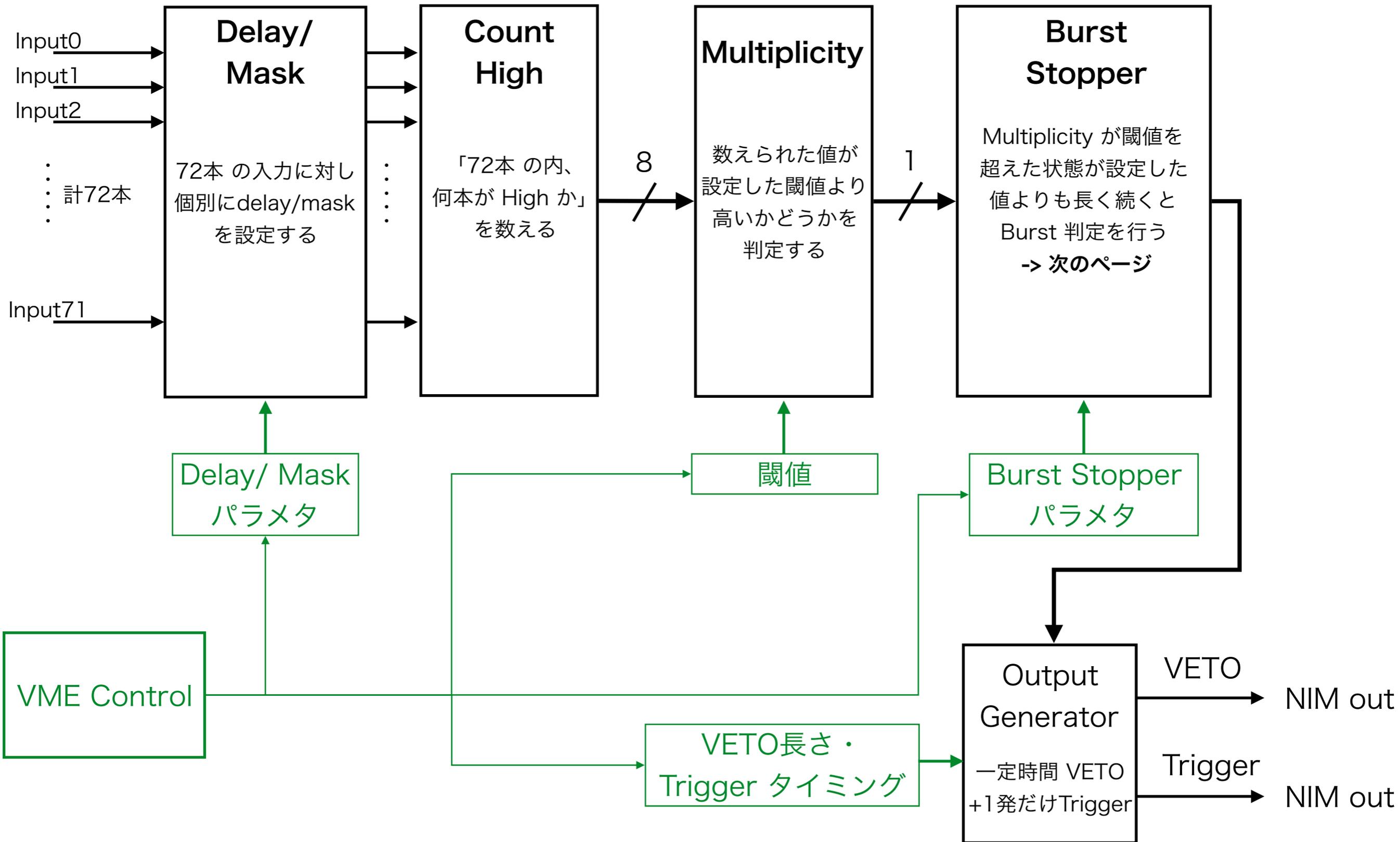
- ▶ 1つのTGC BW における「Sector」毎に、Hitの有無の情報が送られてくる
- ▶ 衝突毎に（40 MHz で）Hitの有無をNIMで受信する
- ▶ 検出器の片側，72 Trigger Sector 分の情報を1枚のBurst Stopperで受け取る



◆ 出力信号について：

- ▶ Burstが起こったと判断したときに，TriggerをVETOする信号を出力する
- ▶ Burstに関する情報を得るために，Burst判断時に1回だけTriggerを出力する

Burst Stopper Firmware



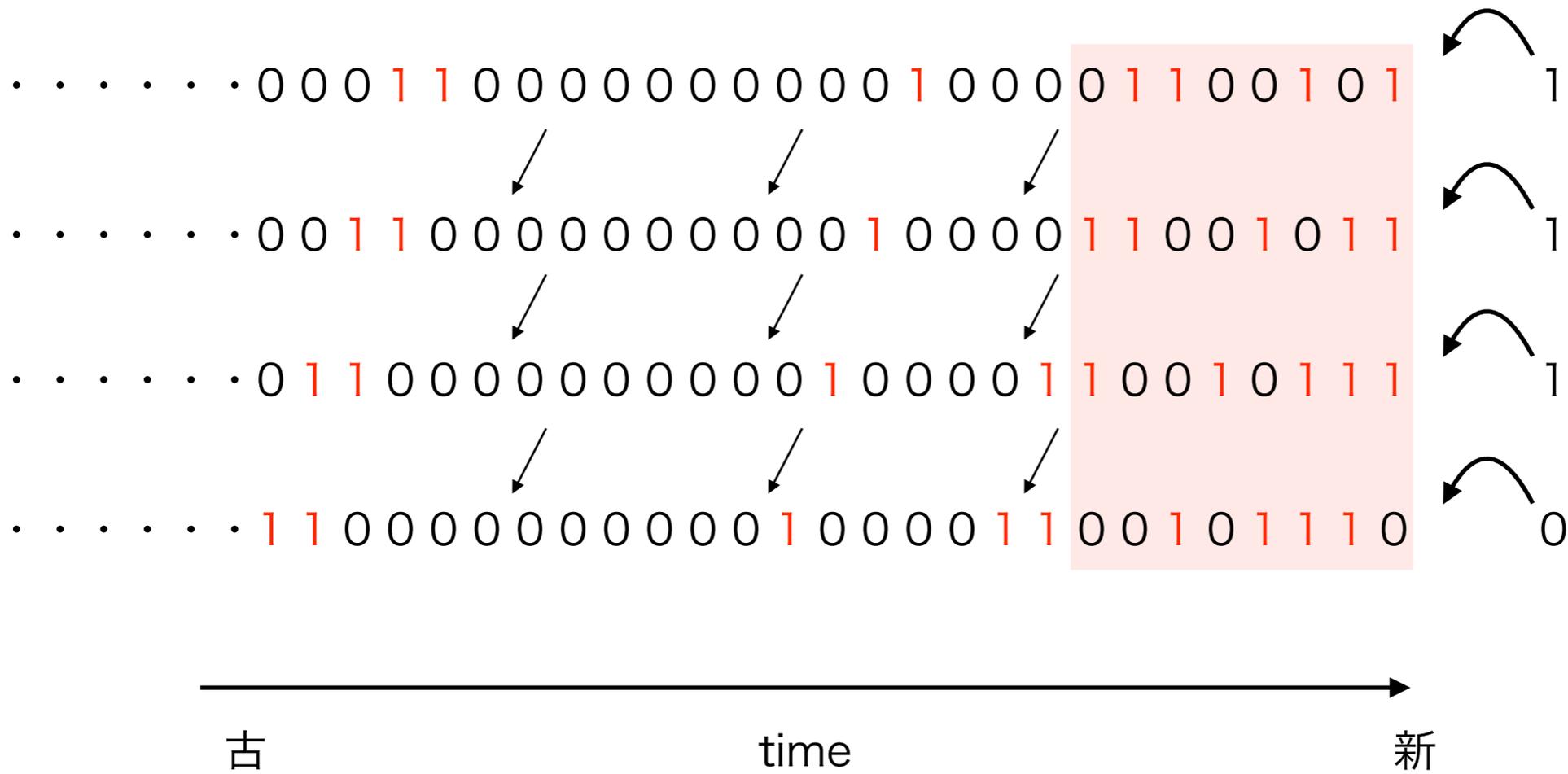
Burst Stopper Logic

◆ N out of W Logic

- ▶ 過去 W イベントのうち, N イベントが “1” なら, N out of W Logic の出力は “1”
- ▶ N, Wを調整することで Burst 判定の条件を操作できる

◆ 実装の方法：シフトレジスタを用いる

- ▶ 例えば, 「5 out of 8」 の場合：



最新の 8 イベントのうち “1” が 5 個以上あるか？

- ×
- ✓
- ✓
- ×

Burst Stopper の現状

◆ 現在の適用状況

- ▶ Trigger は enable されている
 - ▶ 正しく Burst 事象を取得できている -> Burst 事象の性質について調査を進める
 - ▶ 同時に, Burst 判定された際の入力信号も記録している
この情報を用いて閾値やN, W といったパラメータの最適化を行っている
- ▶ VETO はまだ disabled
 - ▶ 物理事象を VETO してしまわないよう, 十分な検証が必要

◆ 現在までの成果

- ▶ パラメータの最適化について
 - ▶ Burst の始まりは, 比較的局所的に連続でHit があることが分かった
 - ▶ 最も物理事象と違う点は, 多数のヒットが「長時間続くこと」であることが分かった
 - ▶ 以上 2点より, N, W を共に高くし, Hit 数の閾値は低くすることに決定した
- ▶ Burst 事象自体の理解について
 - ▶ Burst 事象には幾つかのタイプがあり, それぞれ起こる位置や残す信号のパターンに特徴がある
 - ▶ 根本理解には未だ至っていない

◆ 今後

- ▶ VETOを enable するために, 安定してburst 事象のみを検出できていることを示す
- ▶ 年内にはVETOをenableする方向で調整中

Run-3 トリガー判定回路： New Sector Logic

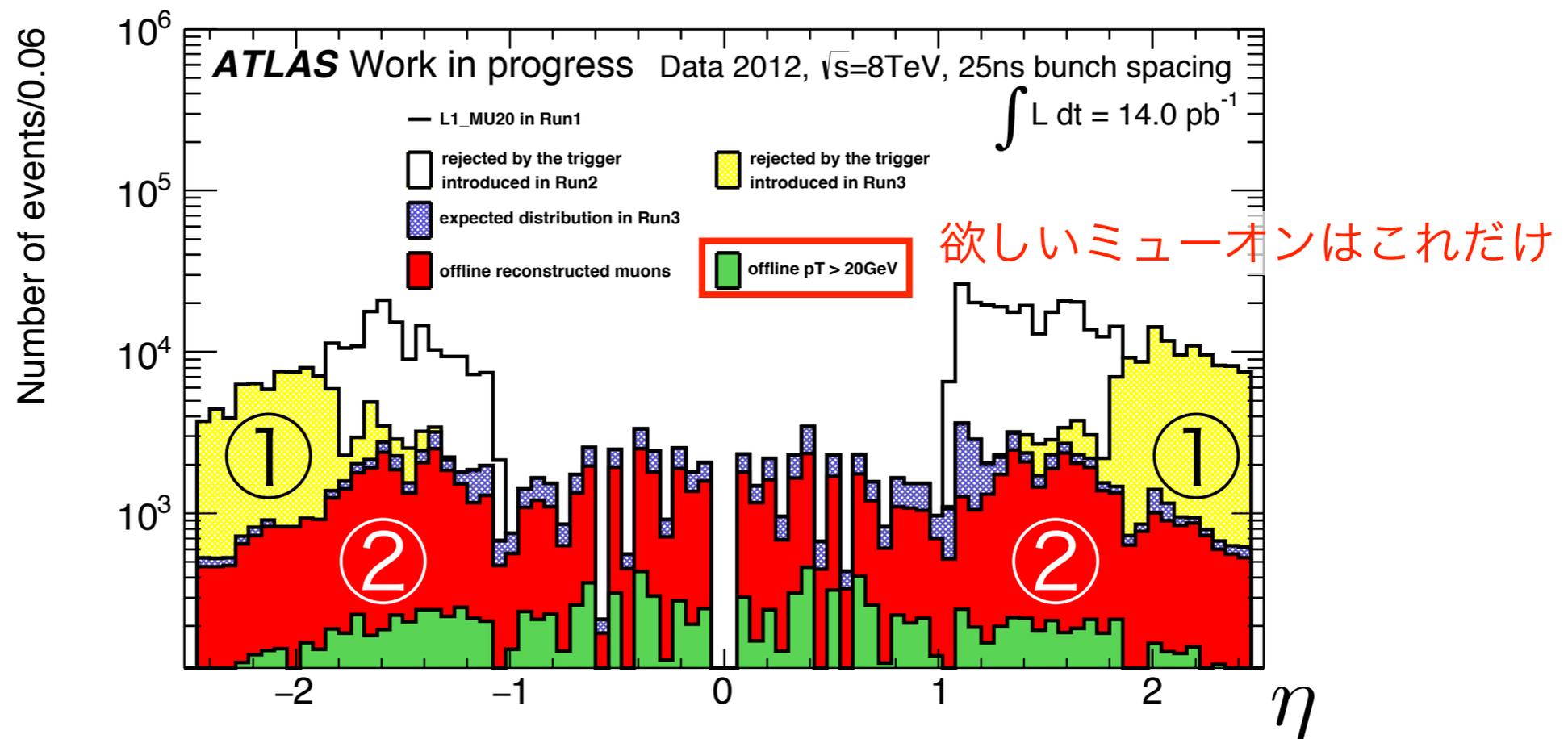
Motivation

◆ Run-3 でのトリガーレートへの要求

- ▶ $L = 3 \times 10^{34}$ において, トリガーレート < 15 kHz, p_T 閾値 20 GeV
- ▶ これは, 現在のトリガーシステムでは実現不可能
 - > **トリガーロジック**, およびそれを**実装する回路**の改良が必要

◆ 現在のトリガー: 本物のミュオンの割合が少ない

- ▶ 衝突点由来でない粒子による**フェイクトリガー** (①に多い)
 - ▶ 閾値より**低い p_T のミュオンによるトリガー** (②に多い)
- が大きな割合を占める -> これらを削減することで目標の達成を目指す



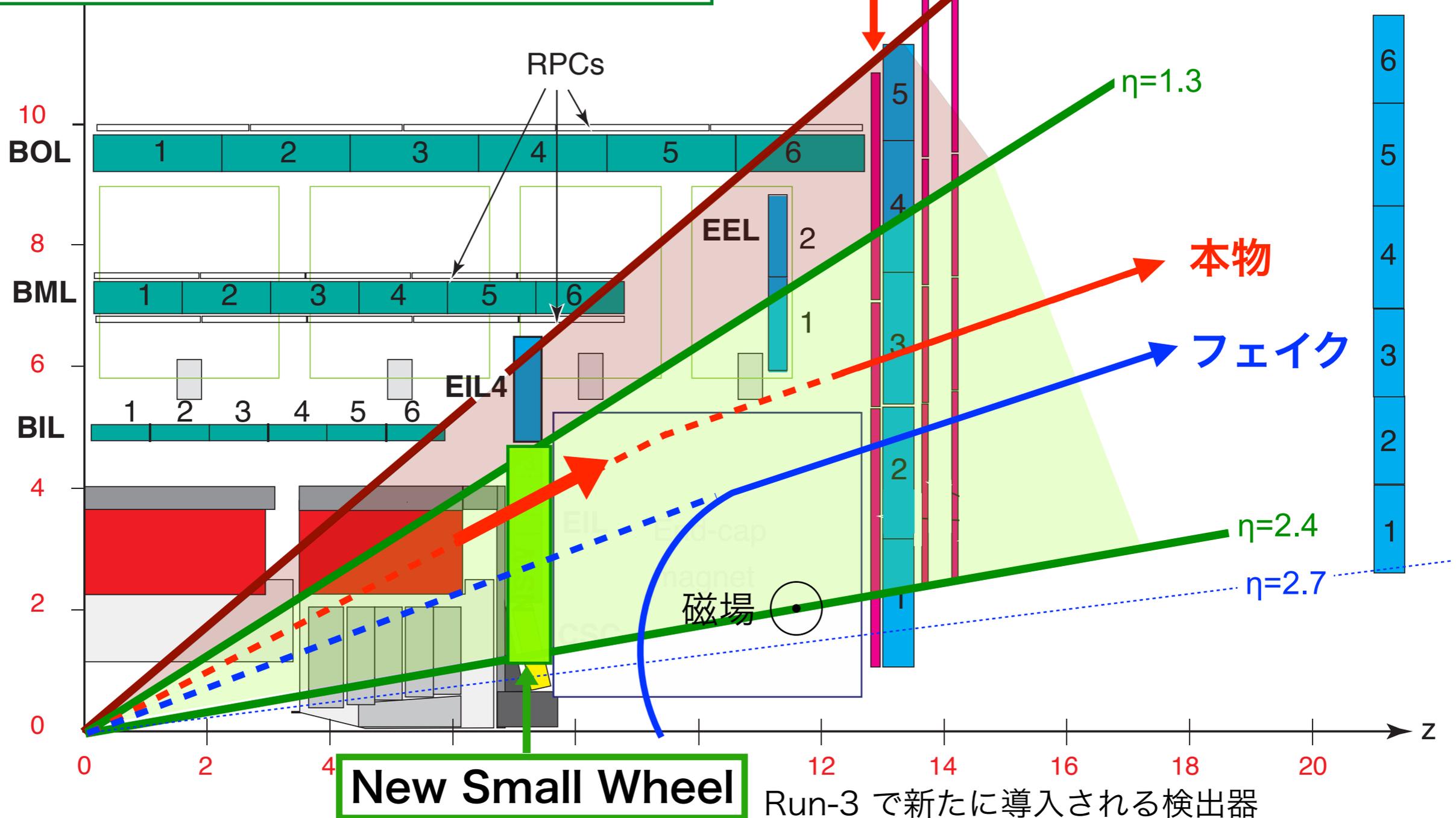
フェイクの削減：Run-3

- ◆ Run-3 では 新検出器 **New Small Wheel (NSW)** が導入される
-> 新たなコインシデンスをとることが可能になる

◆ **New Small Wheel** はFI に比べ
広いCoverage, 高い分解能

TGC Big Wheel

エンドキャップ
トリガー用の
ミュオン検出器

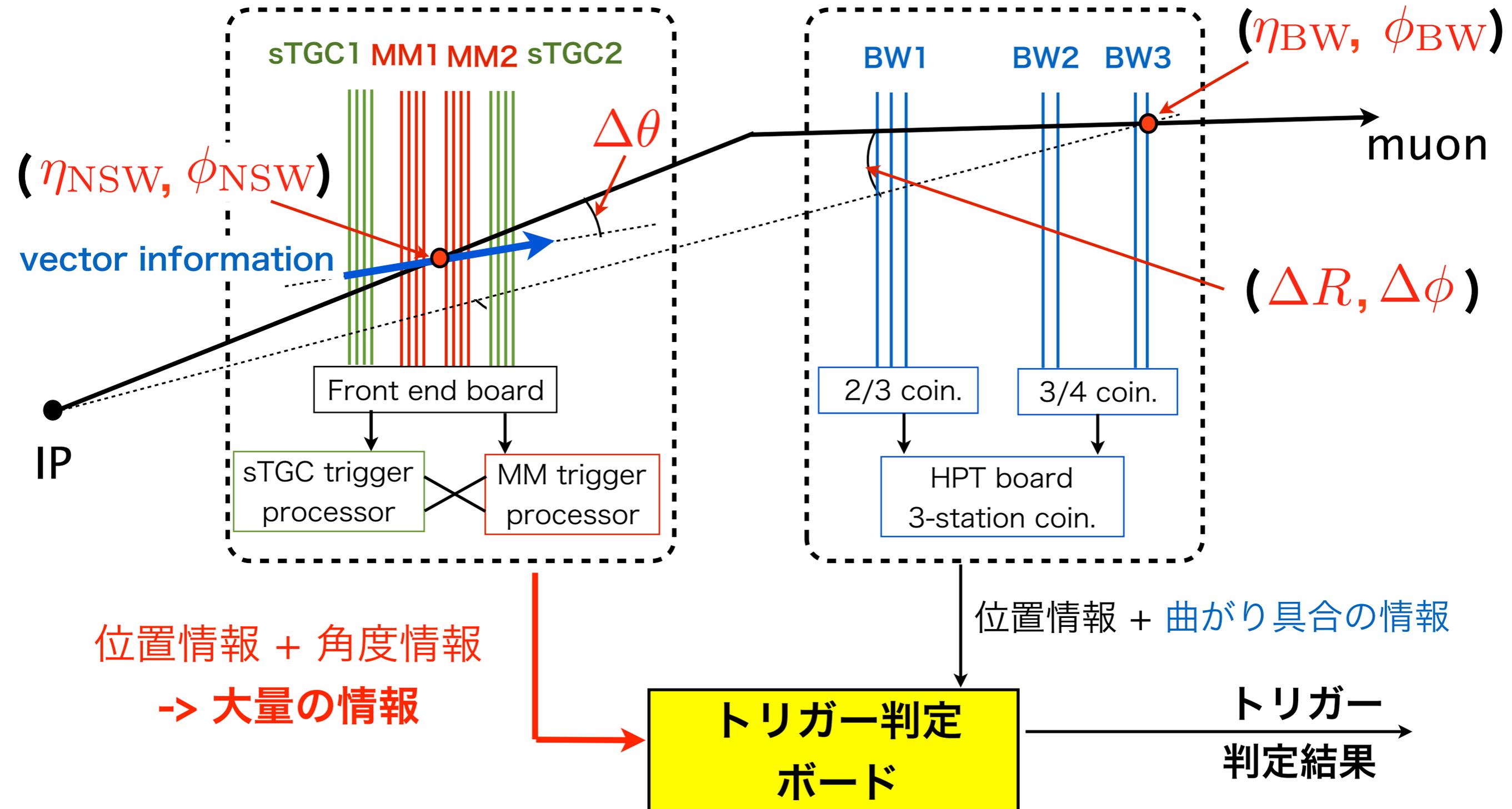


New Small Wheel の導入後のトリガー

Run-3 で導入される新検出器 :

New Small Wheel

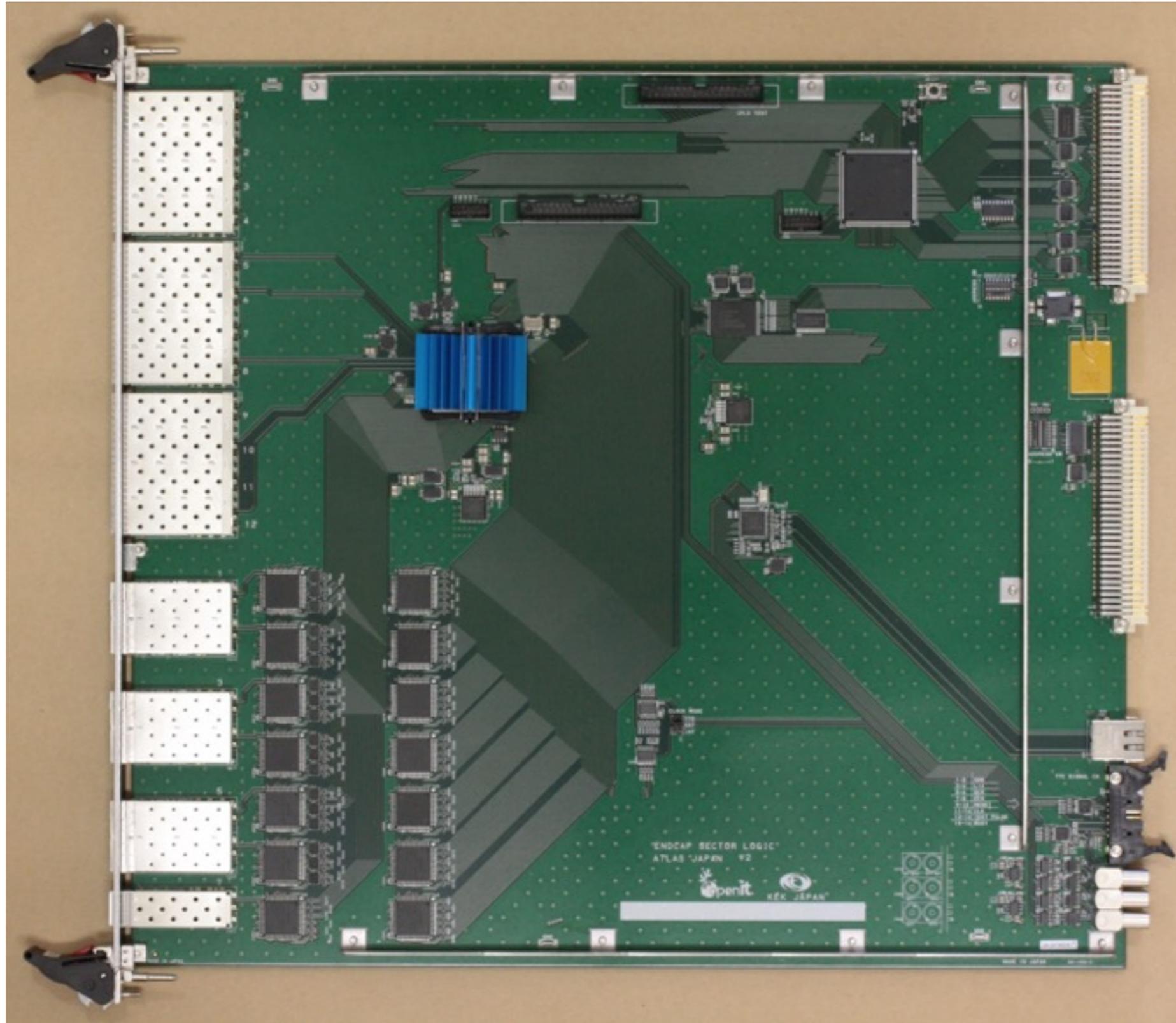
TGC-Big Wheel



トリガー判定ロジックの実装に向けて

- ◆ Run-3 でのトリガー判定ボードには、以下の性能が要求される
 - ▶ NSW からの大量の情報を受け取るために、高速データ通信ができること
 - ▶ New Small Wheel からの情報は従来の検出器からの情報に比べデータサイズが大きい。必要な情報を受け取るためには6.4 Gbps でのデータ通信ができる入力方法が必要である。
 - ▶ 大規模なトリガーロジックを実装するための大容量の FPGA を搭載すること
 - ▶ Coincidence Window の値は、検出器のアライメントや運用時のコンディションにより変更・修正が必要になる。
そのため、書き換え可能なFPGA 上に大規模ロジックを実装する必要がある。
 - ▶ トリガーを通過した事象のデータを、送信し保存できること
 - ▶ 後段の High Level Trigger で用いるデータを送る必要がある。
- ◆ 現行のトリガー判定ボード Sector Logic では上の性能を満たせない
-> 新たなトリガー判定ボード **New Sector Logic** を開発した

New SL board design



Open-Itプロジェクト 「ATLAS Level-1 muon trigger processor」 [Link](#)

New SL board design

6 optical inputs (6.4 Gbps) from NSW
SFP+ with GTX RX in FPGA

6 optical inputs
for other detectors
SFP+ with GTX RX

2 optical outputs
(6.4 Gbps) to MuCTPi
SFP+ with GTX TX

FPGA (Xilinx Kintex-7 XCK325T)

CPLD (XC2C256-7PQ208C)
for VME control

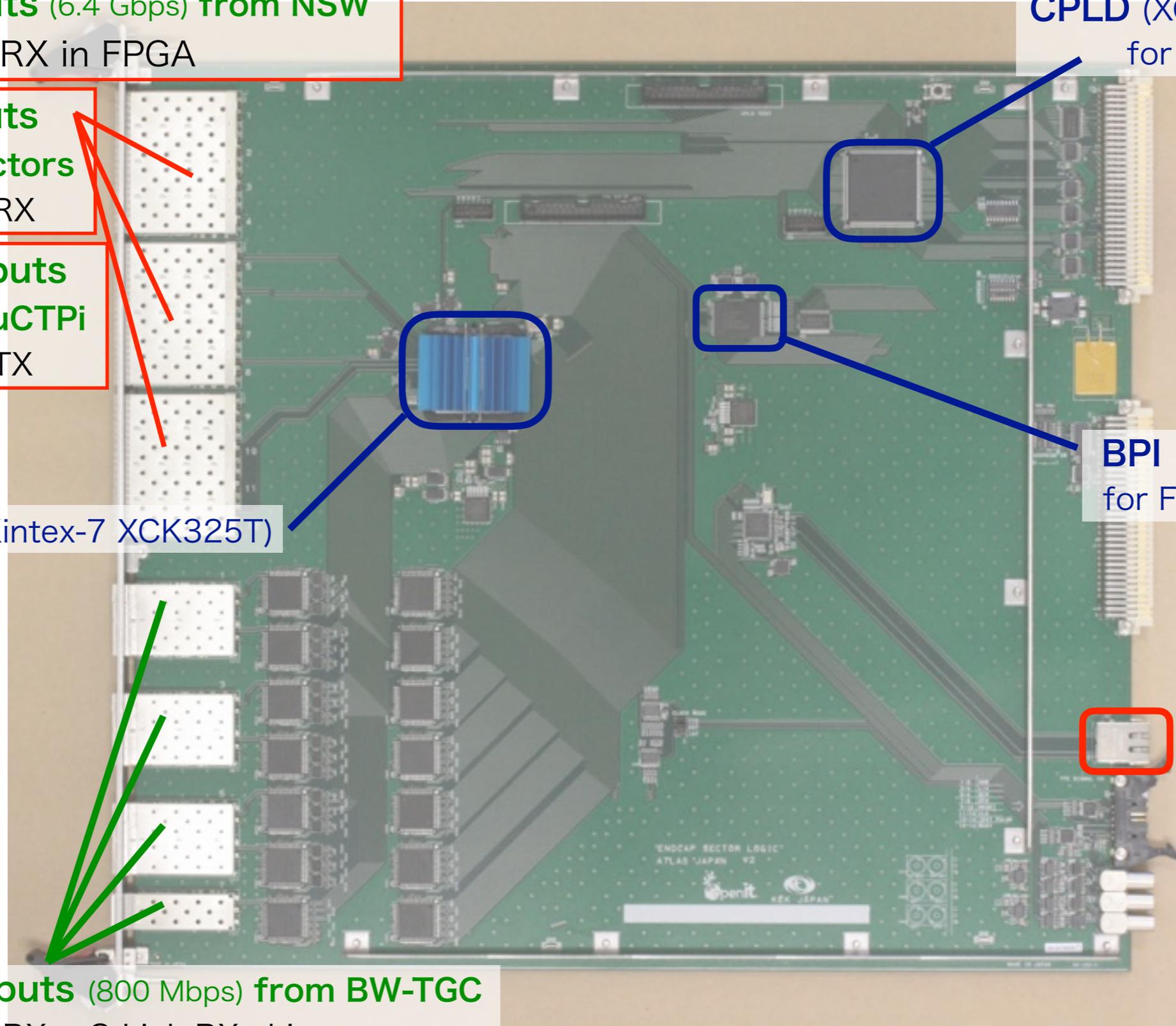
BPI (PC28F256P30TF)
for FPGA configuration

RJ45 connector
for readout (**SiTCP**)

16-pin connector
for TTC

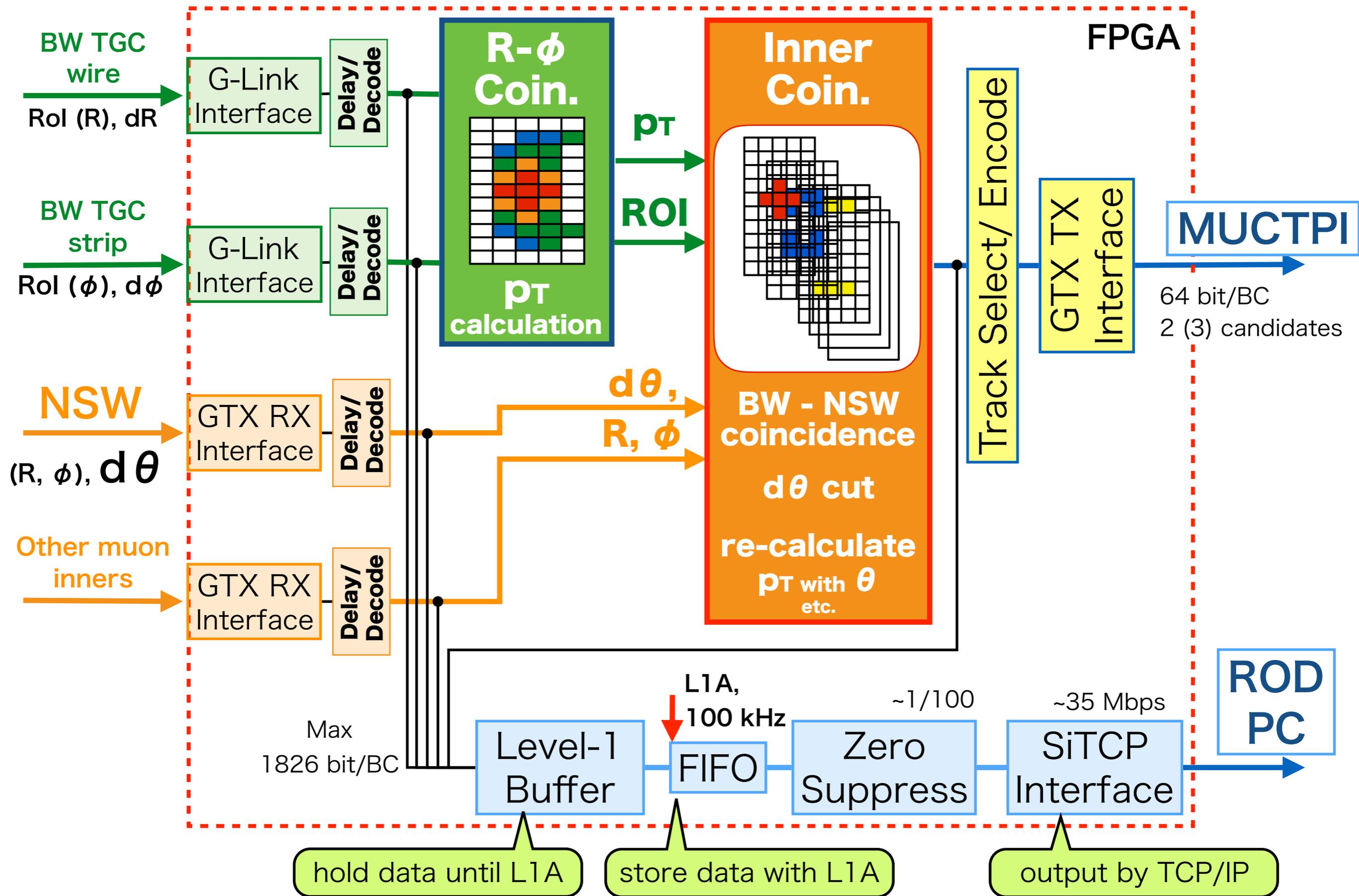
LEMO IN/OUT

14 optical inputs (800 Mbps) from BW-TGC
SFP RX + G-Link RX chip



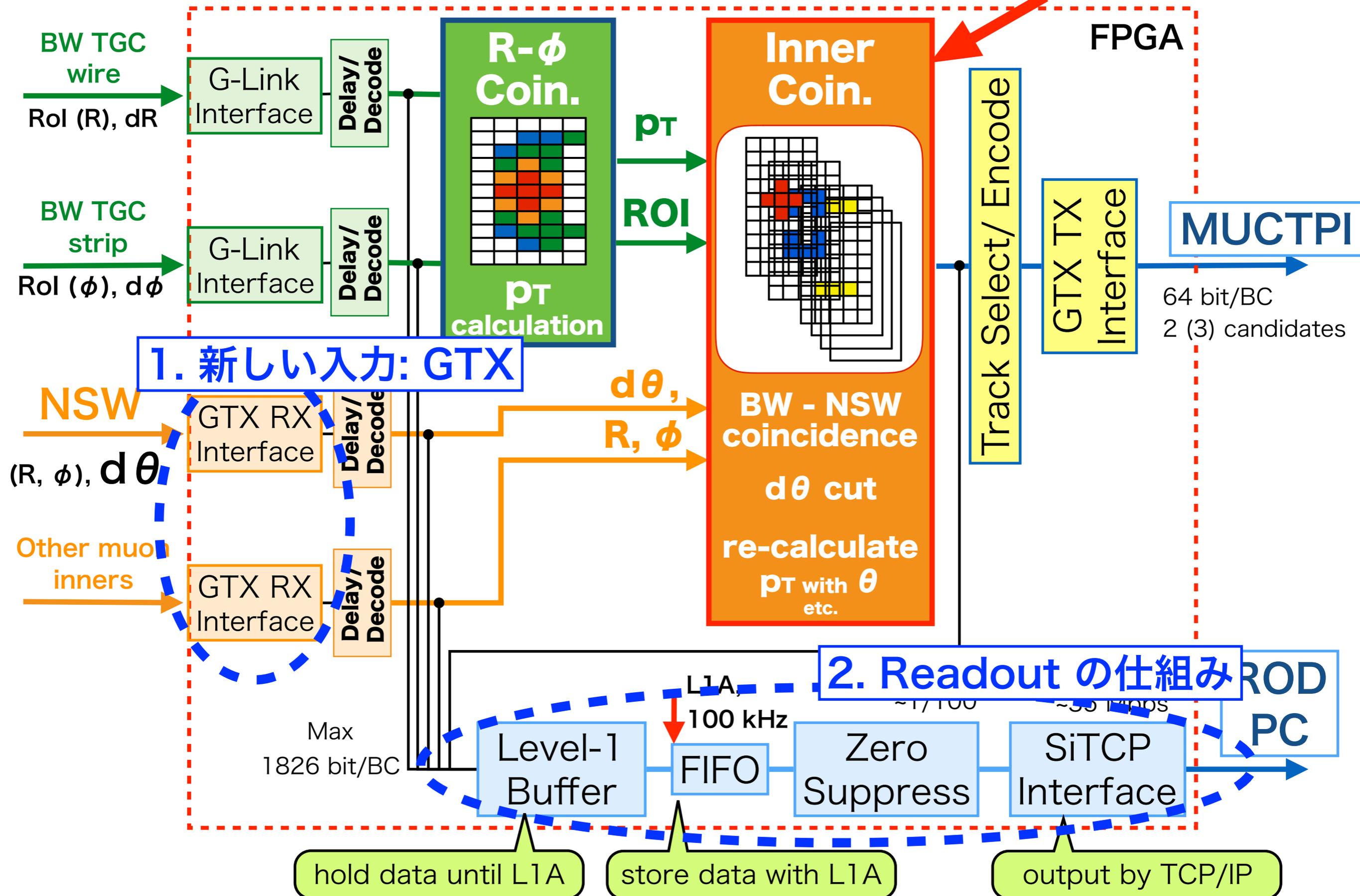
すべての I/O の基本試験は完了

New SL firmware



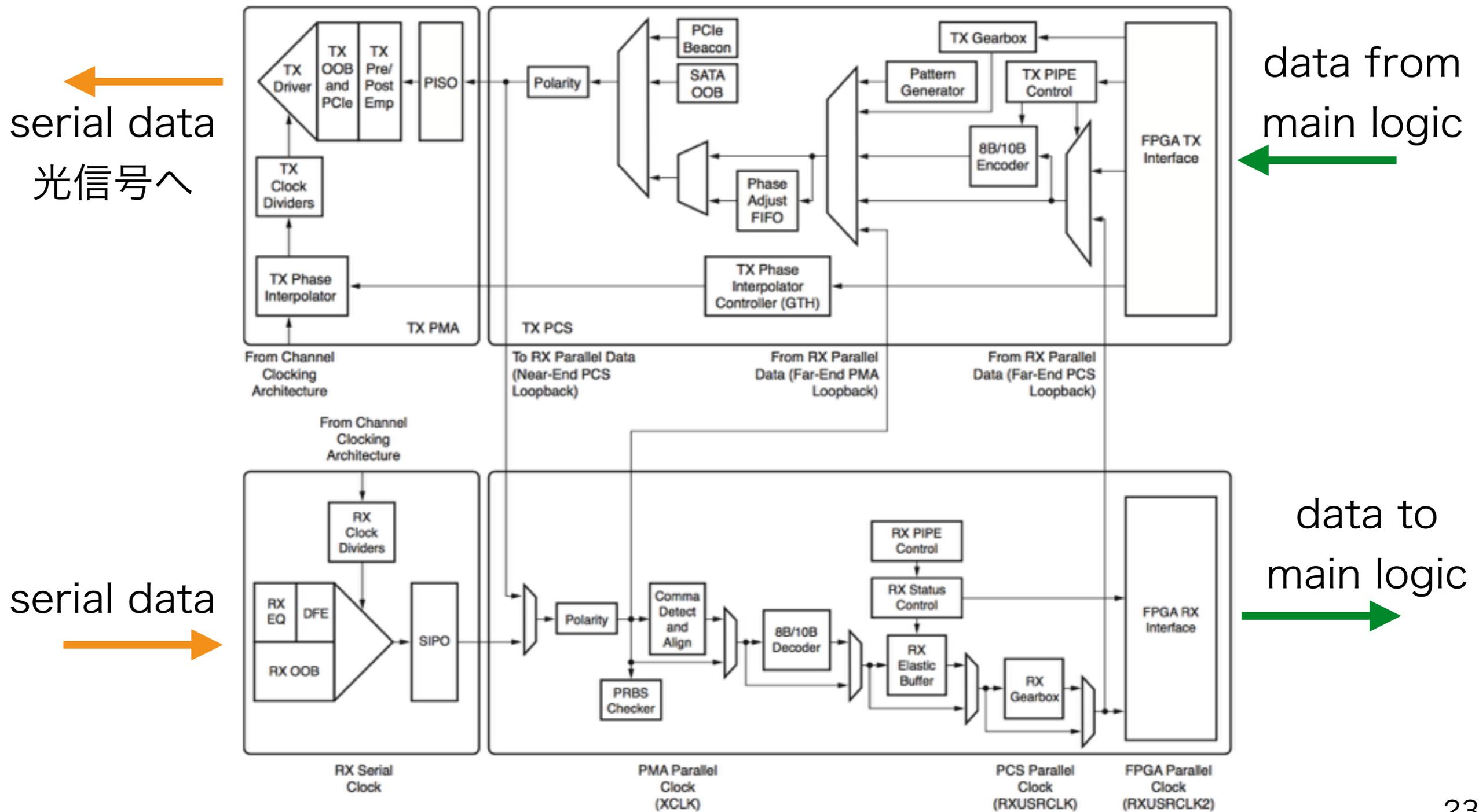
New SL firmware

新Trigger Logicを実装



GTX Transceiver

- ◆ 高速トランシーバ“GTX”はFPGAに予め搭載されている
 - ▶ 通信を行うためには、各機能のパラメータを正しく設定する必要がある
 - ▶ キーとなる機能について、次ページから説明する



Recovery Clockと 8B/10B 変換

◆ Recovery Clock

- ▶ 受信するデータの High/Low の切り替わる周期から, clock を抽出する
-> もしデータが連続でHigh または Low だと, 正しくclock が抽出できない

◆ 8B/10B 変換

- ▶ パラレル <-> シリアル変換のときに使う encode/ decode 方式
- ▶ 長い間 “0” または “1” の状態が続かないようにする
- ▶ また, ”0” と ”1” の総数がバランスするようにする
(これによって、AC結合で電送できる)
- ▶ パラレル信号 8 bit = 256 パターンに対し,
シリアル信号では10 bit = 1024パターンを対応させる
- ▶ 256 パターンに対し512 個の “0” “1” があまり長く続かないもの,
かつ “0” “1” の総数のバランスが取れたもの512 個を選び, 対応させる
- ▶ 例 :

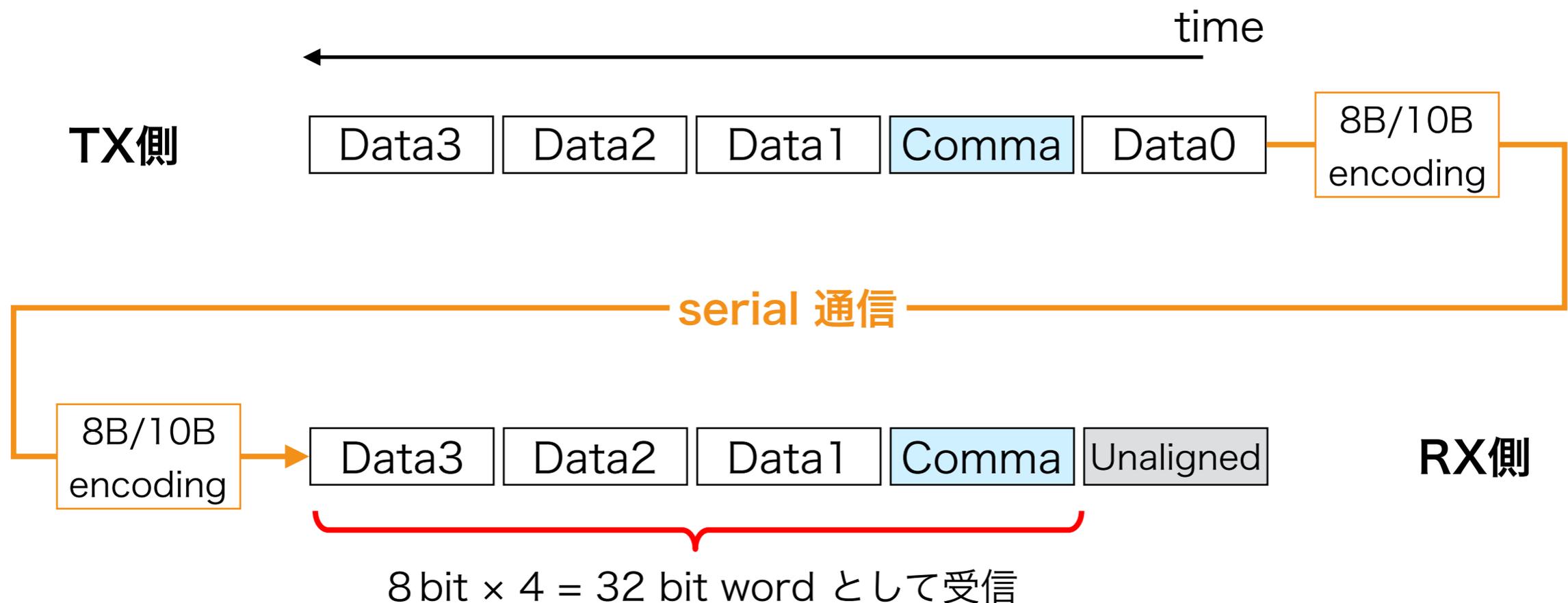
	8B		10B
	00000000	=>	1001110100
	00001111	=>	0101110100

※ 注意：対応はあらかじめ
決めておく (決めてある)

Word の境界：comma の定義

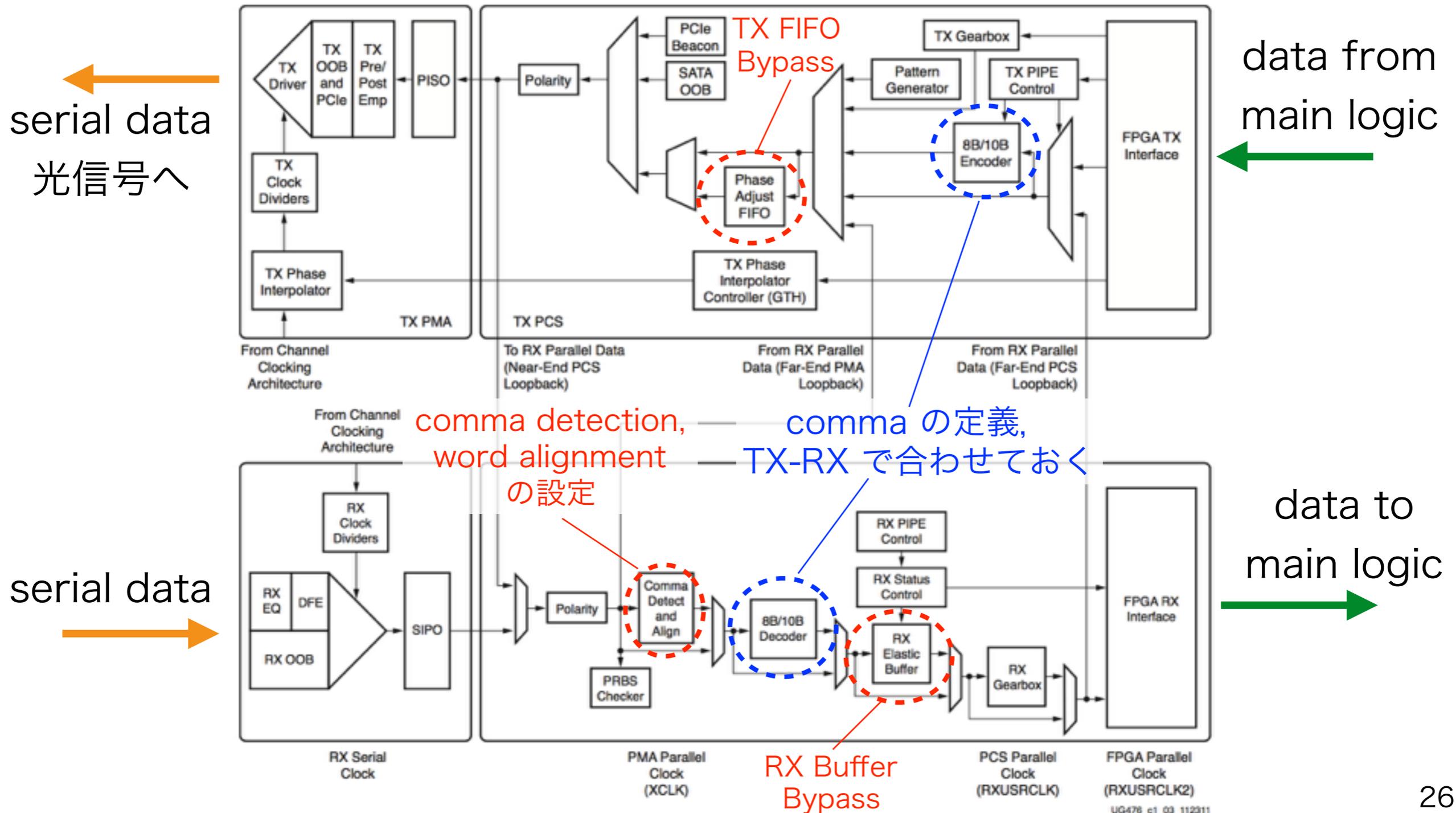
◆ comma とは

- ▶ 8B/10B では10 bit で作れる1024 通りのパターンのうち、512 通りしか使っていなかった
-> 残った512 パターンのうちのいくつかを“comma”として定義する
- ▶ comma が来たらそれを目印に word の境界を定義することで、Word Alignment を実装できる
- ▶ 例：32 bit/ word の場合



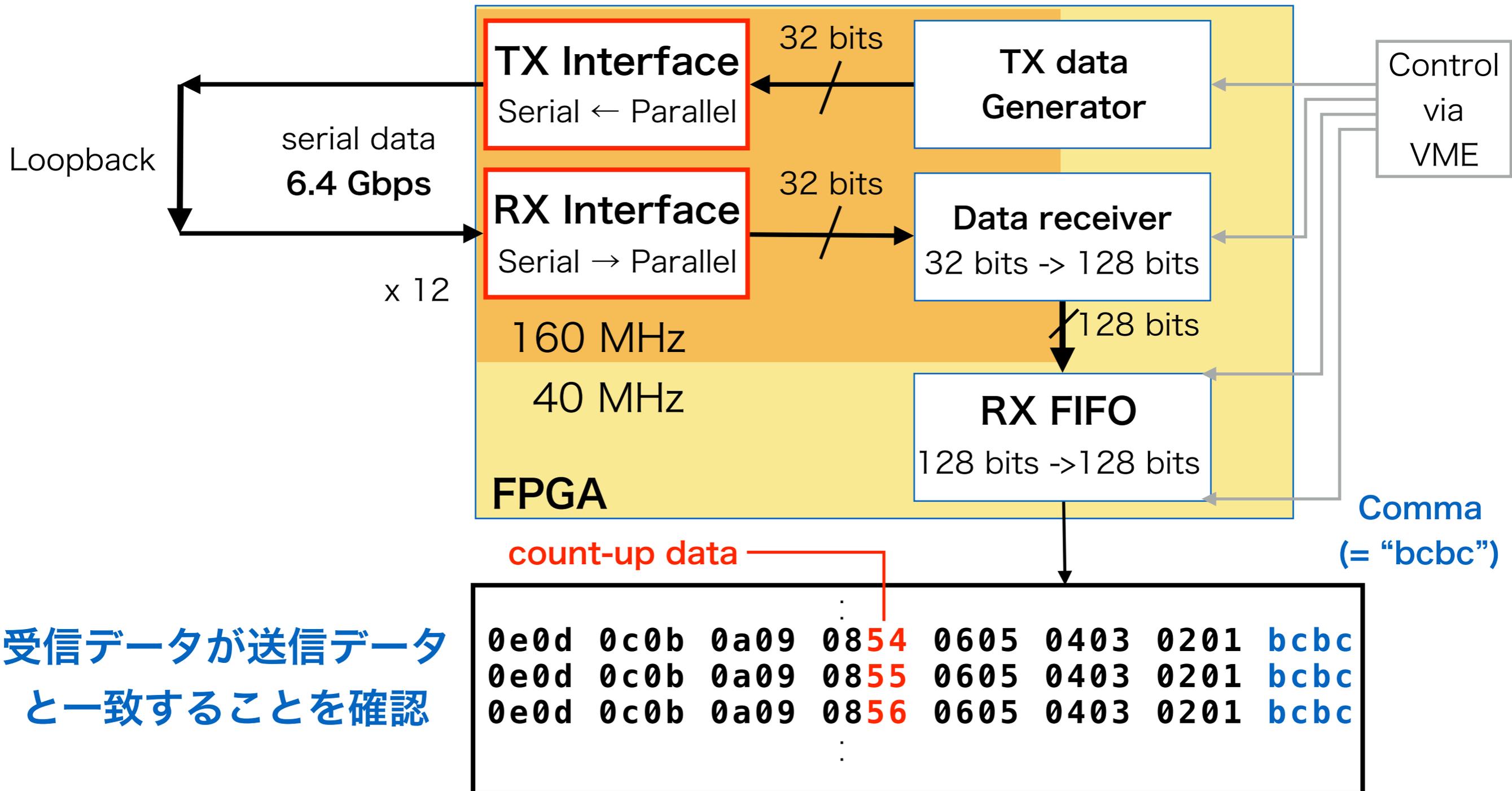
GTX Transceiver の設定, まとめ

- ◆ 以上を踏まえ、Transceiver の設定を行う
 - ▶ 加えて、送信・受信時の遅延を一定、かつ最小にするために送受信 Buffer のバイパス設定をした
 - ▶ 他にも、色々細かい設定を行ったが、割愛



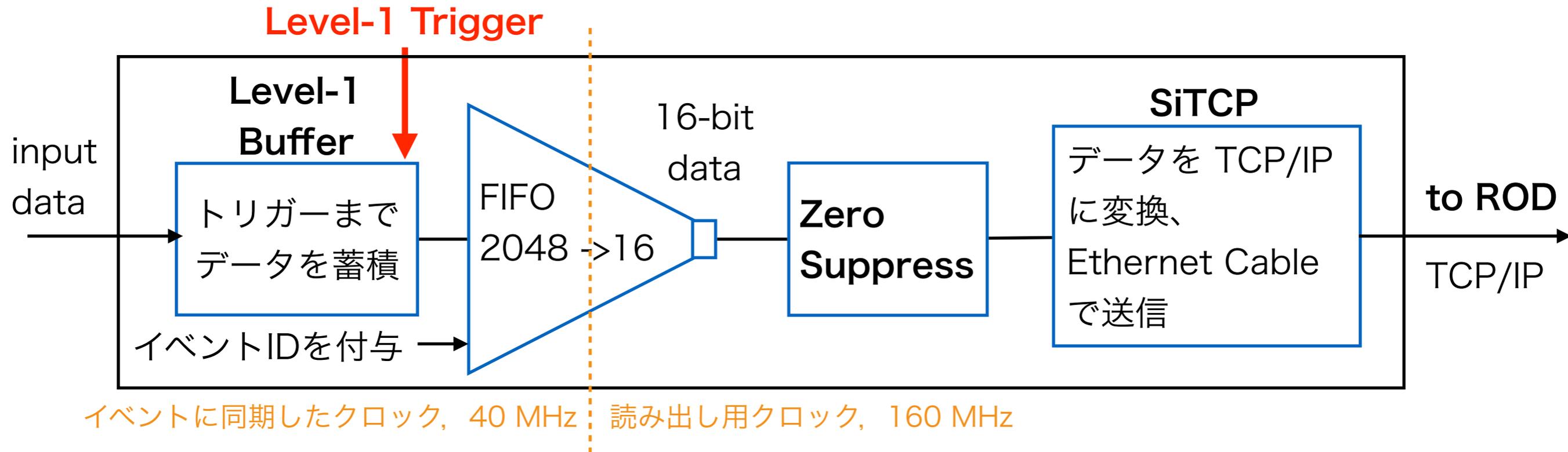
GTX Loopback テスト

- ◆ Loopback テストを, New SL の全12 レーン で同時に行った



Readout Firmware

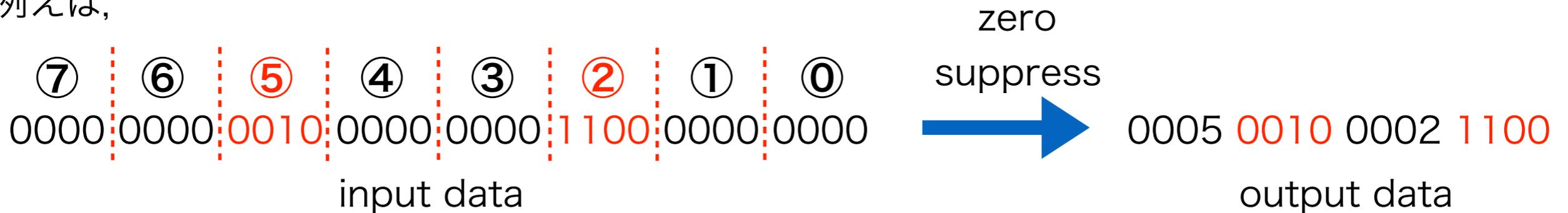
- ◆ 受信データを正しく保持・成型・出力するファームウェアを作成した



Zero Suppress :

“0” のみのデータは捨て、データが入っている場合のみ送る

例えば,



特に “0” の多いデータにおいて、有効にデータサイズを圧縮することができる

例えば, Run-1 の TGC データでは, 元の **0.3%** のサイズになる

まとめ・今後の展望

◆ Burst Stopper

- ▶ ATLAS 全体のデータ取得を止めてしまう Burst 事象をVETO するために、Burst Stopper Board を開発した
- ▶ 現在は Trigger のみ enable、VETO はdisable で運用している
- ▶ VETO を enable するための調整を進めている

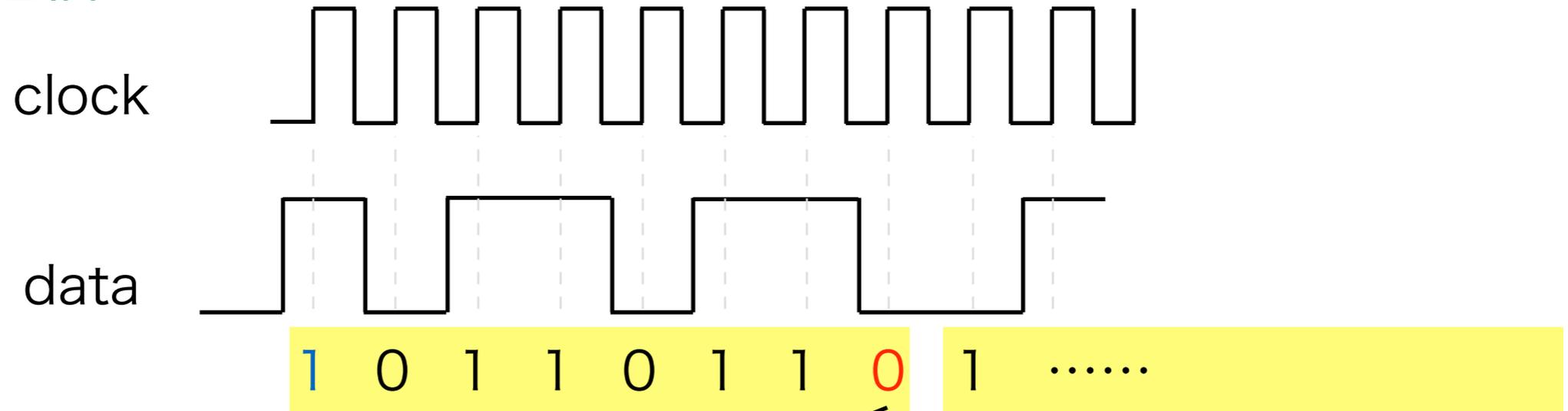
◆ New Sector Logic

- ▶ 新しいトリガーロジックを実装するために必要な性能を満たすトリガー判定ボード New Sector Logic を開発した
- ▶ 現在、New Sector Logic に実装する Firmware の開発を進めている
 - ▶ **GTX:** Loopback テストで正しく通信できることを確認した
全12 レーンを用いた通信を実現できることを確認した
 - ▶ **Readout:** データを圧縮・成型し、SiTCP で送信するFirmwareを作成した
TTC Fan-Out Board を用いてID 情報の整合性を確認した
- ▶ **今後の展望**
 - ▶ トリガーレート削減に向けた、角度情報を用いたトリガーロジック、およびそれを実装するためのFirmware の開発
 - ▶ 10/19 - 11/9 で、高輝度LHC への改良を行っているチームとBeam Test を行う。
ここでNew Sector Logic, および 開発した Firmware の試験を行う

backup slides

GTX シリアル通信の基本

◆ シリアル通信



例えば、1word = 8 bit なら...

word = 01101101
-> 0x6d

8 bit のword が、8 CLK に1回
読み出せるはず。

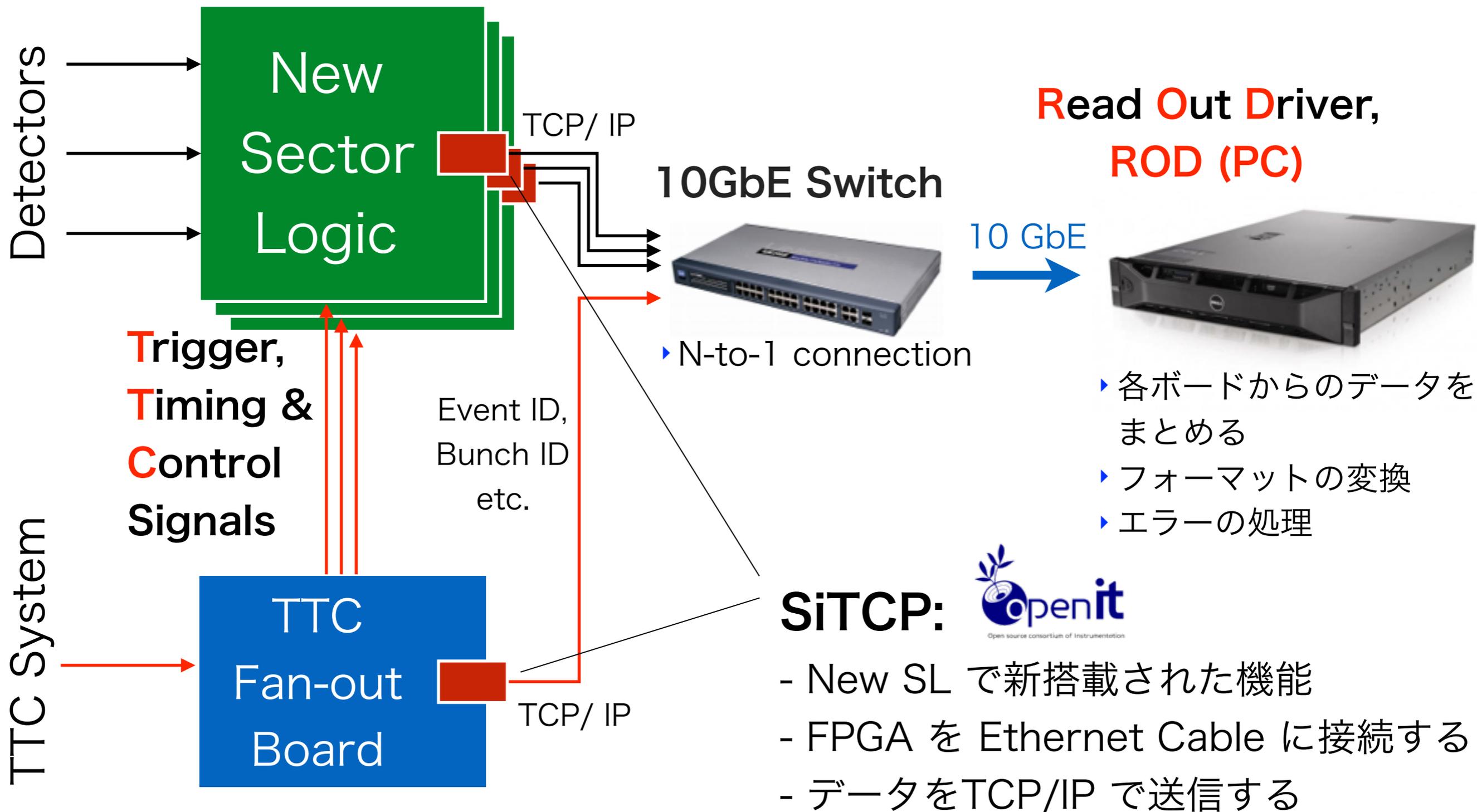
◆ このときの問題

- ▶ 受信側は clock をどうやって定義するか
-> data から抽出する。“Recovery Clock”

- ▶ どこが1 word の始まりか
-> comma と呼ばれる特定のパターンを用いて定義する。

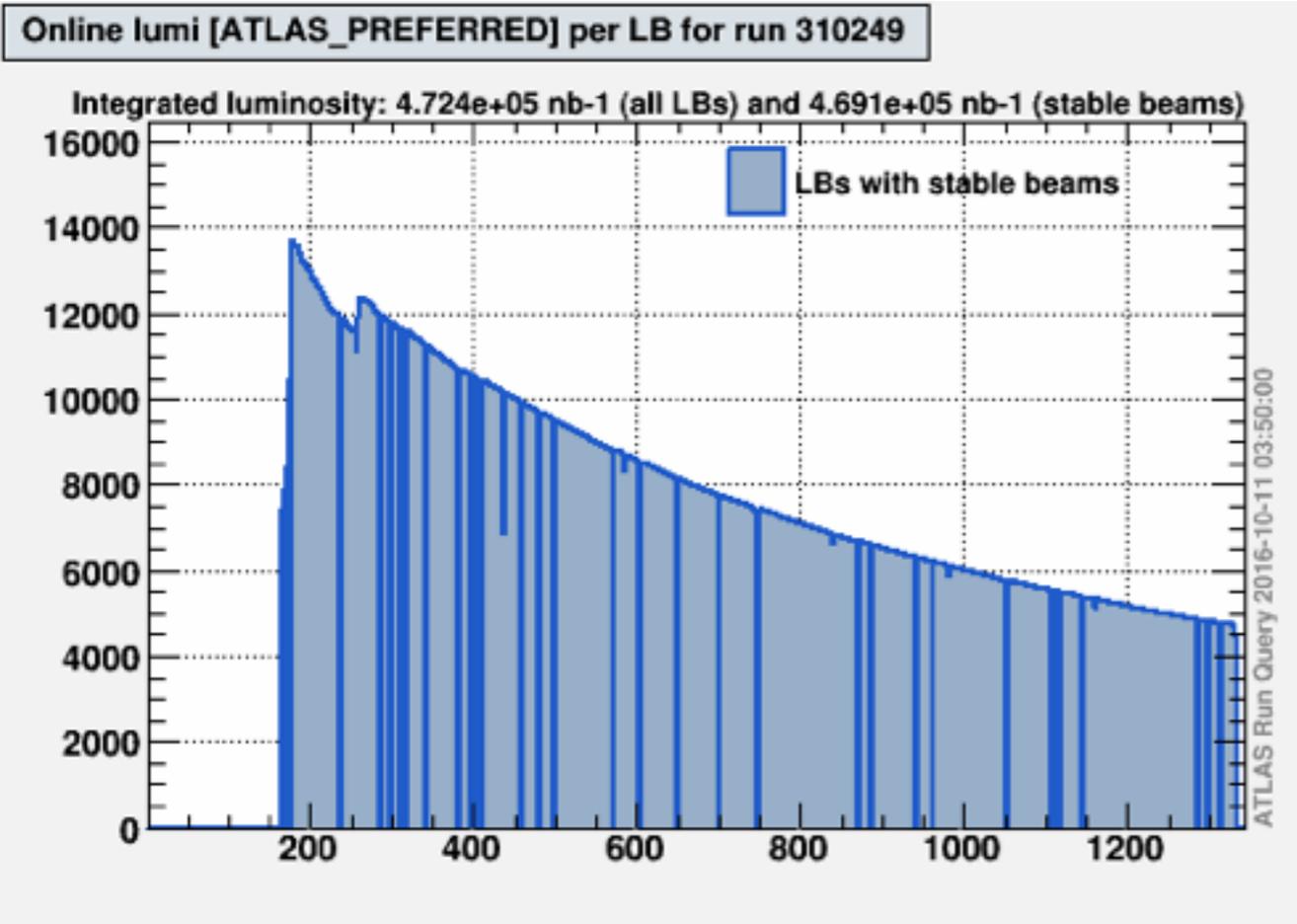
Readout の流れ

- ◆ L1トリガーが発行された時の受信データをRead Out Driver に送る
-> 後段のHigh Level Trigger で用いる

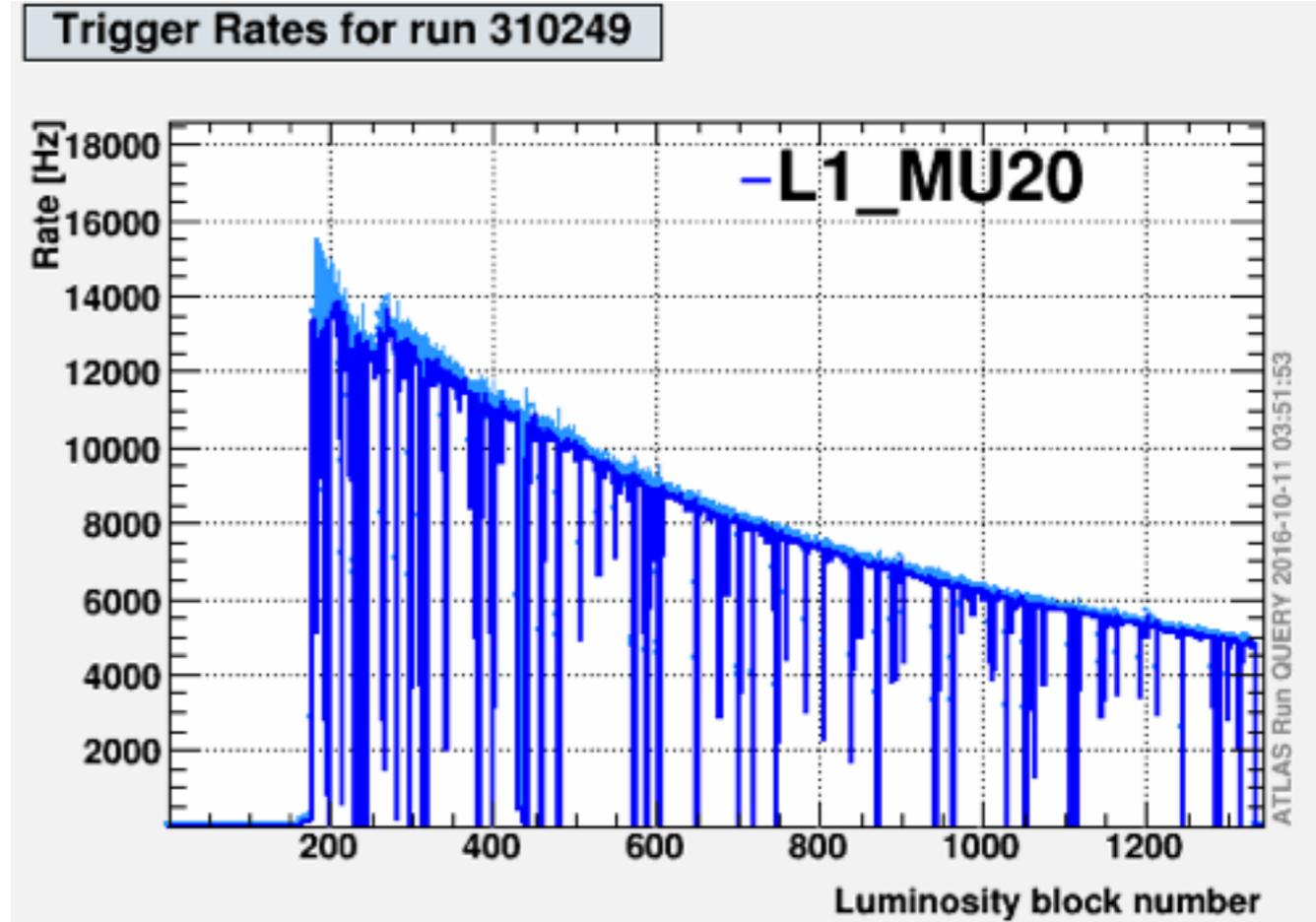


現在のluminosity, Trigger Rate

- ◆ Run310249 (2016/10/10)



Peak Luminosity $\sim 1.37 \times 10^{34}$



Level-1 Muon 20 GeV のトリガー
~ 14 kHz

New Small Wheel との Coincidence

- ◆ ポジションマッチングのための Coincidence Window の定義
 - ▶ BW と NSW の位置の差 $\eta_{\text{BW}} - \eta_{\text{NSW}}$, $\phi_{\text{BW}} - \phi_{\text{NSW}}$ を計算
 - ▶ $|\eta_{\text{BW}} - \eta_{\text{NSW}}| < 0.05$, $|\phi_{\text{BW}} - \phi_{\text{NSW}}| < 0.06$ を Coincidence Window と定め、この範囲を通過した場合だけトリガーを発行することとした

◆ 適用後のトリガーレート

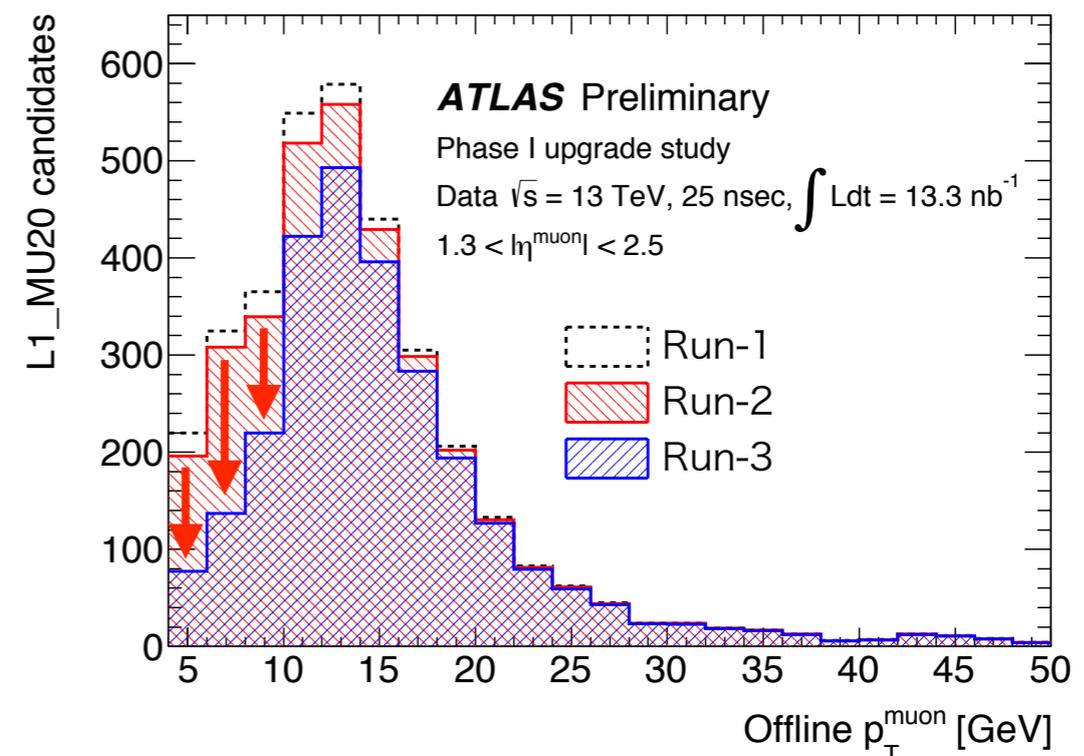
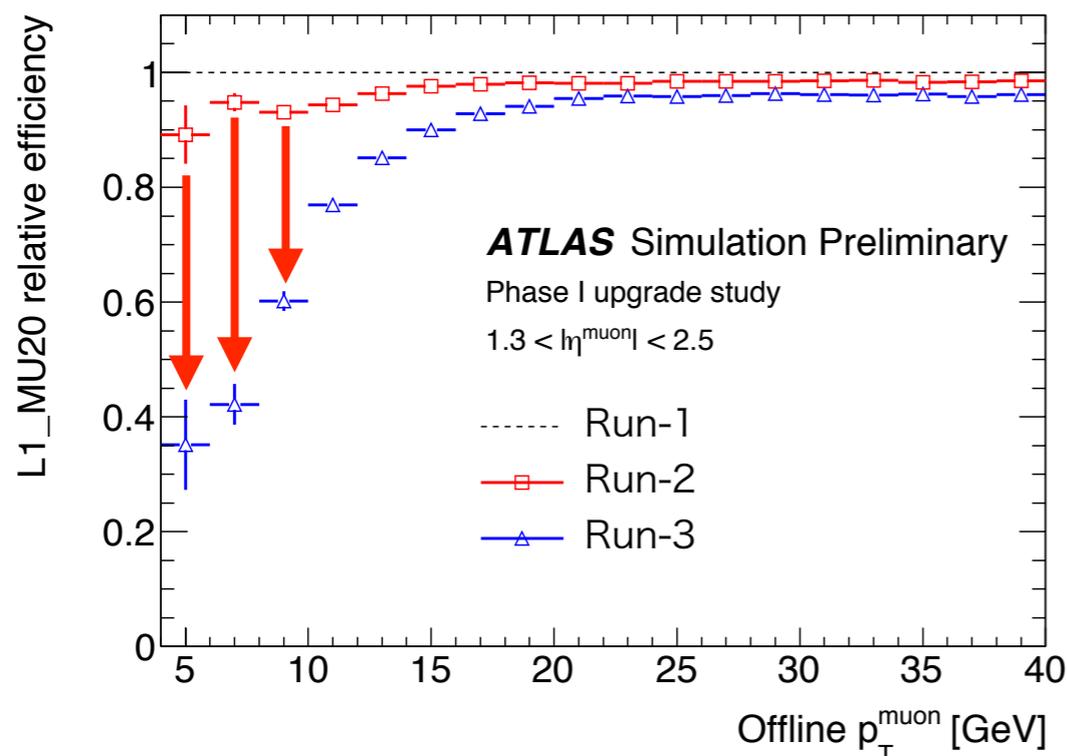
Run-1 トリガーシステム	Run-2 トリガーシステム	Run-3 (NSW Coin.)
51kHz	28kHz	13kHz

~50% の
レート削減 → 目標達成

([ATLAS-TDR-023](#))

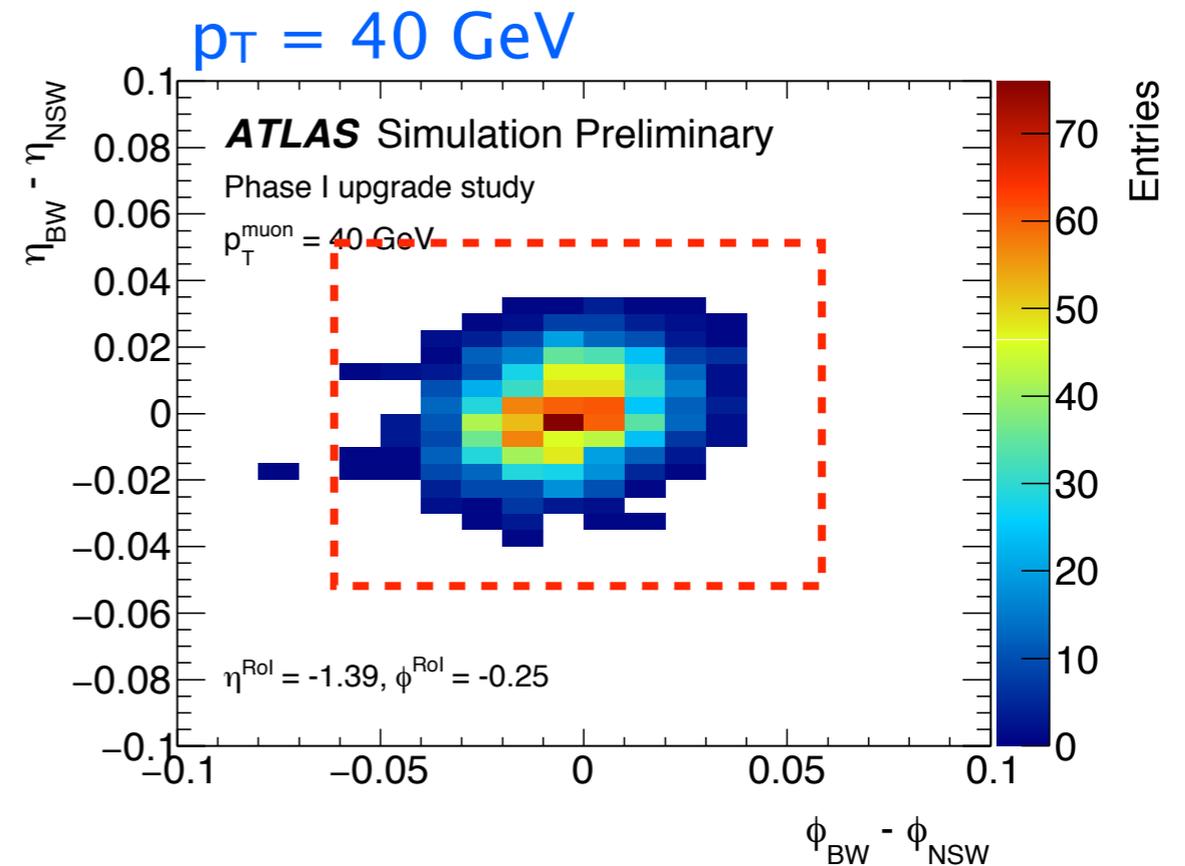
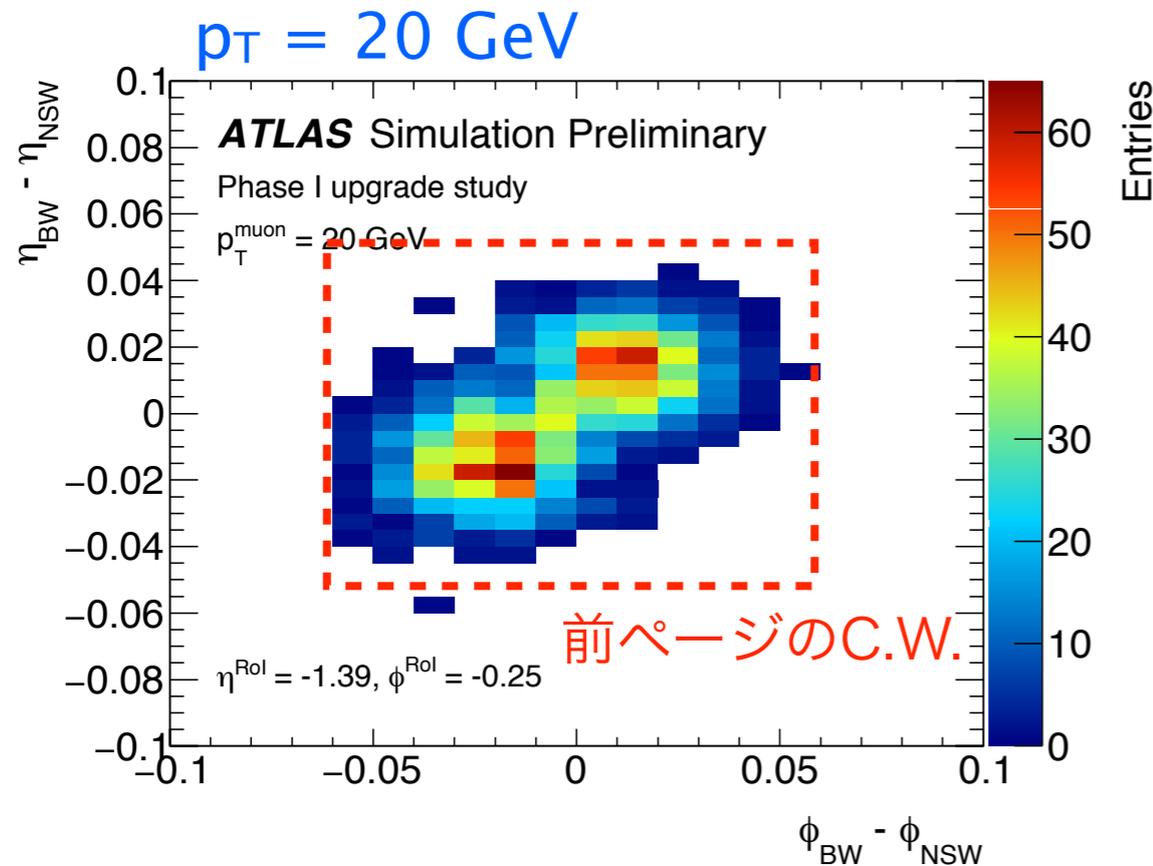
$L = 3 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$, p_{T} 閾値 20 GeV

- ◆ 適用後の p_{T} 分布: 閾値以下のミュオンが効果的に削減されるも、未だ多く残る



新しい Coincidence Window

- ◆ より細かい Coincidence Window の定義 -> さらにレートの削減が見込める
 - ▶ $p_T = 20 \text{ GeV}$ と 40 GeV のミュオンをMCで生成
 - ▶ BW と NSW の位置の差 $\eta_{\text{BW}} - \eta_{\text{NSW}}$, $\phi_{\text{BW}} - \phi_{\text{NSW}}$ を計算
 - ▶ 生成されたミュオンの99% 以上を含むような Coincidence Window を定義

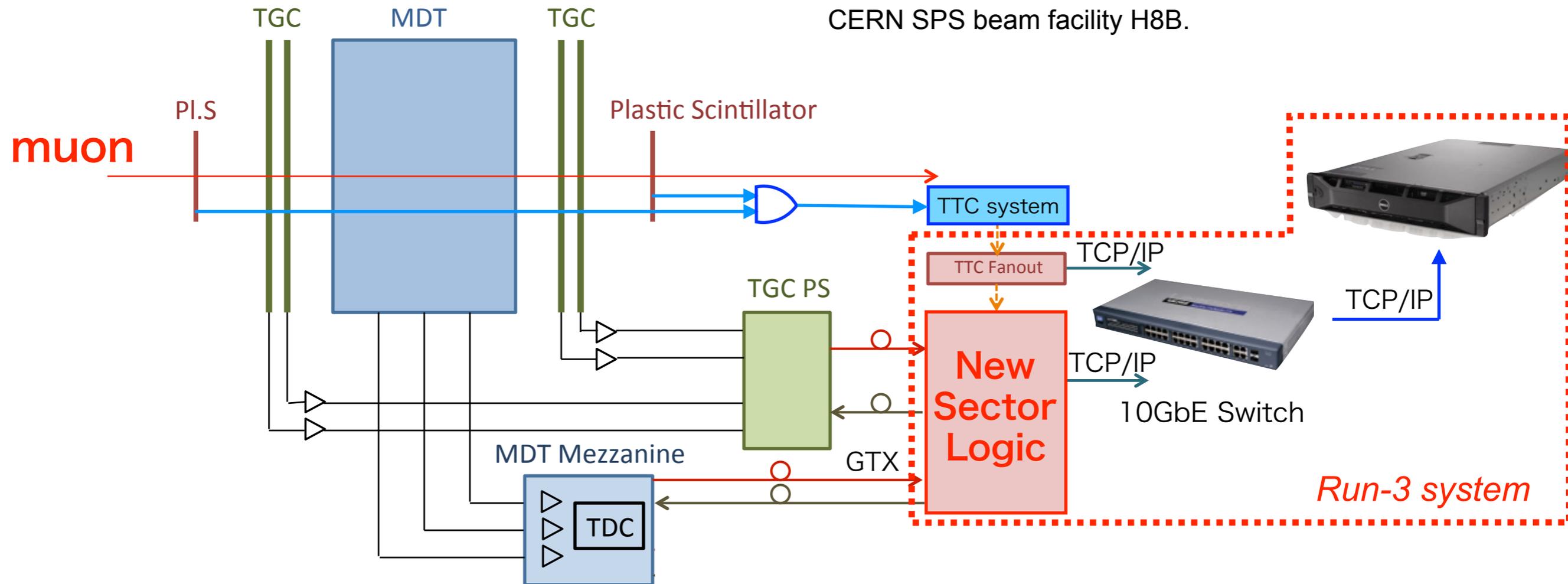


- ◆ Coincidence Window のさらなる改良

- ▶ NSW の持つ角度情報を用いたトリガーロジックを導入することで
 - > $\Delta\theta$ の値も用いて “Coincidence Window” を定義する
 - > NSW と BW の角度差を用いる, etc… **まだまだstudyの余地がある**

Beam Test 2016 @SPS

- ◆ 来月、10月の中旬から開始予定



- ▶ 実際にミュオン検出器とテストビームを用いて、New SL, TTC Fan-out, Software-ROD のテストを行う。
- ▶ 全DAQ システムを、ATLAS標準のシステムを用いて運用する
-> 実際のRun-3 での運用とほぼ同じ環境でのテストとなる

Run-3 でのトリガーロジックまとめ



◆ ΔR - $\Delta\phi$ coincidence

- ▶ TGC-M1+M2 と M3 とのコインシデンス
wire, strip の情報を用いた 2次元 Coincidence Window
← Run-1, Run-2 と同じ

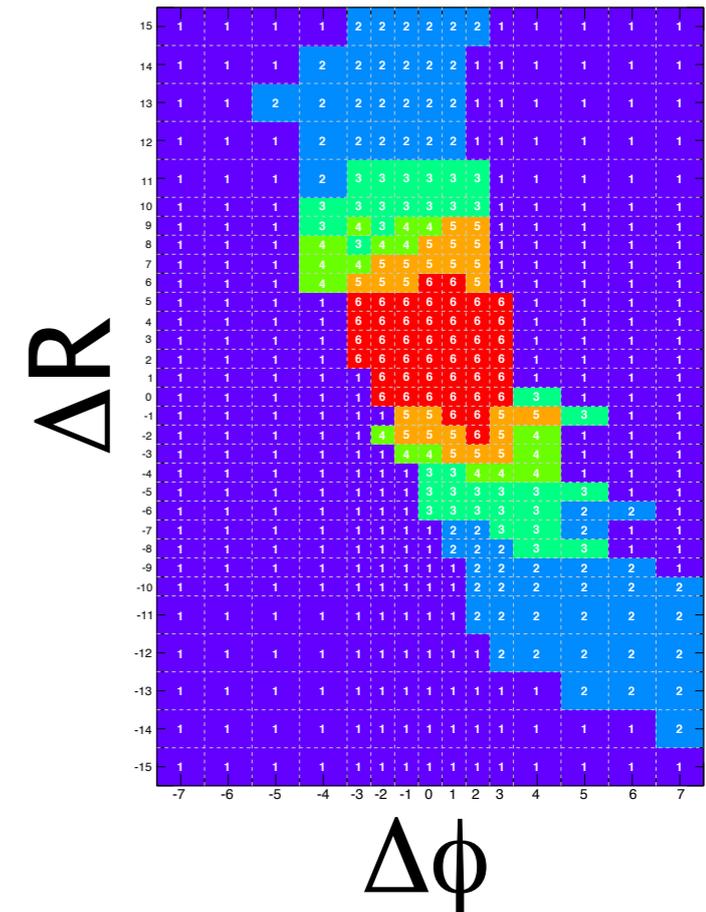
◆ BW - NSW coincidence ← New

- ▶ TGC RoI (η_{BW} , Φ_{BW}) と NSW のトラック情報 (η_{NSW} , Φ_{NSW})
を用いた新しいCoincidence Window

◆ $\Delta\theta$ (and β) cut ← New

- ▶ $\Delta\theta < 15$ mrad のトラック情報がNSW から送られてくる
- ▶ この情報を用いてどのようなカットをかけるのが良いかは、
SL 側で詳しく検証する必要がある

Coincidence Window



New Small Wheel

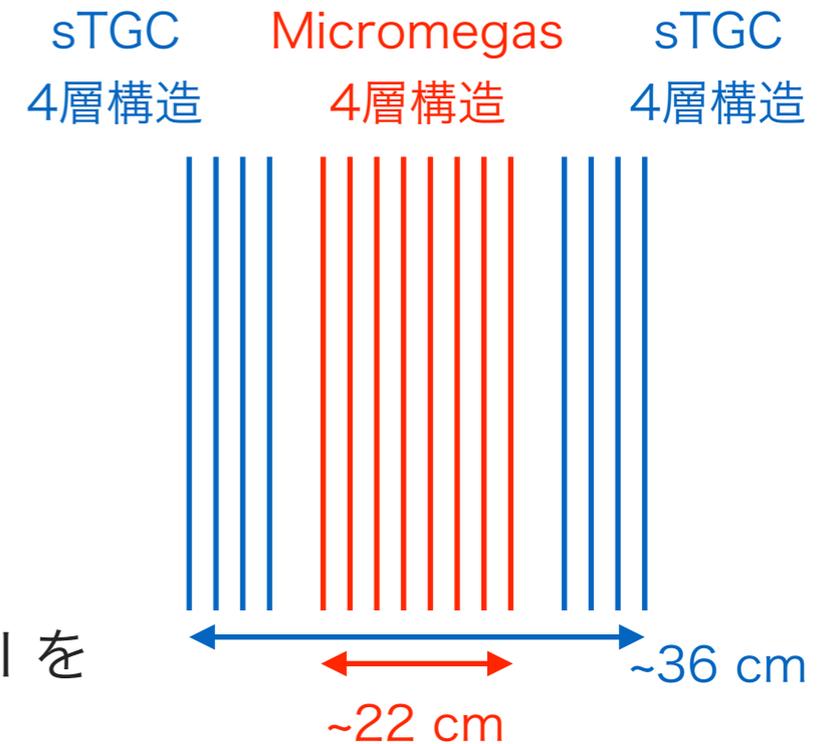
◆ sTGC と Micromegas からなる検出器

▶ sTGC- small strip TGC

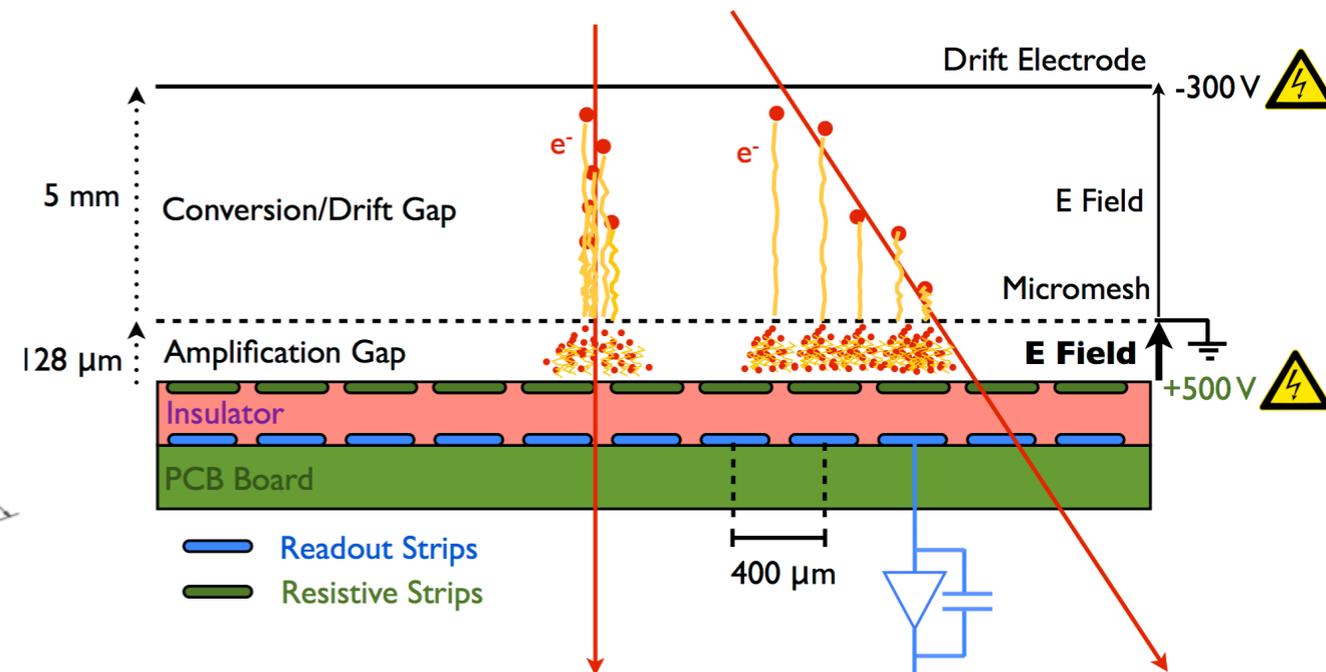
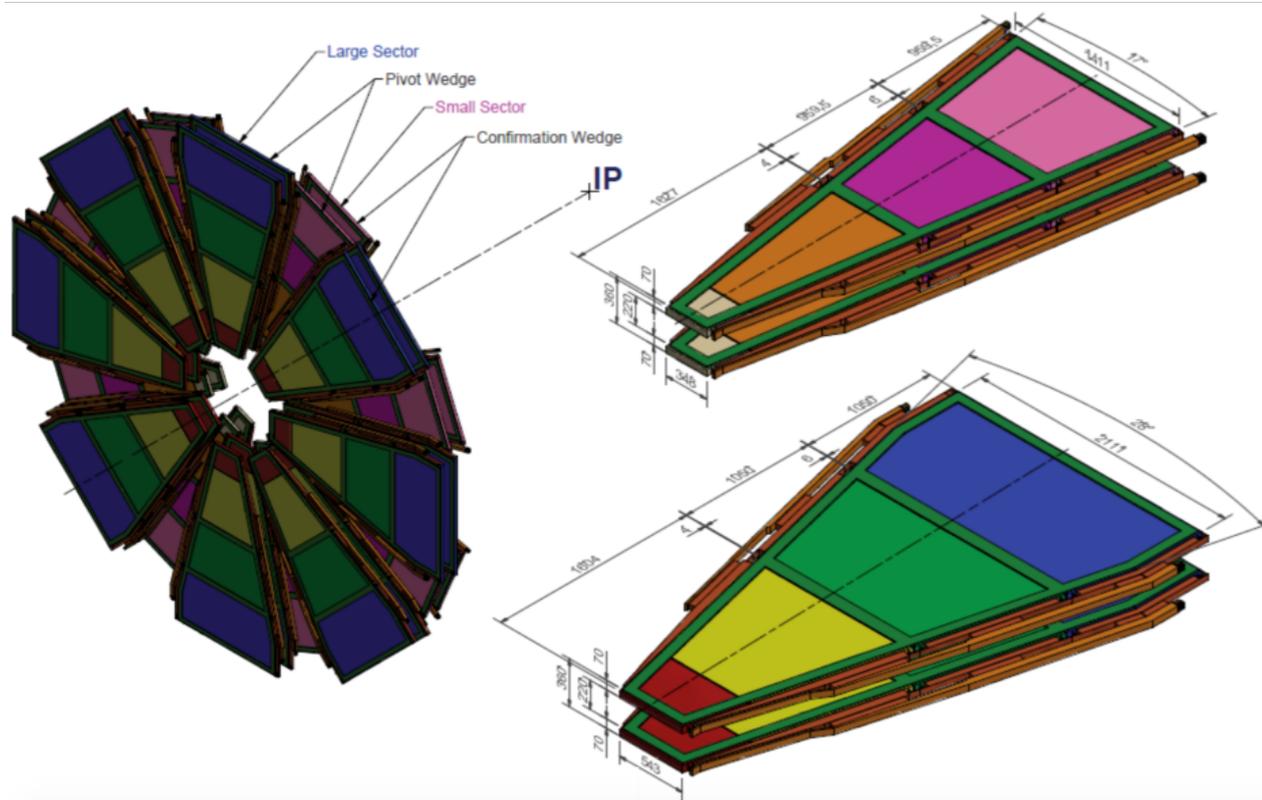
- ▶ strip 間隔が 3.2mm で、TGC (15 mm 以上) より小さい
- ▶ wire-strip のペアからなる。4層で1 module を構成

▶ Micromegas- micro mesh gaseous structure

- ▶ 一分解能 $100 \mu\text{m}$ 以下の、右下図のような検出器
- ▶ 8層構造で、sTGC 4枚組の間に設置され、New Small Wheel を構成する



分解能：位置 $\sim 30 \mu\text{m}$
 角度 $\sim 0.3 \text{ mrad}$.

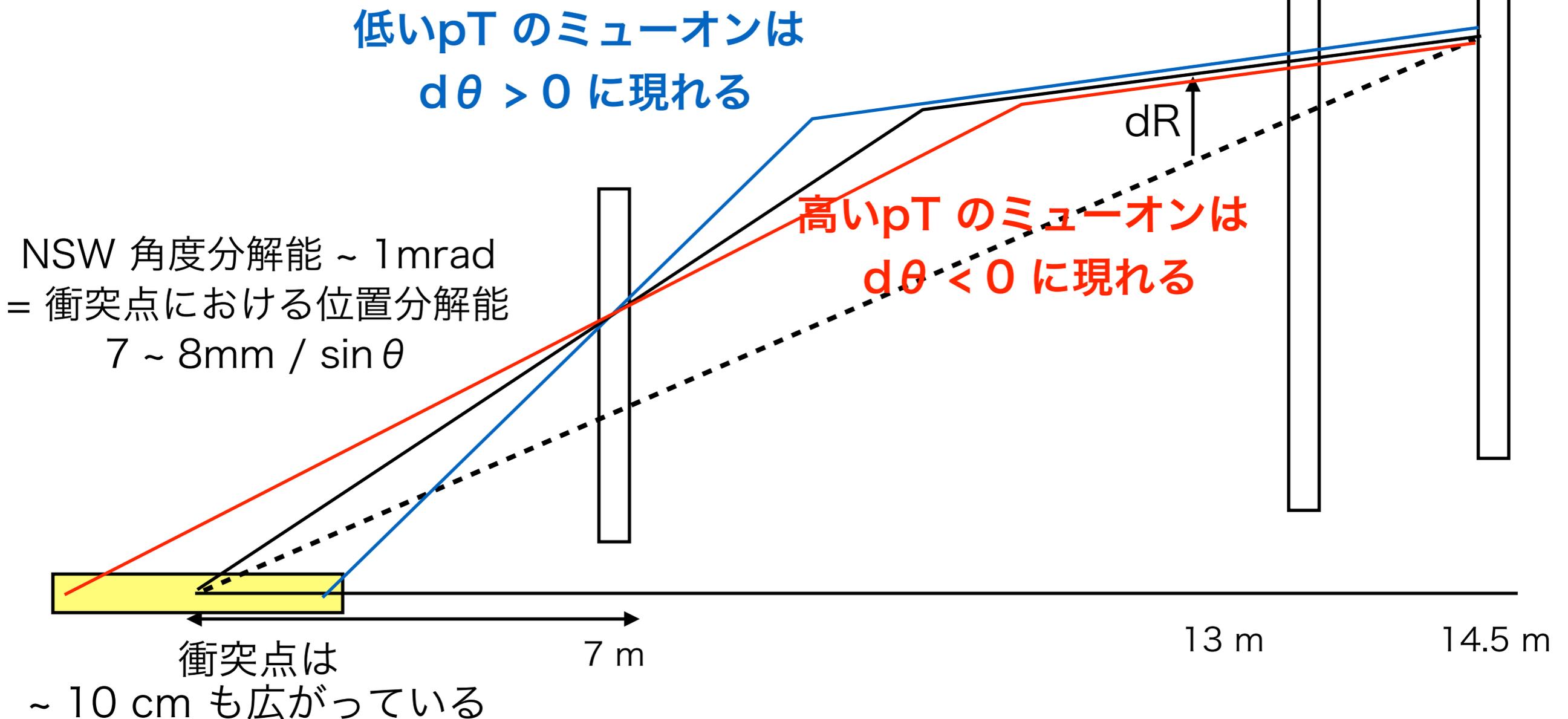


NSW [TDR](#) より

Low-pT muon rejection

◆ NSW の角度情報をどう用いれば良いか (案)

- ▶ NSW における粒子の角度は、衝突点の情報を持っている
- ▶ 内部の物質による多重散乱の効果と、衝突点のずれの効果は同じくらい @ forward 部分
- ▶ η が小さい部分では、衝突点の寄与が大きい



Zero Suppress, 実際のデータフォーマット

◆ Data Format

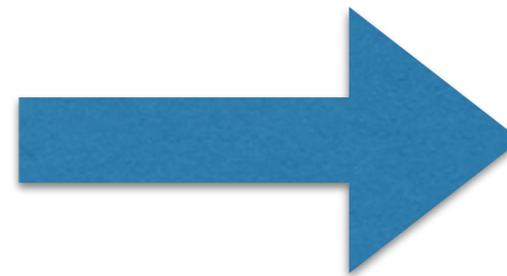
Word-0	Header (0xb0d0)	
Word-1	0x0	L1ID (12-bit)
Word-2	0x0	BCID (12-bit)
Word-3	0x0	SLID (12-bit)
Word-4...	Zero-Suppressed data	
...Word-(N-2)		
Word-(N-1)	0x0000	
Word-N	Footer (0xe0d0)	

◆ Read Out Line test using SiTCP

```
L1ID: 0682
BCID: 0F44
SLID: 0001
```

```
Input Data:
0123, 4567,
89ab, cdef,
0000, 0000
...
("0000" x 280)
...
0000, 0000
```

Format
& Zero-Suppress



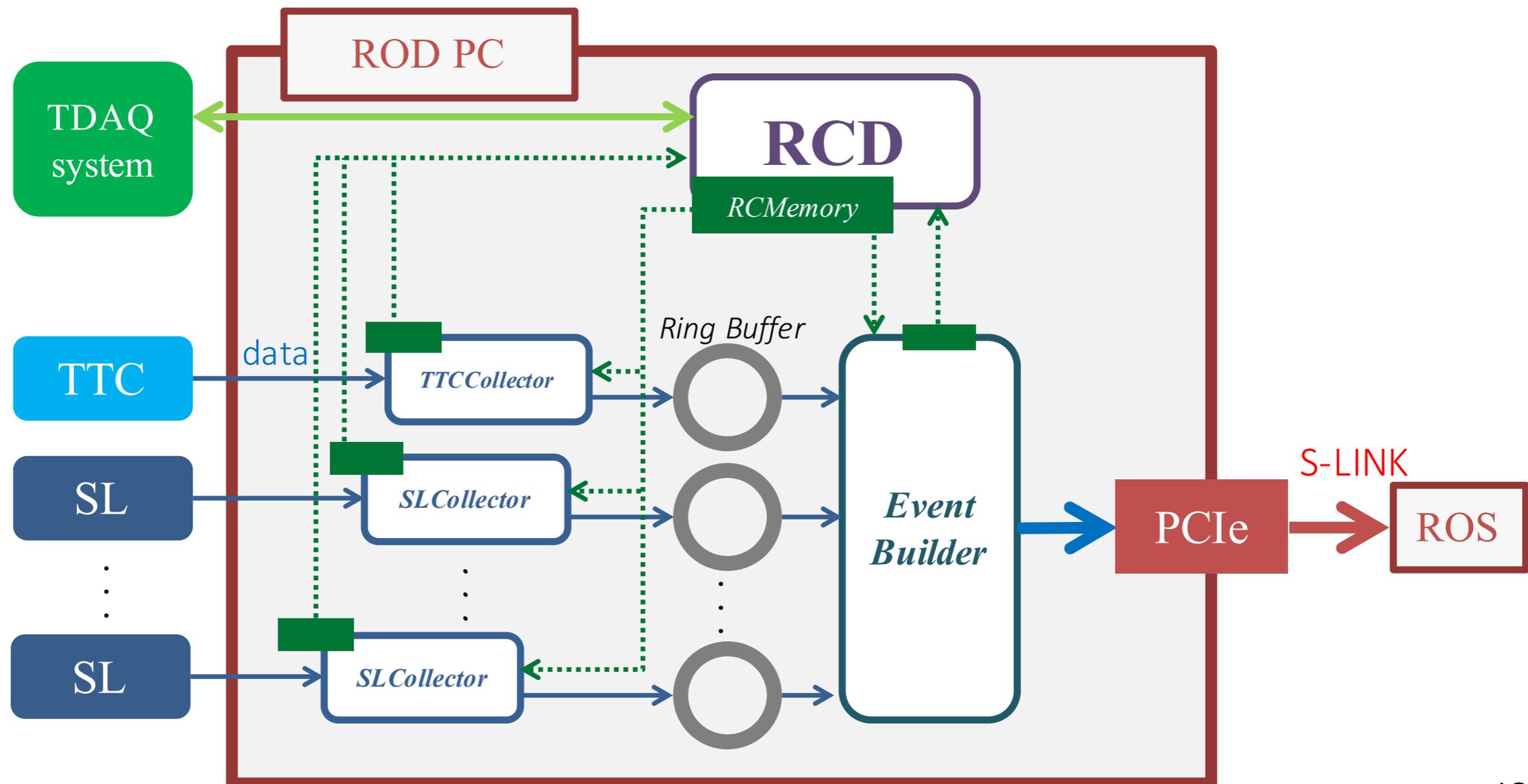
```
B0D0 0682
0F44 0001
F110 0123
F111 4567
F112 89ab
F113 cdef
0000 E0D0
```

Data is sent
successfully

SiTCP and ROD

◆ ROD:

- ▶ NewSL 12枚, TTC Fan-out 1枚から情報を受け取り、Buffer に保持
- ▶ Event Builder では ID のマッチングを行い、1つのイベントにまとめて後段の ROS (Read Out System) に送信する
- ▶ ID ミスマッチ等のエラー処理も行う

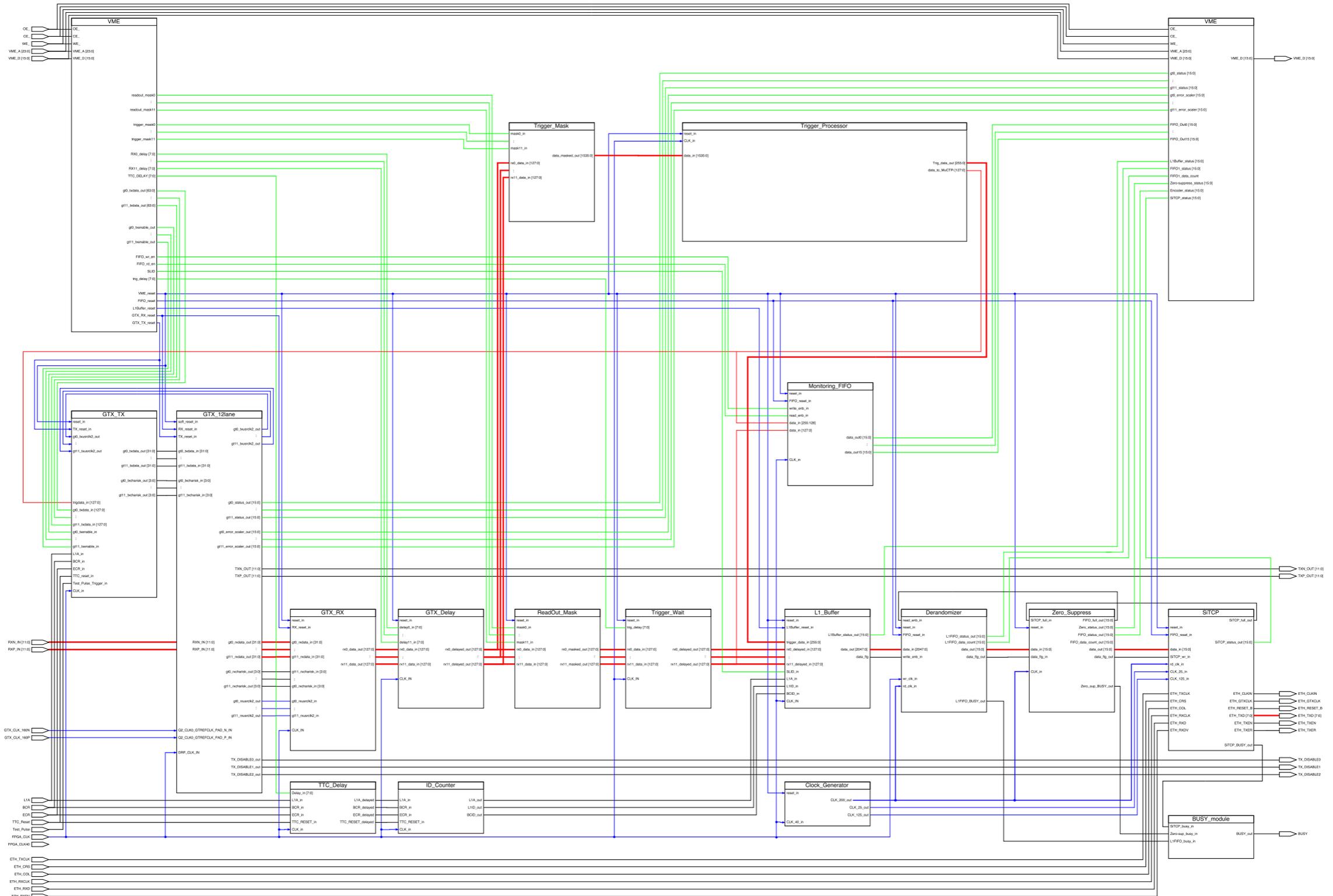


Beam Test 2016: Firmware Diagram

◆ Firmware Diagram の準備が進んでいる

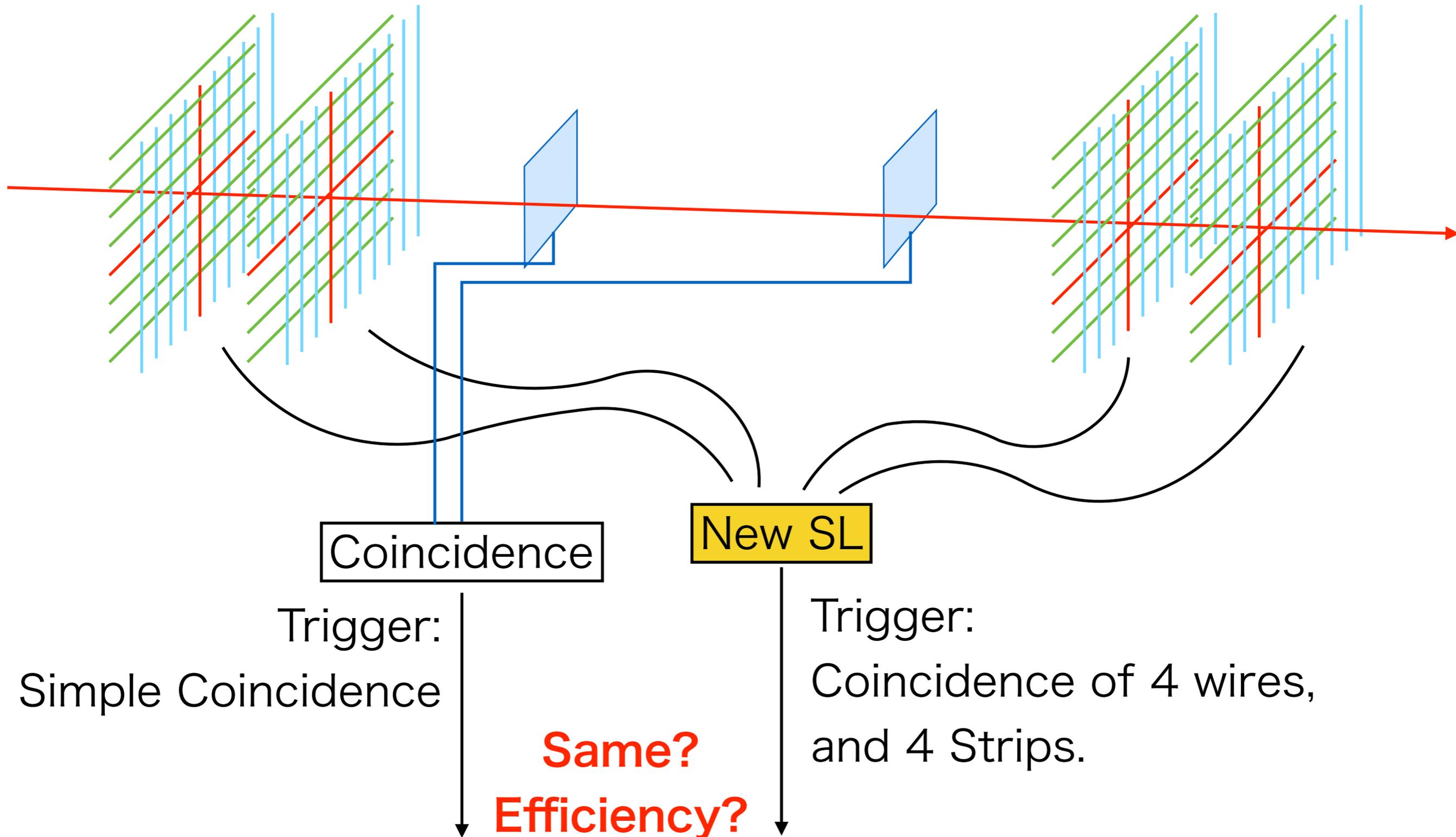
▶ 主要な機能は全て実装済み

NSL Firmware for beam test : NSL_Firmware_Beam_Test_v04-00.pdf, 2016 / 8 / 11, Shunichi Akatsuka



Beam Test 2016: Trigger

- ◆ プラスチックシンチレータでトリガーを発行するが、
- ◆ New-SL もトリガーを発行し、整合が取れるか確認したい

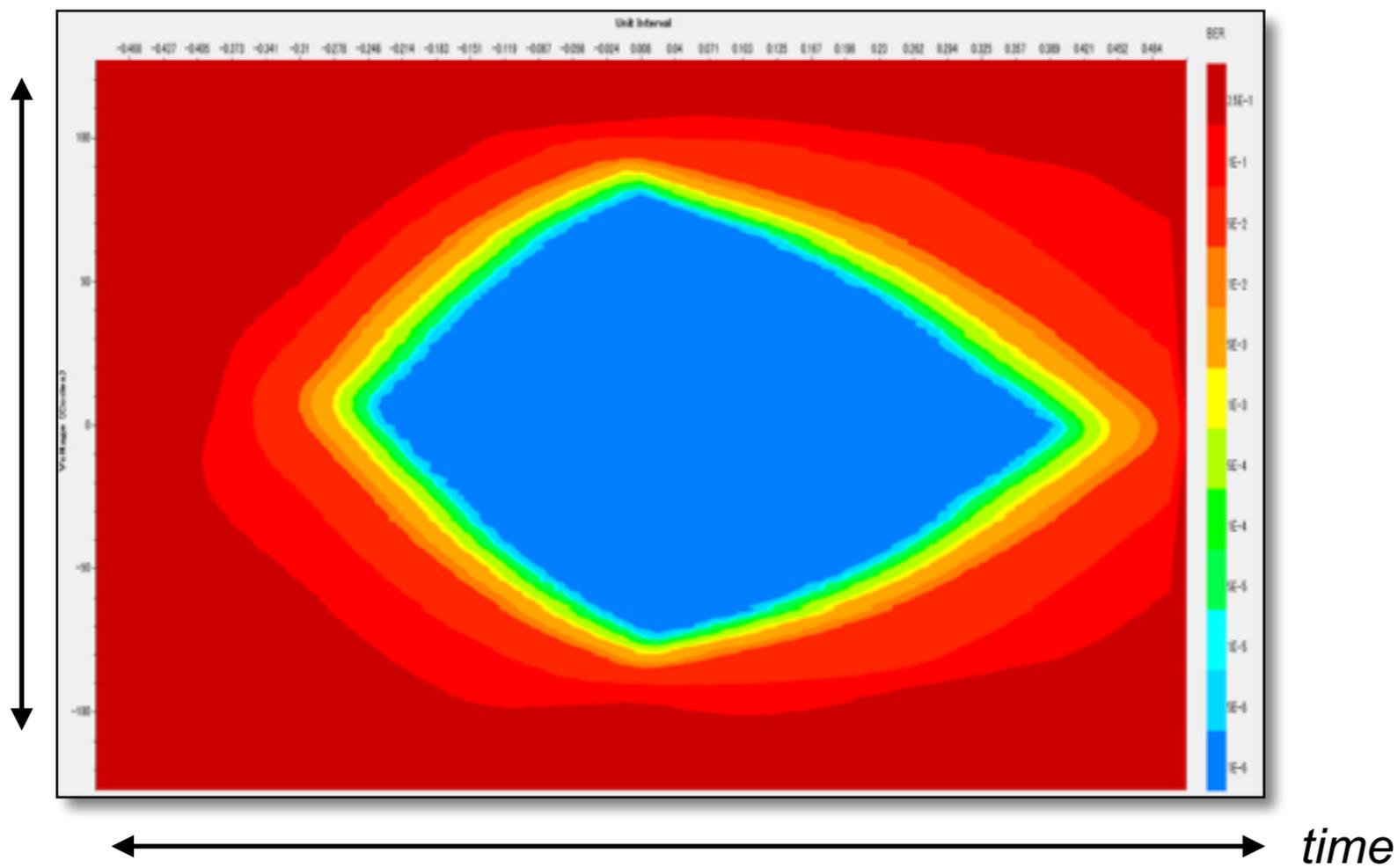


I/O テストの結果

◆ チップへの書き込み、およびI/O テスト

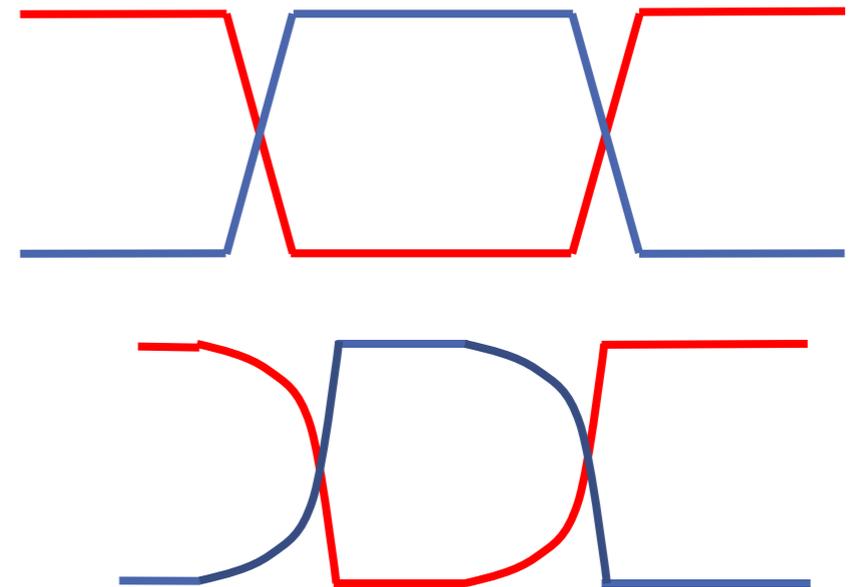
- ▶ 全てのICへの書き込みは確認済
- ▶ G-Link, GTX 等全てのI/O の動作確認済
- ▶ ex) GTX Bit Error Rate:
 - ▶ $< 3.6 \times 10^{-15}$ @6.4 Gbps,
 - ▶ $< 4.5 \times 10^{-15}$ @10.24 Gbps

voltage



Eye Pattern of 10.24 Gbps
Line 0 in one of NSL

クロックの周波数によって
波形は変化する



eye pattern を見れば、波形が
どれくらいロジカル信号に
近いかを見ることができる

full range = 1UI
= 1 serial clock

Data format from NSW

- ◆ NSW track segment information:

Field:	sTGC type	MM type	$\Delta\theta$ (mrad)	Φ index	R index	Spare
Num of bits:	2	2	5	6	8	1

= 24 bits

sTGC/MM Type

No segments:	00
Low quality:	01
Medium quality:	10
High quality:	11

Φ : 10 mrad/bit

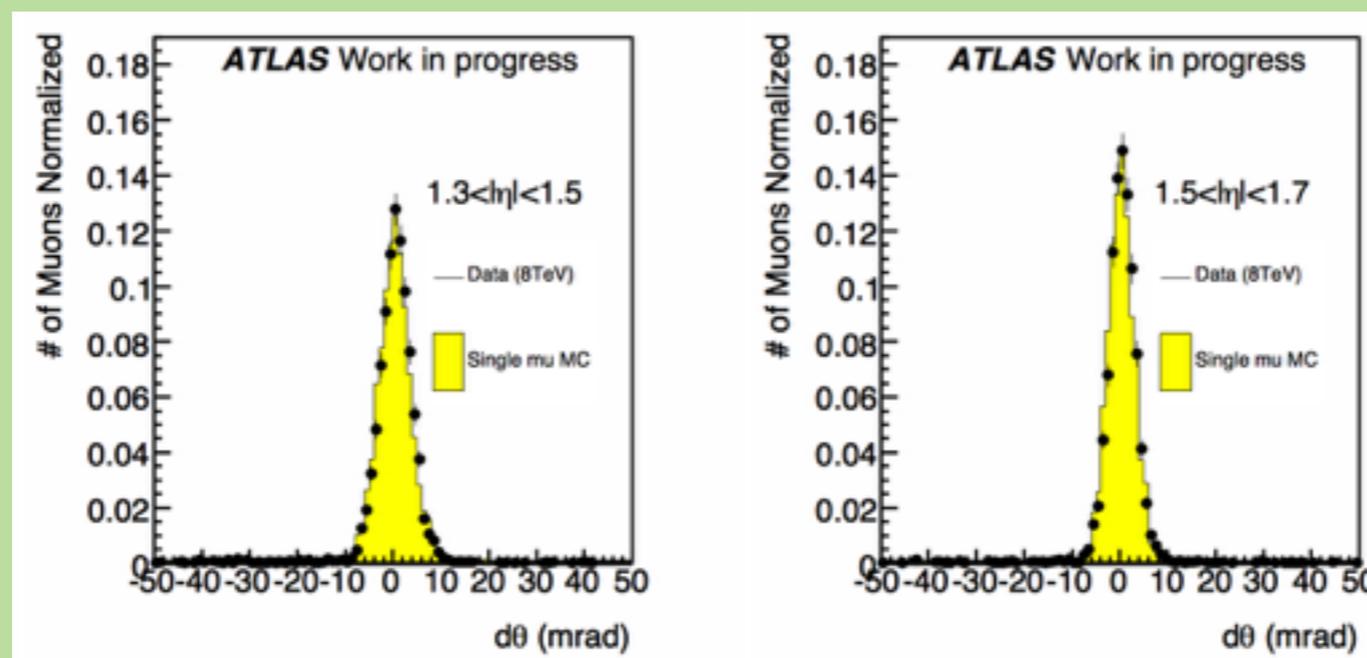
$$2\pi \text{ rad} / 12 \text{ (or 24)} / 10 \text{ mrad} = 52.3 \rightarrow 6 \text{ bits}$$

η : 0.005/bit

$$(2.4 - 1.3) / 0.005 = 220 \rightarrow 8 \text{ bits}$$

$\Delta\theta$: 1 mrad/bit

± 15 mrad is enough to select muons from IP \rightarrow 5 bits

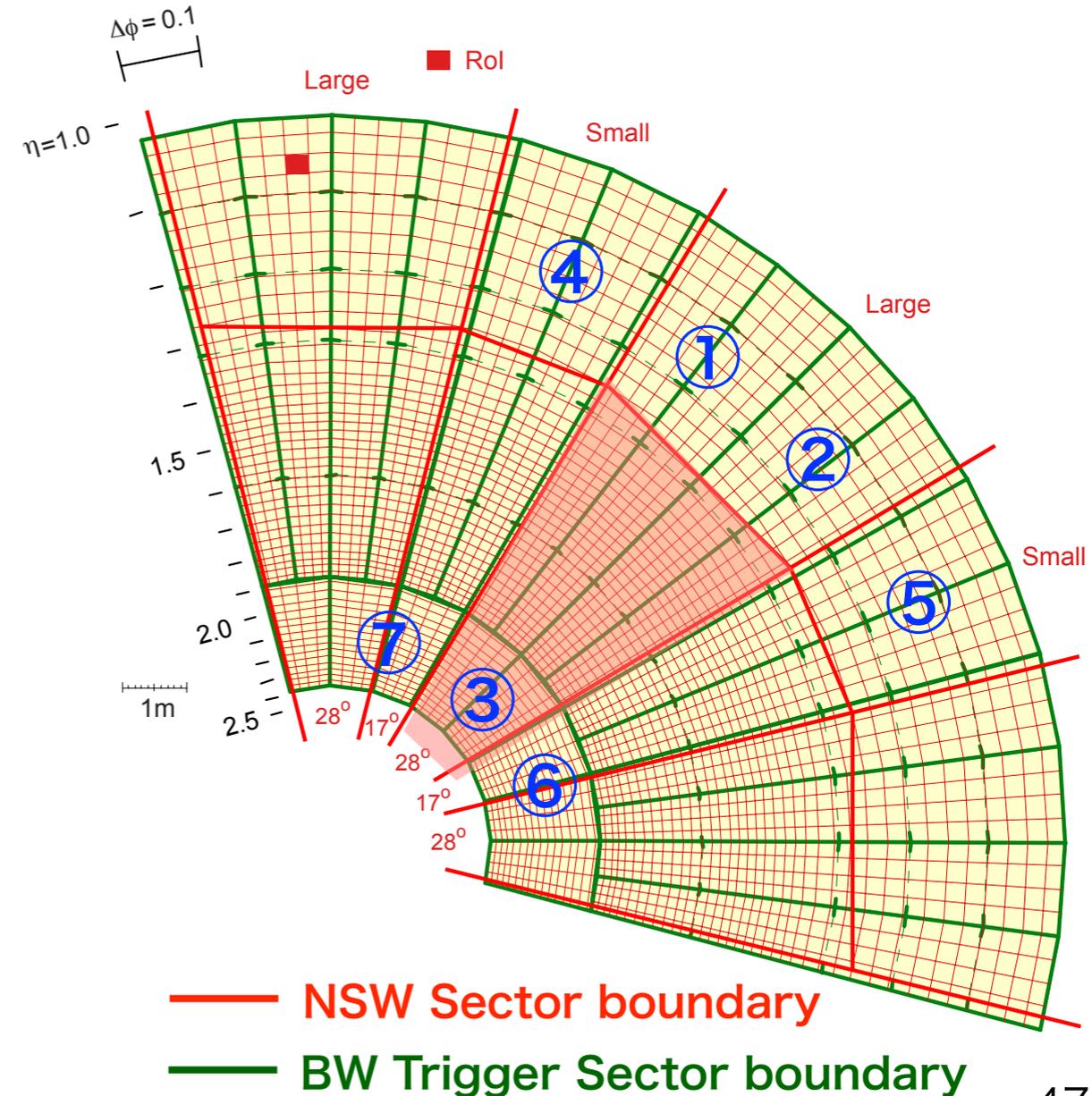


Interface to the new Sector Logic

- ◆ 現在, SL では 2本 のトラック情報を送信している
 - ▶ Run-3 では3本になる可能性がある
 - ▶ NSW から8トラック分の情報を受け取れば, 十分だと考えられる
 - ▶ 1本のケーブルで4トラック分, 2本のケーブルを用いて受信する

Words	first byte	second byte
Word-0	comma	comma
Word-1	track-0	
Word-2		
Word-3	track-1	
Word-4	track-2	
Word-5		
Word-6	track-3	
Word-7	ID (4-bit)	BCID (12-bit)

- ◆ Track data in the NSW will be combined and fanned-out in the transmission to maximum 7 SLs by NSW electronics.
 - ▶ assign 3 SL boards for 1 big NSW sector (①~③)
 - ▶ cover the boundary by the neighboring sectors (④~⑦)



Current Latency (54 BCs to MuCTPi)

New Small Wheel (expected)			
	nsec	CLK	Total CLK
TOF from interaction point to NSW (10m)	34	1.5	1.5
Signal Processing on detector		18	19.5
Optical Fibre (90m)		13	32.5
Signal processing at USA15 (incl. merger board)		8.5	41
Signal Fan-out			
Serializer + Optical Tx			
Optical Fibre to Sector Logic (5m)		1	42

↓
↓
↓

NSW ports in New Sector Logic			
	nsec	CLK	Total CLK
Receive signals from NSW			42
Optical Rx + De-serializer		2	44
Alignment LUT (BW - NSW)		1	45

→

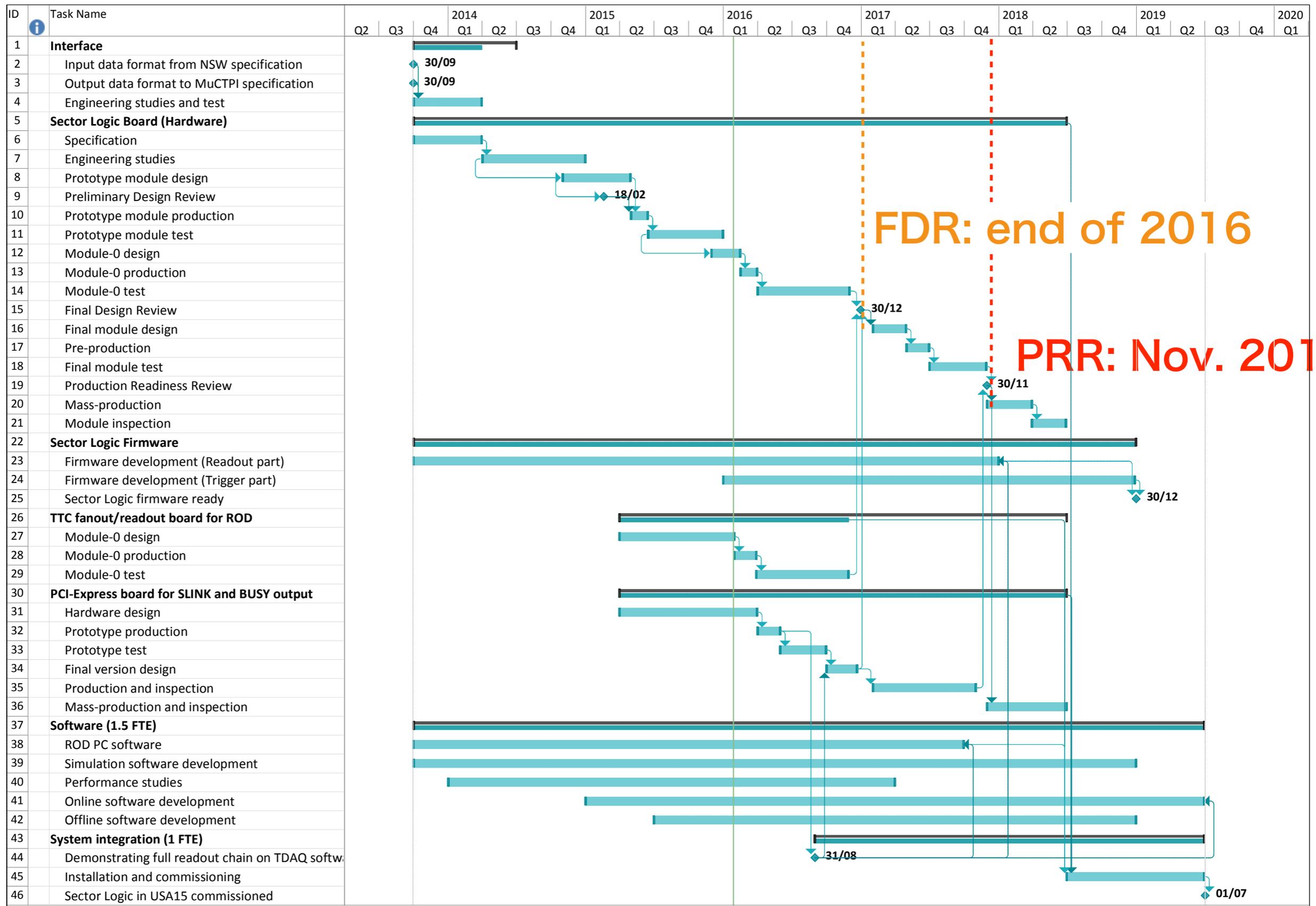
Big Wheel TGC (measurement)			
	nsec	CLK	Total CLK
TOF from interaction point to TGC	50	2	2
Propagation delay on wire/strip	5	0.2	2.2
TGC response	2	0.1	2.3
ASD	5	0.2	2.5
Cable to PS-Board (12.5m max.)		2.5	5
Variable Delay, Bunch ID, OR		1.5	6.5
Variable Delay		1	7.5
3/4 Coincidence Matrix or 2/3 Coin.		1	8.5
LVDS Rx (SN65LV1023)		1	9.5
Cable to H-pT Board (15m max.)		3	12.5
LVDS Rx (SN65LV1224A)		2	14.5
Variable Delay		1	15.5
H-pT Matrix		2	17.5
G-Link Tx (HDMP-1032A) + Optical Tx		1.5	19
Optical Fibre to Sector Logic (90m)		18	37

↓

New Sector Logic			
	nsec	CLK	Total CLK
Receive signals from BW and NSW			37
Optical Rx + De-serializer		2	39
TGC R-Phi coincidence (LUT)		2	41
Waiting for NSW signals		4	45
BW-NSW coincidence (LUT)		3	48
Track selection		2	50
pT encoding		1	51
Serializer (64bit/clock, 3.2Gbps) + Optical Tx		1	52
Optical fibre to MUCTPI (10m)		2	54



Project schedule



FDR: end of 2016

PRR: Nov. 2017