

高輝度LHC-ATLAS実験で用いる μ 粒子検出器フロントエンド回路開発および フラッシュメモリFPGAの放射線耐性試験

名古屋大学 高エネルギー素粒子物理学研究室 修士2年 水越健太

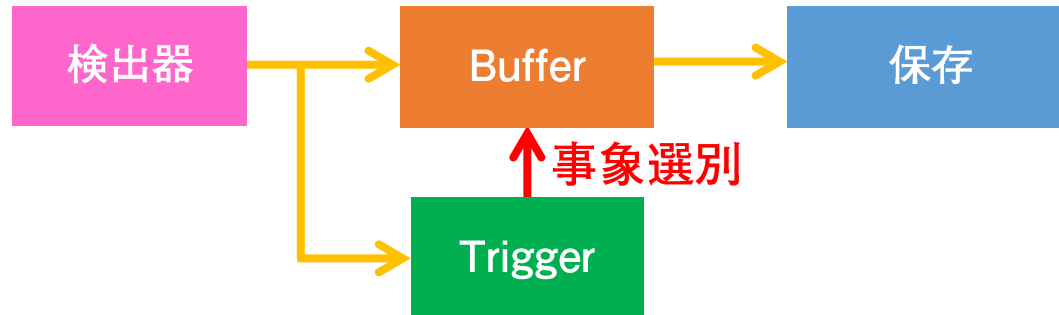
高輝度LHC-ATLAS実験

2026年後半～ 高輝度LHC-ATLAS実験

重心系エネルギー： $\sqrt{s} = 14 \text{ TeV}$

瞬間ルミノシティ： $5 \sim 7 \times 10^{34} \text{ cm}^{-2} \text{ s}^{-1}$ (現在の5～7倍) 高放射線環境

ATLAS実験のデータ取得の流れ



Triggerシステムのデザイン

事象発生頻度が増加.

興味ある事象を有効に選別するために、
Trigger systemのデザインの変更.

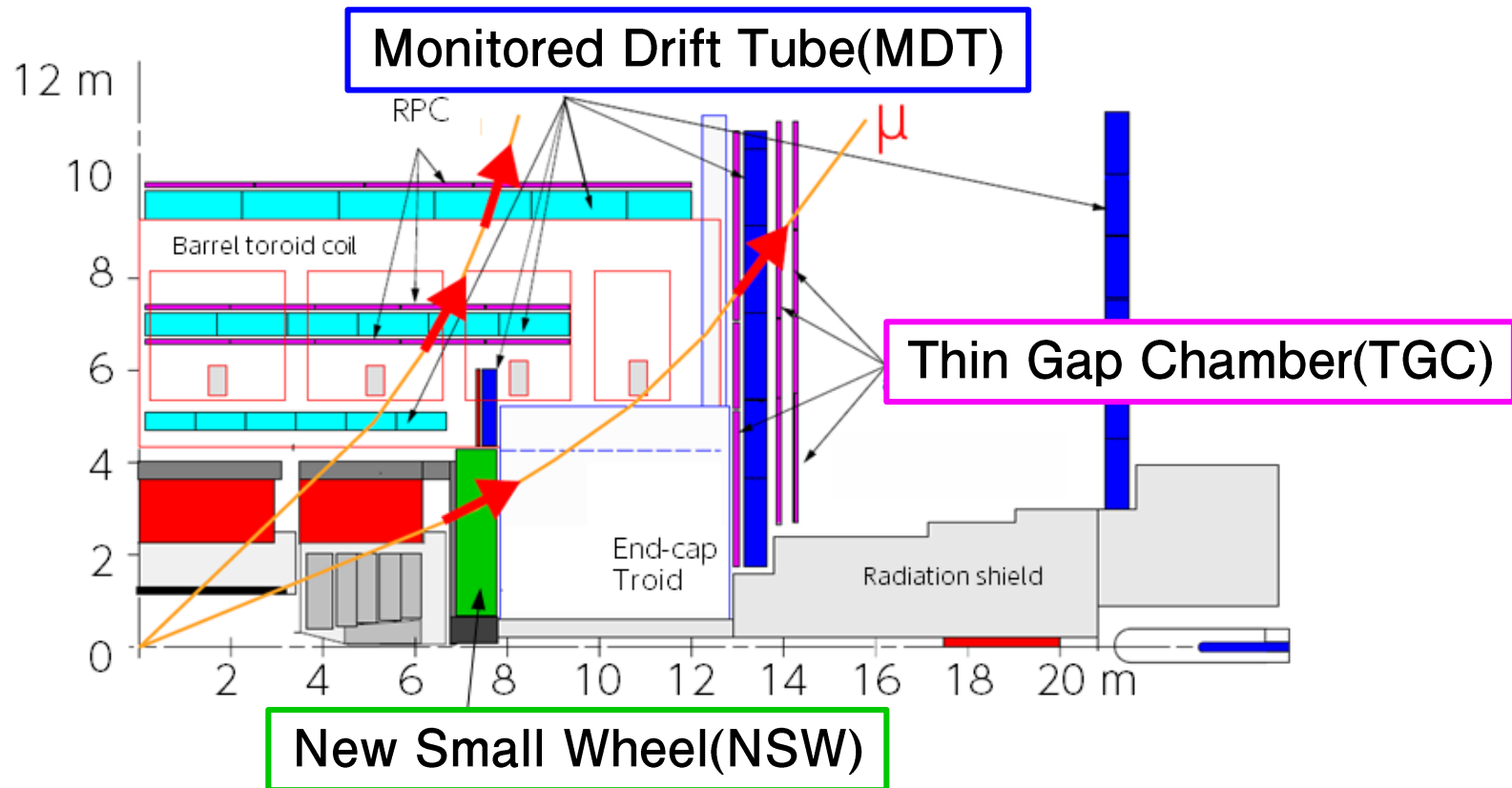
初段Trigger	現在	高輝度 LHC-ATLAS実験
Trigger rate	100 kHz	1 MHz
Latency	2.5 μs	6 μs

Triggerアルゴリズムの改良

横運動量分解能を向上させる.

⇒多くの検出器の読み出し回路を取り替える必要

高輝度LHC-ATLAS実験における エンドキャップ部の μ 粒子検出器



マイクロメガス、小ストリップTGC検出器
2019-2020年導入予定

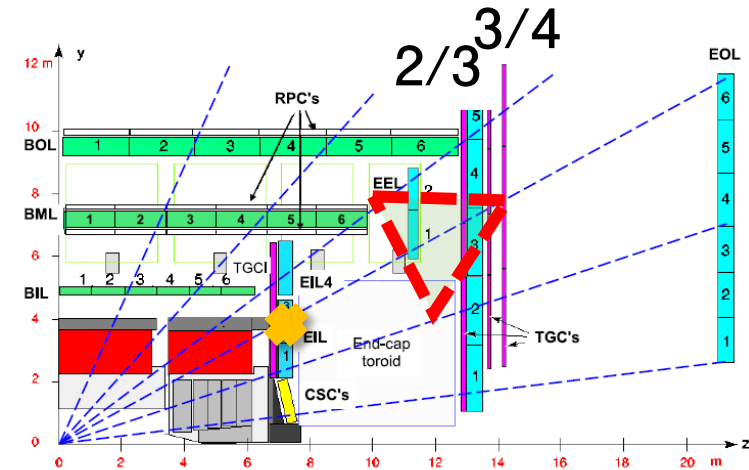
TGCとMDTのフロントエンド回路を開発している。

TGCのフロントエンド回路開発

TGCのTriggerアルゴリズム

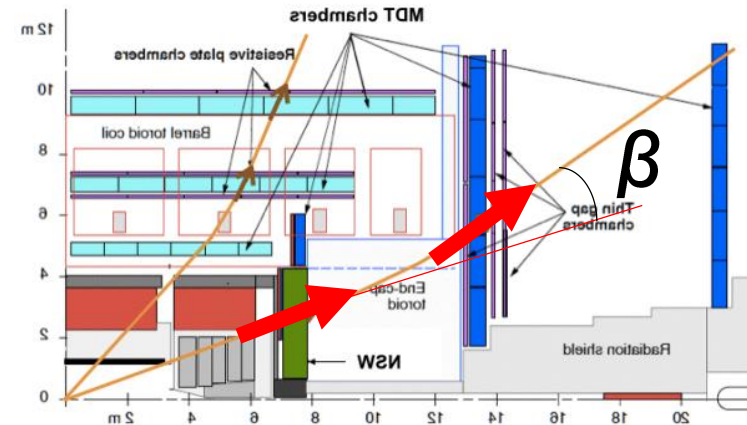
現在のTGCのTrigger Algorithm

- 7層 = 3層(triplet) + 4層(doublet x 2)
- 2/3と3/4でcoincidenceを取る
- 無限大運動量からのずれを見積もることにより横運動量 p_T の測定をする



高輝度LHC-ATLAS実験では

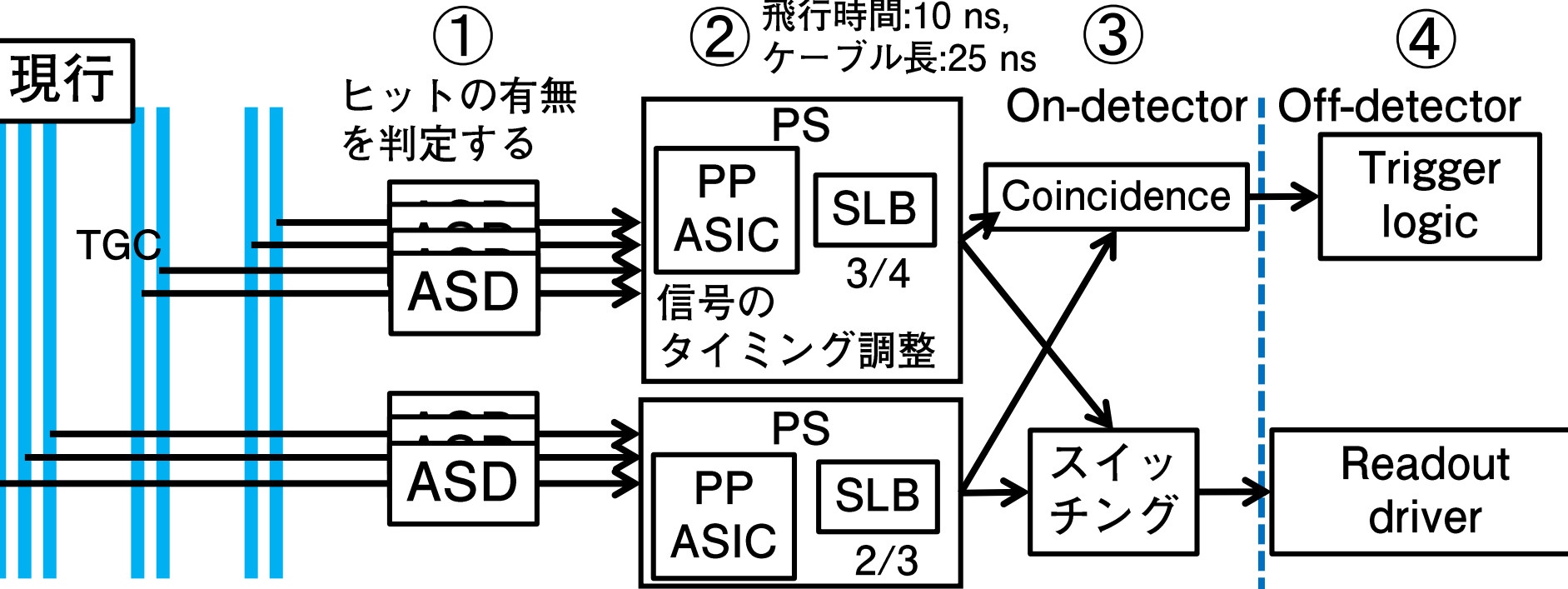
- NSWを用いて、分解能(1 mrad)で μ 粒子の飛跡の方向が分かる
- TGCでも μ 粒子の飛跡を求める
- 磁場前後の飛跡差 β を使って横運動量 p_T を測定する
- 横運動量分解能が上がる



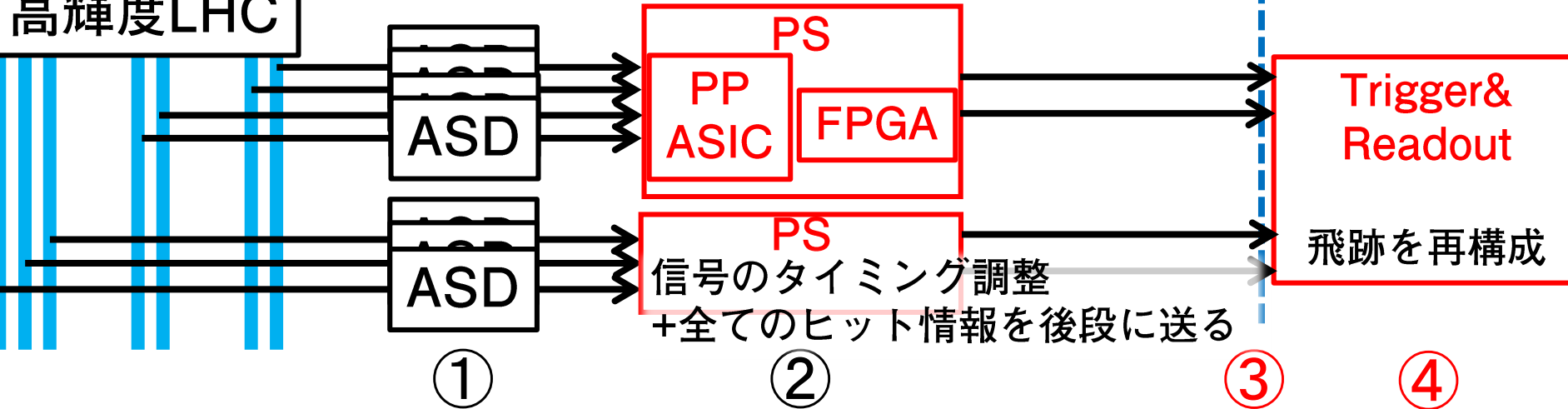
Triggerアルゴリズムの改良によりTrigger rateは30%程削減

現行と高輝度LHCでのTGCトリガーの流れ

現行



高輝度LHC



PSボード試作機

→:データの流れ

PP ASIC

TGCからの信号
32 ch × 8 = 256 ch

DAC

DAC7578SPW 8 ch×2
16 chごとに変更可能

FPGA

Xilinx社 Kintex-7
XC7K325T-2FFG900
256 chのデータ転送
PP ASICのコントロール
ASDの電圧の閾値設定

高速トランシーバ (SFP+(GTX))

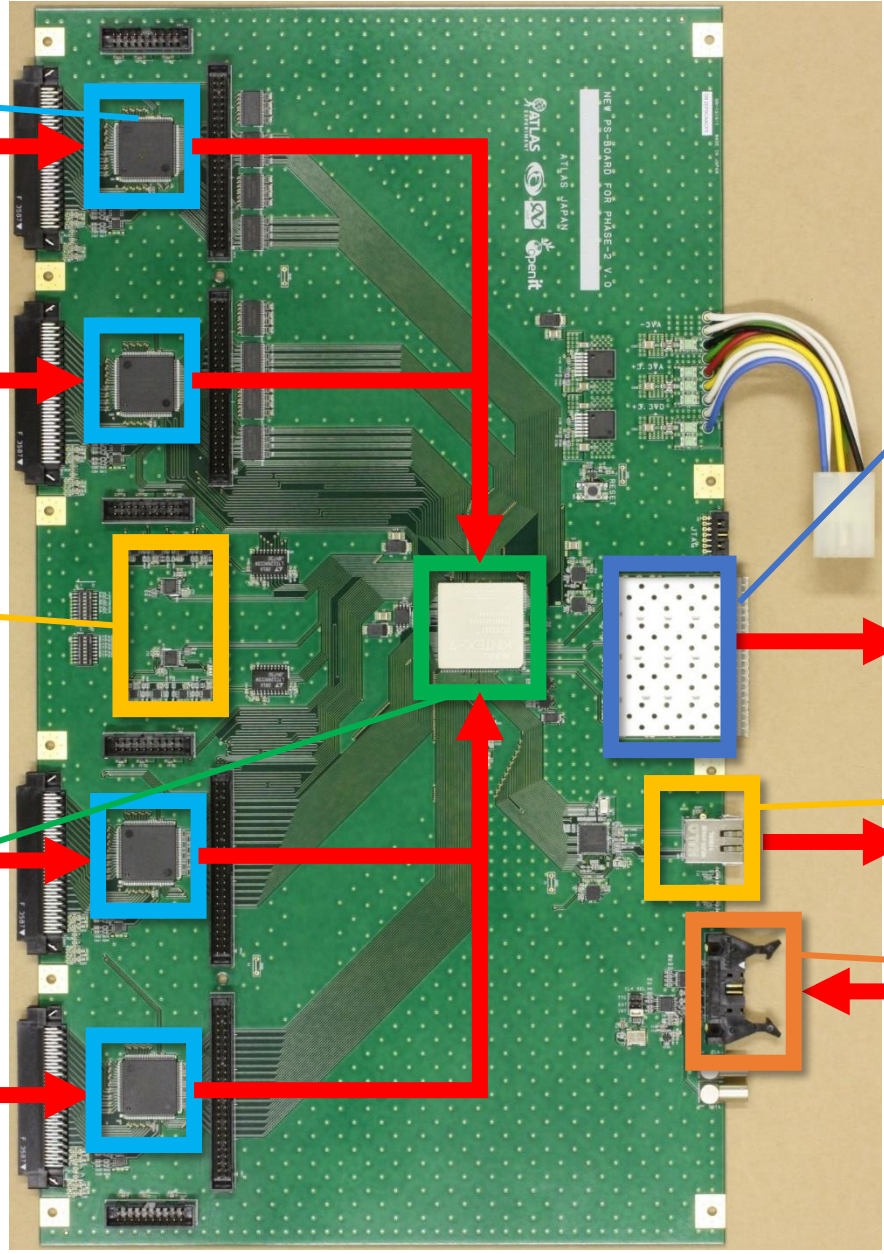
Fiberでデータ転送
8.0 Gbps × 2 lane
= 16 Gbps

Ethernet (SiTCP)

Debug用

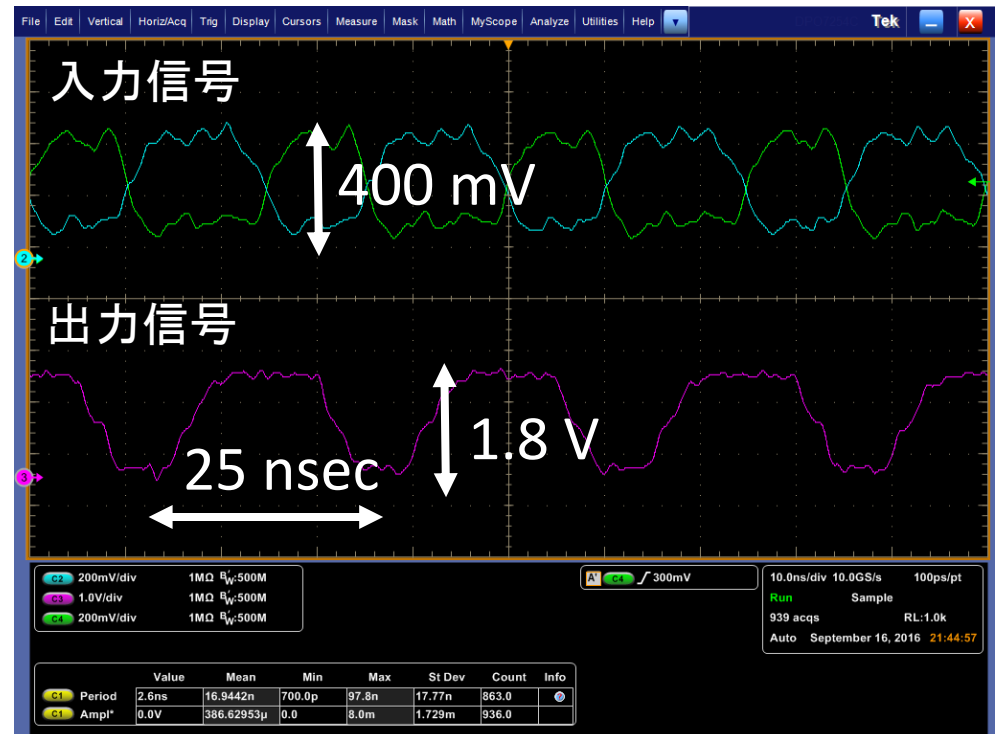
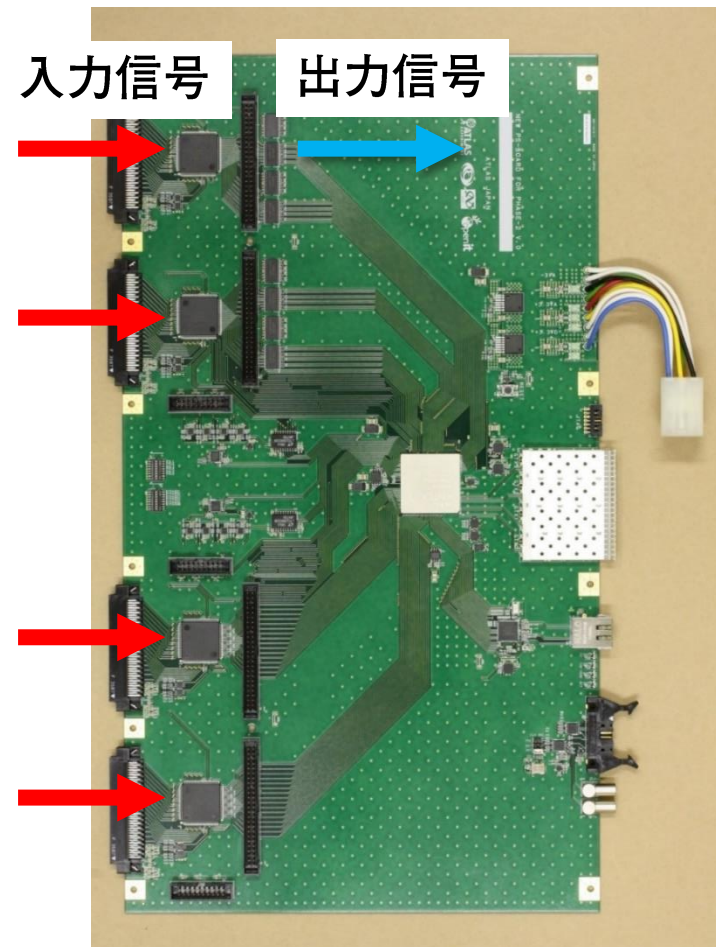
Flat cable

基準clockや
Resetの入力



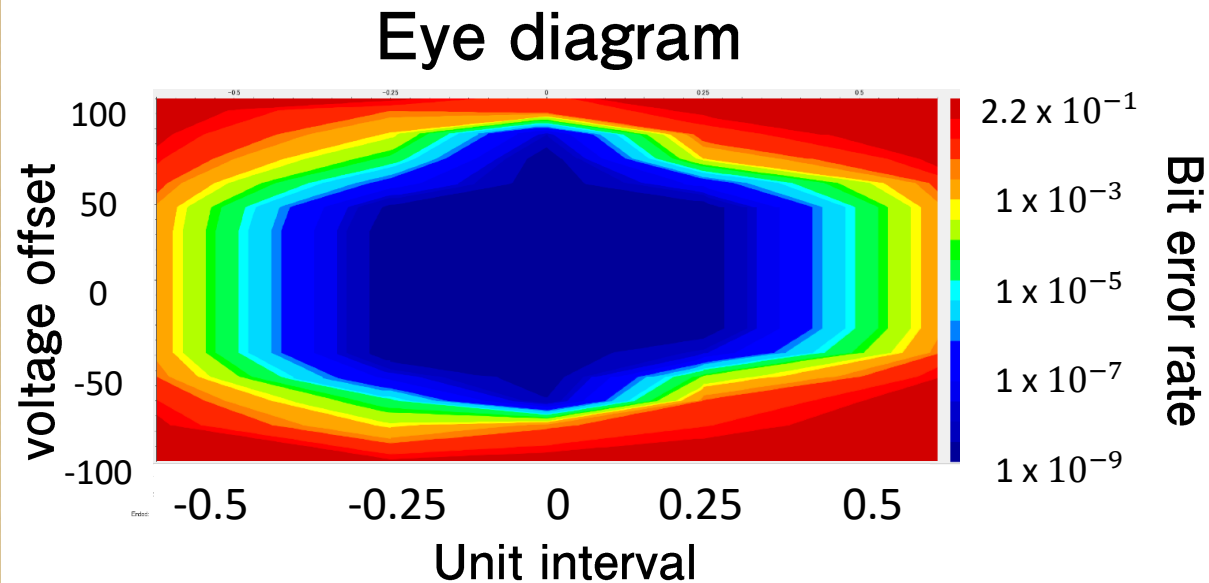
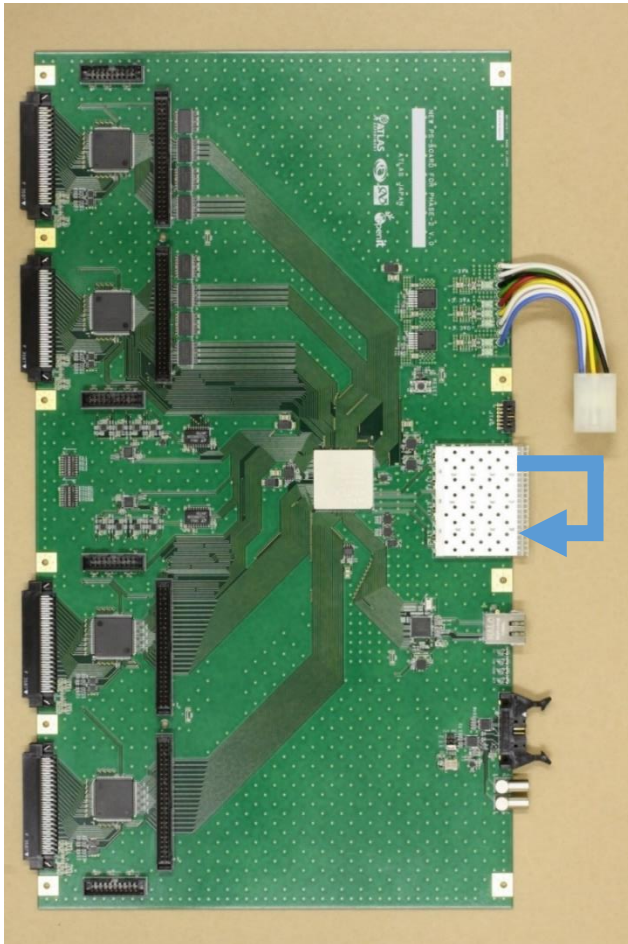
動作試験(PP ASIC)

PP ASICにLVDSの信号を入れパススルーモードで出力し、出力が正常に出ているかプローブを当ててオシロスコープで確認した。



動作試験(GTX)

Xilinx社のIBERTを使って、ランダムデータをLoopbackし、Bit error rateを測定した。



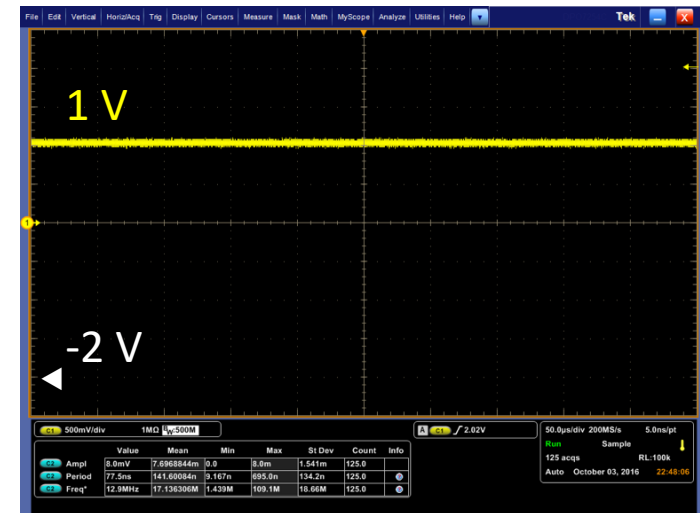
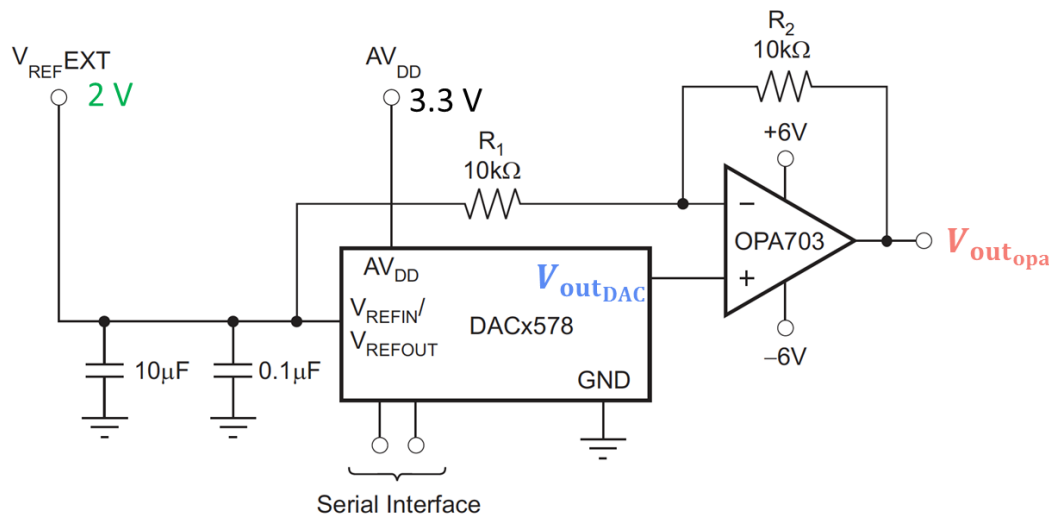
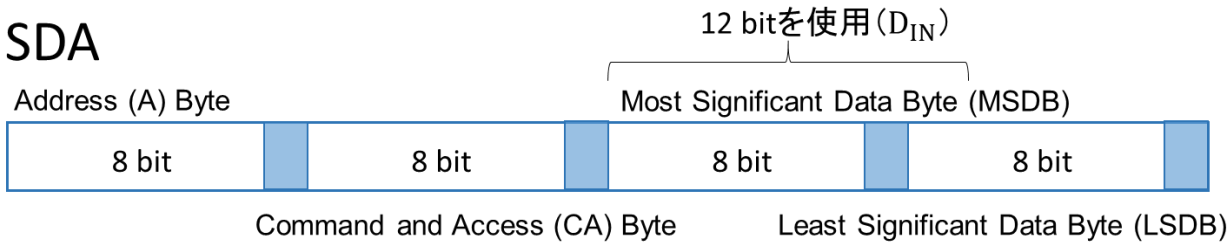
転送レート(1 laneあたり) : 8.0 Gbps
Bit error rate < $8.91 \times 10^{-15} \text{ s}^{-1}$

動作試験(DAC)

DACの閾値電圧の設定：I²C通信 2本のserial信号 SCL, SDA

- ・SCL 周期12.8 usのクロック

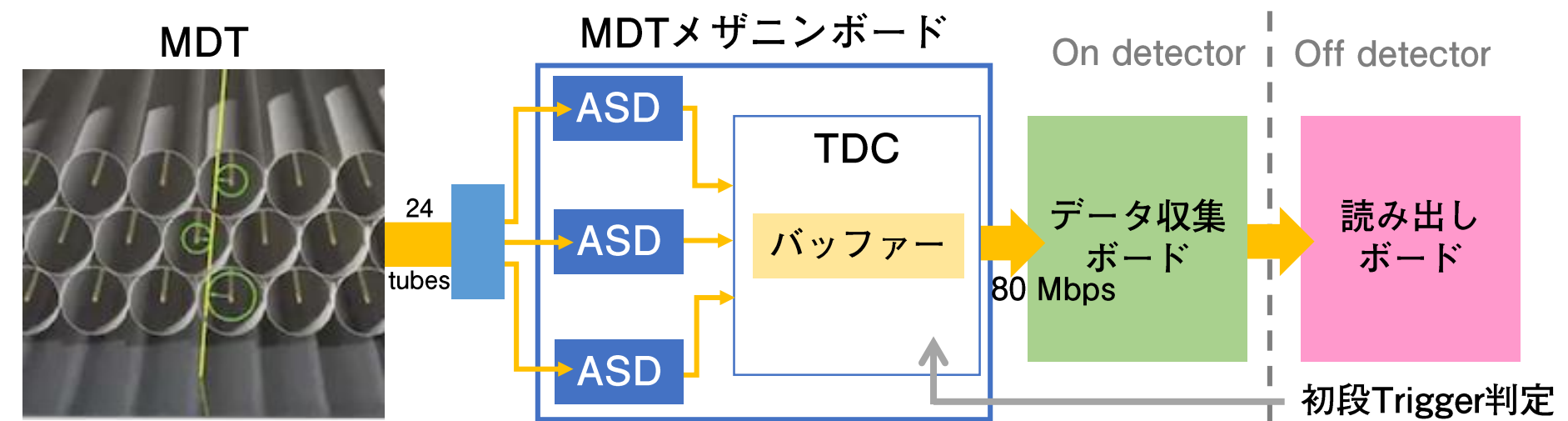
- ・SDA



DACの閾値電圧がデフォルトの-2Vから1Vに変化することを確認できた。

MDTのフロントエンド回路開発

MDT検出器の現行フロントエンド回路



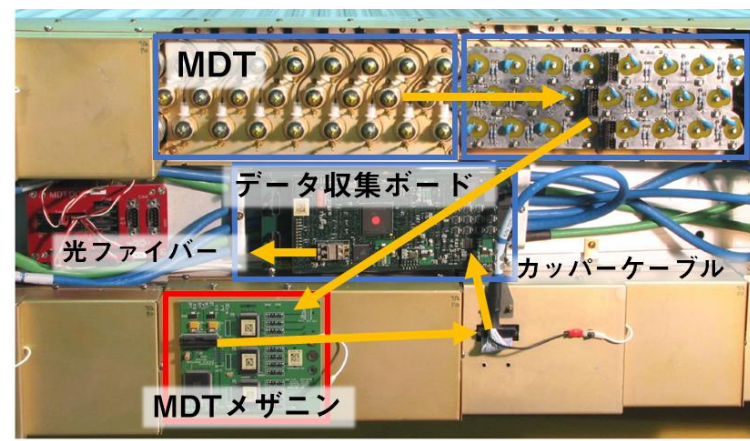
ATLAS Experiment©2014 CERN

ASD : Amplifier Shaper Discriminator
TDC : Time to Digital Converter

初段Triggerの信号を受けたときに、
後段にデータを送る。

TDCのスペック

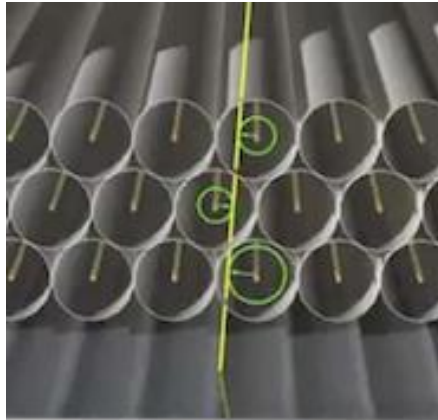
時間刻み幅	0.78 ns
最大初段Trigger rate	~200 kHz



高輝度LHC-ATLAS実験では、初段Trigger rate 1 MHzを予定している。
すべてのMDTメザニンボードを取り替える予定。

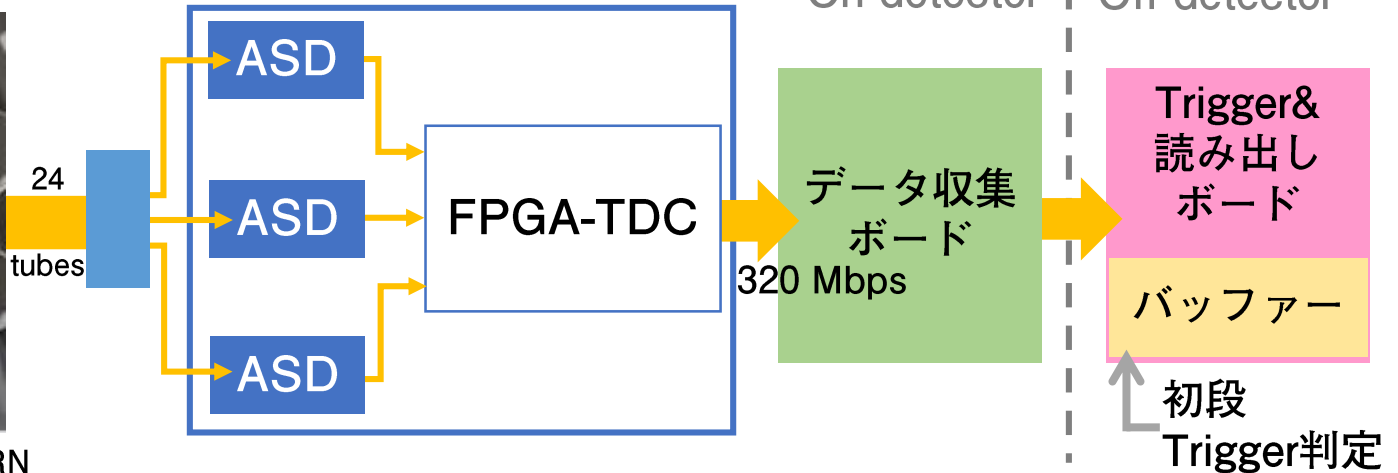
MDTメザニンボード改良の方針

MDT



ATLAS Experiment©2014 CERN

MDTメザニンボード



開発のポイント

- ・ 現行のASICベースのTDCと同じスペックのTDCを有する
- ・ MDTメザニンボードから**バッファを排除し、全てのヒット情報を後段へ送る**

FPGA

- ・ LVDSレシーバー、位相同期回路、高速通信インターフェースの既実装
- ・ 回路の書き換えが容易

→TDC回路、ヒット情報の後段転送回路の開発にメリット

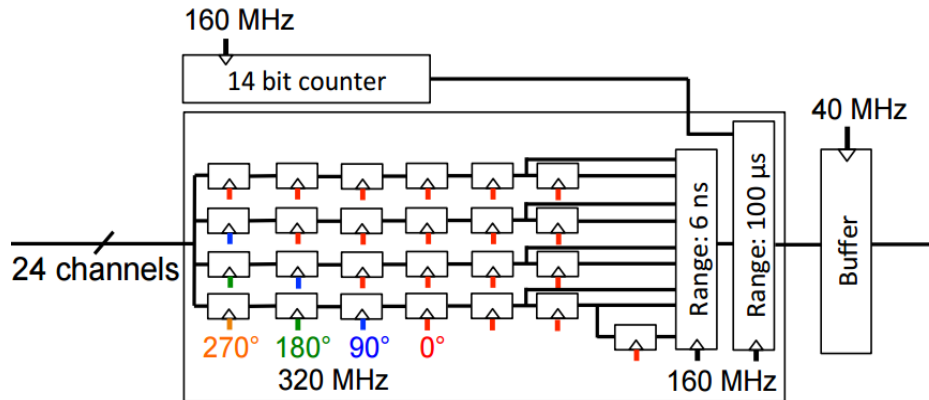
今回の改良によりMDTの情報をTriggerに導入することも可能に

FPGA-TDC

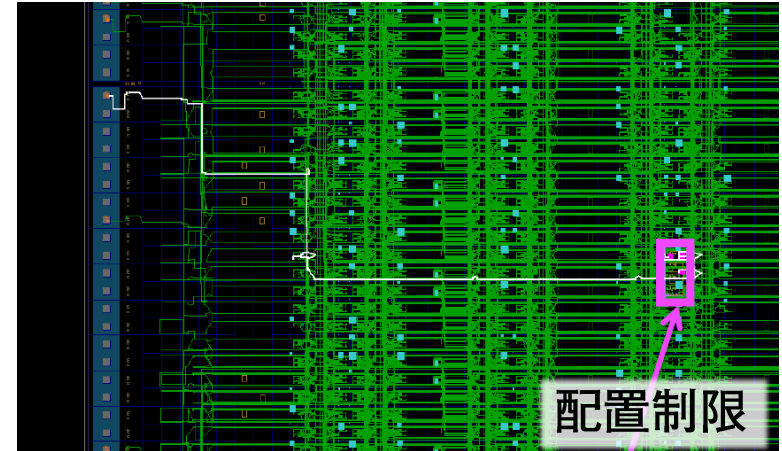
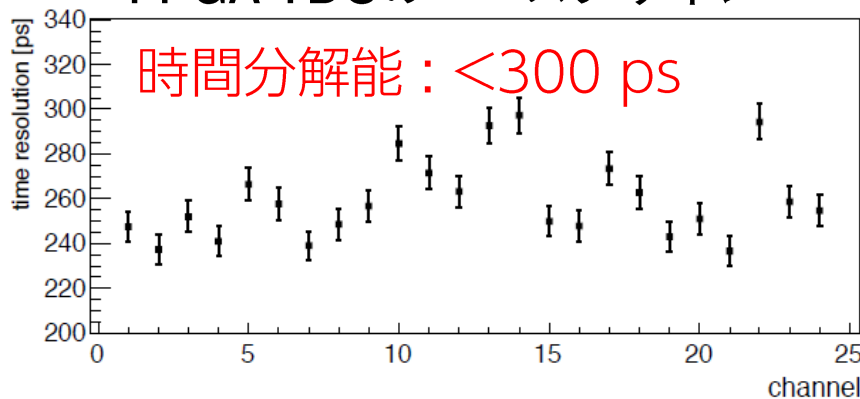
FPGAでTDCを構築できることは汎用ボードを用いて検証済み。

[Y. Sano et al 2016 JINST 11 C03053](#)

第70回年次大会 22aDL-8、2015 秋季大会 27aSS-3、第71回年次大会 22aCA-5



FPGA-TDCのベースデザイン



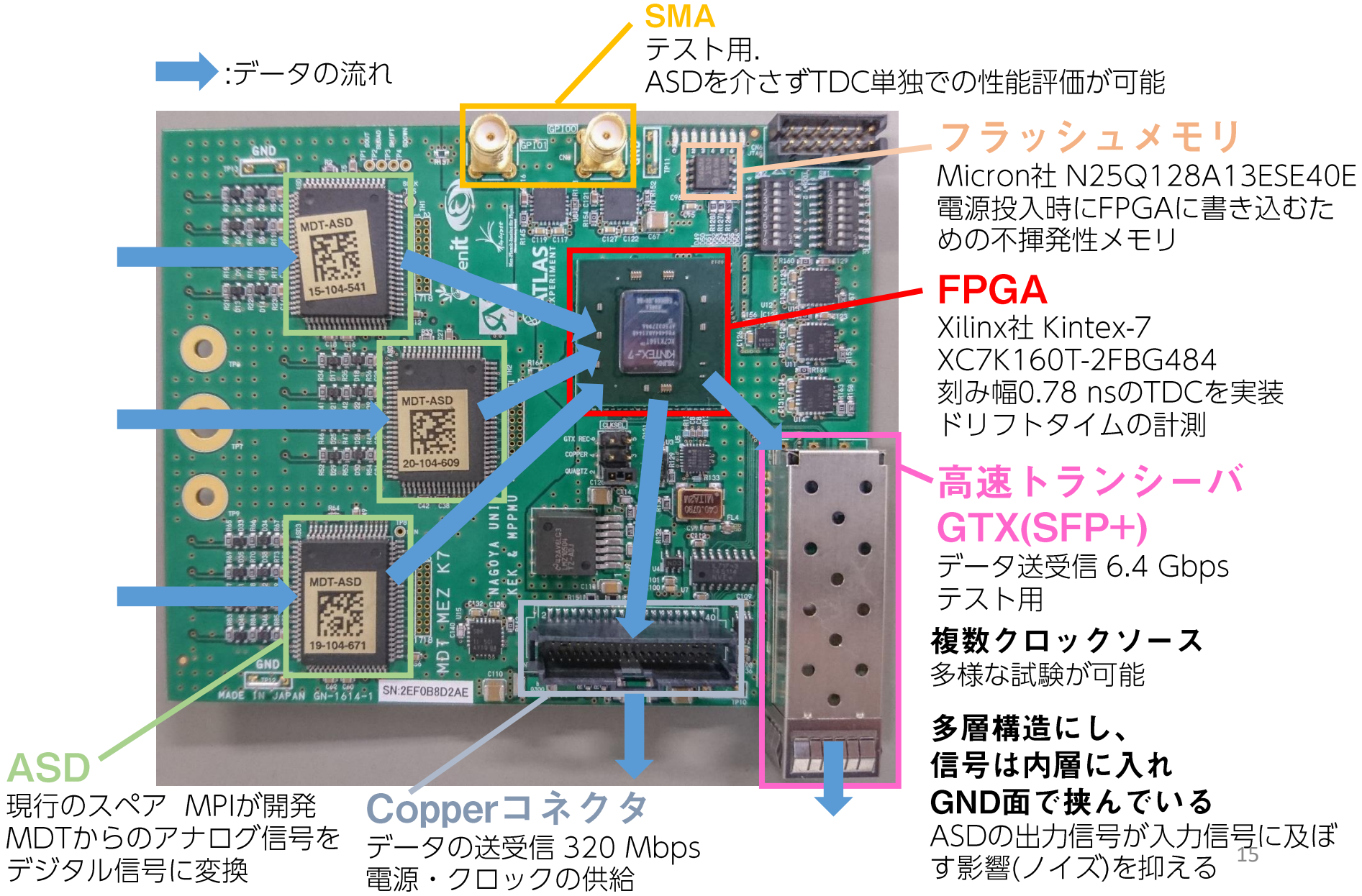
TDCの出力

- チャンネル番号(1~24)
- ヒットの有無
- 立ち上がりか立ち下がりか
- 時間情報 etc.

- 320MHz 4位相のクロックを使うことで刻み幅0.78 nsを実現。
(DFFに配置制限をかけ配線遅延のばらつきをおさえている)
- 時間分解能の要求(< 500 ps)を満たす。

MDTメザニンボード試作機

2017年のTDR発行前に、試作機の動作検証を行い、技術仕様を定める。



→ :データの流れ

SMA
テスト用.
ASDを介さずTDC単独での性能評価が可能

フラッシュメモリ
Micron社 N25Q128A13ESE40E
電源投入時にFPGAに書き込むための不揮発性メモリ

FPGA
Xilinx社 Kintex-7
XC7K160T-2FBG484
刻み幅0.78 nsのTDCを実装
ドリフトタイムの計測

高速トランシーバ GTX(SFP+)
データ送受信 6.4 Gbps
テスト用

複数クロックソース
多様な試験が可能

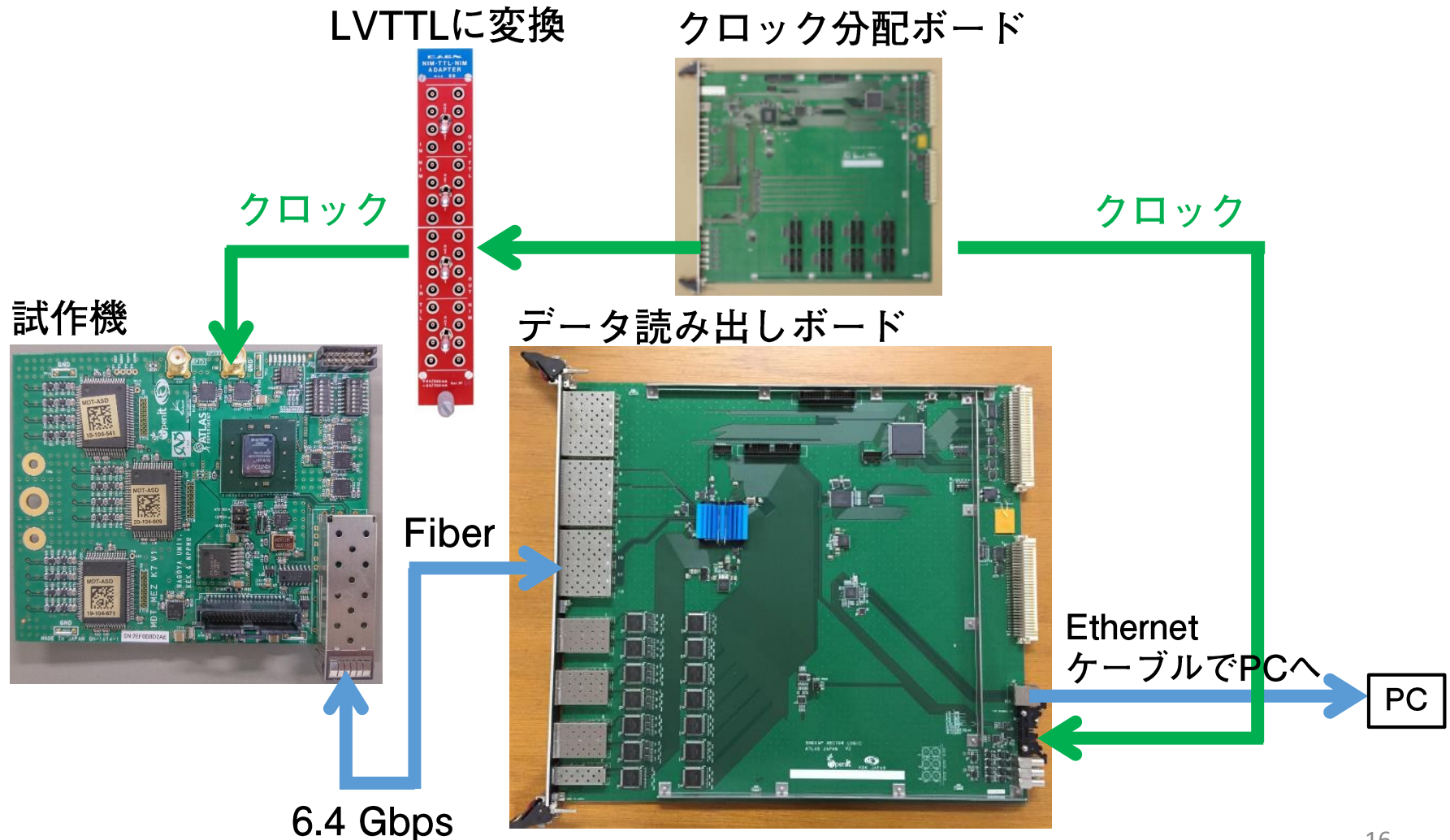
多層構造にし、信号は内層に入れ
GND面で挟んでいる
ASDの出力信号が入力信号に及ぼす影響(ノイズ)を抑える

ASD
現行のスペア MPIが開発
MDTからのアナログ信号をデジタル信号に変換

Copperコネクタ
データの送受信 320 Mbps
電源・クロックの供給

動作試験(GTX)

高速通信用トランシーバを使ったデータ通信テストを行った。
データ読み出し用ボードとの間でデータの送受信を行い、そのデータは
PCに出力した。



動作試験(GTX) 結果

送信データフォーマット
1 word = 16 bit

first byte	second byte
comma(=bc)	0x00
カウンタ①	
data 1	
data 2	
data 3	
data 4	
data 5	
カウンタ②	

data 1~5 : 受信データをそのまま送り返す
 カウンタ① : クロックでカウントアップ
 カウンタ② : ★が1のときカウントアップ

TDCの出力は28 bits.

5 bits	チャンネル番号
1 bit	ヒットの有無
1 bit	立ち上がりか立ち下がりか
19 bits	時間情報
1 bit	チャンネルごとのFIFOのFULL情報
1 bit	全チャンネルまとめてつめるFIFOのFULL情報

32 bitsの枠につめる.

TDCの出力を送る場合

first byte	second byte
comma	BCID (last 8-bit)
16-bit data	
16-bit data	
16-bit data	
16-bit data	
16-bit data	
16-bit data	
status (ASD閾値, FPGA温度etc.)	

受信データ	送信データ
bc bc 00 00 ★	bc 00 00 01 カウンタ①
09 05	09 05 data 1
01 23	01 23 data 2
04 56	04 56 data 3
07 89	07 89 data 4
0a bc	0a bc data 5
0e 0d	00 00 カウンタ②
bc bc 00 00	bc 00 00 02
09 06	09 06
01 23	01 23
04 56	04 56
07 89	07 89
0a bc	0a bc
0e 0d	00 00
⋮	⋮
bc bc 00 01	bc 00 00 07
09 0b	09 0b
01 23	01 23
04 56	04 56
07 89	07 89
0a bc	0a bc
0e 0d	00 01

そのまま送り返している部分は元のデータと一致していること、
 カウンタの部分はカウントアップしていることを確認できた。

TGC・MDT回路開発まとめ

高輝度LHC-ATLAS実験で、瞬間ルミノシティの増強に伴い、 μ 粒子検出器では読み出し回路を刷新する。

TGCではトラッキングを用いたトリガーが導入される予定で、後段に高速でデータ転送できるようなボードを、MDTでは、FPGA-TDCを載せたメザニンボードを開発した。

現在、各ボードに実装するファームウェアの開発・テストを行っている。

- ・ GTX : LoopbackテストやIBERTを使って正しく通信できることを確認した。
- ・ DAC(PSボード) : 正しく閾値設定ができることを確認した。
- ・ カッパーケーブル(メザニン) : 正しいフォーマットでデータが出力されていることをロジアナで確認。

今後の計画

2017年発行予定のTDRに向けて、10/19 - 11/9で検出器や後段の回路と接続してBeamtestを行い開発したボードの包括的な動作検証を行う。

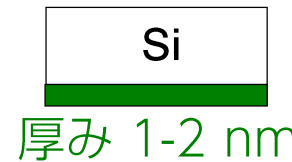
フラッシュメモリFPGAの放射線耐性試験

FPGAに対する放射線の影響

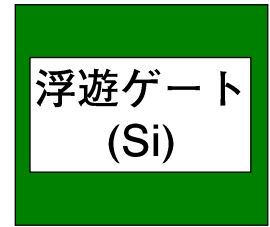
FPGAのコンフィギュレーションメモリ

- Kintex-7 FPGA : SRAMベース
- IGLOO2 FPGA : フラッシュベース

① Kintex-7

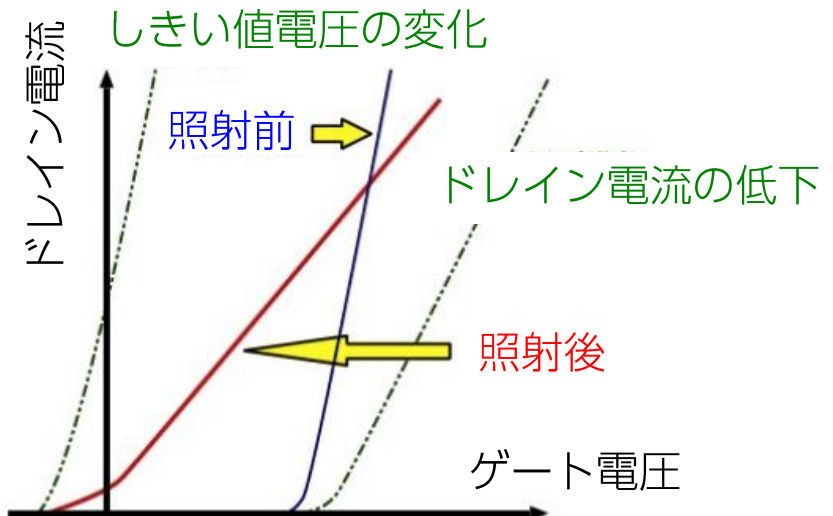
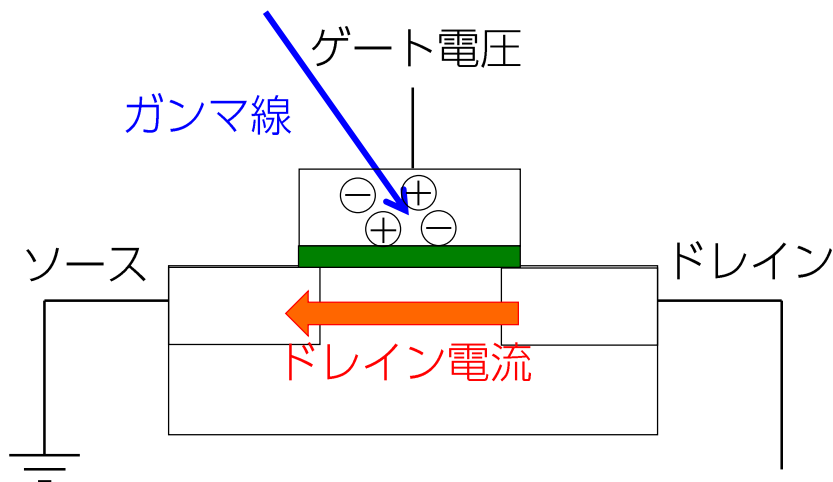


② IGLOO2



放射線の影響

- ガンマ線 : 正電荷の蓄積による動作閾値と電流の低下(① < ②)
- 陽子 : 電離による一時的なビット反転 (① > ②)



フラッシュベースFPGA利用の検討

MDTでの放射線量の見積もり

- ・ガンマ線：400 Gy (SiO₂) /10 年 (エンドキャップ部ビーム軸近傍)
50 Gy (SiO₂) /10 年 (バレル部内層)
- ・陽子 : O(10¹²) /cm² /10 年

	Kintex-7 FPGA (Xilinx)	IGLOO2 FPGA (Microsemi)
コンフィギュレーションメモリ	SRAM	フラッシュメモリ
高輝度LHC-ATLASでの陽子によるエラーレート見積もり	6.5 / hour ※型番 XC7K325T の場合	< 1 / 200 days ※型番 M2GL050 の場合

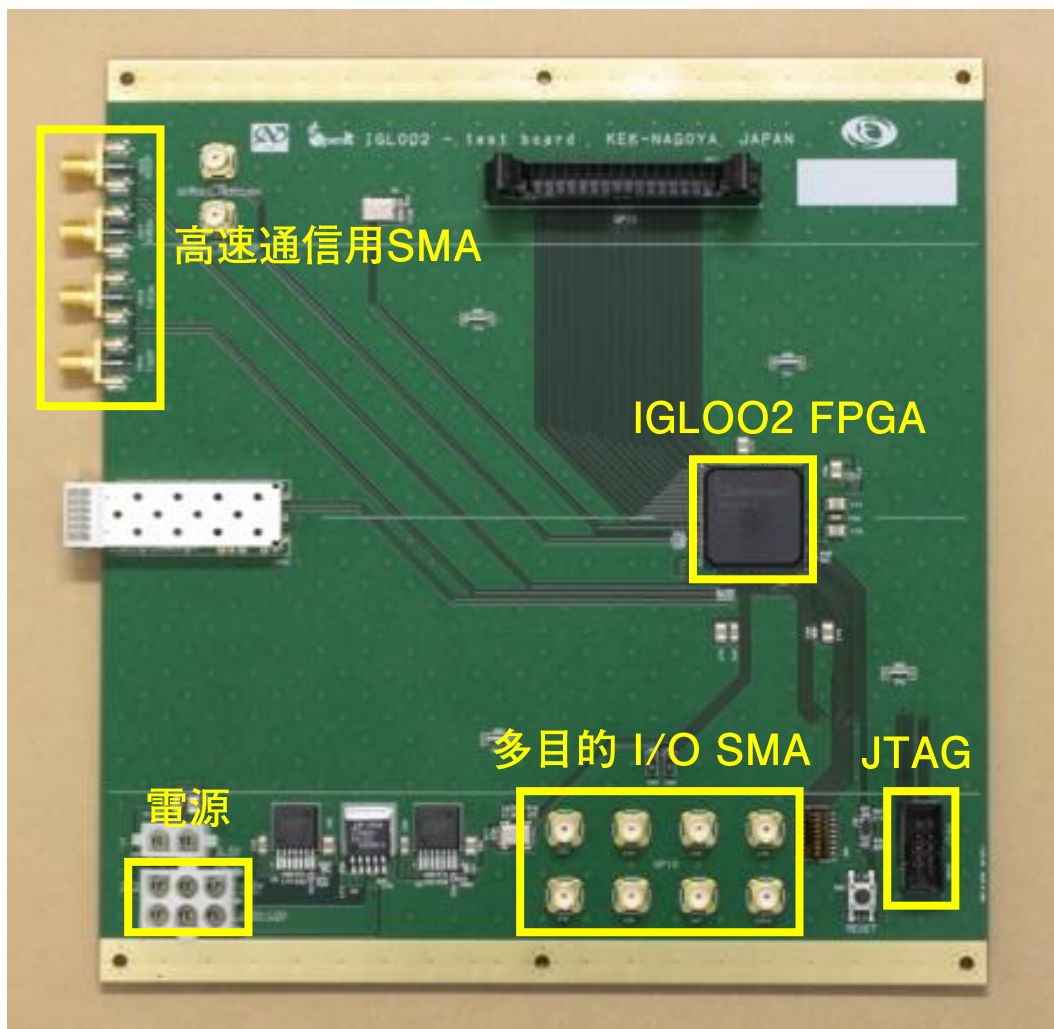
Kintex-7 FPGA：ファームウェアの定期的な書き込みやビットエラー検知を併用した運用が必要(Soft Error Mitigation)

⇒これらを必要としないと思われるIGLOO2 FPGAでの運用に着目

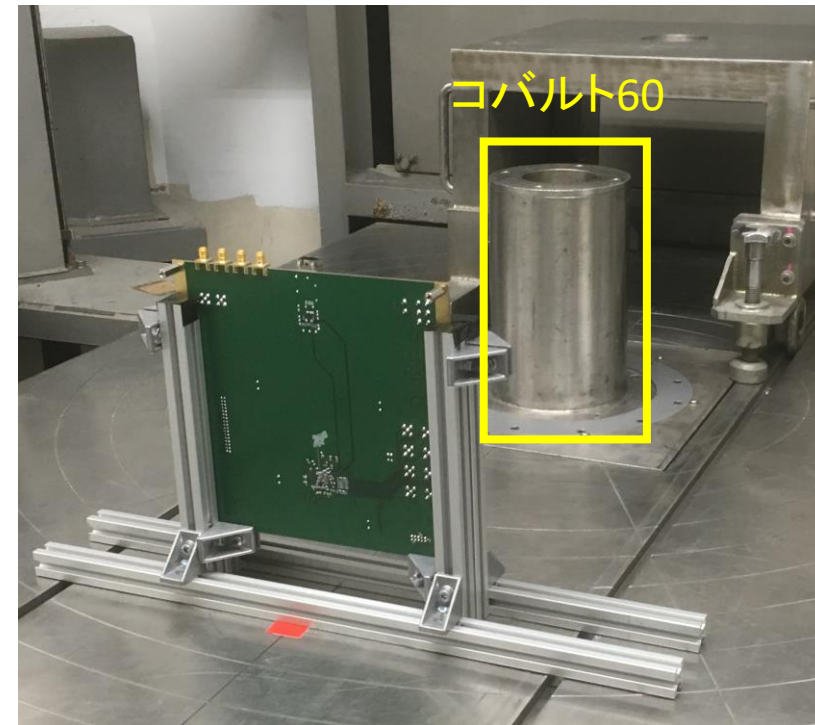
IGLOO2 FPGAでのTDC動作は実証済み (第71回年次大会22aCA-5)

本講演では、ガンマ線に対する耐性試験の結果を報告する。

放射線耐性試験用ボード



照射施設：
名古屋大学 コバルト60照射室



照射レート $\sim 0.1-1$ Gy/min

8枚のボードを照射した(照射中はボードの電源OFF).

コンフィギュレーションメモリ試験と結果

- 2枚のボードに、10 Gy ずつ約100 Gyまで照射
- 各照射ごとにソフトウェア(Libero)で以下のコマンド実行
 - READ IDCODE : FPGAのIDを取得
 - PROGRAM : FPGAへプログラムをダウンロード
 - VERIFY : 書き込んだプログラムとオリジナルの比較

試験結果

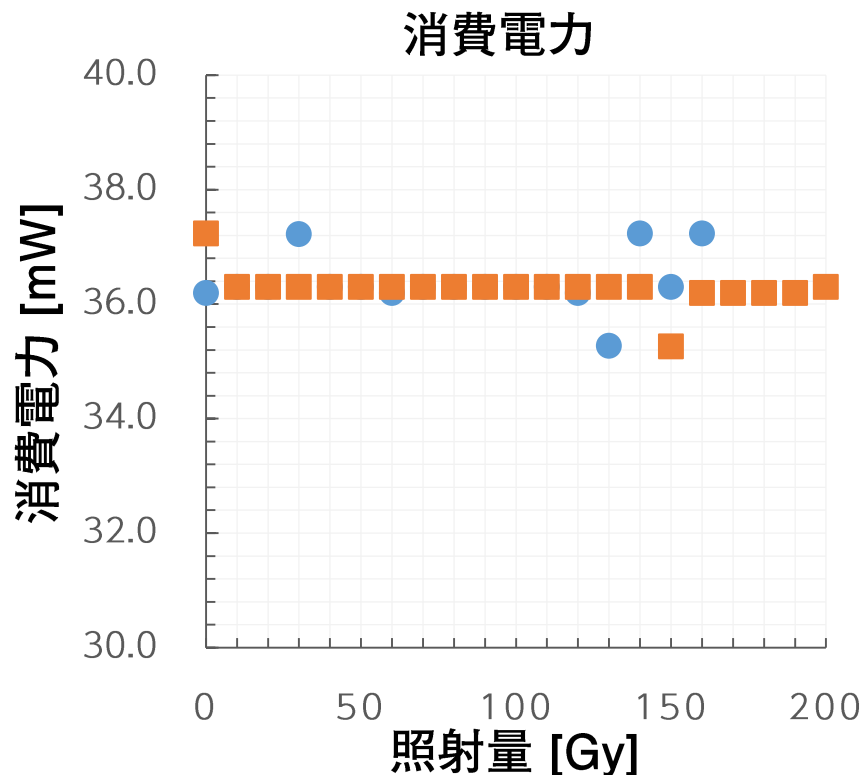
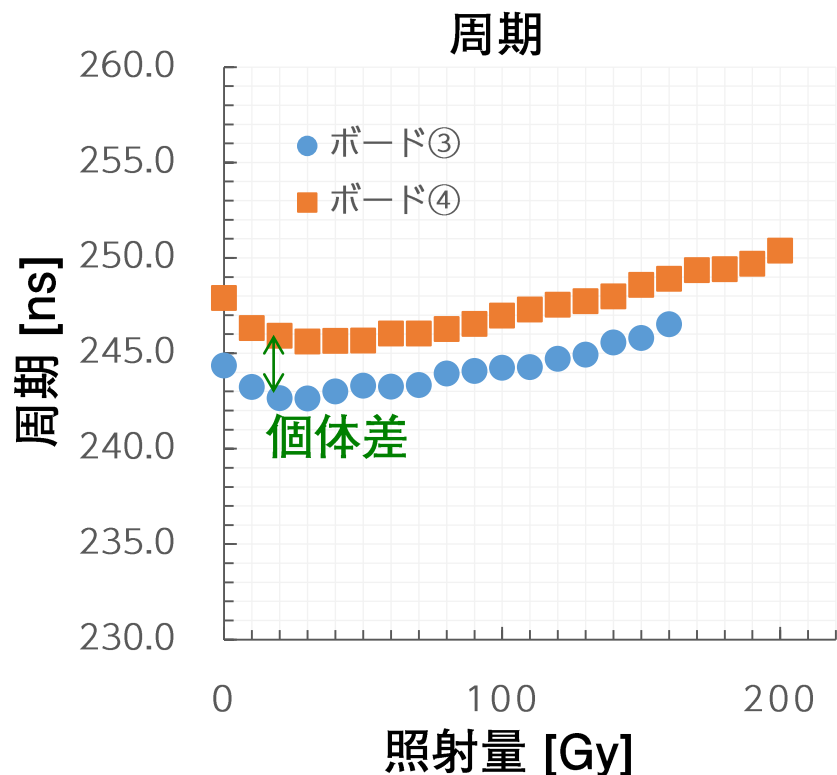


- 80-90 Gy : 「VERIFYエラー」 検知
- 110-120 Gy : 「PROGRAMエラー」 検知

バレル部の50 Gyを上回るが、ビームパイプ近傍400 Gyは満たさない

リングオシレータの周期と消費電力

照射前に、NAND501個で構成されるリングオシレータのファームウェアをFPGAにダウンロード



- ・ ボード③, ④それぞれ 160 Gy、210 Gyでリングオシレータ動作せず
このとき、READ IDCODEでエラーも出て、FPGAが認識されなかった
- ・ 周期は、照射量に対して上昇傾向があるが、ほぼ変化無し
- ・ 消費電力は、ほぼ変化無し

バルレル部の50 Gyを上回るが、ビームパイプ近傍400 Gyは満たさない。

高速通信用インターフェース(SERDES)^{25/28}

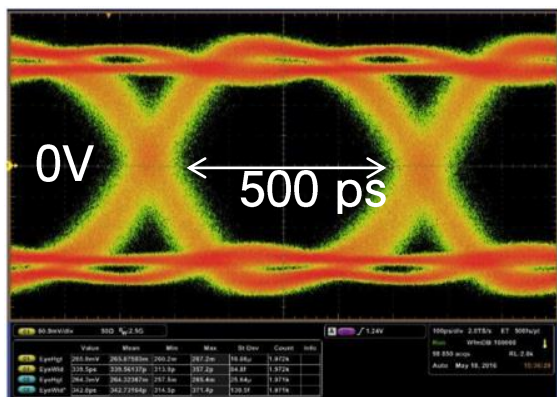
照射前に、高速通信用インターフェースの出力をループバックし、ビットエラーレートを測定するファームウェアをFPGAにダウンロード

累積照射量	転送速度 2 Gbps ビットエラーレート [/s]	転送速度 4 Gbps ビットエラーレート [/s]
0 Gy	$< 8 \times 10^{-13}$	$< 4 \times 10^{-13}$
100Gy	$< 8 \times 10^{-13}$	$< 4 \times 10^{-13}$
200 Gy	機能せず	機能せず

200 Gy照射後、インターフェースが動作しなかった。

疑似ランダム信号のアイ・ダイアグラム (2 Gbps)

照射前

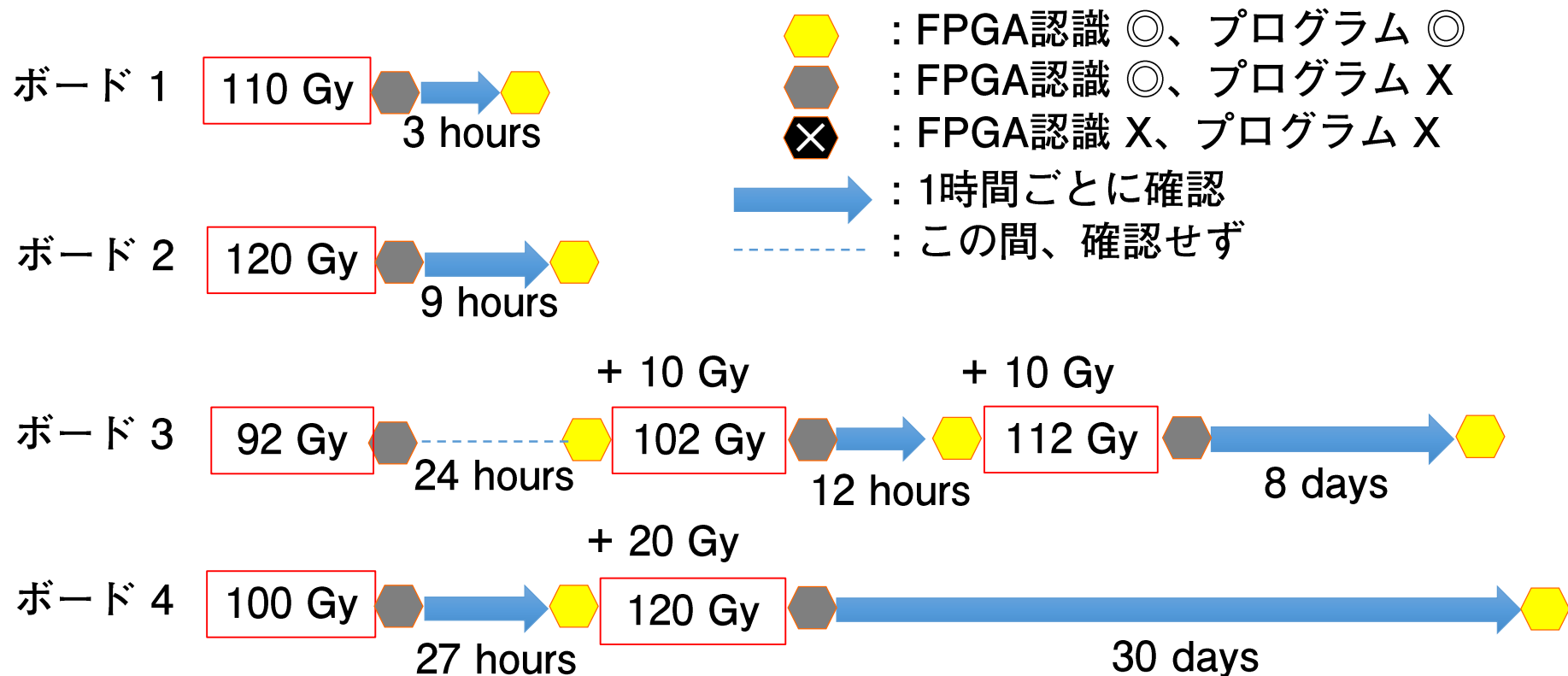


200 Gy の照射後



バレル部の50 Gyを上回るが、ビームパイプ近傍400 Gyは満たさな(5)。

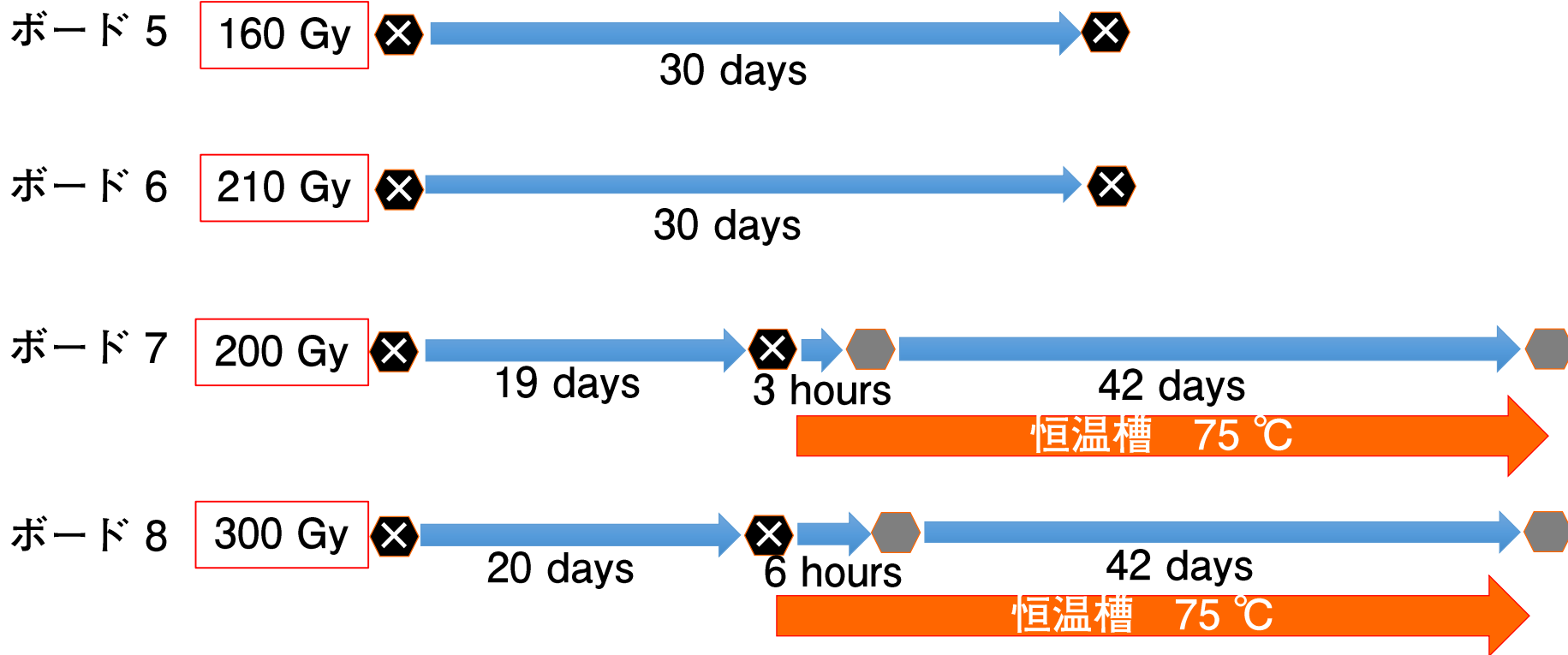
照射後の機能回復状況(1)



約100 Gy でプログラムできなくなるが、数時間で自然回復。
照射量と回復時間に相関があると考えられる。

照射後の機能回復状況(2)

● : FPGA認識 ◎、プログラム X
 ⊗ : FPGA認識 X、プログラム X



照射量160 - 300 GyでFPGAが認識されず、実装した回路も動作せず。
 75°Cの環境下で、急速にFPGAが認識されるようになった。
 熱によって捕獲された正電荷が逃げやすくなったと思われる。
 このとき、実装されていた回路が機能するようになった。

照射試験まとめ

μ 粒子検出器のフロントエンド回路のTDCにIGLOO2 FPGAの利用を検討している.

ガンマ線量：400 Gy /10年 (エンドキャップ部ビーム軸近傍)
50 Gy /10年 (バレル内層部)

コンフィギュレーションメモリ

- ・ 80-90 Gy : VERIFYでエラー
- ・ 110-120 Gy : PROGRAMでエラー 数時間で機能が回復
- ・ 160-210 Gy : READ ID CODEでエラー

ユーザー回路動作部(リングオシレータと高速通信用インターフェース)

およそ200 Gyで動作しなくなった. それまで、リングオシレータの周期・消費電力や高速通信用インターフェースのエラーレートにはほぼ変化無し.
絶縁層の正電荷捕獲によるビットエラーによって回路情報が改変された可能性.

ユーザー回路部CMOSの絶縁層は典型的にコンフィギュレーションメモリの約10分の1. 比較的ガンマ線による影響が小さいと思われる.

照射後の機能回復

75°Cの環境下における機能回復により回路動作は復活した.

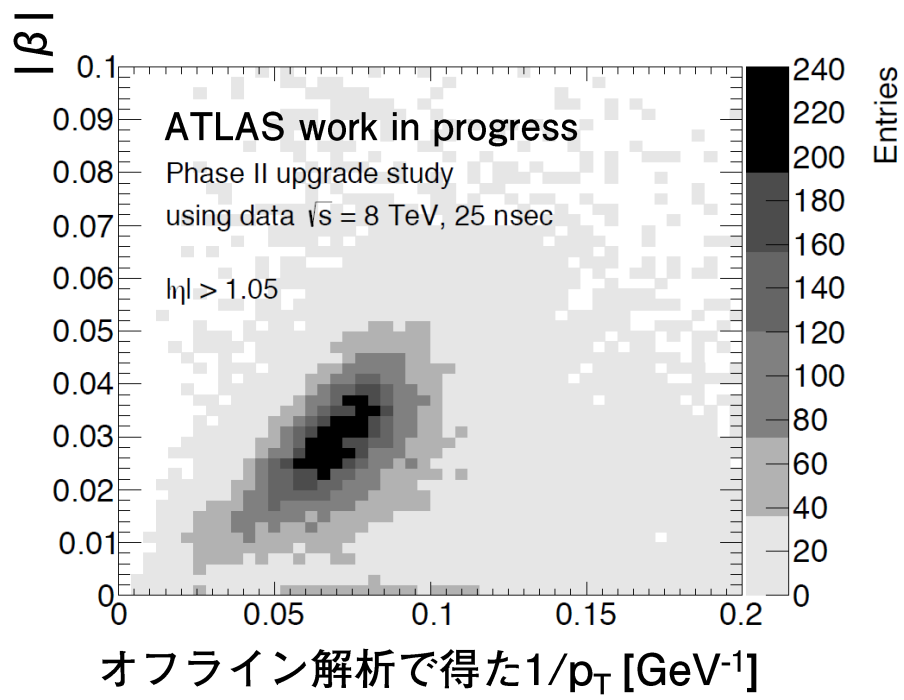
ビームパイプ近傍以外の場所に対しては要求を満たす.
実際の環境の低放射線レートでの、機能回復による延命も期待.
ただし、今後はKintex-7 FPGAやASICの利用も検討.

Back up

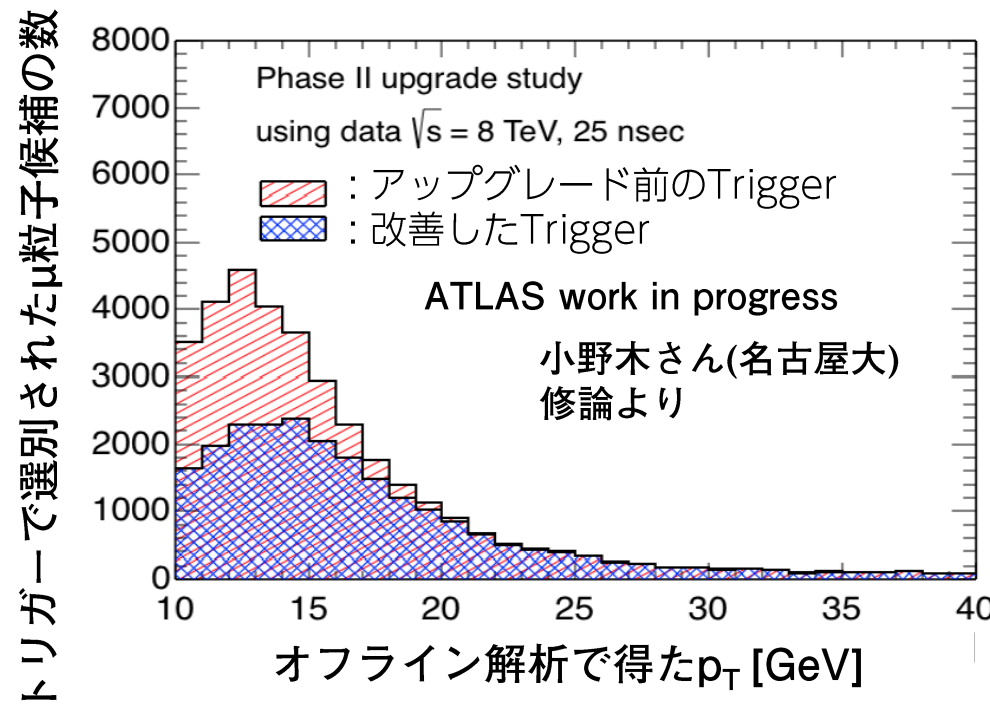
どれだけの効果があるか？

Run1のデータより

β と p_T の相関



p_T GeVのTrigger閾値で獲得したμ粒子のp_T分布



→Triggerアルゴリズムの改良によりTrigger rateは30%程削減される.

高輝度LHCにおけるTGCトリガーの概要

① ヒットの有無を判定する



② 信号のタイミングを合わせる



飛行時間: 10 ns, ケーブル長: 25 ns

※ 現行では、段階的に coincidence

On-detector

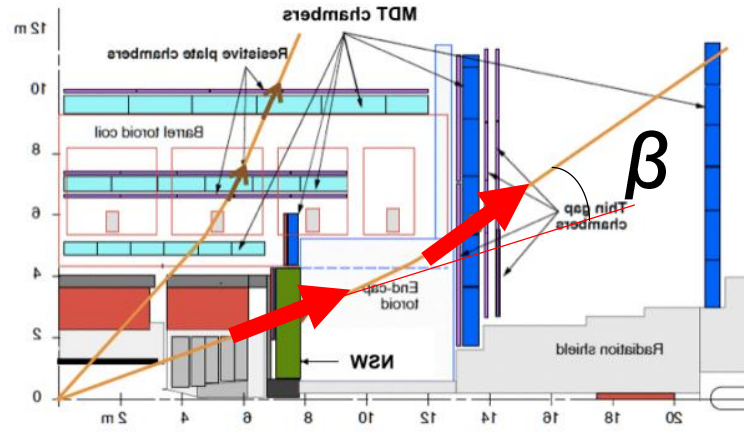
Off-detector

③ 7層すべての信号を後段に送る

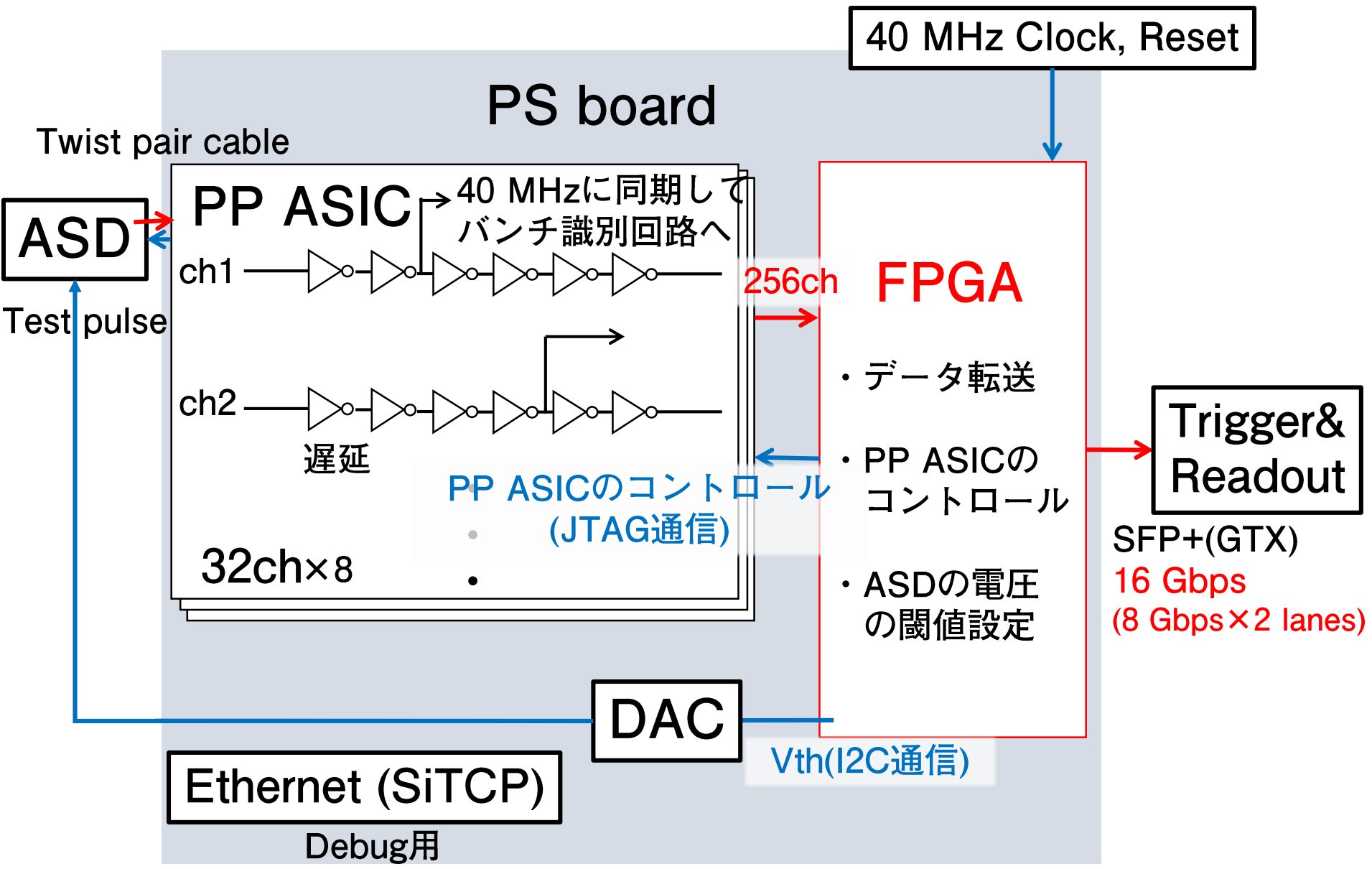


④ 全てのヒット情報で飛跡再構成

磁場前後(NSWとTGC)の飛跡で角度差を求める

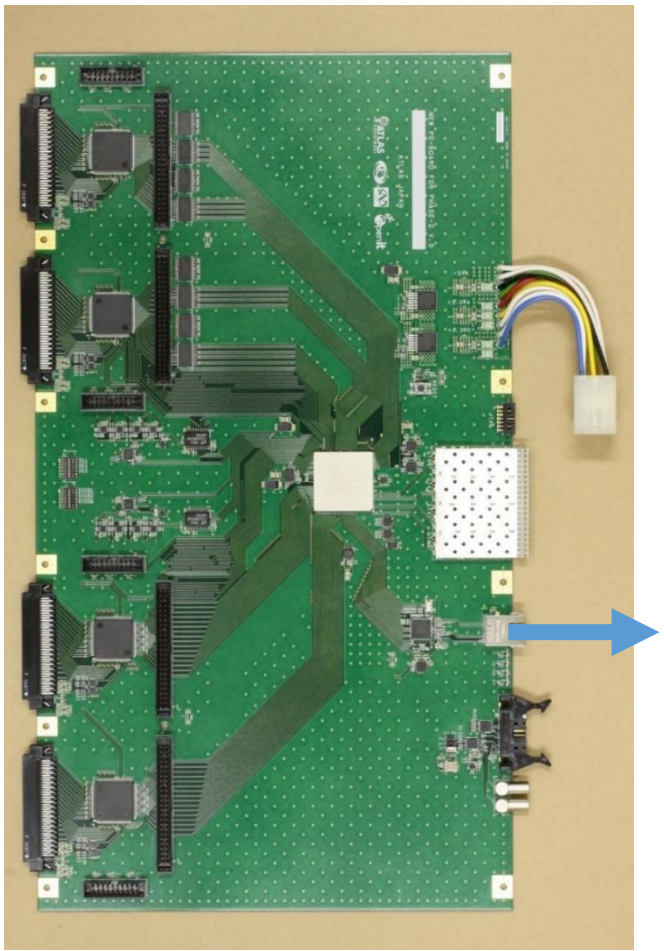


PSボードの概略



動作試験(SiTCP)

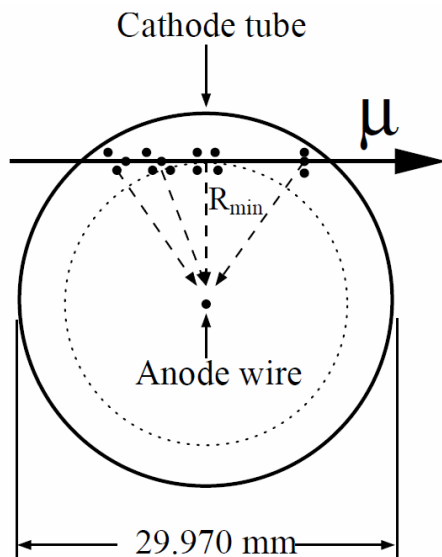
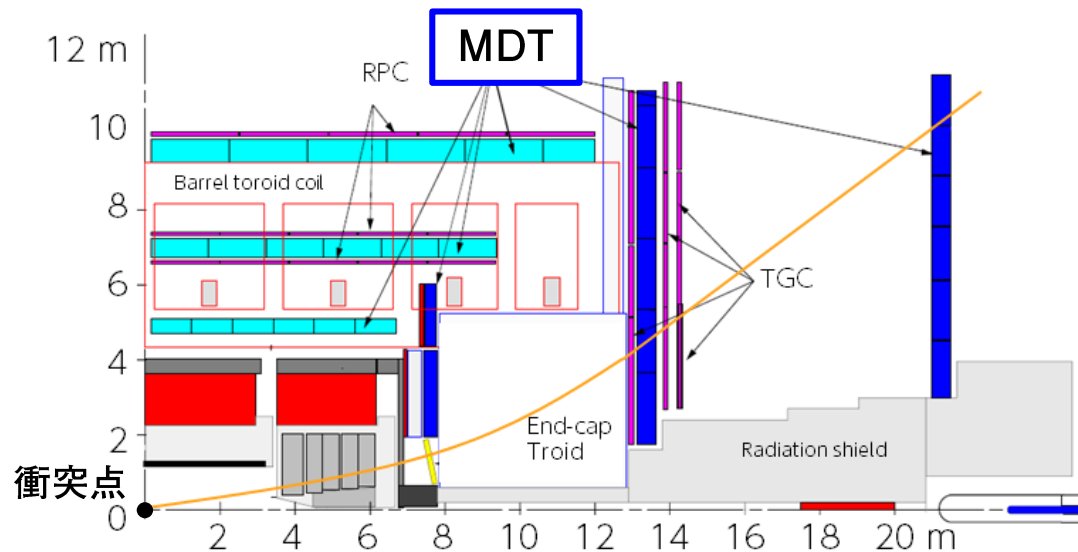
8-bitカウンタの値をSiTCPでPCに出力し確認した.



```
SiTCP-RBCP$ rd 0x0 0xff
Received data: カウントアップしている
[0x00000000] 00 01 02 03 - 04 05 06 07
[0x00000008] 08 09 0a 0b - 0c 0d 0e 0f
[0x00000010] 10 11 12 13 - 14 15 16 17
[0x00000018] 18 19 1a 1b - 1c 1d 1e 1f
[0x00000020] 20 21 22 23 - 24 25 26 27
[0x00000028] 28 29 2a 2b - 2c 2d 2e 2f
[0x00000030] 30 31 32 33 - 34 35 36 37
[0x00000038] 38 39 3a 3b - 3c 3d 3e 3f
[0x00000040] 40 41 42 43 - 44 45 46 47
[0x00000048] 48 49 4a 4b - 4c 4d 4e 4f
[0x00000050] 50 51 52 53 - 54 55 56 57
[0x00000058] 58 59 5a 5b - 5c 5d 5e 5f
```

期待通りの出力が得られた.

ミューオン検出器 -Monitored Drift Tube-



MDTのパラメータ

ワイヤー直径	50 μm
ガス	Ar/CO ₂ (93/7), 3 bar
ガス増幅率	2×10^4
電圧	3080 V
平均ドリフト速度	20.7 $\mu\text{m}/\text{ns}$
ドリフト時間	< 750 ns

チューブあたりの位置分解能 約80 μm
 要求時間分解能 500 ps以下

MDTメザニン -初期試験-

1.電源の供給

銅コネクタから
4Vの供給
各レギュレータへ

各レギュレータの出力電圧

Board	Digital [V]				Analog [V]			
	3.3	2.5	1.8	1.0	3.3	1.8	1.2	1.0
1	3.30	2.49	1.79	1.00	3.30	1.82	1.20	1.05
2	3.29	2.50	1.80	1.00	3.30	1.83	1.20	1.05

2.クロックの分配

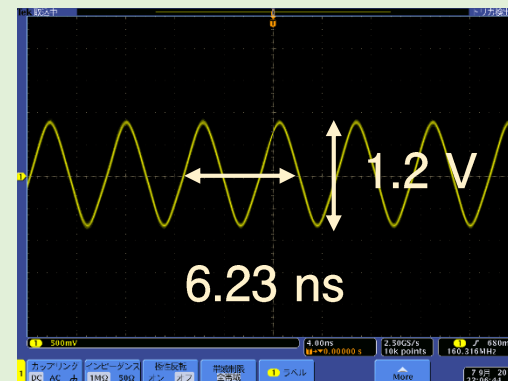
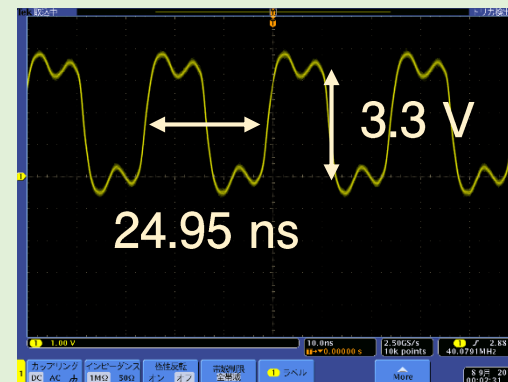


水晶振動子

LHCクロックと同じ40.08 MHz
システムの基準クロック

クロックジッタークリーナー

システムの基準クロックを4倍し
160 MHzを生成。
高速通信インターフェイスで用
いる。



3.JTAGまたはフラッシュメモリを利用したFPGA書き込み




いずれも問題ないことを確認できた。

MDTメザニン GTX動作時の各部温度

高速通信用トランシーバを10時間連続動作させ各 부품の温度を測定した。

12時間動作後のFPGA
オンチップセンサーの
温度
約60℃

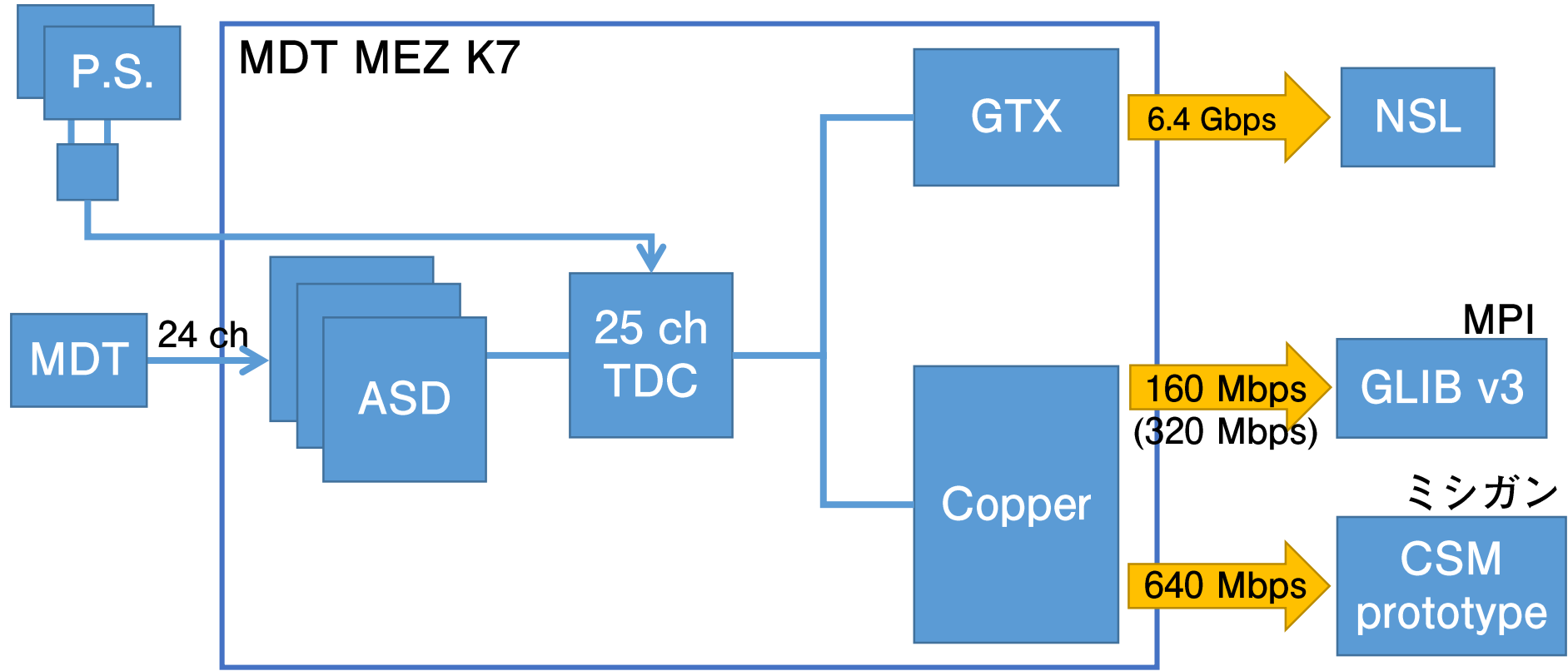
部品番号	部品名	温度[℃]
—	室温	24-27
U1	FPGA(パッケージ)	50
—	ASD01	45
—	ASD02	45
—	ASD03	44
U2	SPI	45
U3	クロックセレクター	44
X1	水晶振動子	43
U5	Si5334	43
U6	Digital isolator	44
U7	Digital isolator	44
U8	+3V3D	44
U9	+1V0D	41
U10	+2V5D	45
U11	+1V2A	47
U12	+1V8A	47
U13	+1V8D	51
U14	+1V0A	47
U15	+3V3A	43
CN6	SFP+	44

 : 50℃~
 : 45~50℃
 : 40~45℃

MDTメザニン Firmware

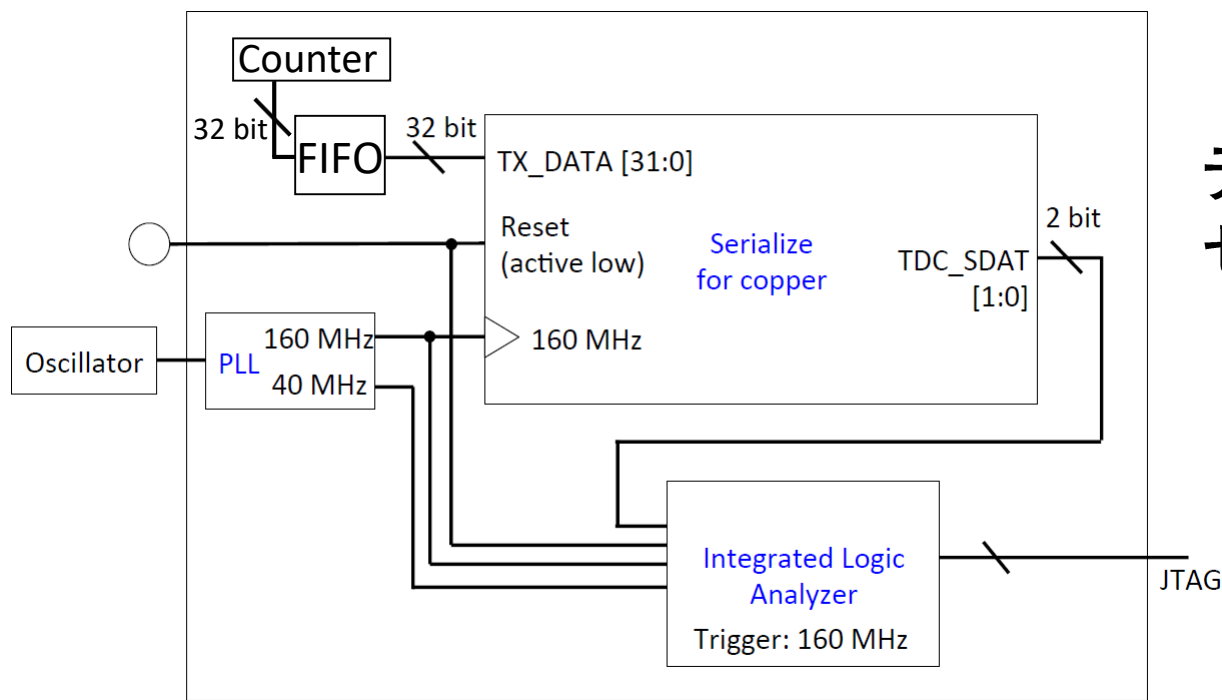
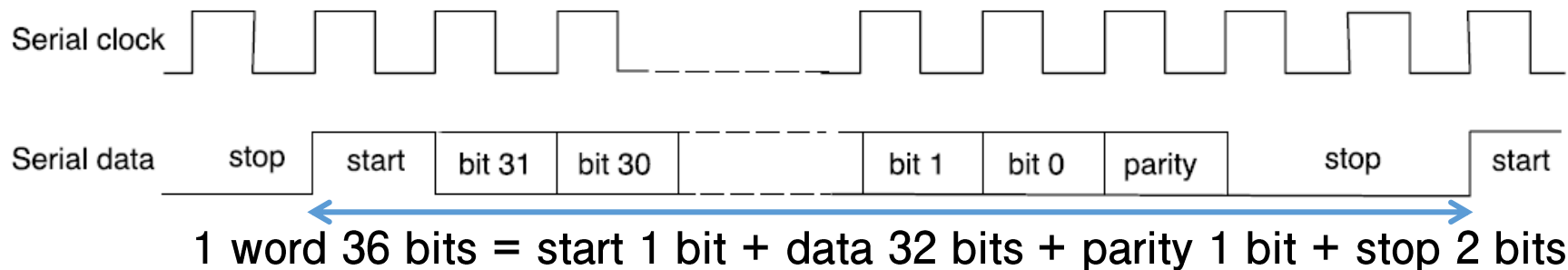
Beamtestのセットアップ(MDT)

- MDTからの信号をデジタル信号に変換
- 信号の立上がり立下りの時間をTDCで計測
(時間計測の時間原点にはP.S.の情報を用いる)
- 計測した時間、チャンネルなどの情報はGTXとCopperの2つの経路で出力



Copper cableでのデータ転送

Copper cableのシリアル通信：LVDS信号を160 Mbpsで転送

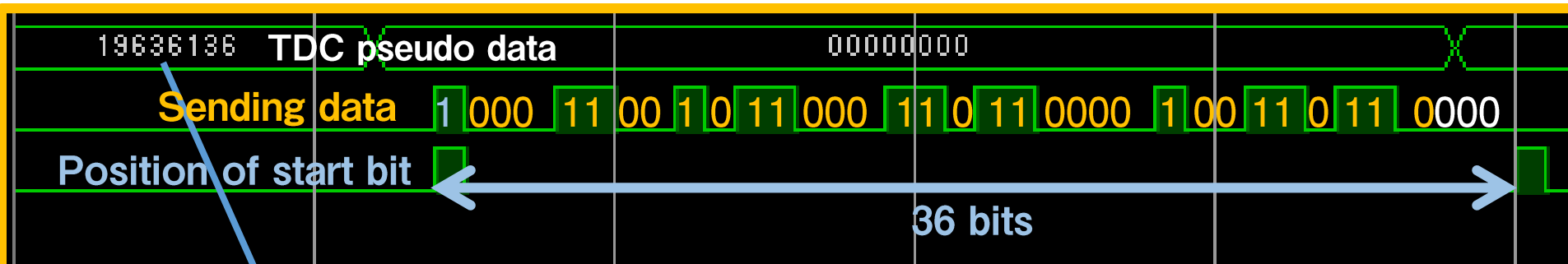
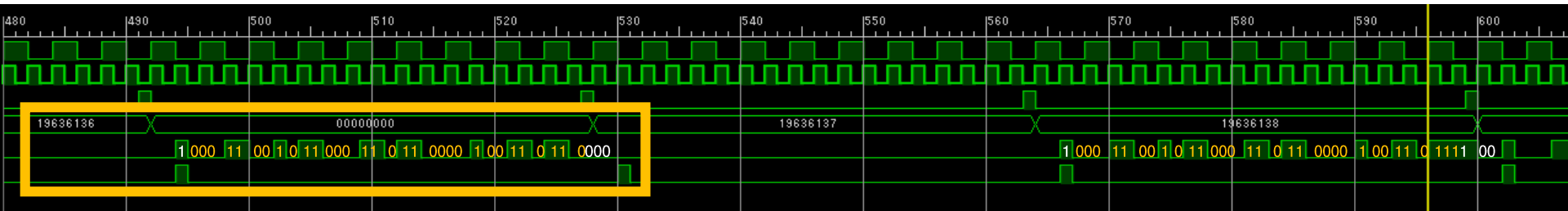


テストの
セットアップ

TDC pseudo data(カウンターの情報)をFIFOにつめ、シリアル信号で出力し、ロジアナ(VivadoのIP)で確認した。

Copper cableでのデータ転送

TDC pseudo data 32 bits = Full of FIFO 1 bit + 1'b0 + 30-bit counter
をシリアル出力し、ロジアナで出力を確認した。



TDC pseudo data 32 bits
19636136のとき

||

00011001011000110110000100110110

Start bit

1

Parity bit

1(奇数) or 0(偶数)

Sending data

1 00011001011000110110000100110110 000

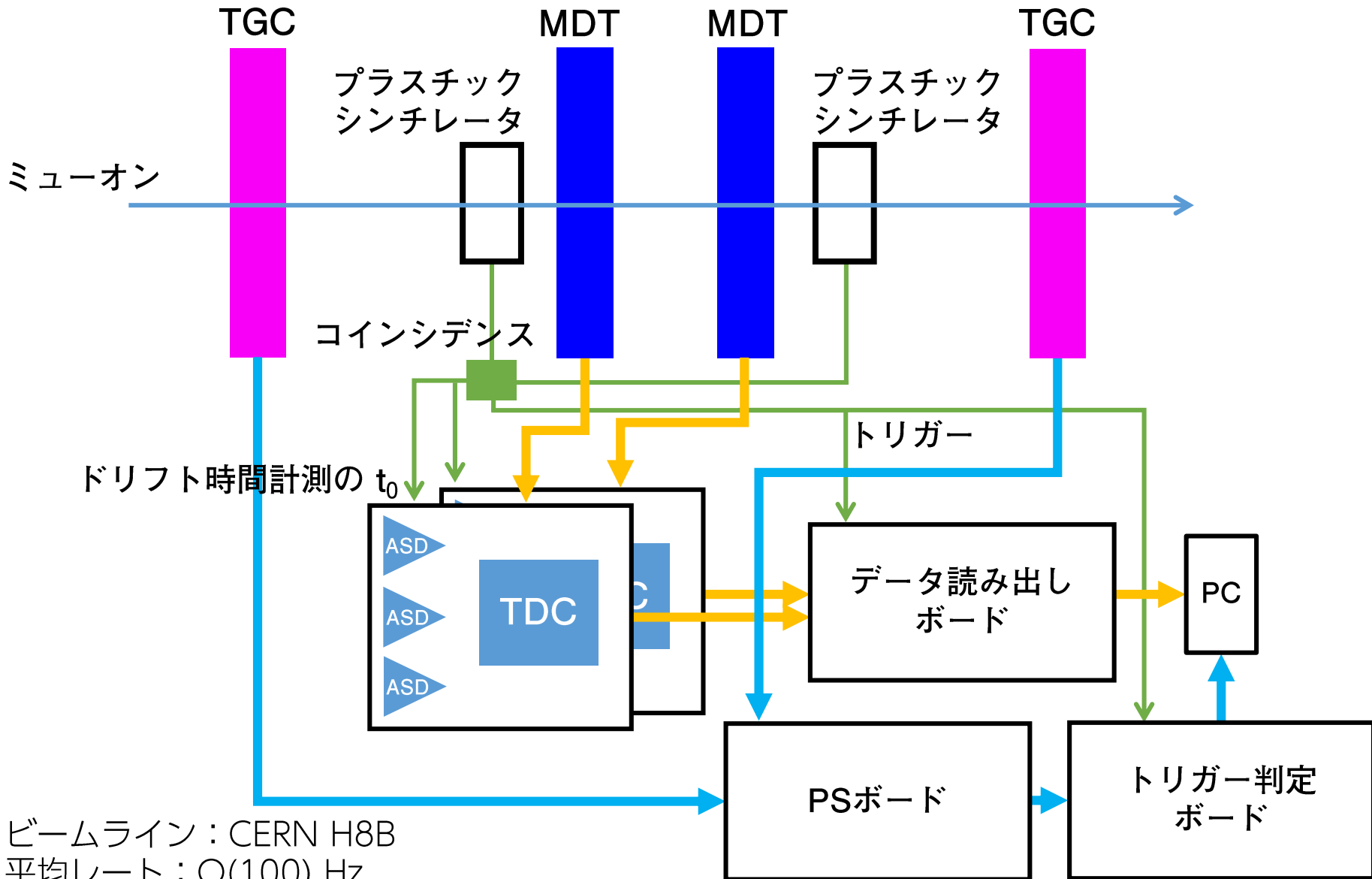
1が14つ(偶数)

Stop bits
2'b00

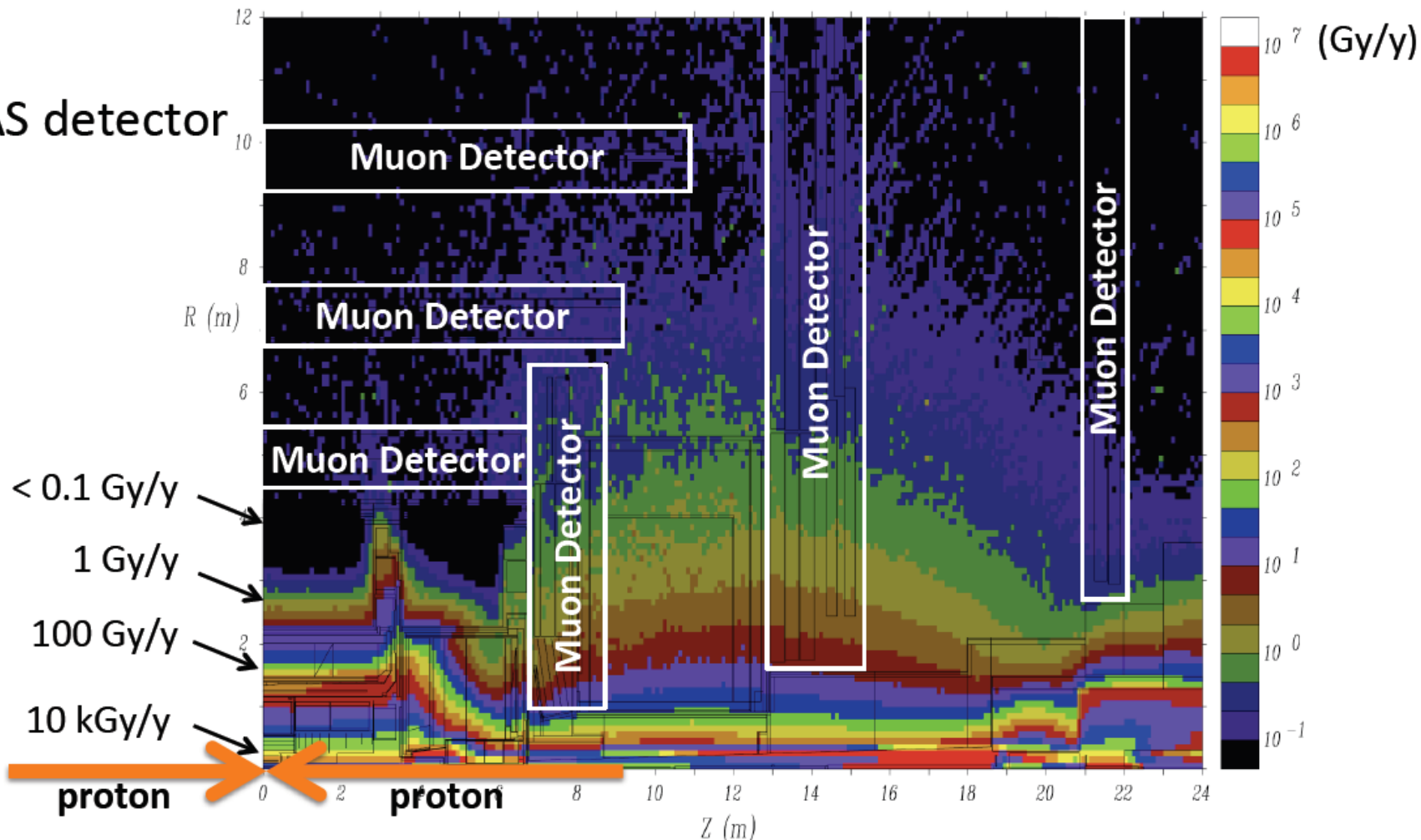
送ろうとしているデータ(TDC pseudo data)が
出力(Sending data)されていることを確認できた。
(TDC pseudo dataが32'b0の時はstart bitは立たず
0だけが送られるようにした)

ビームテスト

今年10月下旬～11月中旬 ミューオンビームを用いた総合的な試験を行う。



ATLAS検出器各部での放射線量



ATLAS Radiation Hard Electronics 3.1.2 Final Radiation Maps

<http://atlas.web.cern.ch/Atlas/GROUPS/Frontend/radhard.htm>

Muon detector in barrel : $O(0.1)$ Gy/y

Muon detector in endcap : $O(10)$ Gy/y

Kintex-7, IGLOO2 のリソース

Kintex-7 FPGA

COMPARE	Reset	XC7K70T	XC7K160T	XC7K325T	XC7K355T	XC7K410T
ロジックセル		65,600	162,240	326,080	356,160	406,720
DSP スライス		240	600	840	1,440	1,540
メモリ		4,860	11,700	16,020	25,740	28,620
GTX トランシーバー		8	8	16	24	16
I/O ピン		300	400	500	300	500

IGLOO2 FPGA

Features		M2GL005	M2GL010	M2GL025	M2GL050	M2GL060	M2GL090	M2GL150
Logic/DSP	Maximum Logic Elements (4LUT + DFF)*	6,060	12,084	27,696	56,340	56,520	86,316	146,124
	Math Blocks (18x18)	11	22	34	72	72	84	240
	PLLs and CCCs	2		6			8	

ガンマ線照射試験項目

数100 Gyを照射し、以下の項目を試験

- ・ **コンフィギュレーションメモリ**

- プログラム用ソフトウェア(Libero SoC)による試験

- ・ FPGAを認識するかどうか

- ・ プログラム書き込みの可否

- ・ 書き込んだプログラムとオリジナルの比較(Verify)

- ・ **リングオシレータ(NAND 501個で構成)**

- 周期、消費電力

- ・ **高速通信用インターフェース(SERDES)**

- Bit error rate

照射後の機能回復

8枚のボードの照射試験後の状態

- ・ 4枚：照射量 約100 Gyでプログラム不可
- ・ 4枚：照射量 160 - 300 GyでFPGAが認識されず、実装した回路も動作せず

絶縁層に蓄積した電荷が逃げる ⇒ 機能回復の可能性

8枚の照射したボードを経過観察

コンフィギュレーションメモリのFPGA認識とプログラム可否を確認

- ・ プログラムが出来なくなった4枚：室温で放置
- ・ ソフトウェアがFPGAを認識しなくなった4枚
 - 2枚：室温で放置
 - 2枚：恒温槽で75℃の環境下 (FPGAの許容温度85℃)