

# LHC-ATLAS実験アップグレードのための 試験用Pixel検出器高速読み出しシステムの開発

お茶の水女子大学

永井 遼

中村浩二 (KEK), 池上陽一 (KEK)

他ATLAS日本シリコングループ

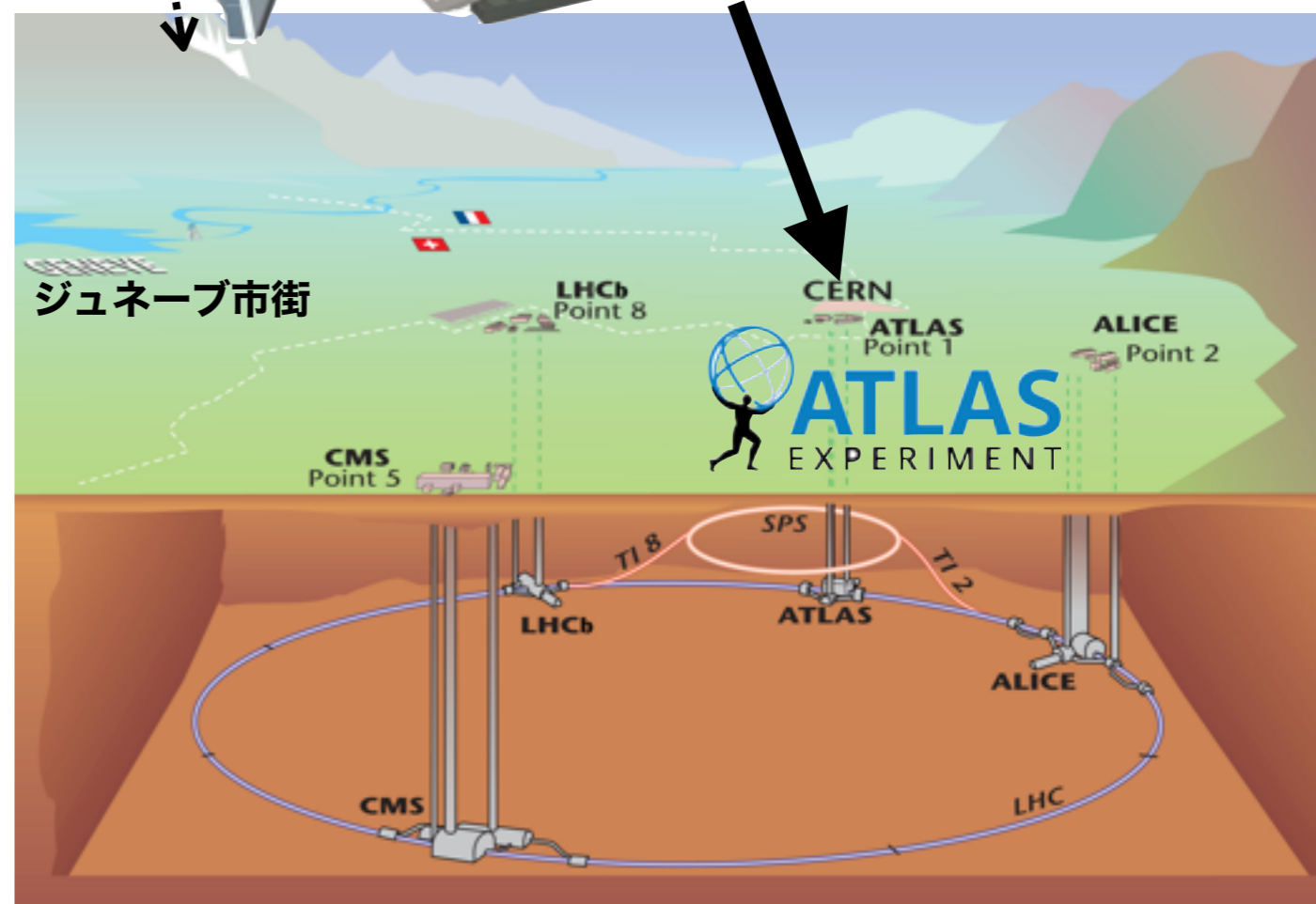
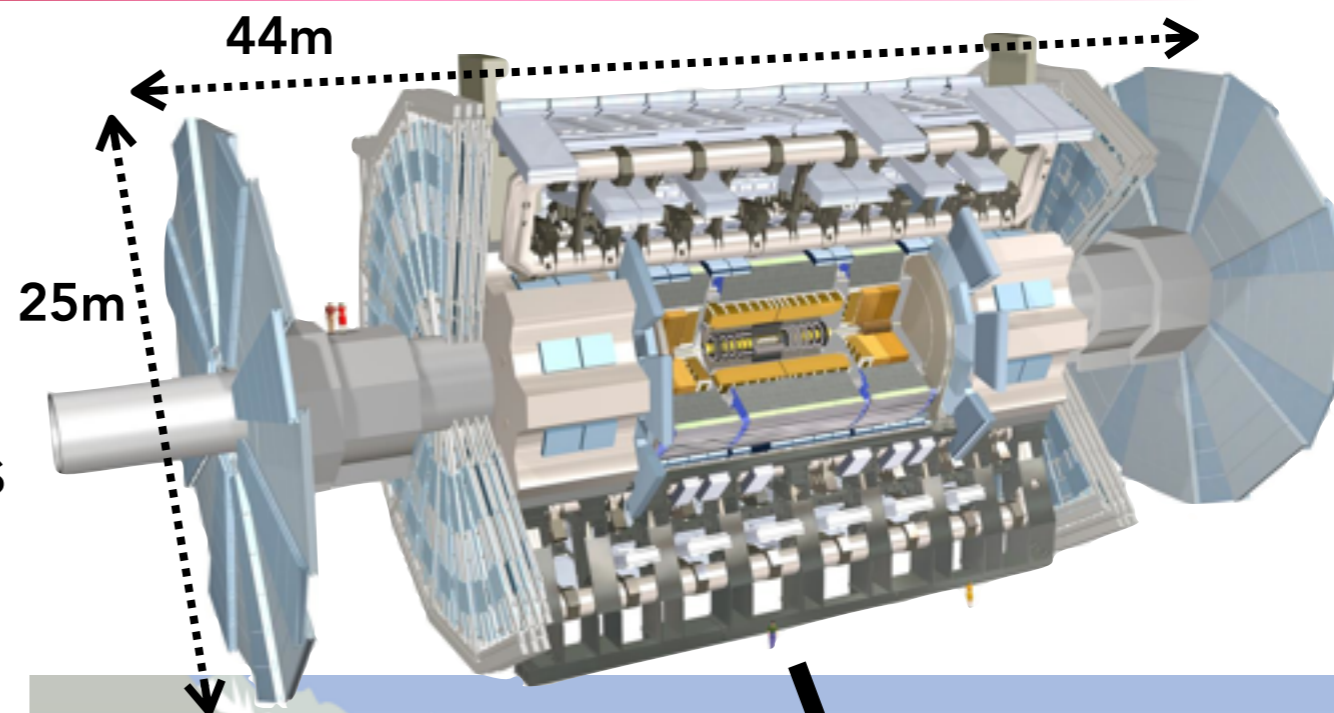
# LHC-ATLAS実験

- LHC加速器

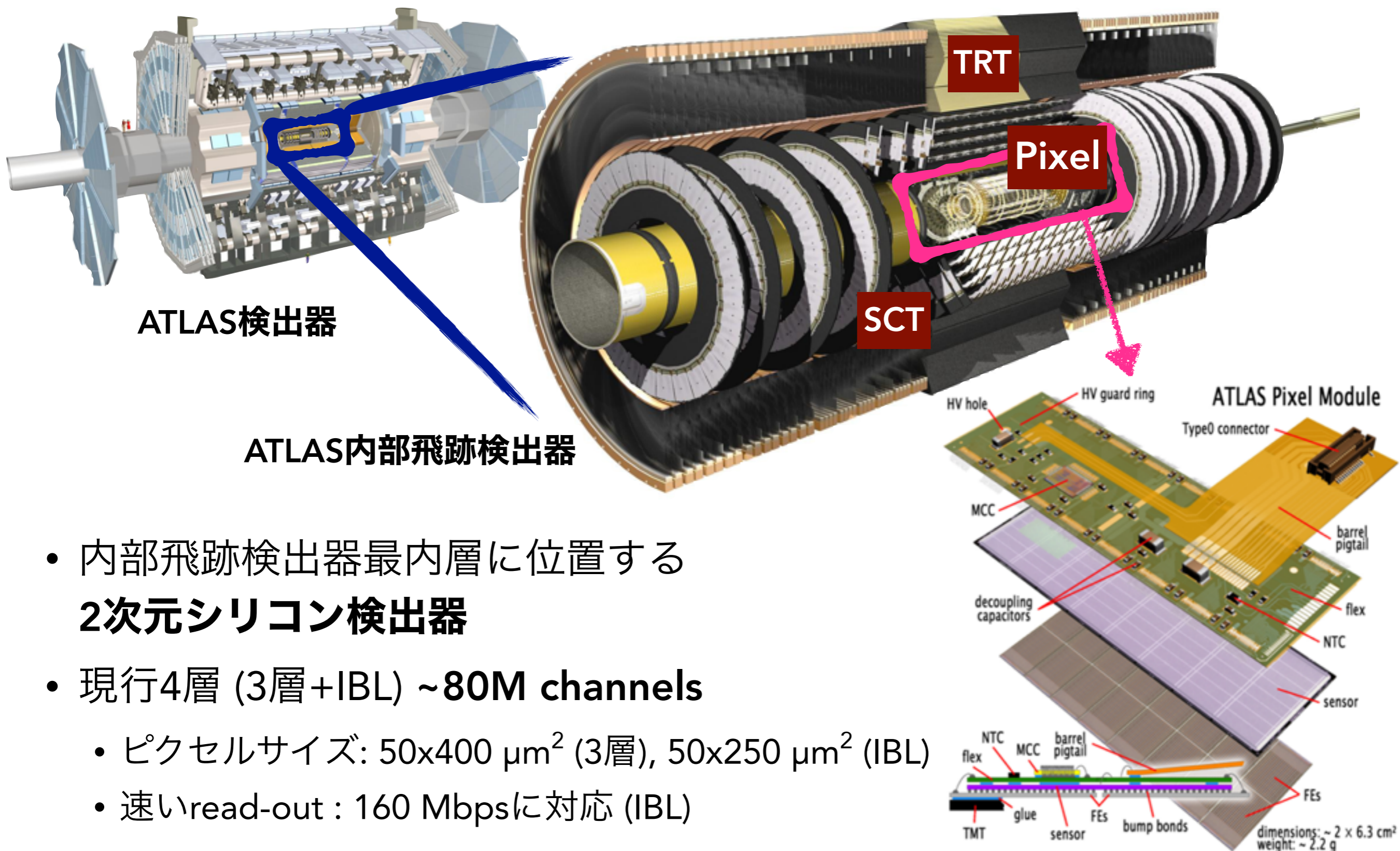
- 重心系13TeVで順調に稼働中 (Run-2)
- 瞬間ルミノシティ $\sim 10^{34}$  /cm<sup>2</sup>/s
- 積分ルミノシティ $\sim 30/\text{fb}$  ('16)
- バンチ間隔 25ns
- Run-3 (-'23)までに300/fbためる計画

- ATLAS実験

- CMSとともに、汎用検出器を用いた**新粒子探索、標準模型の精密測定**が目的



# ATLASピクセル検出器



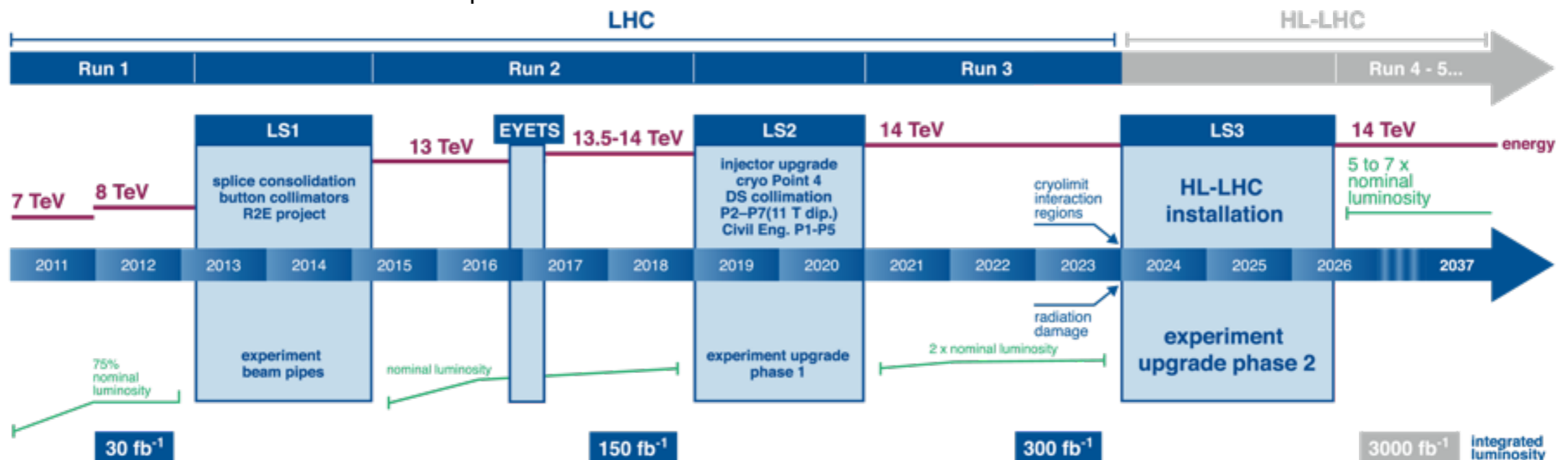
- 内部飛跡検出器最内層に位置する  
**2次元シリコン検出器**
- 現行4層 (3層+IBL) ~80M channels
  - ピクセルサイズ: 50x400  $\mu\text{m}^2$  (3層), 50x250  $\mu\text{m}^2$  (IBL)
  - 速いread-out : 160 Mbpsに対応 (IBL)

# ATLASピクセル検出器アップグレード

- HL-LHC計画での要求性能

- Pixel hit rate  $\sim 3 \text{ GHz/cm}^2$
- Small pixels :  $50 \times 50 \mu\text{m}^2$
- Large chips :  $\sim 2 \times 2 \text{ cm}^2$
- Trigger rate : 1 MHz (w/ 12.8  $\mu\text{s}$  trig latency)
- Low mass, low power
- Low threshold : 600—1000e
- Radiation :  $\sim 10^{16} \text{ n}_{\text{eq}}/\text{cm}^2$

これらを満たす新ASIC開発  
→ RD53 project



# ピクセル検出器用新型ASIC (RD53)

	現行ASIC		新型ASIC
	FE-I3	FE-I4	RD53A
Pixel Size	50×400 $\mu\text{m}^2$	50×250 $\mu\text{m}^2$	50×50 $\mu\text{m}^2$ (25×100 $\mu\text{m}^2$ ?)
Pixel Array	18×160	80×336	400×192
Chip Size	7.6×10.8 $\text{mm}^2$	20.2×19.0 $\text{mm}^2$	20×11.8 $\text{mm}^2$
Input Rate	40 Mbps	40 Mbps	160 Mbps
Output Rate	40 Mbps	160 Mbps	~5 Gbps ~2.5 Gbps (×2)
Trigger Rate	100 kHz	200 kHz	1 MHz (L0)
CMOS process	250 nm	130 nm	65 nm

- HL-LHC (ATLAS, CMS) / CLIC 共通で使えるASIC開発が進行中
- Multi-Gbps / chip の高レート読み出し  
→ 全体でピクセル ~600M ch. の読み出し (現行 ~80M ch.)

# ピクセル検出器用新型ASIC (RD53)

- RD53 Collaboration
  - **高レート、極小ピクセルサイズ**、が開発の鍵。
  - 19の欧米研究機関が参加 (日本は参加していない)
    - Bari, Bergamo-Pavia, Bonn, CERN, CPPM, Fermilab, LBNL, LPNHE Paris, Milano, NIKHEF, New Mexico, Padova, Perugia, Pisa, Prague IP/FNSPE-CTU, RAL, Seville, Torino, UC Santa Cruz.
- プロジェクト予定
  - **2015–2016**: Small chip demonstration (複数の視点で。現在進行中)
  - **2017–**: Full size chip demonstration : **RD53A** (submission: March 2017)
  - **2018–?**: RD53Aを基にATLASにoptimiseされたRD53 (RD53B-ATLAS(仮))の開発
    - 開発はRD53 Collaborationを離れて、ATLAS Groupとして行う
- RD53Aができてきたときには、それを試験するための高レート試験システムが必要になってくる

# RD53 Readout Demonstration

- 主に2つのsmall size demonstratorにより試験が行なわれている
  - **FE65-P2** (LBNL+Bonn) : received—Dec.2015
    - no IP-block from RD53A, no fast I/O
    - 極小ピクセルサイズ (50x50  $\mu\text{m}^2$ )
  - **CHIPIX65** (INFN) : submitted—Jul.2016
    - IP-block from RD53A
    - 極小ピクセルサイズ (50x50  $\mu\text{m}^2$ )

	Pixel Matrix	Analog VFE	Analog / Digital Isolation	IP-Block	Pixel Region & Arch	Bias-Distrib	Powering	Digital CORE
FE65P2	64x64 pixels	AFE_LBNL	Analog in deep n-well Digital in deep n-well PAD in deep n-well	few and not RD53A	(2x2) Distributed Latency Buffer	Single stage mirroring	standard	(4x64)
CHIPIX65 demonstrator	64x64 pixels	AFE_TO AFE_PV	Analog in deep n-well	<b>RD53A IP-blocks:</b> DAC, ADC, SER, sLVS-TX, sLVS-RX, Bandgap, CERN I/O Pads	(4x4) central Latency Buffer	Double stage mirroring	standard	(4x4)
RD53A	400x192 pixels	AFE_LBNL AFE_TO AFE_PV AFE_FNAL -- tbc : review	Analog in deep n-well Digital in deep n-well PAD in substrate tbc	<b>RD53A IP-blocks:</b> DAC, ADC, SER, sLVS-TX, sLVS-RX, Bandgap, CERN I/O Pads, PLL, ShuntLDO, T-sens, Rad-sens	tbd	Double stage mirroring	standard / Serial-Powering	(8x8) / (4x16)  10

L. Demaria et al, presentation at PIXEL2016

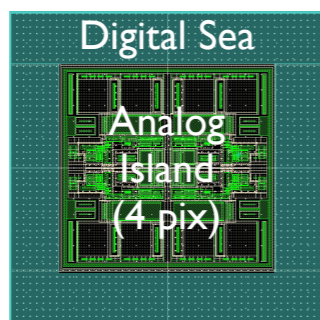
# FE65-P2

- 65 nm, 50x50  $\mu\text{m}^2$  pixel
- 64x64のsmall chip 現行システムで十分可能
- **FE-I4の技術を用いたRD53 demonstrator**
- SLACでn-in-pセンサーとbump-bondして読み出し試験
- **HPKセンサー付モジュールもできている**



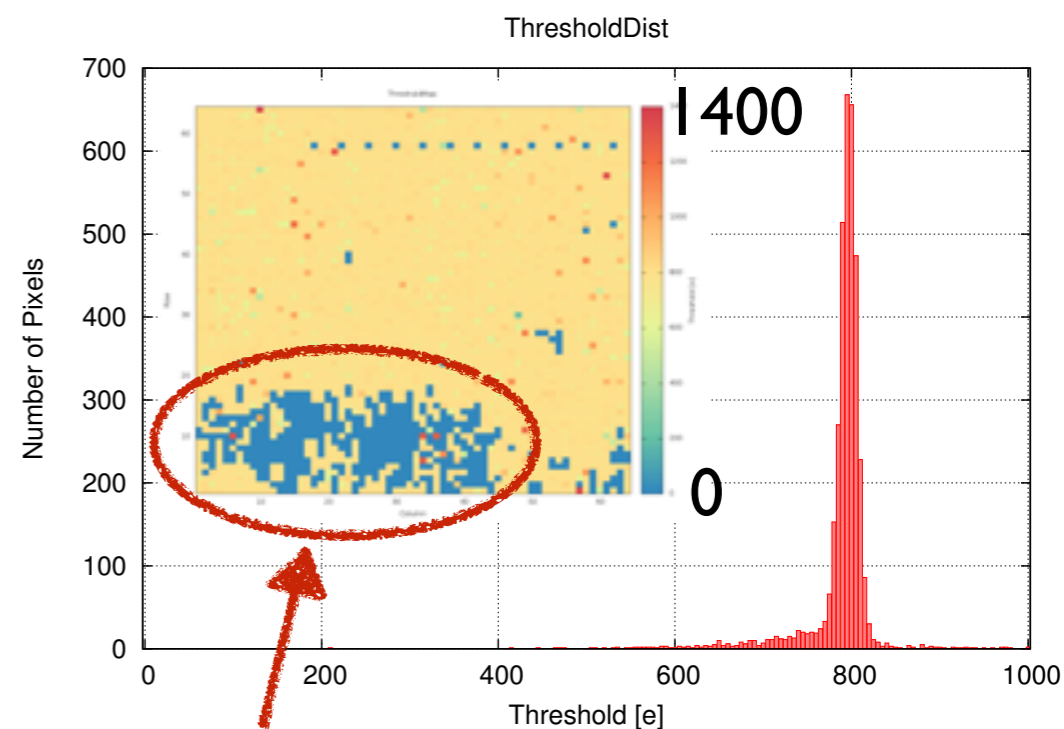
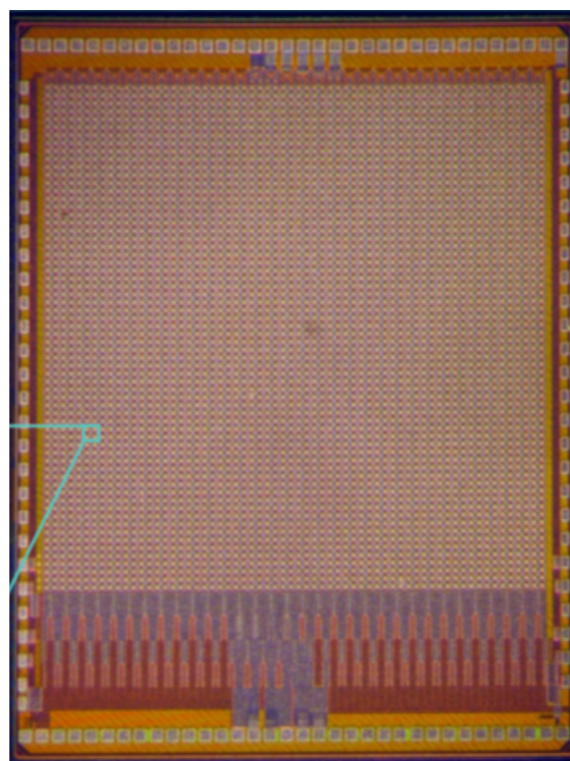
日本グループによる  
評価が行われている

今のところ結果は良好

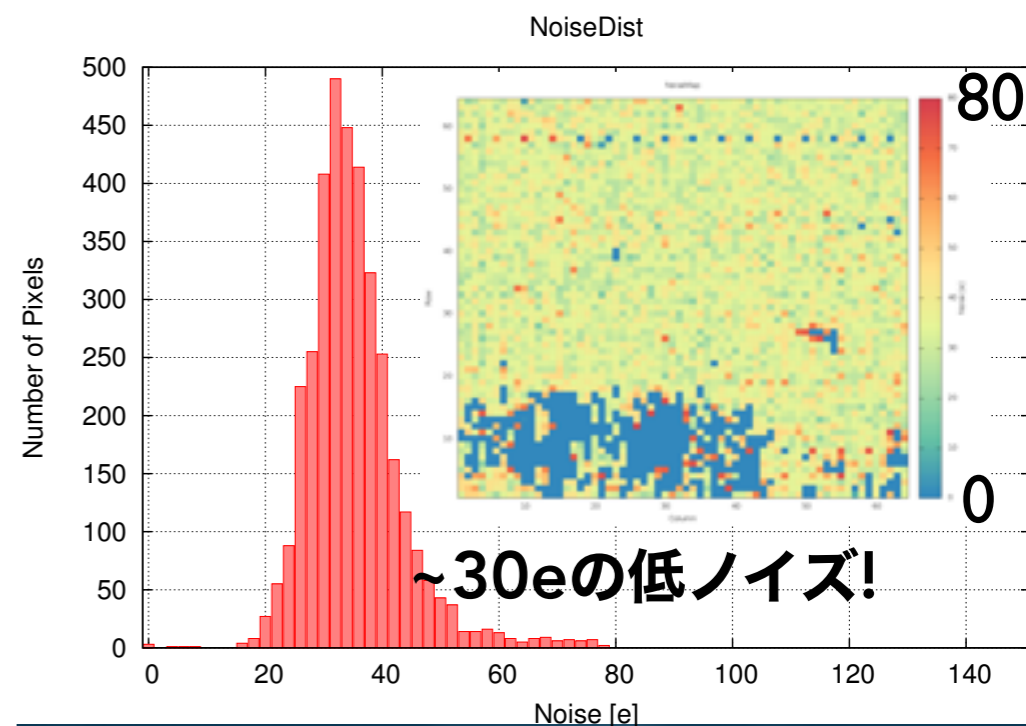


4.2 mm

3.5 mm

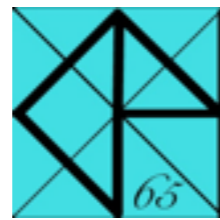


バンプ欠け

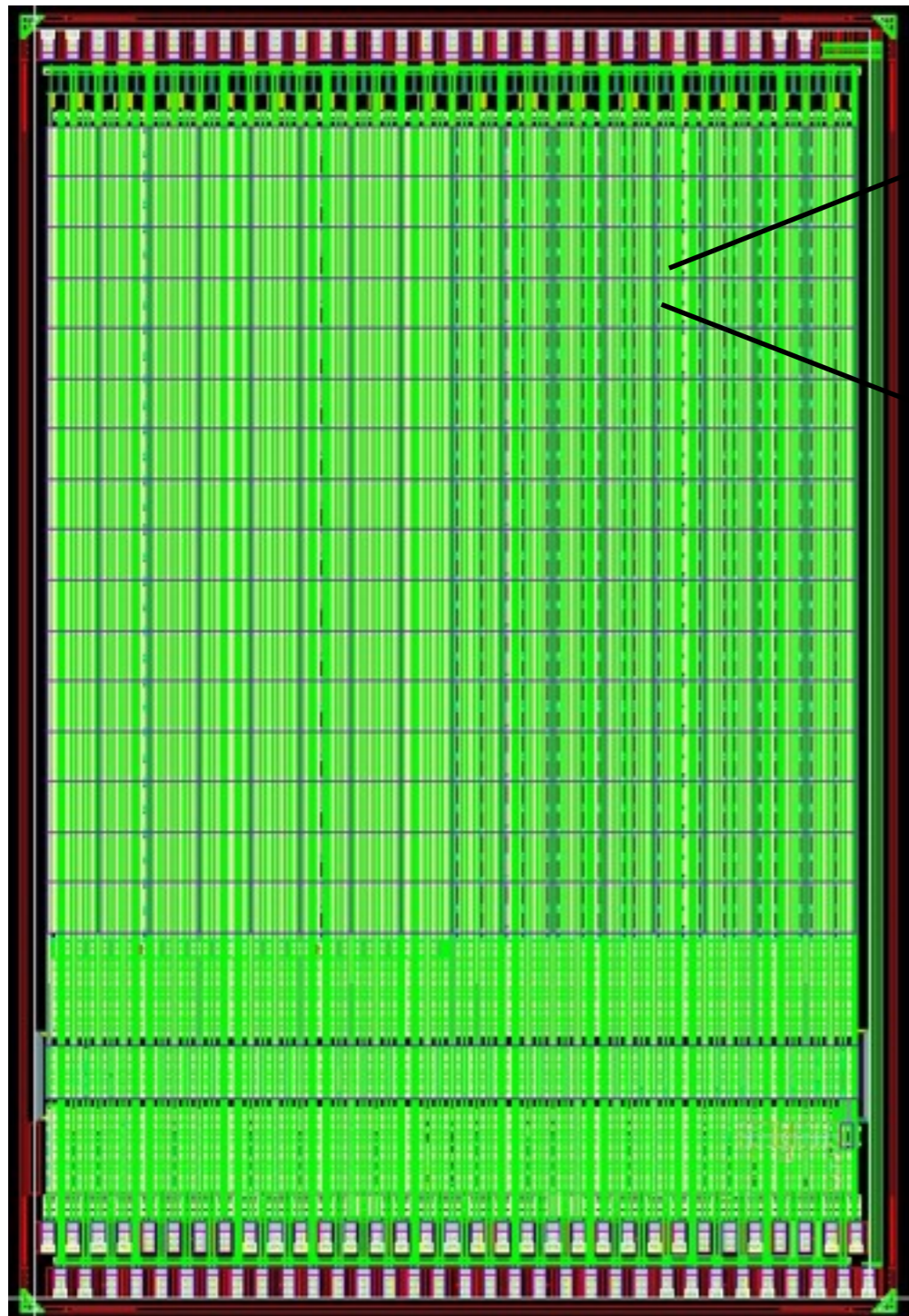




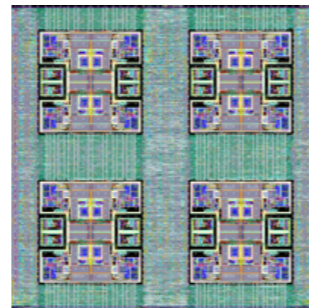
# CHIPIX65



3.5 mm



5.1 mm



- FE65-P2よりも少しRD53A寄りの small size demonstrator
- 64x64, 50x50  $\mu\text{m}^2$  pixel (small chip)
- Multiple Analog VFE
- **5-bit ToT**
- In-time threshold < 1200 e-
- Noise  $\sim 100$  e- @ 50 fF input capacitance
- **RD53 IPs**
- submitted on **July 2016**
  - 試験はこれから

# ピクセル検出器試験システム開発

- FE-I4と異なり高速転送下での試験システムは今のところ無い

表：FE-I4用試験システム

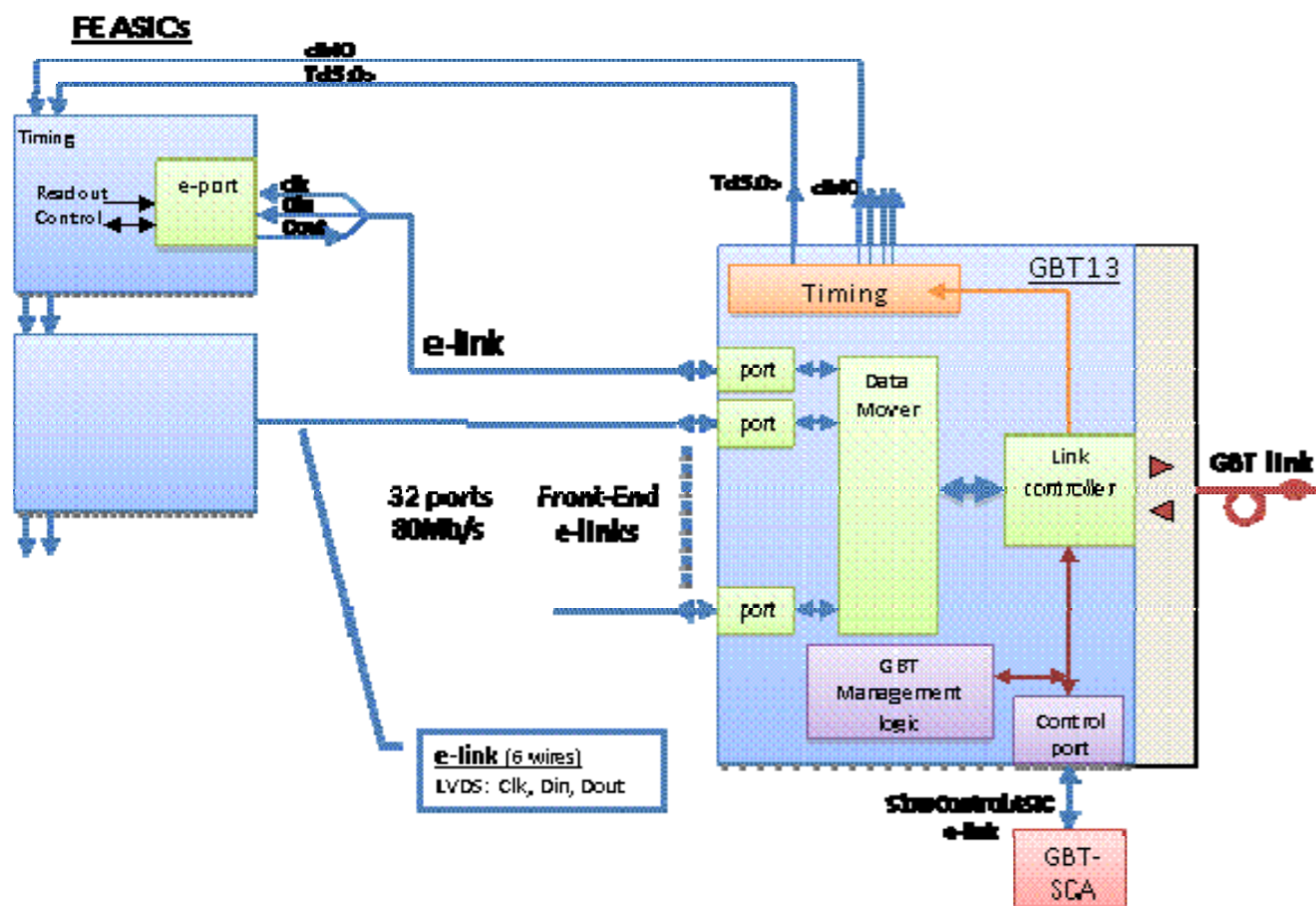
	Size[mm <sup>2</sup> ]	FPGA	CPU	Memory	#FEI4	MGT
RCE	280x332	Artix7, Zync	○	○	8 (18?)	○
ROD/ BOC	170x210	Spartan6, Virtex5	○	○	16	○
USBpix	110x150	Kintex7	×	○	8	○
YARR	100x170	Spartan6	×	○	4	○
SEABAS	170x210	Virtex5	×	×	4	×

Minoru Hirose

- 各国で上記ベースの開発が進んでいるが、**日本グループとしてFE-I4用に開発したSEABASシステムはRD53用には使えなくなる**

# 高速読み出し用RCE開発の現状

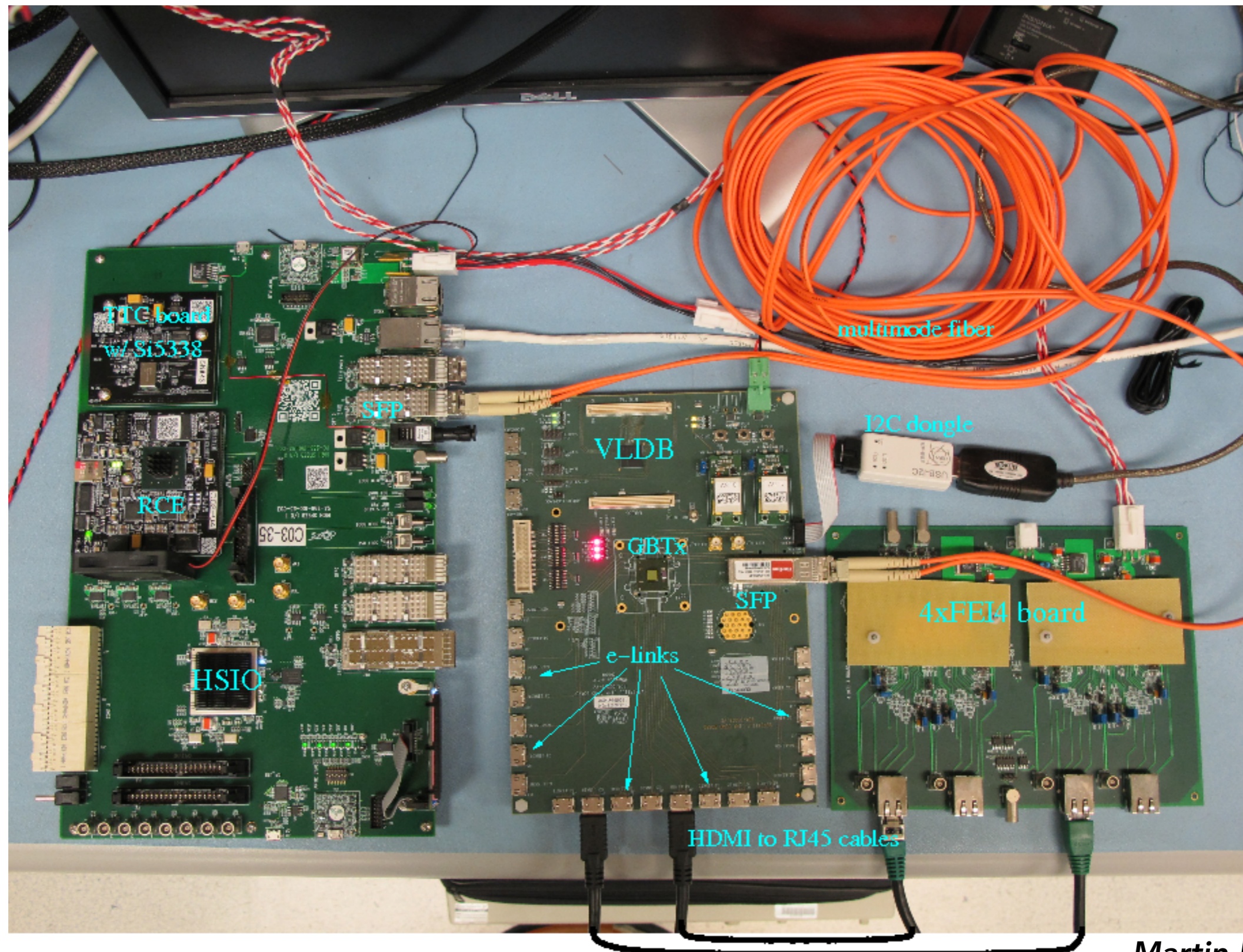
- SLAC中心に開発が進んでいる
- GBT(GigaBit Transceiver) chipを用いた試験
  - CERNで開発されたMulti-Gbps出力のASIC  
<https://cds.cern.ch/record/1091474/>
  - 複数のFE chipの信号を統合してMulti-Gbpsで出力



## • SLACでの試験内容

- FE-I4の4 chip boardからGBTテストボードに転送
- GBTからの~Gbpsの信号をRCE+HSIO-2のGTXで読む
- 現在試験に向けて準備中

# Setup : RCE+HSIO-2 w/ GBT



Martin Kocian

# 日本グループで行う目的

- ATLAS日本シリコングループはHL-LHCアップグレード用のピクセル検出器の製造を担当
  - センサー開発：日本グループがこれまでに大きく貢献してきた分野
  - モジュール開発：今後参入していくべきところ (Stripでの経験を生かす)
  - **モジュール試験：試験システムが必要 (SEABASはもう使えない)**
- (他機関が開発する予定のものに相乗りしてもいいが...) 既に確立しているFE-I4の読み出しも生かし、**高速読み出しの経験を積みたい**



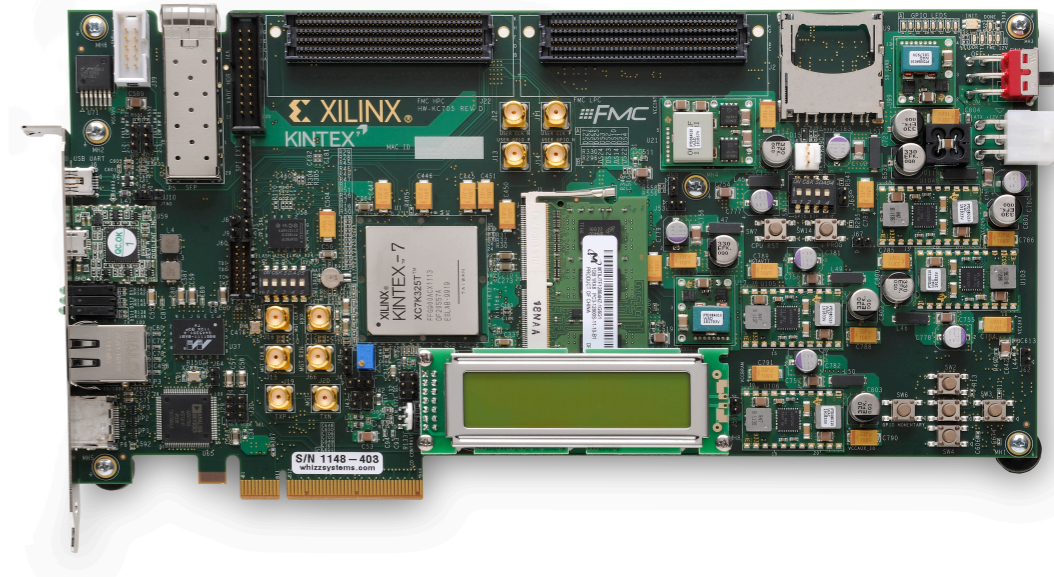
**これらの経験は、今後のモジュール試験の時に役立つ**

# 日本グループの進捗

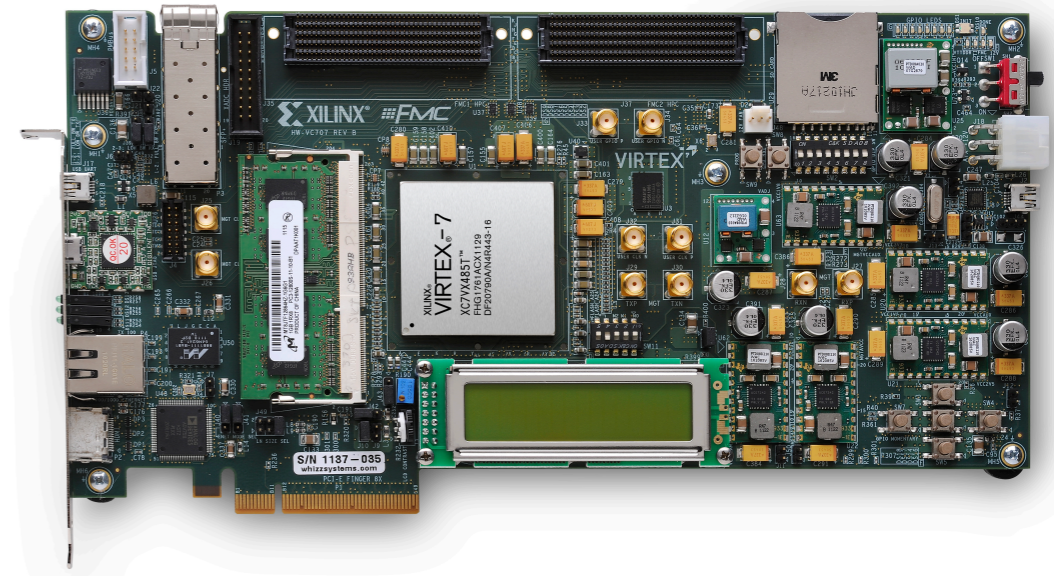
# 試験用基板 (評価ボード)

- Xilinx製評価ボード **KC705, VC707**
  - 7 series のFPGA (Kintex-7, Virtex-7)が搭載された評価用ボード
- **GTX Transceiver**
  - Multi-Gigabits の送受信が可能
  - FMC-HPC(x2)に16組利用可能 (VC707)
- PCとの通信 : **SiTCP**
  - ~1Gbpsまでの通信に対応
- 将来的には、**VC707を主体**として、KC705に開発中のRD53エミュレータを搭載し、2つをFMCで接続する

KC705 (Kintex-7)

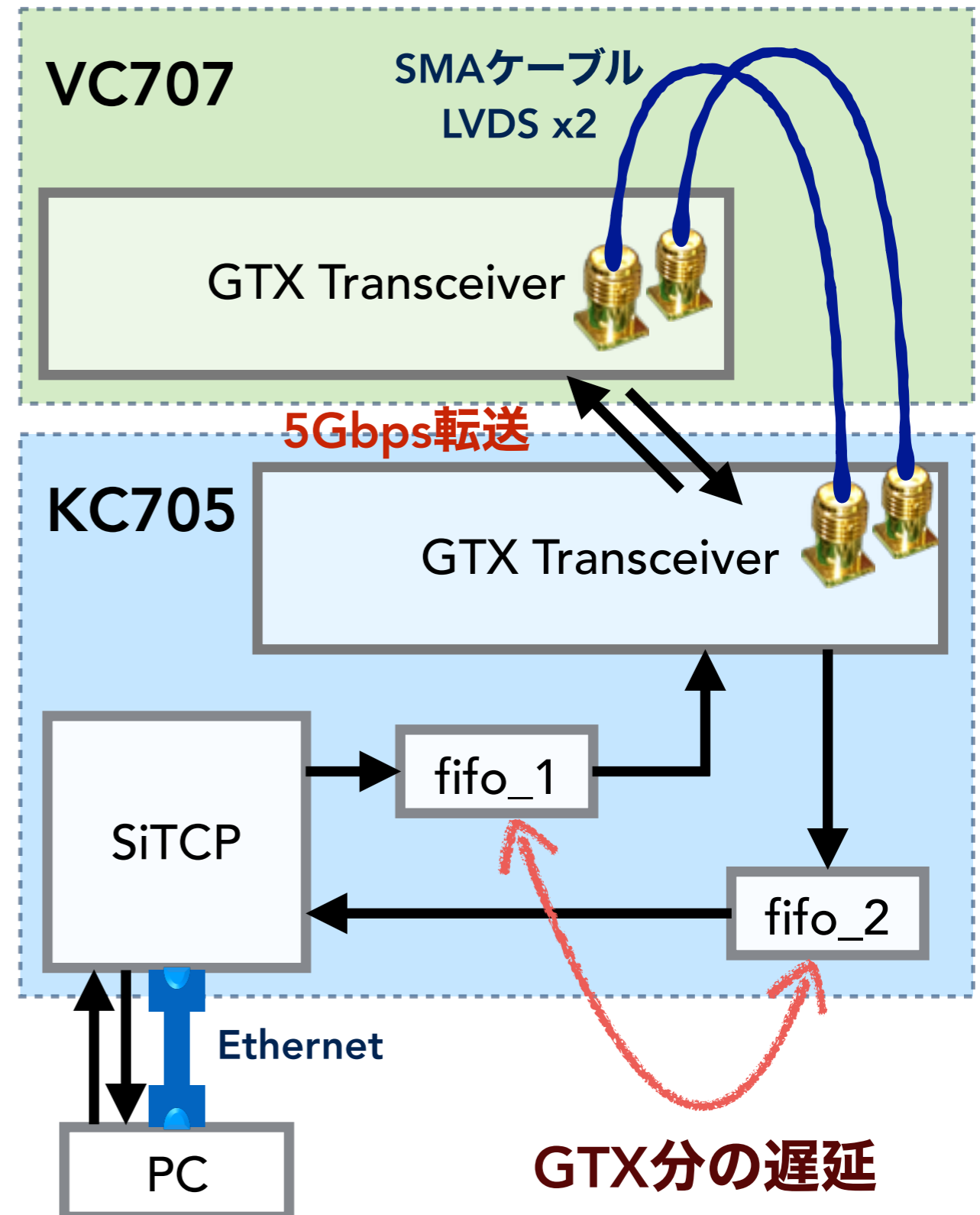
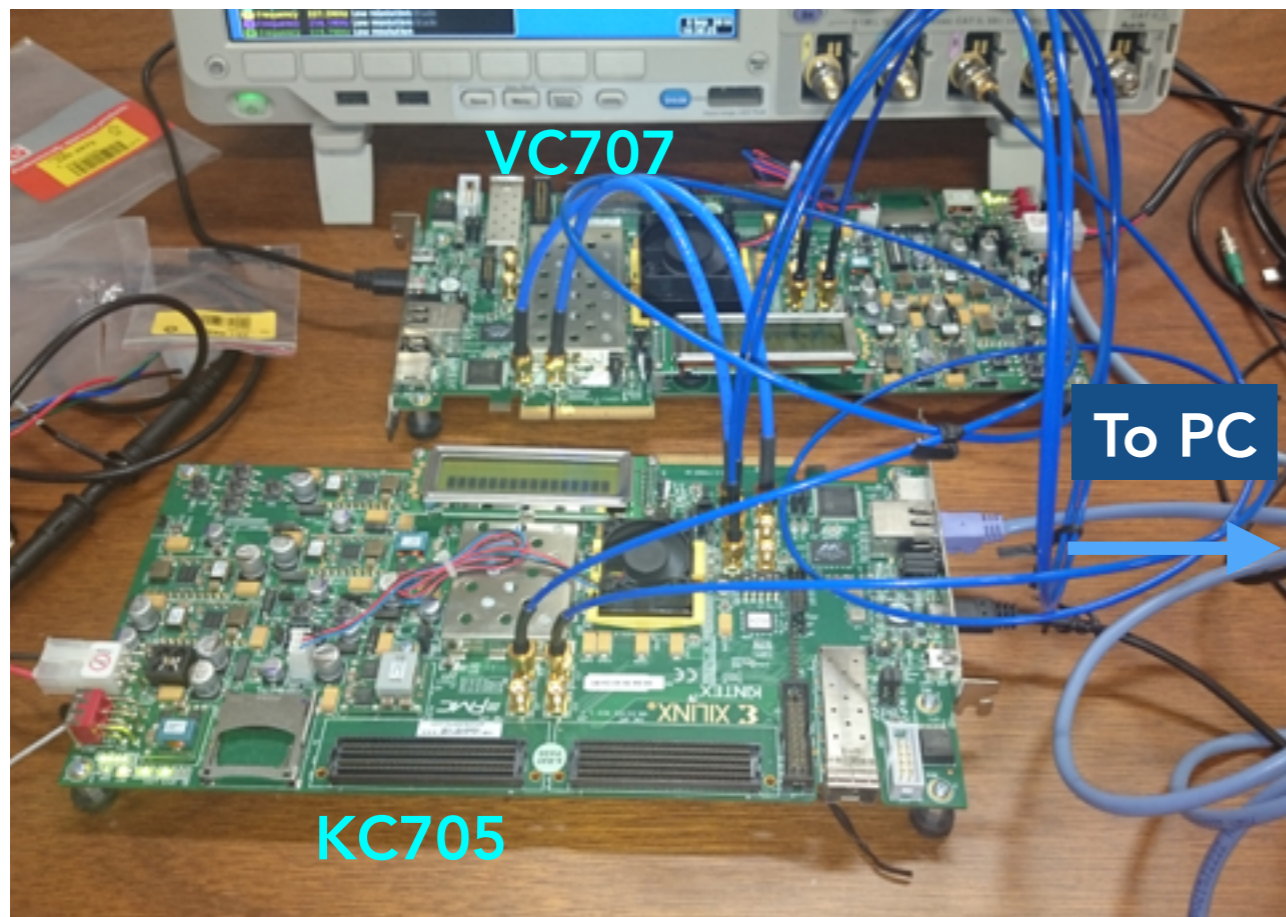


VC707 (Virtex-7)



# 現行デザイン

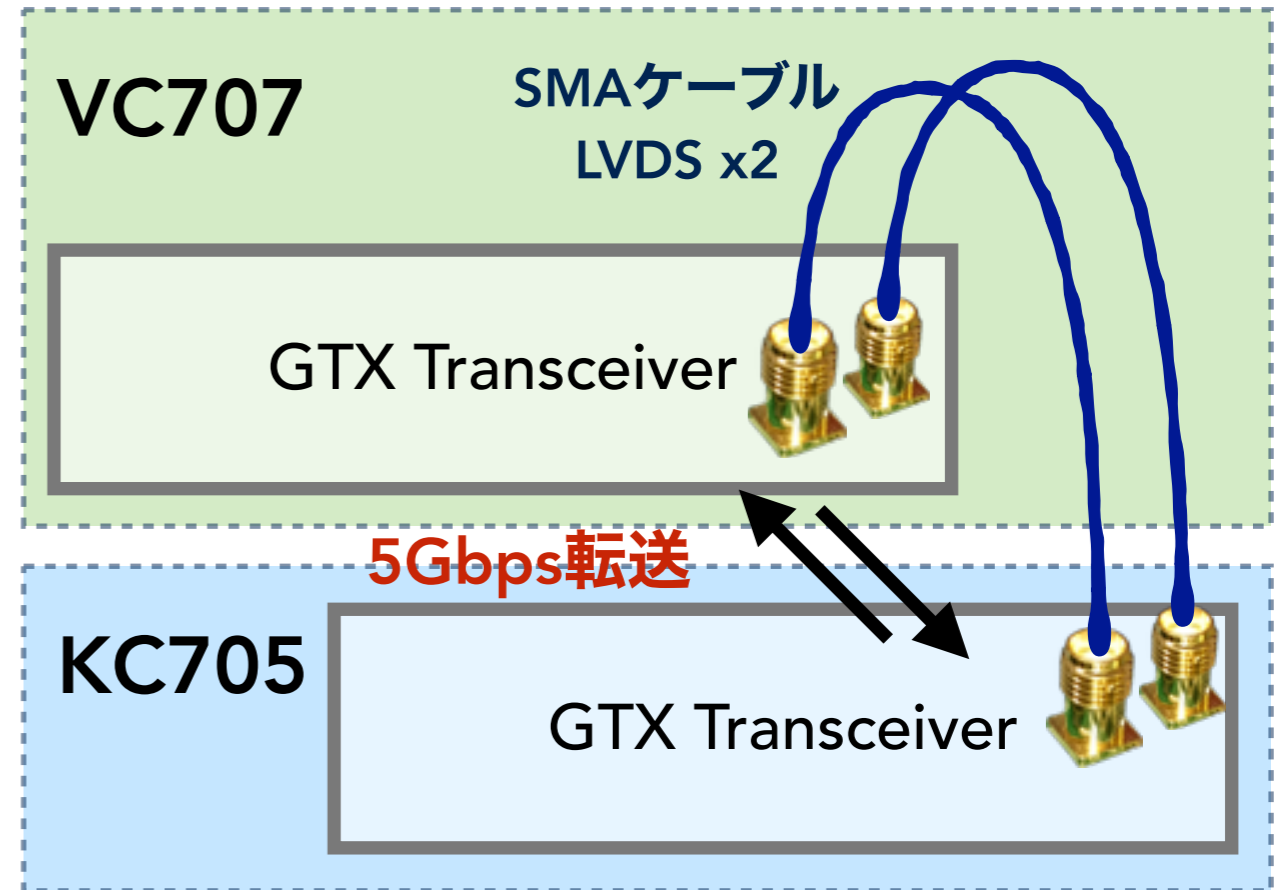
- GTX 5 Gbpsの伝送
- GTX送受信 CLK : 156.25 MHz
- FIFO1/2でbit幅, CLKを変更
  - RX側 (1): 8 bit (200 MHz) → 32 bit
  - TX側 (2): 32 bit → 8 bit (200 MHz)





# Xilinx IBERTを使った試験

- 単純かつ標準のGTX送受信テスト
  - コア内部は非公開  
(細かい設定はできない)
- 2つの評価ボード間で5 Gbps正常に送受信できているかを検証
  - 両方にIBERTコアを入れてテスト



KC705

Name	TX	RX	Status	Bits	Errors	BER	BERT Reset	TX Pattern	RX Pattern	TX Pre-Cursor	TX Post-Cursor	TX Diff Swing	DI
Ungrouped Links (0)													
Link Group 0 (4)							Reset	PRBS 7-bit	PRBS 7-bit	1.67 dB (00111)	0.68 dB (00011)	1018 mV (1100)	
Link 0	MGT_X0Y8/TX	MGT_X0Y8/RX	5.000 Gbps	5.68E15	0E0	1.76E-16	Reset	PRBS 7-bit	PRBS 7-bit	1.67 dB (00111)	0.68 dB (00011)	1018 mV (1100)	
Link 1	MGT_X0Y9/TX	MGT_X0Y9/RX	No Link	5.68E15	2.764E14	4.866E-2	Reset	PRBS 7-bit	PRBS 7-bit	1.67 dB (00111)	0.68 dB (00011)	1018 mV (1100)	
Link 2	MGT_X0Y10/TX	MGT_X0Y10/RX	No Link	5.68E15	2.764E14	4.866E-2	Reset	PRBS 7-bit	PRBS 7-bit	1.67 dB (00111)	0.68 dB (00011)	1018 mV (1100)	
Link 3	MGT_X0Y11/TX	MGT_X0Y11/RX	No Link	5.68E15	2.764E14	4.866E-2	Reset	PRBS 7-bit	PRBS 7-bit	1.67 dB (00111)	0.68 dB (00011)	1018 mV (1100)	

VC707

Name	TX	RX	Status	Bits	Errors	BER	BERT Reset	TX Pattern	RX Pattern	TX Pre-Cursor	TX Post-Cursor	TX Diff Swing	DI
Ungrouped Links (0)													
Link Group 0 (4)							Reset	PRBS 7-bit	PRBS 7-bit	1.67 dB (00111)	0.68 dB (00011)	1018 mV (1100)	
Link 0	MGT_X1Y0/TX	MGT_X1Y0/RX	5.000 Gbps	5.68E15	0E0	1.76E-16	Reset	PRBS 7-bit	PRBS 7-bit	1.67 dB (00111)	0.68 dB (00011)	1018 mV (1100)	
Link 1	MGT_X1Y1/TX	MGT_X1Y1/RX	No Link	5.68E15	1.405E14	2.473E-2	Reset	PRBS 7-bit	PRBS 7-bit	1.67 dB (00111)	0.68 dB (00011)	1018 mV (1100)	
Link 2	MGT_X1Y2/TX	MGT_X1Y2/RX	No Link	5.68E15	1.405E14	2.473E-2	Reset	PRBS 7-bit	PRBS 7-bit	1.67 dB (00111)	0.68 dB (00011)	1018 mV (1100)	
Link 3	MGT_X1Y3/TX	MGT_X1Y3/RX	No Link	5.68E15	1.405E14	2.473E-2	Reset	PRBS 7-bit	PRBS 7-bit	1.67 dB (00111)	0.68 dB (00011)	1018 mV (1100)	

この2つをSMAで接続

5 Gbps出ている Error Rate <math>10^{-16}</math>

これを自分で制御できるようにしたい

# KC705単体試験

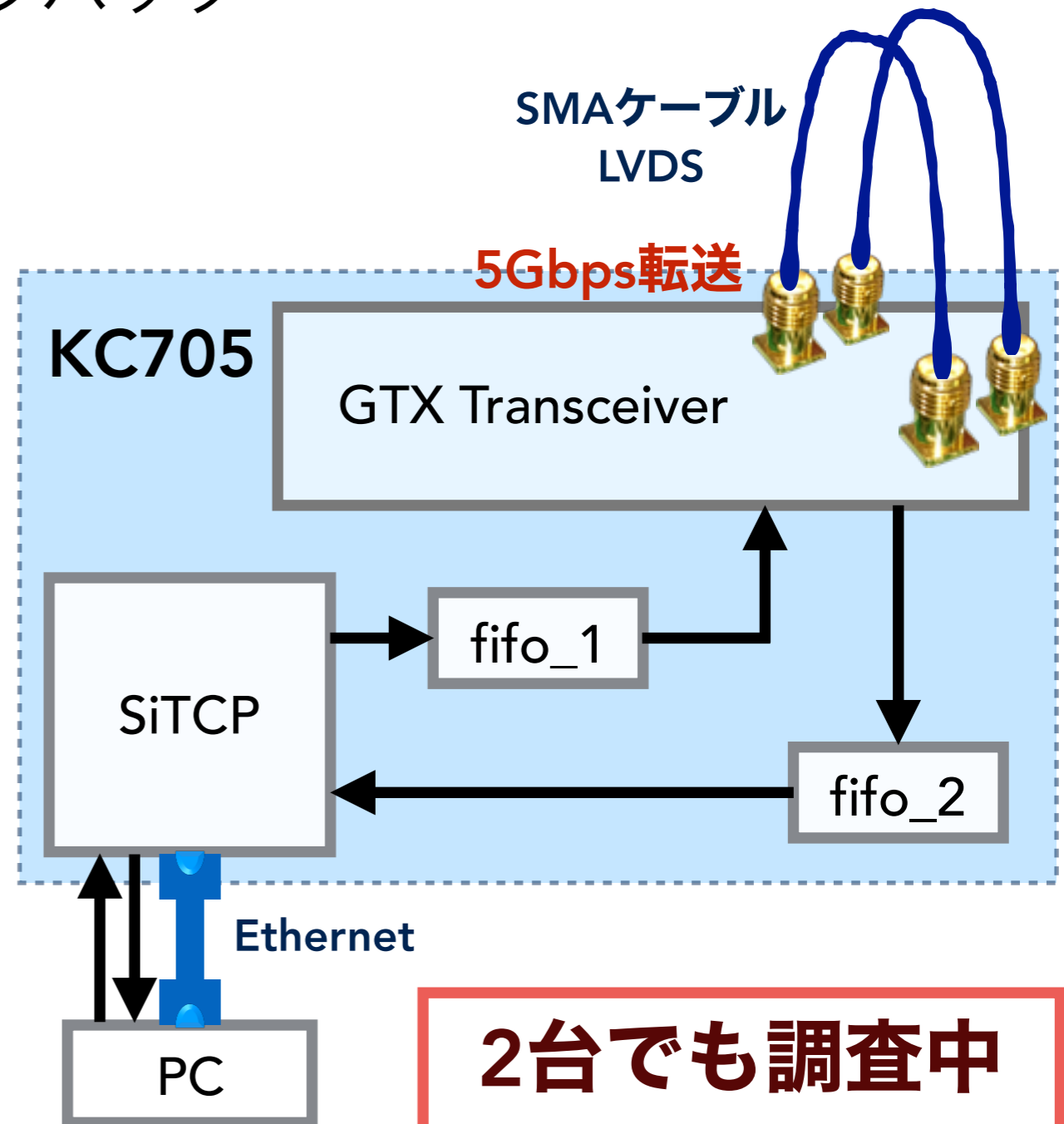
- GTX Transceiverが正常動作するかを試す
- KC705単体で、SMA-GTXをループバック  
→ 信号が戻ってくるか?

ケーブルとGTXの起動分だけ  
信号が遅れて正常受信

ループバック

SMAケーブル  
LVDS

5Gbps転送



2台でも調査中

# 今後の予定

- 本格的にRD53の読み出しを行うために必要なプロセス
  - **GTXの調整**
    - 100%読み出し
  - **KC705⇔VC707入れ替え**
    - KC705にRD53エミュレータを載せたい (来年初頭から)
    - ここでFirmware開発ができるか?
  - **FE-I4の読み出しを今回のシステムで行う**
    - 本試験システムの有効性の確認
    - このための中間ボードを設計中 (FMC-LPCを用いた回路)  
...今年中を目標
  - **RD53Aチップができてきたら、読み出しの為の中間ボード等準備**

# まとめ

- LHC-ATLAS実験アップグレード計画に沿い、ATLASピクセル検出器アップグレード用の高レート・微細ピクセル化した新型ASIC開発が進められている
- 各国でこの新型ASICに則した試験システムを開発中
- 日本では今まで現行FE-I4用にSEABASシステムが存在したが、新型ASICでは使えなくなることを受けて、新規に開発を始めた
- 現状、評価ボードを用いてBERTを行っている段階で、これからFE-I4用の中間基板を作る予定である
- 新型ASICのプロトタイプが出来上がる2017夏(?)を目指して、新型ASIC用の中間ボードの開発とFirmware開発を進めていく