

# プラズマ境界力学実験装置QUESTにおける FPGA利用の現状紹介

九州大学応用力学研究所  
長谷川真、QUESTグループ

於 核融合・加速器科学分野合同計測技術ワークショップ  
～計測システム開発の現状と新しい開発手法の可能性～

日程: 2016年10月28日(金) 13:00 - 17:30

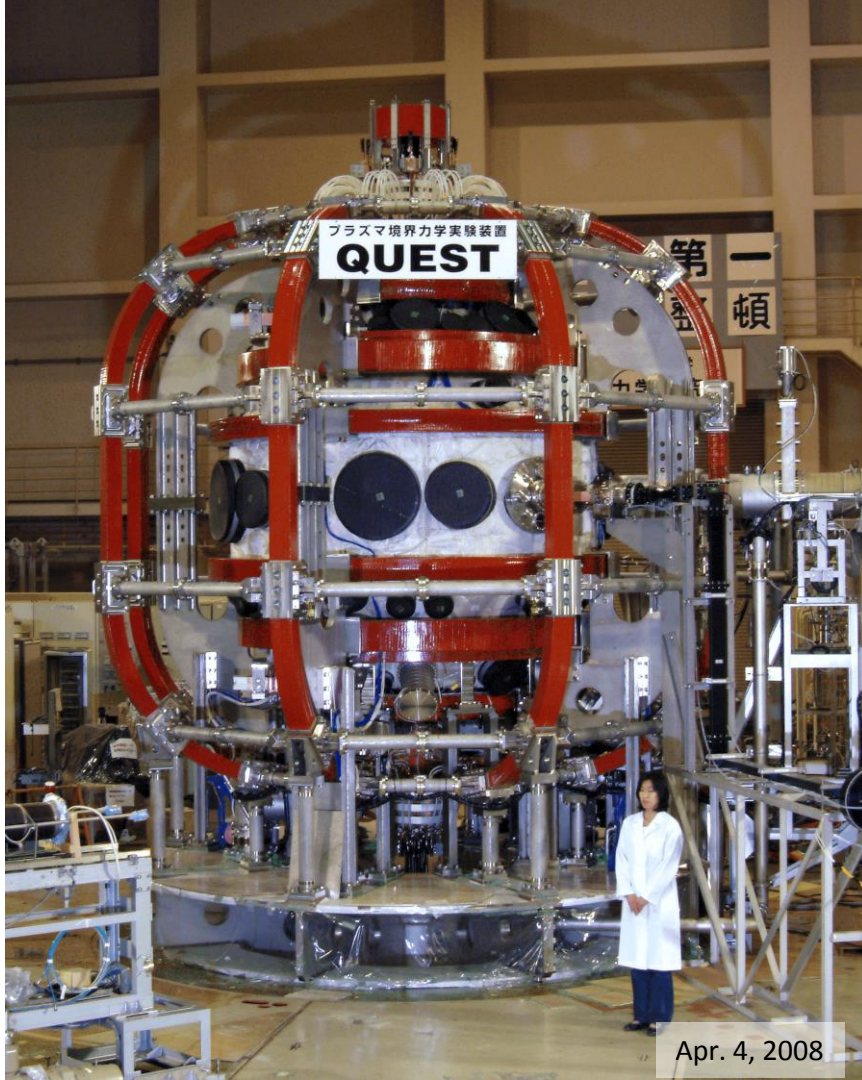
場所: 核融合科学研究所(岐阜県土岐市)

シミュレーション科学研究棟1階会議室

<http://openit.kek.jp/workshop/2016/nifs/main>

## 内容

- QUEST装置の紹介
- LabVIEW言語でのFPGA開発
- FPGAの利用例
  - TFコイルの電気抵抗値監視
  - 磁気計測
  - プラズマの電子密度計測
  - トリガー遅延分配器
- まとめ



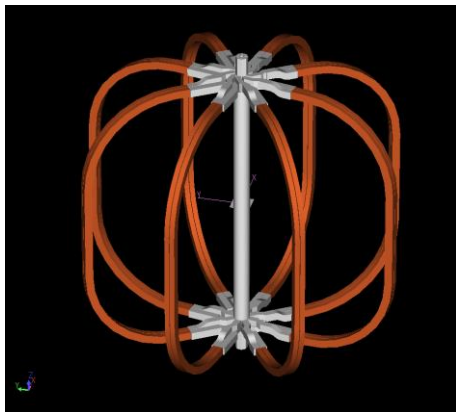
Apr. 4, 2008

## QUEST

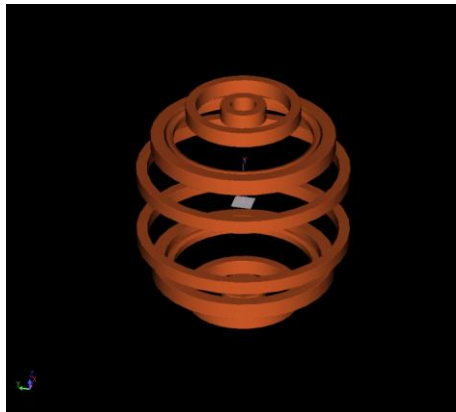
(Q-shu University experiment with steady-state spherical tokamak)

Height	: ~6.6 m
Width	: 5 m
Vessel Radius	: 1.4 m
Vessel Height	: 2.8 m

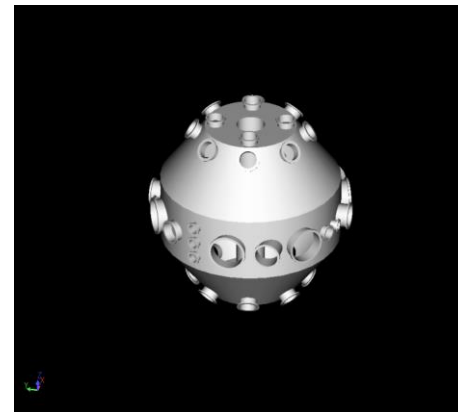
トロイダルフィールドコイル  
(TF Coil)



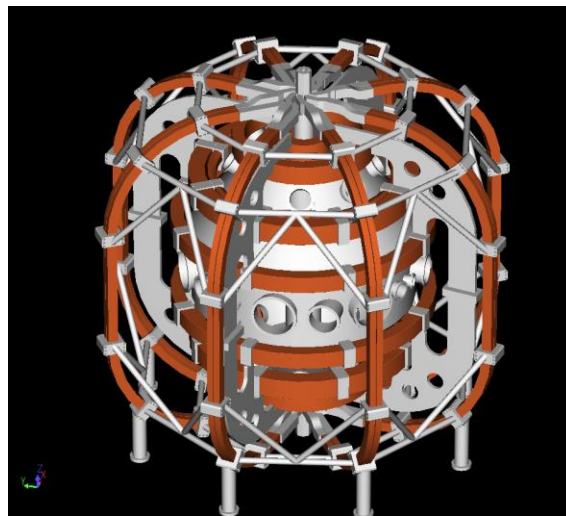
ポロイダルフィールドコイル  
(PF Coil)



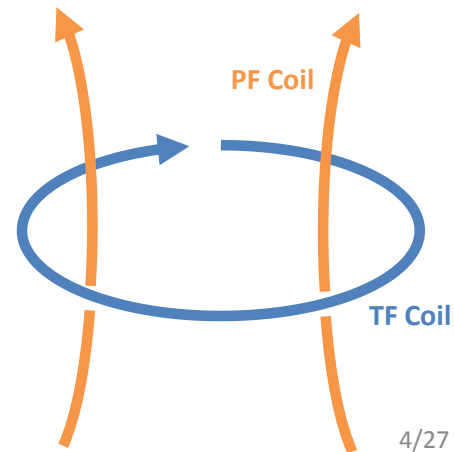
真空容器  
(Vacuum Vessel)



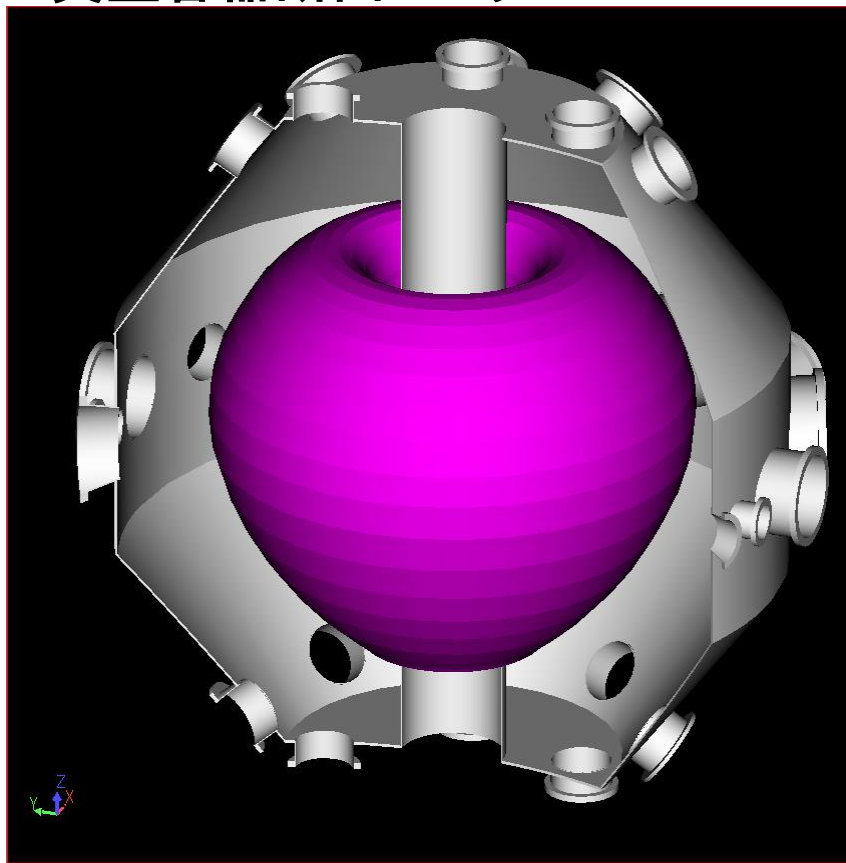
QUEST装置



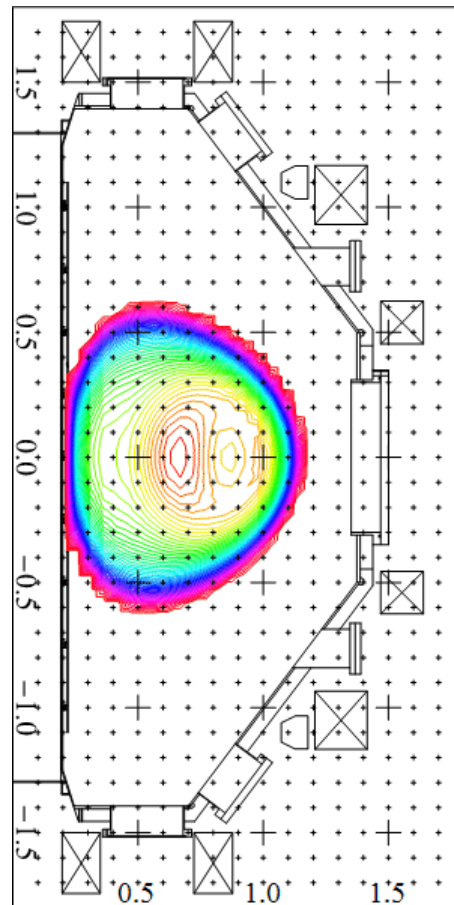
各コイルの作り出す磁場



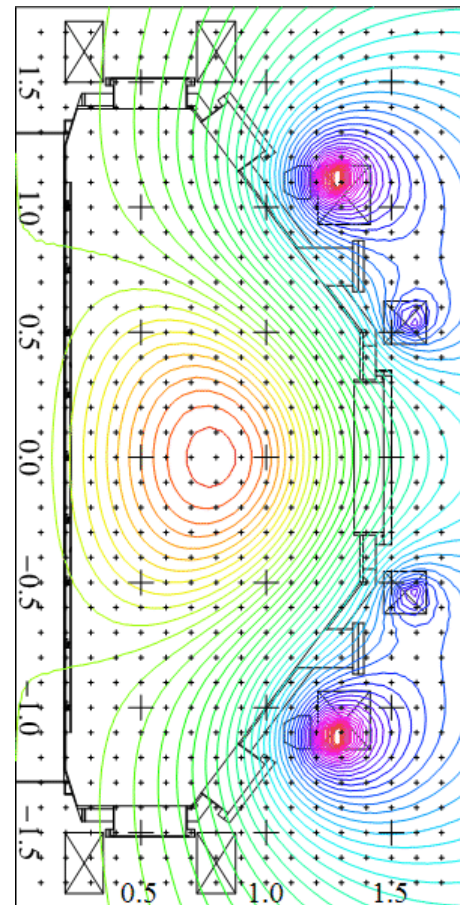
# 真空容器断面とプラズマ



# プラズマ電流分布



# 磁場フラックス分布



# 内容

- QUEST装置の紹介
- LabVIEW言語でのFPGA開発
- FPGAの利用例
  - TFコイルの電気抵抗値監視
  - 磁気計測
  - プラズマの電子密度計測
  - トリガー遅延分配器
- まとめ

# プログラミング言語LabVIEWによるハードウェア制御

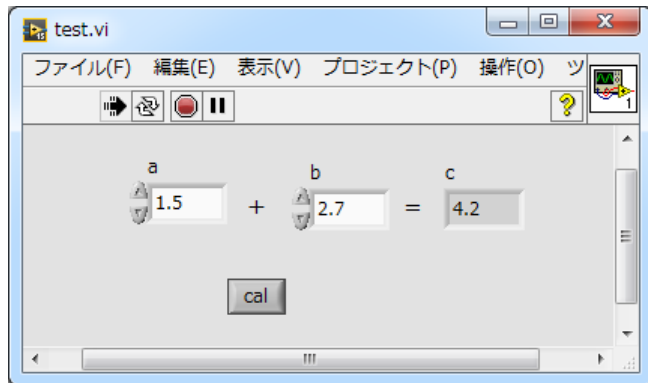
- グラフィカルプログラミング言語
- グラフィカルユーザーインターフェースを作るのが容易
- 様々なモジュールが提供されている。

(Real-time, FPGA, Vision, and etc.)

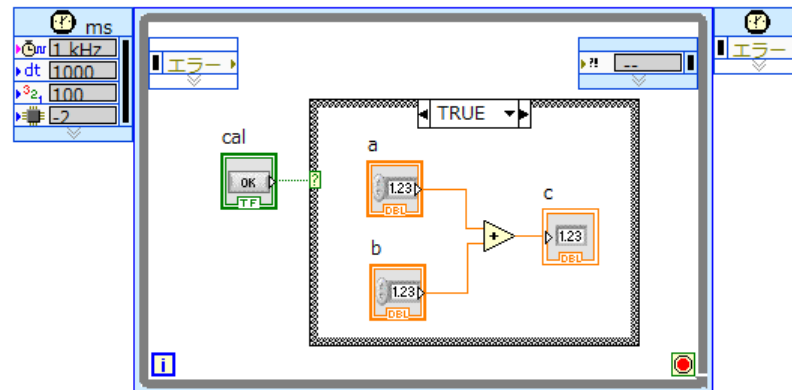
FPGA (field-programmable gate array) は、製造後に購入者や設計者が構成を設定できる集積回路であり、広義にはPLD(プログラマブルロジックデバイス)の一種である。現場でプログラム可能なゲートアレイであることから、このように呼ばれている。(Wikipedia)

## LabVIEW言語の例 ---「cal」ボタンを押すと答えが表示される。---

グラフィカルユーザーインターフェース



グラフィカルプログラミング言語



# QUEST装置でのLabVIEWによるハードウェア制御

----- 多くの機能をLabVIEWを用いて実現 -----

## LabVIEWで構成されたシステム例

中央制御システム

プラズマコントロールシステム

冷却水監視モニター

入退室監視盤

クライオポンプ遠隔監視と操作

遅延トリガー分配器

データ収集器

TFコイル電気抵抗監視器

etc.

## FPGA applications for real-time processing

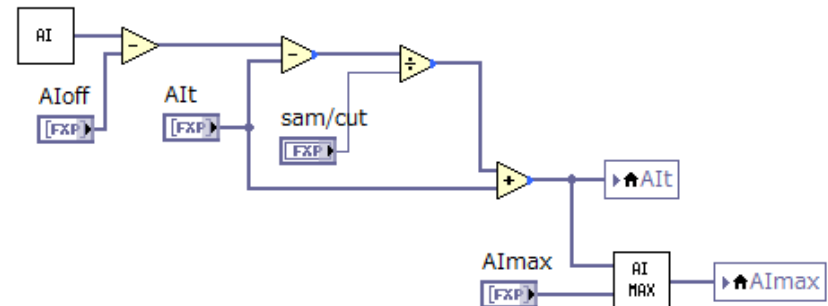
Plasma density calculation with 50kHz using interferometer

Numerical integration with 100kHz for magnetic signals

Data acquisition using DMA FIFO

Digital low pass filter in noisy environment

Digital low pass filter described with LabVIEW FPGA





# LabVIEW言語で動作する機器の実装例(その1)

## —— 入退室管理盤 ——

入退室監視盤



入室する際には各自のトグルスイッチをONにする。



入退室監視盤の中身

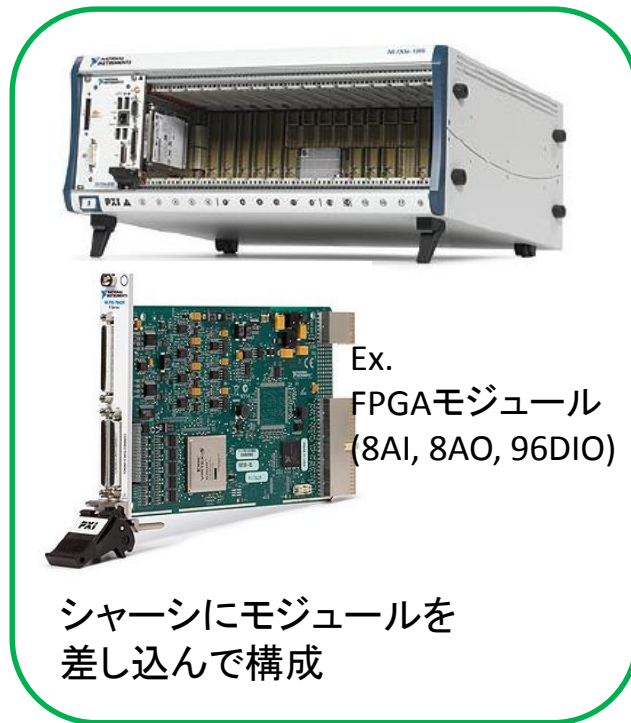


シャーシに  
モジュールを  
差し込んで構成

入室者の有無、及び入室者の名前をEthernetを通じて、中央制御システムへ連絡  
中央制御システムは、入室者がいないことを確認した上で、プラズマの生成を開始する。

# LabVIEW言語で動作する機器の実装例(その2)

## — プラズマ制御システム —



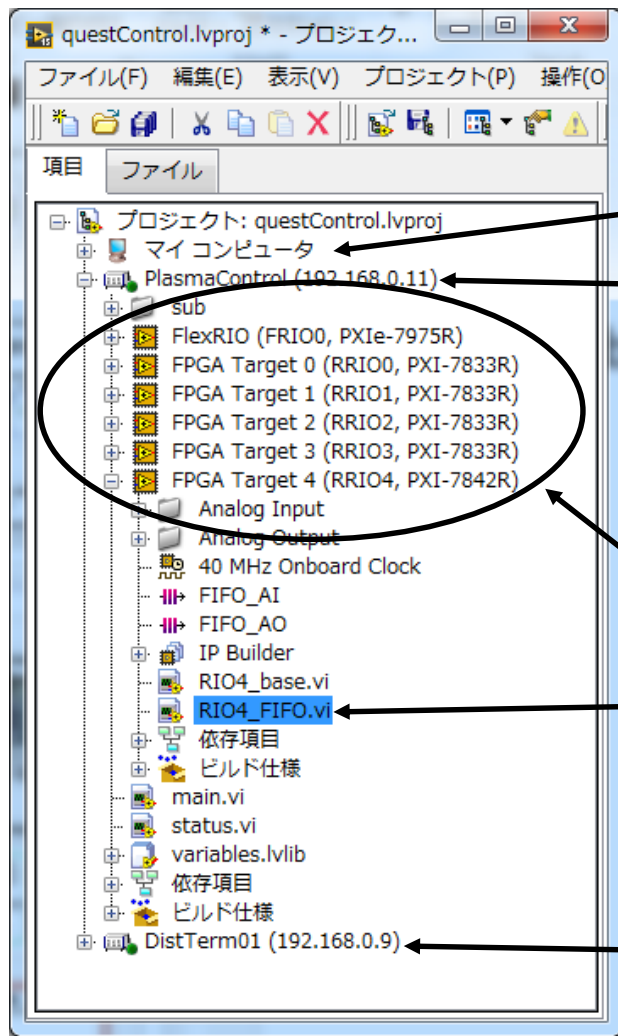
プラズマ制御システム:

計測器等の信号を受け取り、  
プラズマ等の状態を算出する。  
算出結果に応じて、制御信号  
を周辺機器に送出する。

現状、2つのシャーシをリフレ  
クティブメモリで繋ぎ、一つの  
プラズマ制御システムとして  
いる。

# LabVIEW言語におけるFPGAの開発

—— プラズマ制御システムを例にして ——



自身の開発端末

1つ目のシャーシ

シャーシ内にある  
FPGAボード群

FPGAボード配下の  
プログラム

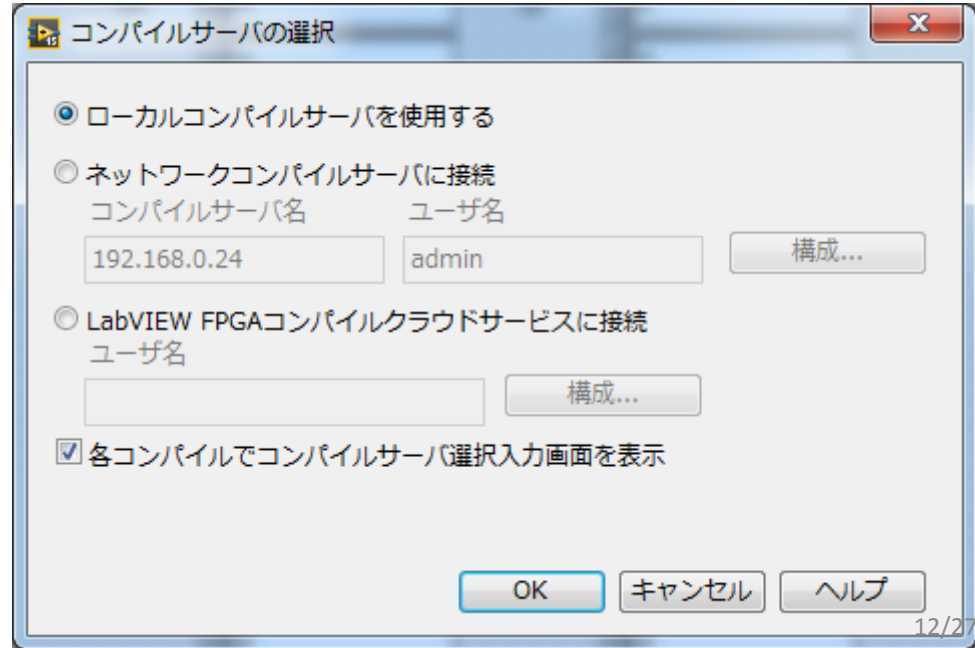
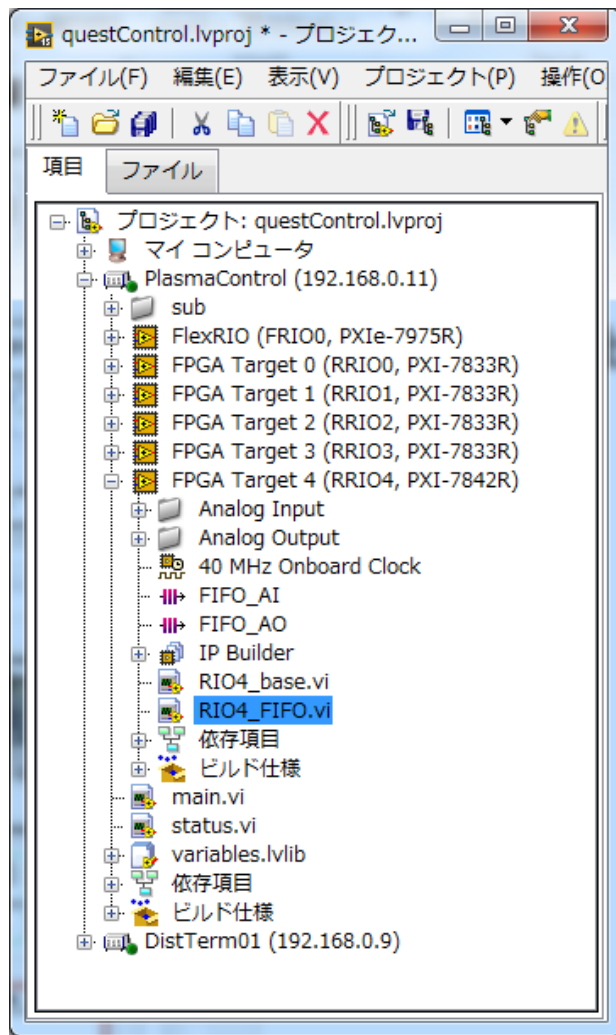
2つ目のシャーシ

# LabVIEW言語におけるFPGAの開発

—— プラズマ制御システムを例にして ——

FPGAを使用するには、

- ①FPGA配下にプログラムを作成して実行する。
- ②初回の実行であれば、コンパイルが始まる。

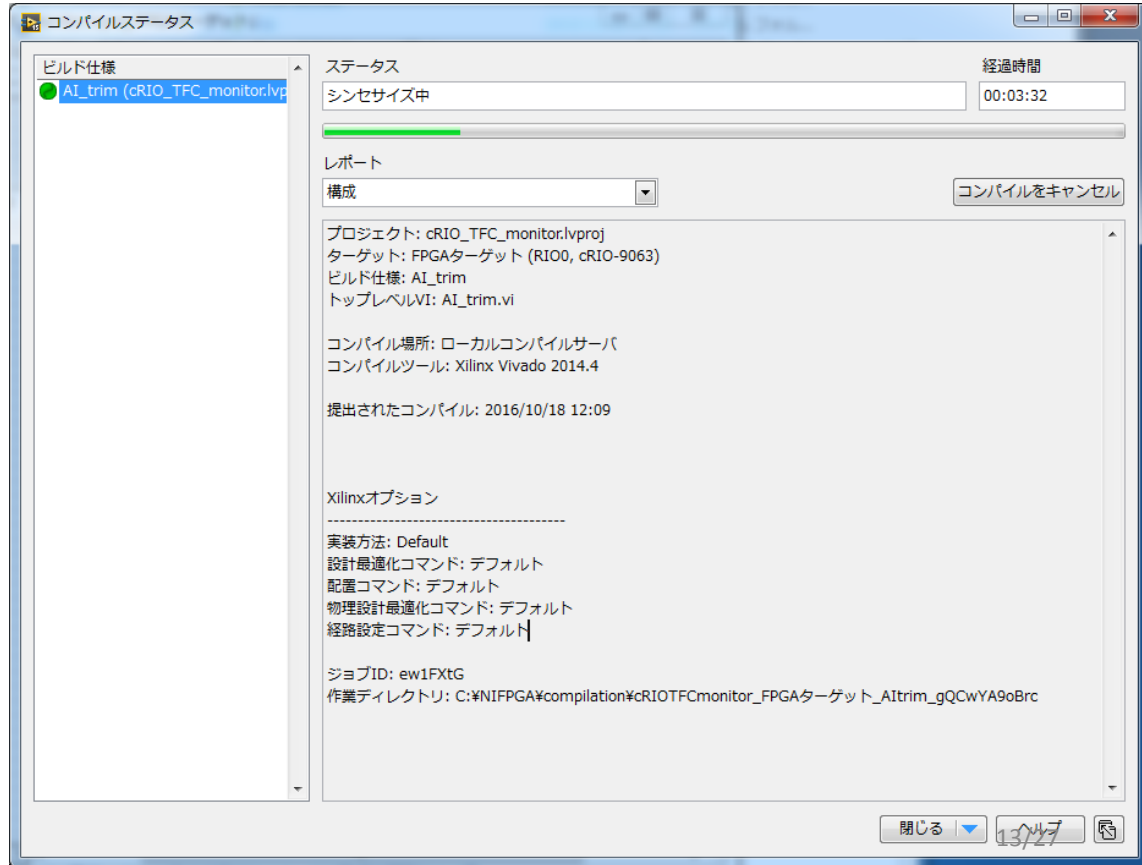


# LabVIEW言語におけるFPGAの開発

—— プラズマ制御システムを例にして ——

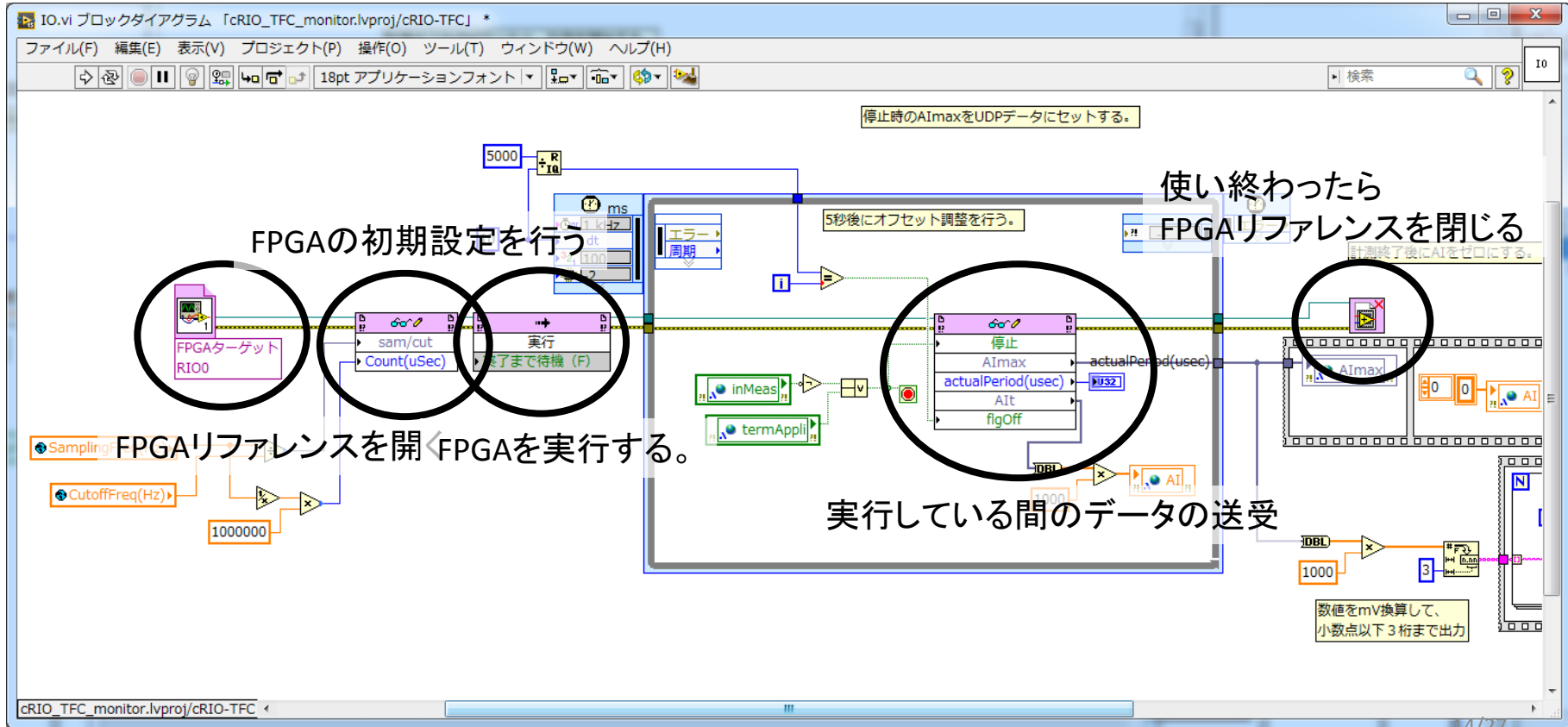
コンパイル中、または後に下のようなログ  
が出力される。

- 概要
- 構成
- 予想デバイス使用状況(シンセシス)
- 最終デバイス使用状況(配置)
- 予想タイミング(配置)
- 最終タイミング(経路決定)
- Xilinxログ



# LabVIEW言語におけるFPGAの開発

— FPGAのプログラムを上位(CPUベース)から使用する際には、FPGAリファレンスを開く —



# LabVIEW言語における~~FPGA~~の開発

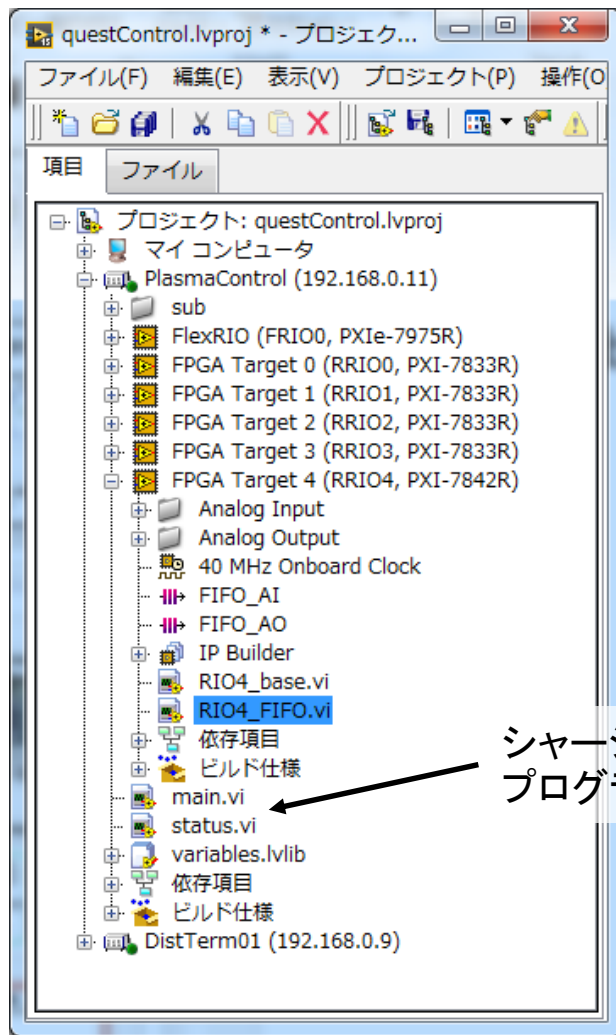
—— プラズマ制御システムを例にして ——

- シャーシ配下のプログラムはCPUベース (Intel Core i7-820クアッドコア) のプログラムとして実行される。

## プラズマ制御システムでのCPUベースのプログラム

- 各種設定ファイルの読み込み
- 電圧信号の収集と物理量への変換
  - プラズマ由来の信号抽出処理
  - プラズマ位置の算出 etc.
- 制御量の算出と電圧信号への出力
  - コイル電流PID制御
  - 燃料供給フィードバック制御
  - 加熱パワー制御 etc.
- データファイル等の出力

など



シャーシ配下の  
プログラム

# LabVIEW言語におけるFPGAの開発

— プラズマ制御システムを例にして —

LabVIEW言語で記述している事柄

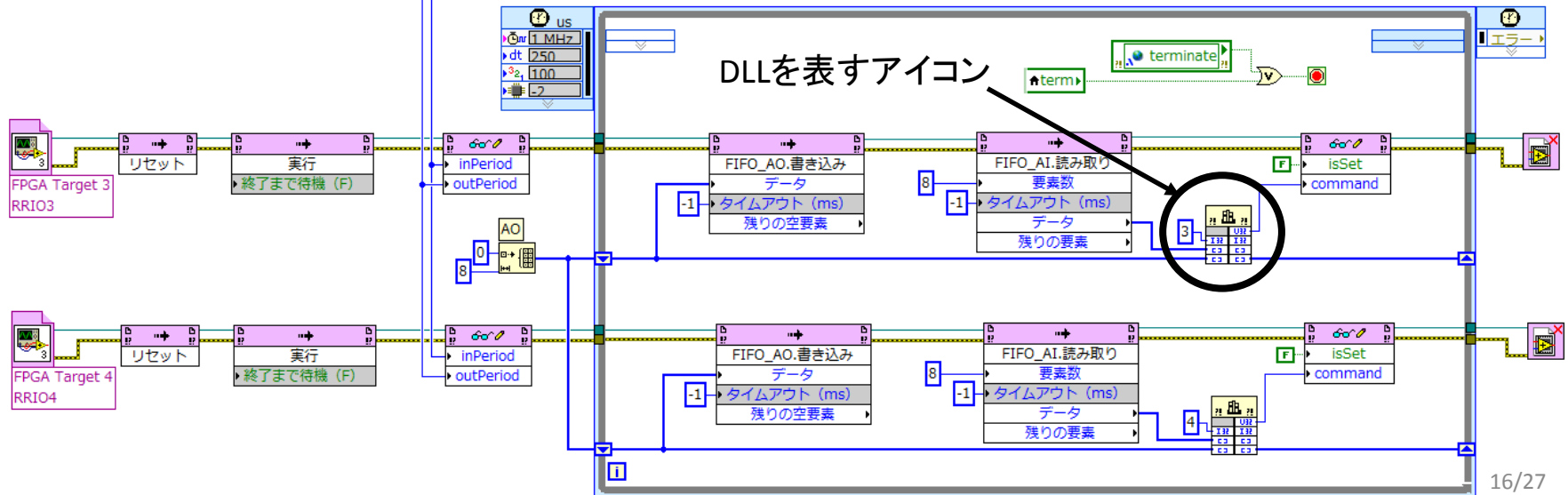
- ハードウェアとの取り合い
  - DIO, AIO, Reflective memory, etc.
- グラフィカルユーザーインターフェース
- Ethernetによる他機器との通信
- 画像処理

など

その他の事柄

- Microsoft Visual Studioなどを用いて、C言語によるDLL (Dynamic Link Library)を作成して記述

2枚のAIOボードからのデータをDLLに送受する箇所



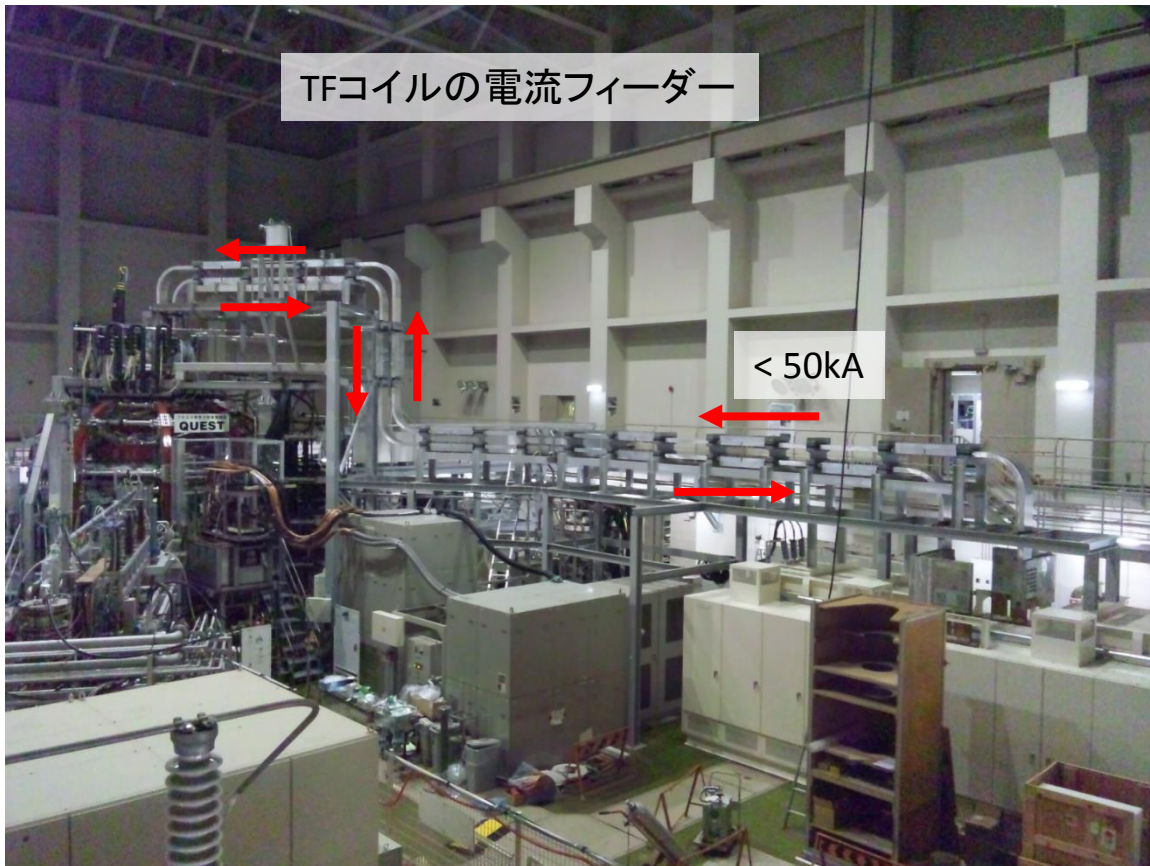


# 内容

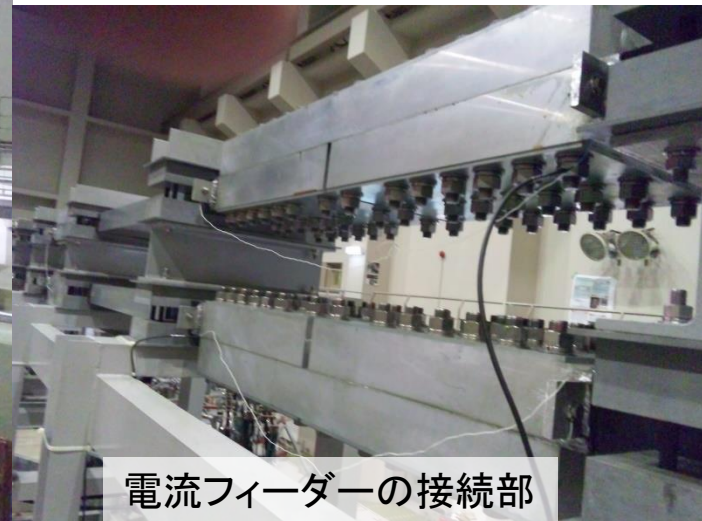
- QUEST装置の紹介
- LabVIEW言語でのFPGA開発
- **FPGAの利用例**
  - TFコイルの電気抵抗値監視
  - 磁気計測
  - プラズマの電子密度計測
  - トリガー遅延分配器
- まとめ

# FPGAの利用例 ーTFコイルの電気抵抗値監視ー

TFコイルの電流フィーダー

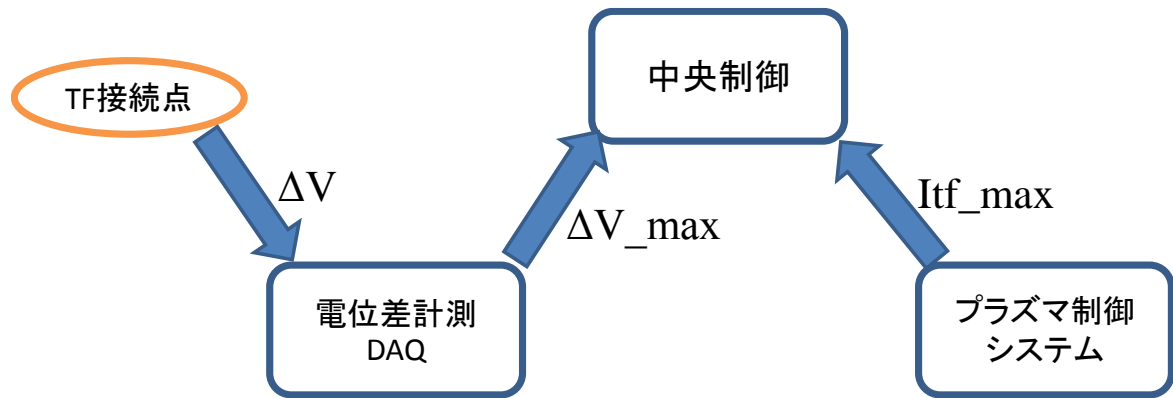


電流フィーダーの接続部の経年劣化を監視するため、TFコイルの通電時における接続部の電位差を計測して、接続部の抵抗値を監視する。



電流フィーダーの接続部

# FPGAの利用例 ーTFコイルの電気抵抗値監視ー



## 留意点

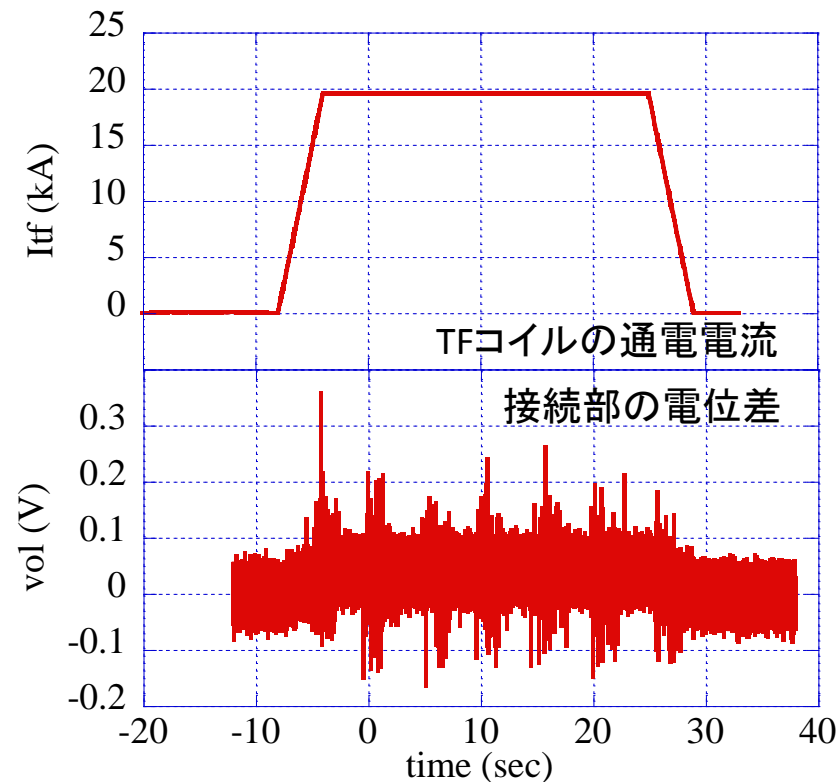
- ① **微弱電圧**を計測することになる。  
接続点の電気抵抗:  $\sim$ 数 $\mu\Omega$   
10kAの通電時の電位差:  $\sim$ 数10mV
- ② 電位差計測DAQはシーケンスと連動する必要がある。(プログラミングが行える計測器)



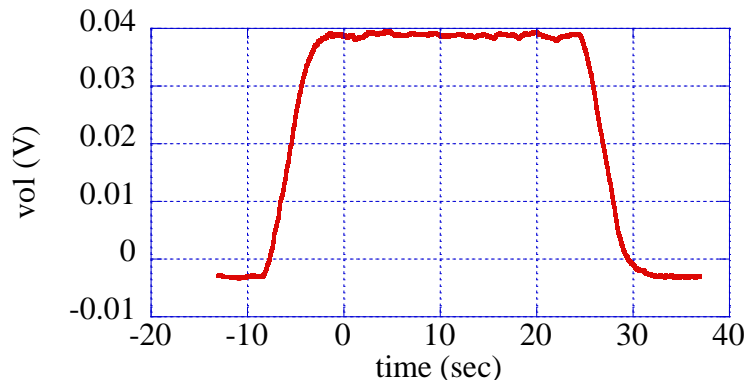
- ① **コイル通電時**のTFコイルの接続点の電位差を電位差計測DAQが計測
- ② その**ショット内の最大電位差**を電位差計測DAQが中央制御に送出
- ③ その**ショット内の最大TF電流値**をプラズマ制御システムが中央制御に送出
- ④ 中央制御は抵抗値を計算して、異常の場合は警報を発生させる。

# FPGAの利用例 ーTFコイルの電気抵抗値監視ー

生データには、ノイズ成分が重畳されており、TFコイルの通電電流に由来する電位差が見積もれない。



- ポスト処理
- 1HzのLowPass デジタルフィルター処理

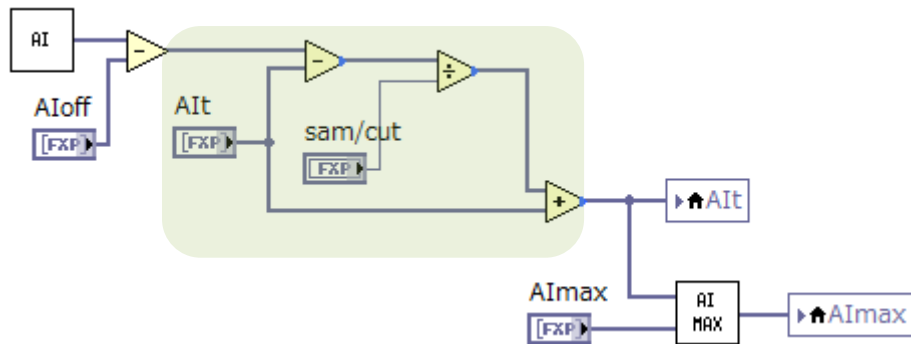


FPGAを用いて、リアルタイムに、LowPass デジタルフィルター処理を行う。

# FPGAの利用例 ーTFコイルの電気抵抗値監視ー

## 電位差計測DAQのインターフェース

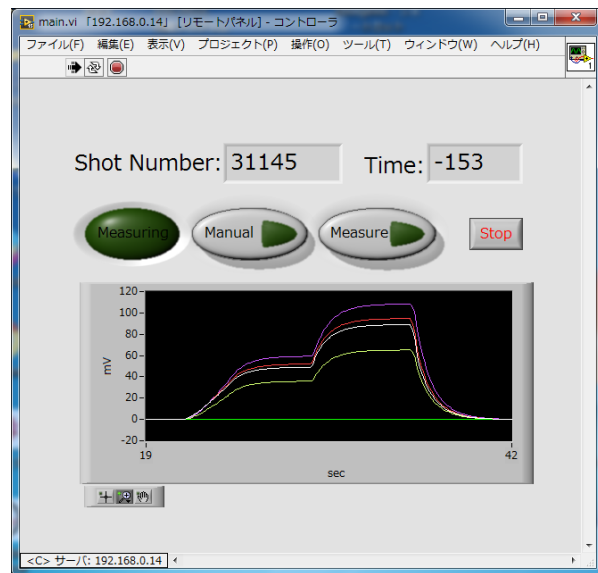
### LabVIEWによるデジタルローパスフィルター



$$y_k = a(x_k - y_{k-1}) + y_{k-1}$$

$y_k$ : output sequence of numbers

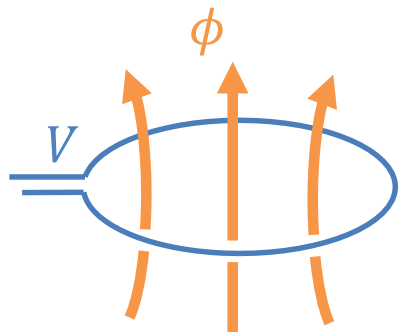
$x_k$ : input sequence of numbers



(25kHz sampling, 1Hz digital low-pass filter)

- RやCを使わないのでハードウェア構成がシンプルになる。
- 時定数などをすぐに変えられる。

# FPGAの利用例 一磁気計測一



$$V = -\frac{d\phi}{dt}$$

$V$ : 計測電圧  
 $\phi$ : 磁束

計測電圧 $V$ を時間積分して、  
磁束 $\phi$ を求める。

磁束 $\phi$ はプラズマの制御に用いられ、  
リアルタイムに求める必要がある。

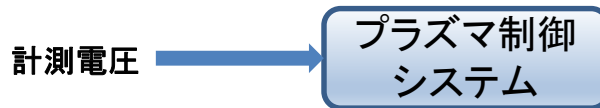
従来

○電子回路積分器を使用する方法



電子回路積分器を別途用意する必要がある。

○CPUベースで数値積分を行う方法



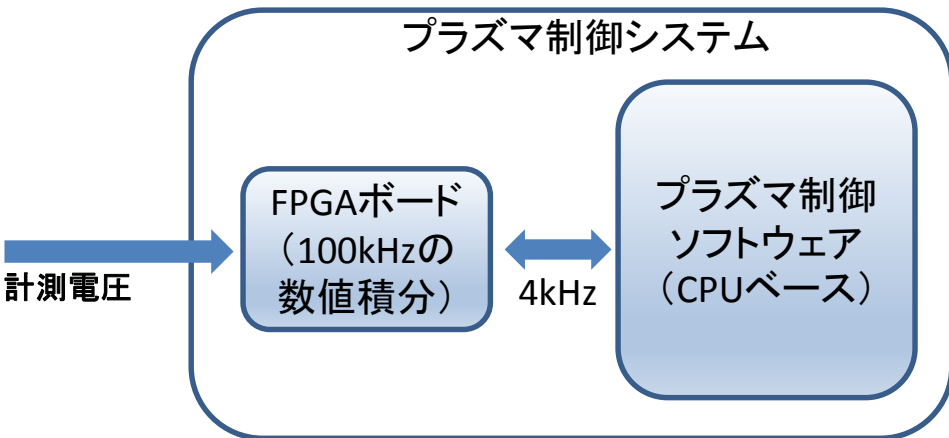
積分間隔が数kHz程度であって粗い計測・計算になる。



FPGAを用いて、リアルタイムに**高速**  
**サンプリング**をして**数値積分**を行う。

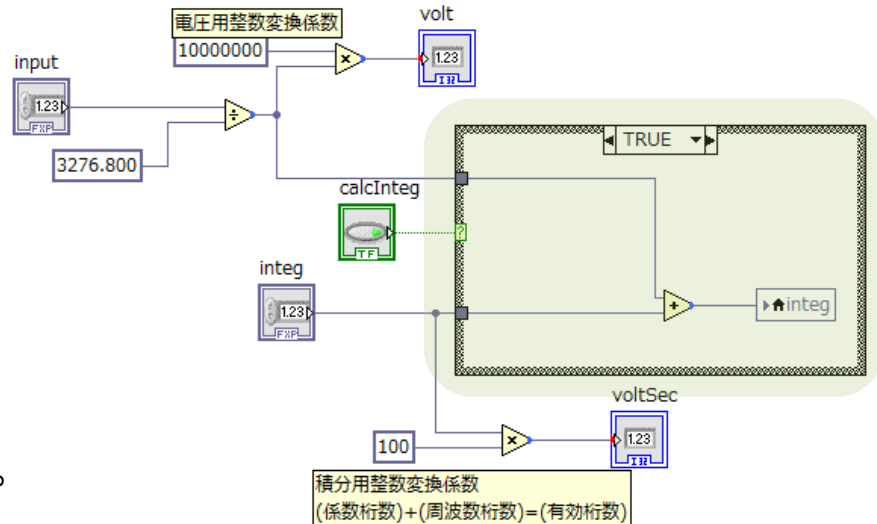
# FPGAの利用例 ー磁気計測ー

## 現在の構成



- FPGAボードにおいて100kHzの数値積分を行う。
- プラズマ制御ソフトウェアは、その計測結果を4kHzで受け取り、プラズマの制御に用いる。

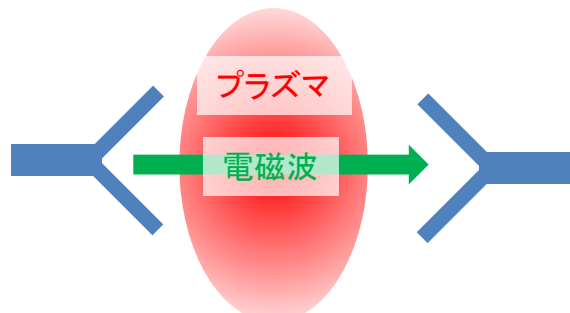
## LabVIEWによる数値積分



FPGAを用いることで、電子回路積分器を用いないシンプルな構成になり、かつ従来のCPUベースの計算に比べて、高速に計算が行えるようになった。

# FPGAの利用例 —プラズマの電子密度計測—

## 干渉計による電子密度計測



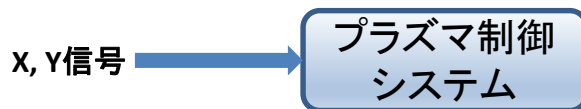
X, Y信号から電磁波の位相を算出して、電子密度を計算する。

（位相を求めるために必要な、所謂x(cos)信号と、y(sin)信号はハードウェアによって出力されているとする。）

プラズマの電子密度をリアルタイムに算出して、制御パラメータの一つに加えたい。

## 従来

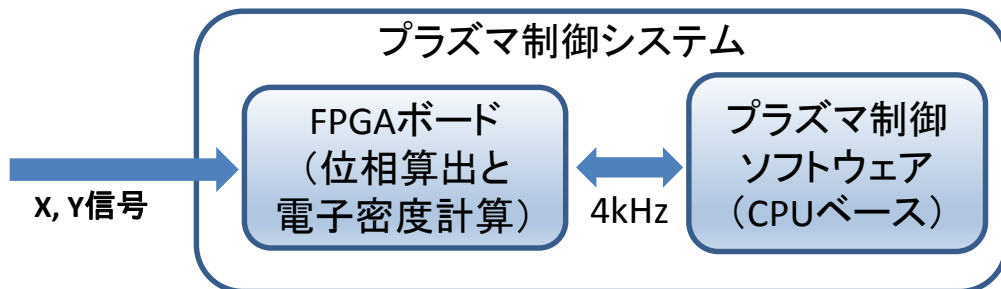
○CPUベースで位相の算出を行う場合



密度の計算が数kHz程度で行われるため、位相の数え落しが生じることが懸念される。



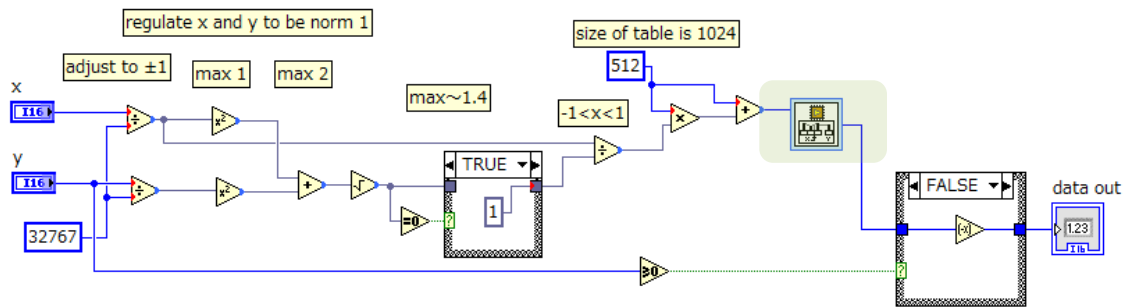
FPGAを用いて、高速サンプリングで位相を算出して、電子密度を計算する。





# FPGAの利用例 ープラズマの電子密度計測ー

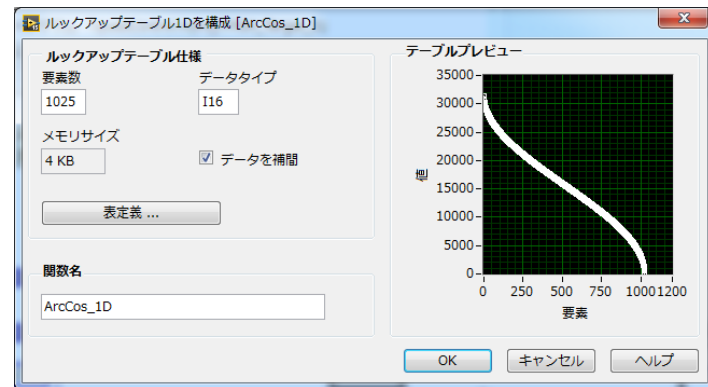
## LabVIEWのFPGAで逆正接(ArcTan)を求める箇所



x(cos)信号とy(sin)信号の長さを規格化した後、ルックアップテーブルを用いて逆正接を算出。

- 逆正接は、1025個のデータを持つルックアップテーブルを用いて算出
- FPGAボードにおいて50kHz (max 76kHz)でサンプリング及び電子密度の計算を行う。
- プラズマ制御ソフトウェアは、その計算結果を4kHzで受け取り、制御に用いる。

## ルックアップテーブル



FPGAを用いることで、従来のCPUベースの計算に比べて、高速に計算が行えるようになり、位相の数え落としが低減された。

# FPGAの利用例 ートリガー遅延分配器ー

dialog.vi [daq6071\_trigger7831R.lvproj/labview02]

## トリガー遅延分配器設定

**使用上の注意**

1. 時間の単位は、「秒(sec)」です。
2. 1マイクロ秒の時間精度を持ち、最大遅延時間は107秒です。(32bitカウンタ、40MHz内部クロック)

start0: -11.000000    start1: 0.000000

OK    キャンセル

Channel	Value
DO00 preprocessing	discharging
DO01 preprocessing	discharging
DO02 preprocessing	discharging
DO03 preprocessing	discharging
DO04 preprocessing	discharging
DO05 preprocessing	discharging
DO06 preprocessing	discharging
DO07 preprocessing	discharging
DO08	1.000000
DO09	0.950000
DO10	0.000000
DO11	0.000000
DO12	1.000000
DO13	0.000000
DO14	3.400000
DO15	0.000000
DO16	0.000000
DO17	116.000000
DO18	0.000000
DO19	0.000000
DO20	0.000000
DO21	0.000000
DO22	1.400000
DO23	0.000000
DO24	0.000000
DO25	10.000000
DO26	2.000000
DO27	2.700000
DO28	0.000000
DO29	0.000000
DO30	0.000000
DO31	0.000000
DO32	2.500000
DO33	0.000000
DO34	0.000000
DO35	0.000000
DO36	1.000000
DO37	1.200000
DO38	0.000000
DO39	1.700000

トリガー遅延分配器の設定画面

## 目的

計測器等の各機器に、計測タイミング等を知らせるトリガーを任意の時刻に送出。

## 仕様

- 40chのDO
- マイクロ秒の精度
- 0-7chは、シーケンスに応じて常にON
- 他のchは、所定の時刻にトリガー送出

## 特徴

- 40MHzの内部クロックをもつFPGAを用いてマイクロ秒の精度を実現
- プログラミングによりチャンネル構成が可変 26/27

## まとめ

- 高速動作が求められる箇所にFPGAを使用している。
- ハードウェアをソフトウェアに置き換えることで、構成がシンプルになると同時に、変更・修正が容易になる。

## 今後

- FPGAの、より高度な利用を推進する。