



核融合研LHD実験における計測FPGA応用の 現状と展望

核融合科学研究所 高温プラズマ物理研究系／情報通信システム部
中西秀哉

NIFSのデジタル計測への取り組み概要

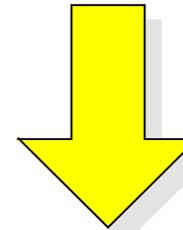
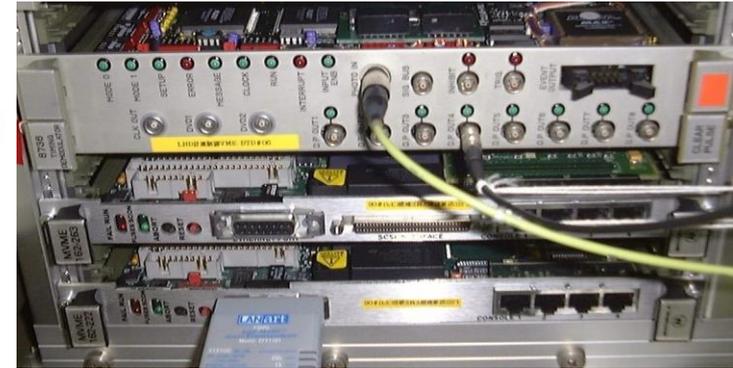
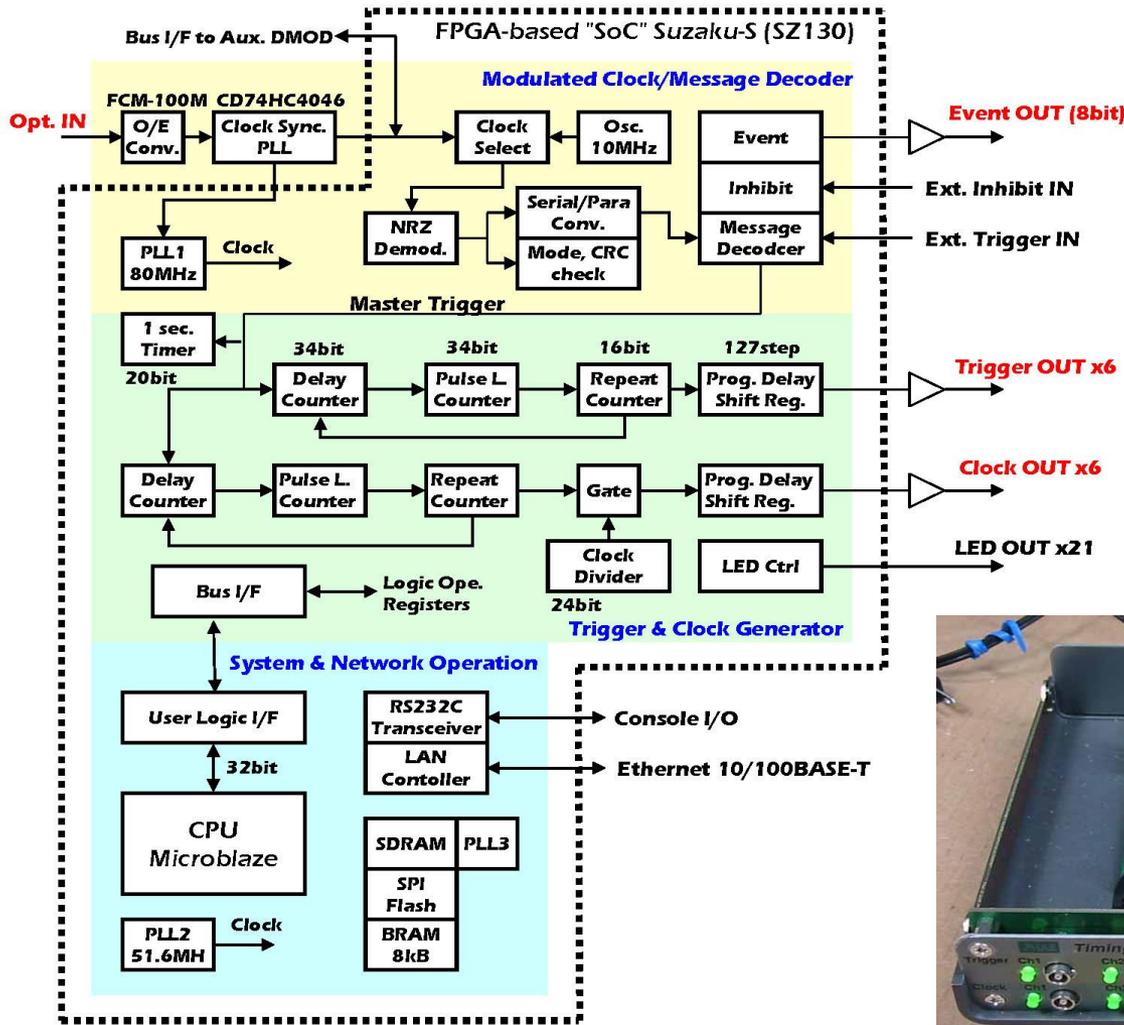
- ある程度の規模(数量)を伴ったFPGA利用開発は、LHD向けデジタル同期式タイミングシステムがおそらく最初
- その後、計数モジュールや高速(制御)インターロック系で利用
- CPLD利用は、ほぼ無し

- 利用FPGAプラットフォームは、Atmark Techno製 Suzaku-S/V が多い
- 開発環境は、Xilinx ISE
- 言語は、VHDL

- 最近は特に、数100MS～数GS/s 高速ADC+FPGA波形整形、を導入する計測が増えている(特に粒子計測関係で)

計測タイミング配信システム開発

デジタル同期式タイミング分配システム

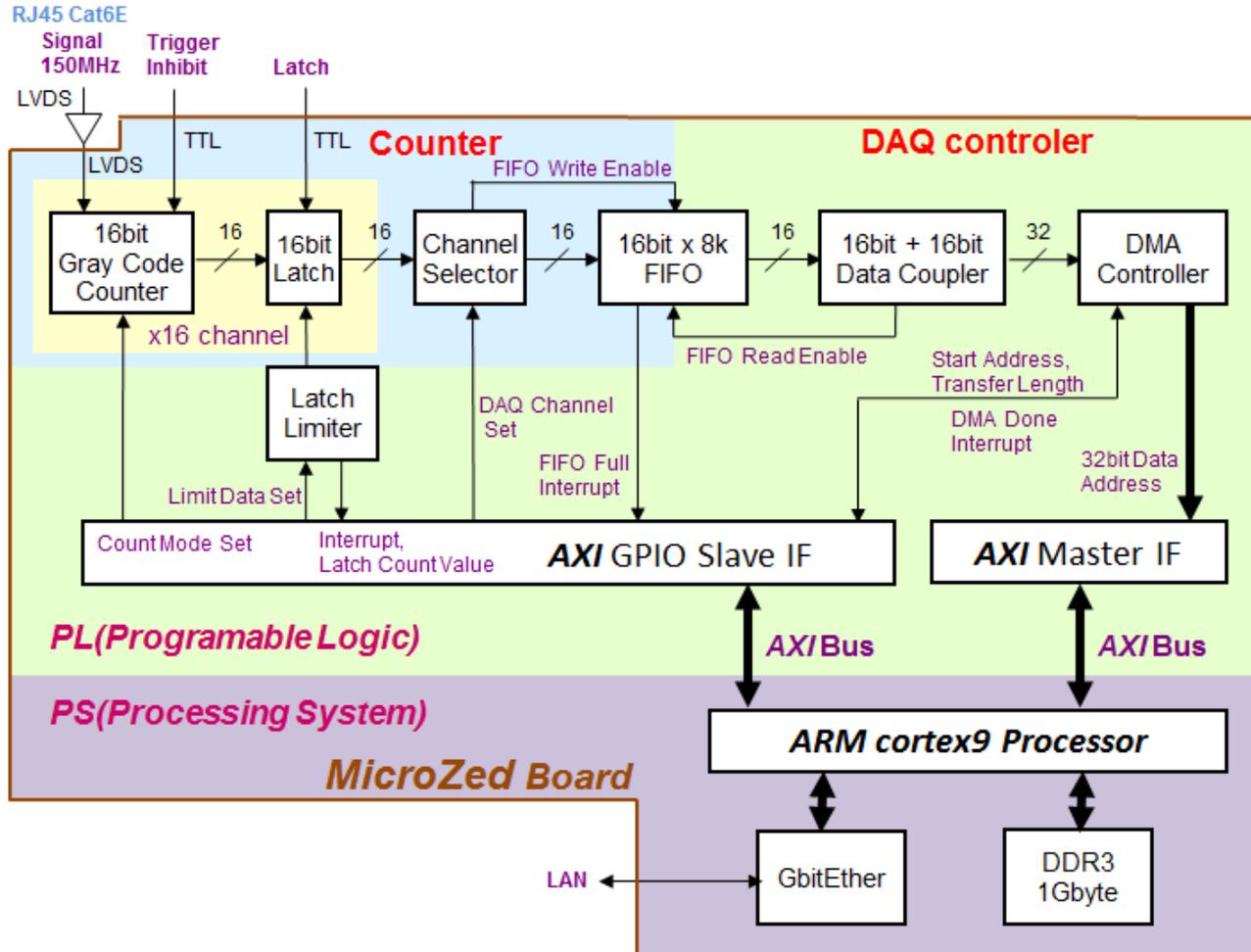


Atmark Techno's
Suzaku-S



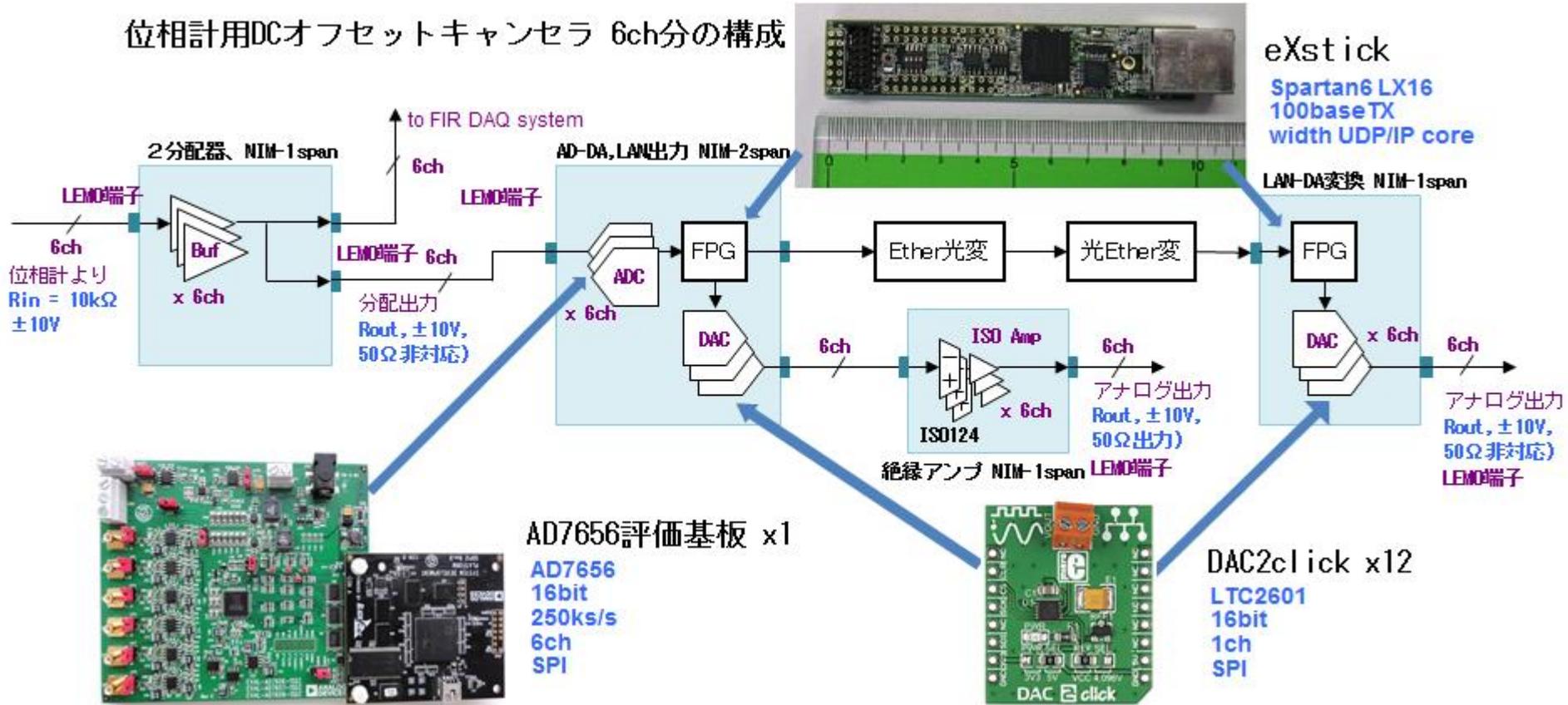
ラッチング・スケーラ

- 外部からのラッチタイミングで、期間内の入力パルスを計数



FIR干渉計(位相計)

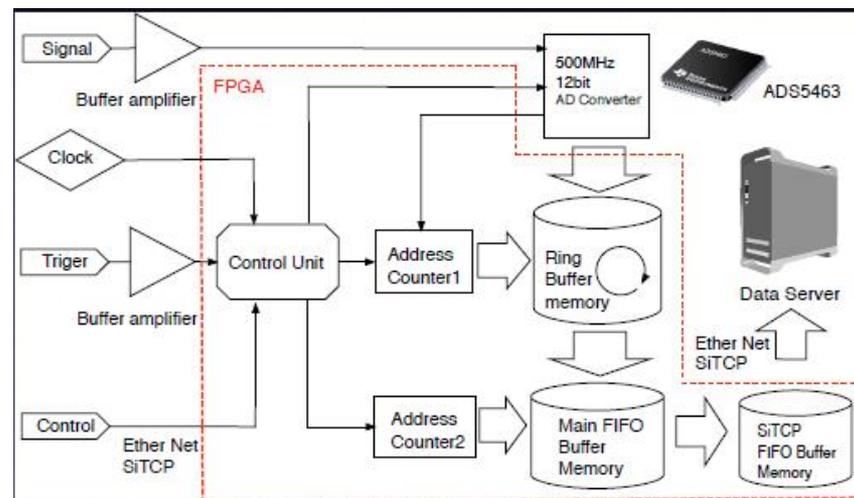
位相計用DCオフセットキャンセラ 6ch分の構成



高速Nd:YAGトムソン散乱計測ADC (HYADC)

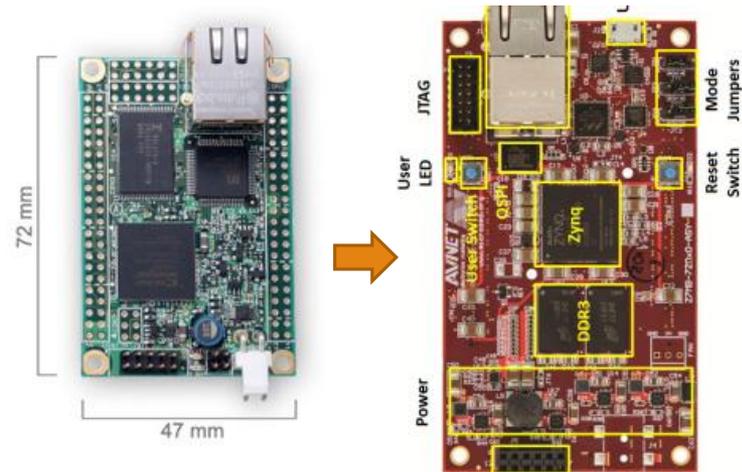
- YAGトムソン散乱光信号波形をパイプライン方式ADCで高速変換する「HYADC」開発（京大他との共同研究）
 - 従来の電荷積分型ADCに比べて数10倍のS/N比改善
 - 電荷積分型→高速ADCにより感度も改善（数1000光子→数10光子）
 - リアルタイムでの背景光信号除去が可能
⇒ マルチパルス・トムソン散乱計測に有効

- データ送出部に、SiTCPを実装。GbE帯域の95%を利用可能



今後の展望

- Xilinx Zynq MicroZedボードを組込用標準プラットフォームに想定
 - ✓ 1GB DRAM搭載
 - ✓ GbEポート・USB2.0ポート搭載
 - ✓ Micro SD カードI/F
 - ✓ 100ピンUser I/Oヘッダ
 - ✓ Linux runnable
 - ✓ 57mm x 101.6mm
 - ラッチングステーラ開発に導入中



- DTS変調器の最新FPGAプラットフォーム移植
 - ✓ 復調器は、Atmark Techno製SUZAKU-S (Spartan-3E)へ移植済だが、MicroZedへの再移植がそろそろ必要
 - ✓ できれば単なる最新プラットフォームへの移植ではなく、IEEE1588拡張のWhite Rabbitを導入、100MHz化を図りたい。
- 高位合成(C言語ベース?)への取り組み

CERN's White Rabbit

- Synchronous Ethernet、Precision Time Protocol (PTP)ベース
- GbEベースでナノ秒クラスの同期精度
- Ethernetの長所(拡張性と柔軟性、技術信頼度、標準仕様)
- 計測ノードの高精度時間同期にITERでも適用を検討している
- イベント(トリガー)の配信機能がない → 仕様拡張を模索

