

ソフト屋がXilinx zynq-7000を さわってみた ～体験記～

千代浩司(せんだいひろし)

高エネルギー加速器研究機構

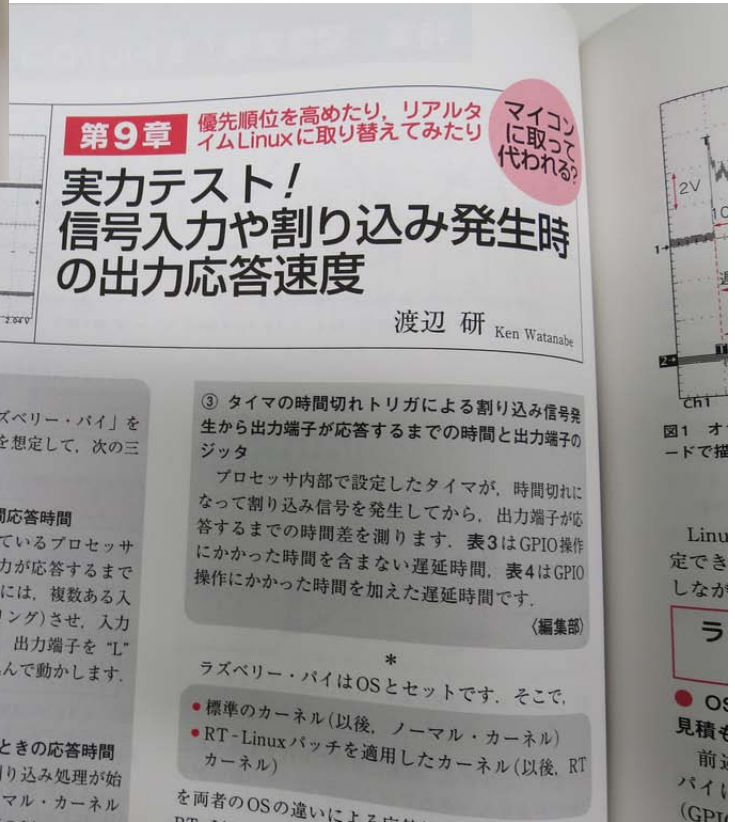
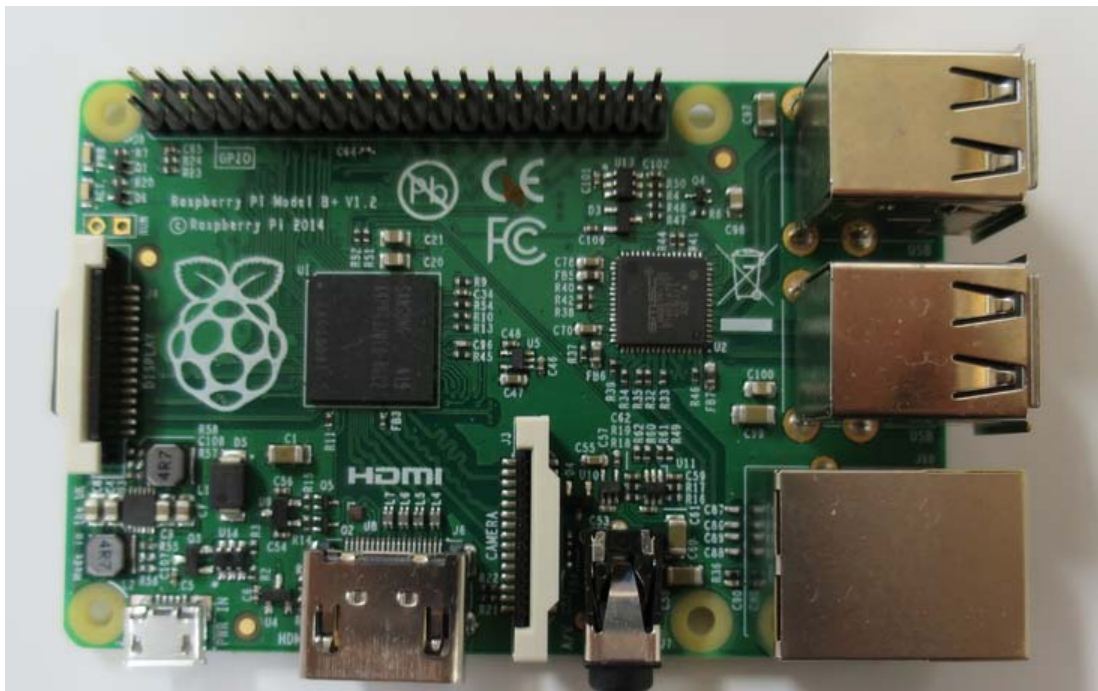
素粒子原子核研究所

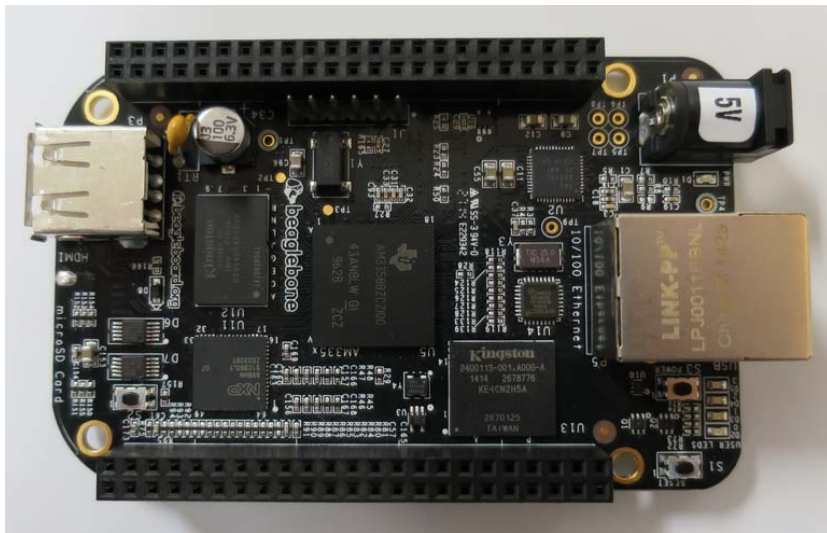
Who Am I

- 高エネルギー加速器研究機構 (KEK)
素粒子原子核研究所 技術職員 (前任技師)
- ILC(物理)サーバー運用など
- 実験データ収集システム関連
 - ネットワークスイッチテスト
 - DAQ-Middleware (<http://daqmw.kek.jp/>)
- KEK職員数
教員: 356、技術職員: 167、事務職員: 160









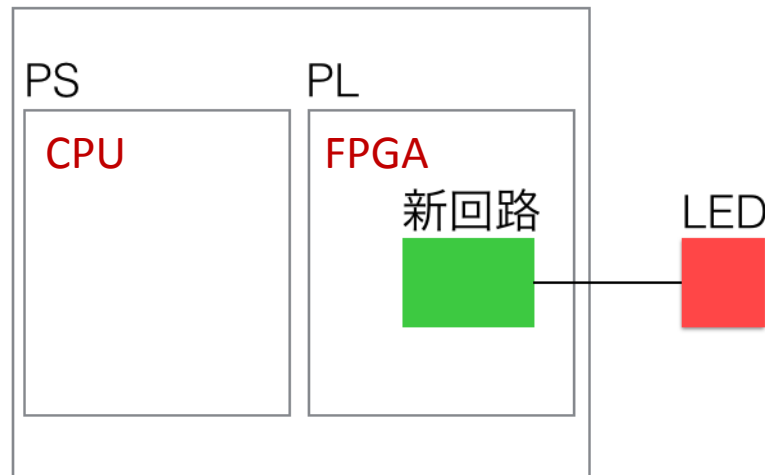
BeagleBone Black

- 512MB DDR3 RAM
- 4GB 8-bit eMMC on-board flash storage
- 3D graphics accelerator
- NEON floating-point accelerator
- 2x PRU 32-bit microcontrollers
- Ethernet
- 2x 46 pin headers

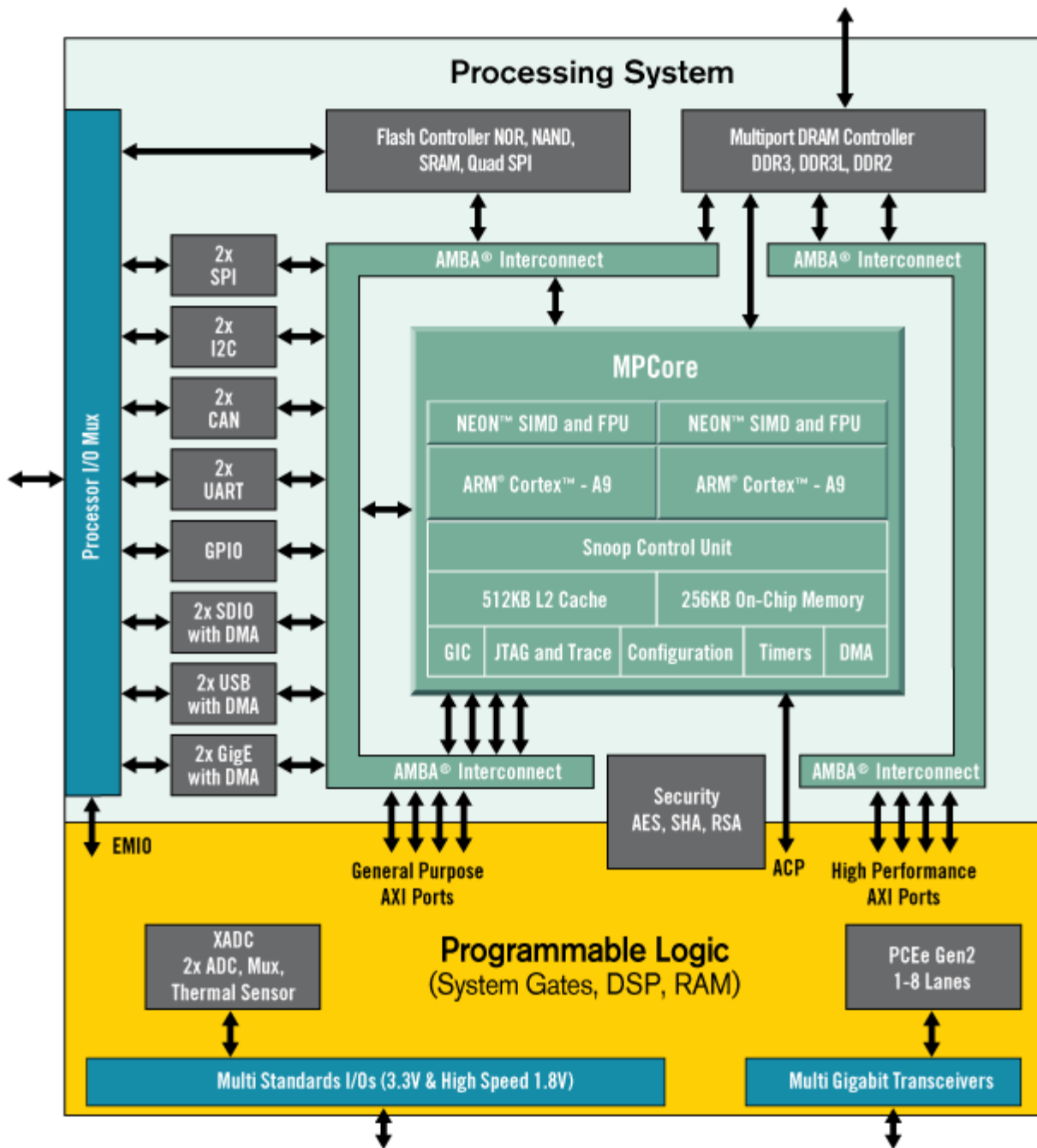
Zynq

- CPU (ARM) + FPGA
- ARMでLinuxを動かし、LinuxからFPGAを使う
 - 外部の電子部品を制御
 - 電子部品と接続しないでハード的に高速処理

Zynqチップ

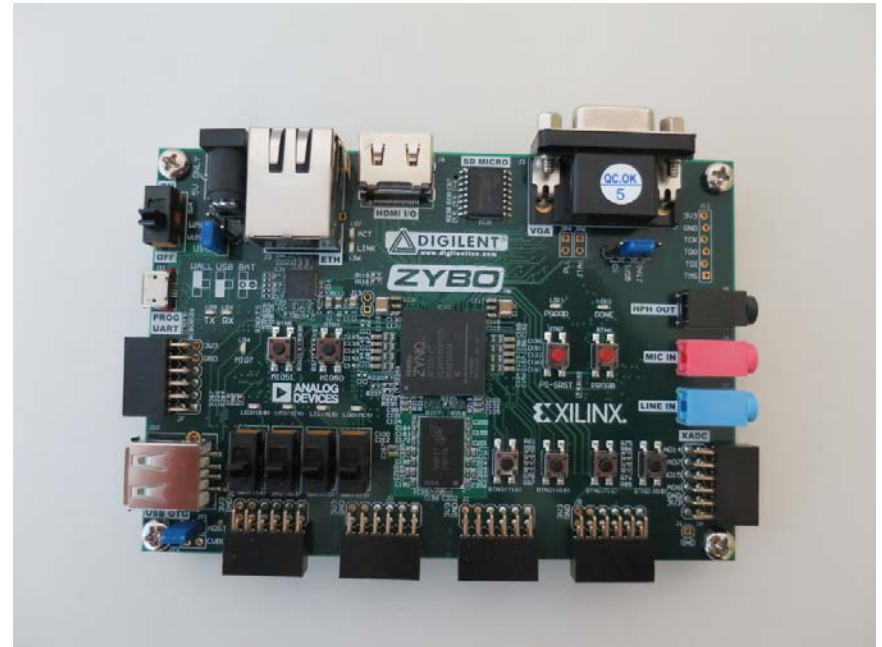
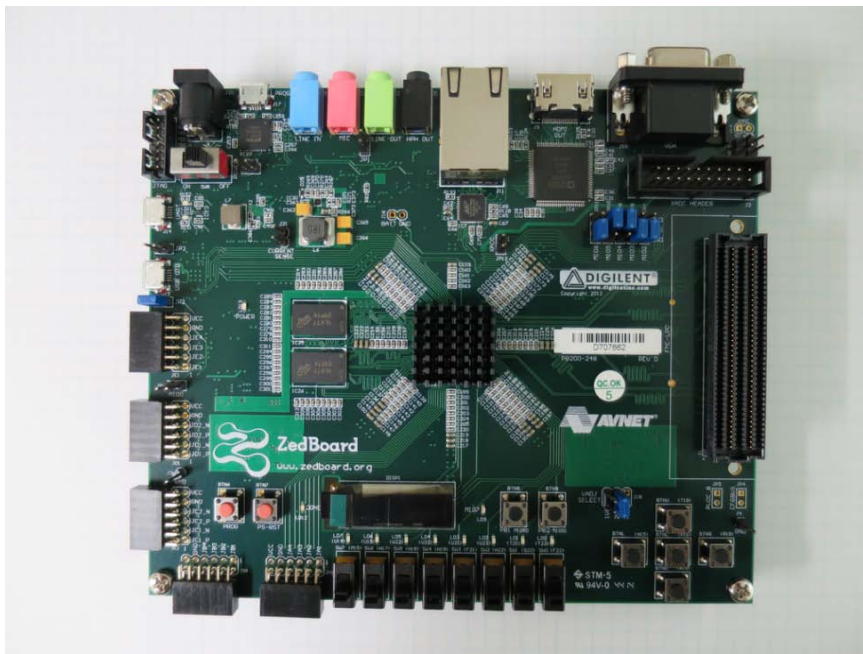


<http://yuki-sato.com/wordpress/wp-content/uploads/2015/01/Screen-Shot-2015-01-11-at-19.19.44.png>



zynq評価ボード

- zybo (25000円くらい)
- zedboard (50000円くらい)



ファイル名 編集(B) 表示(O) 履歴(S) ブックマーク(B) ツール(T) ヘルプ(H)

ZYBO Zynq-7000 評価ボード... x ZYBO Zynq-7000 Development... x

skid.kenichi.com/catalog/g/M-07740/

商品カタログ | 新商品 | お知らせ | 注文方法 | 問い合わせ | よくある質問 | ダウンロード | トラバ報告(PDF) | 配送状況確認 | ログイン

トップ > 目的別 > 試作・実験・開発関連 > ZYBO Zynq-7000 評価ボード



ZYBO Zynq-7000 評価ボード

[410-279P-KIT]
 過剰コード M-07740
 発売日 2014/06/09
 メーカーカテゴリ [DigiKey Inc.](#)

Xilinx社のZynq™-7000を使用した評価ボードです。Zynq-7000はチップの内部にデュアルコアのARM Cortex-A9を搭載した新しいシリーズです。PCとのUSB接続により書き込み等を行うことが出来ます。

◆搭載FPGA
 ・ZYNQ XC7Z010-1QLG400C
 ・ARM Cortex-A9デュアルコア 650MHz搭載
 ・DDR3メモリアダプタ
 ・ロジックセル x28000
 ・ルックアップテーブル(LUT) x17600
 ・ブロックRAM x240KB
 ・DSPスライス x80

◆ボード内容
 ・512MB x32ビット DDR3搭載
 ・デュアルレート HDMI搭載
 ・1.6ビット VGA搭載
 ・最大1Gbit Ethernet PHYチップ搭載
 ・MicroSDスロット搭載
 ・USB2.0 OTG PHYチップ搭載
 ・マイクフォンとオーディオライン用オーディオコーデック
 ・128Mb シリアルフラッシュメモリ
 ・オンボードUSB-JTAG書き込み機能

☆ Xilinx 社の [Vivado Design Suite - Design Edition] ソフトウェアライセンス(Voucher)をリーズナブルな価格で取り扱っております。[過剰コード S-C0426]

参考資料
 マニュアル
 仕様書

関連商品 > [PXC12F16E18E](#) / [HE / RX / Zynq-7000 / L6D / CPAMP / IR\(MFN PHP SMD\) / F410-1 / 抵抗 / 電源IC / LED3mm5mm 異型 SMD \(17-712\) / 異型電子部品 SMD \(DF13 変換 763\) / 6079777 / 17ピン / 1ピン / 接続 / 材料 / ケース / 基板 / 工作用品 / など](#)

[M-07740] ZYBO Zynq-7000 評価ボード AAA

1台 ¥24,700 (税込)

購入数量 1 台

カートに入れる

お急ぎの中身を
見る

ファイル名 編集(B) 表示(O) 履歴(S) ブックマーク(B) ツール(T) ヘルプ(H)

ZYBO Zynq-7000 評価ボード... x ZYBO Zynq-7000 Development... x

www.marutsu.co.jp/ep/1931493/

電子部品、半導体の調達、情報販売から製造受託のマルツオンライン

はじめてのお客へ > ご利用ガイド > お支払い/送料 > サイトマップ

marutsu マルツオンライン

通常 全品450円 送料について 6,000円以上 送料無料 Just Deliver 即日発送

新規会員登録 ログイン 会員登録 企業ID お問合せ

0商品が入っています 購入履歴 お気に入り マイページ

すべてのカテゴリ > zyo

商品検索

カテゴリ一覧を見る > 新商品 > 半導体 > 電子部品 > 電気部品・コネクタ

トップ > 開発ツール・電子工作キット > CPUボード > CPUボード > ZYBO Zynq-7000 Development Board

ZYBO Zynq-7000 Development Board [410-279P-KIT]

メーカー名: DigiKey
 型番: 410-279P-KIT

価格 ¥20,600 (税込)

在庫区分: 自社在庫品
 納期目安: 本日出荷
 在庫数・納期はこちらから
 お問合せ下さい

カートに入れる

お気に入り追加
 価格・価格・仕様を問い合わせる

データシート
 印刷ページ

いいね!

取得い/在庫店舗

お取寄せ承ります。 仙台上杉店 / 秋葉原本店 / 秋葉原2号店 / 静岡八幡店 / 浜松高林店 / 名古屋小田井店 / 金沢西インター店 / 福井の宮店 / 福井敦賀店 / 京都寺町店 / 大阪日本橋店 / 博多呉服町店

商品説明

Zyboは、ザイリンクスのZynq-7000ファミリー、Z-7010を中心に構築された豊富な機能を備えた、すぐに使用できる開発プラットフォームです。

※本体のみとなります。付属品はありませんので、別途ご用意ください。

デジタル電源制御マイコン
 評価基板

CHEWING GUM
 チューインガム

マルツパッケージ
 MAX10
 FPGA入門基板
 好評発売中

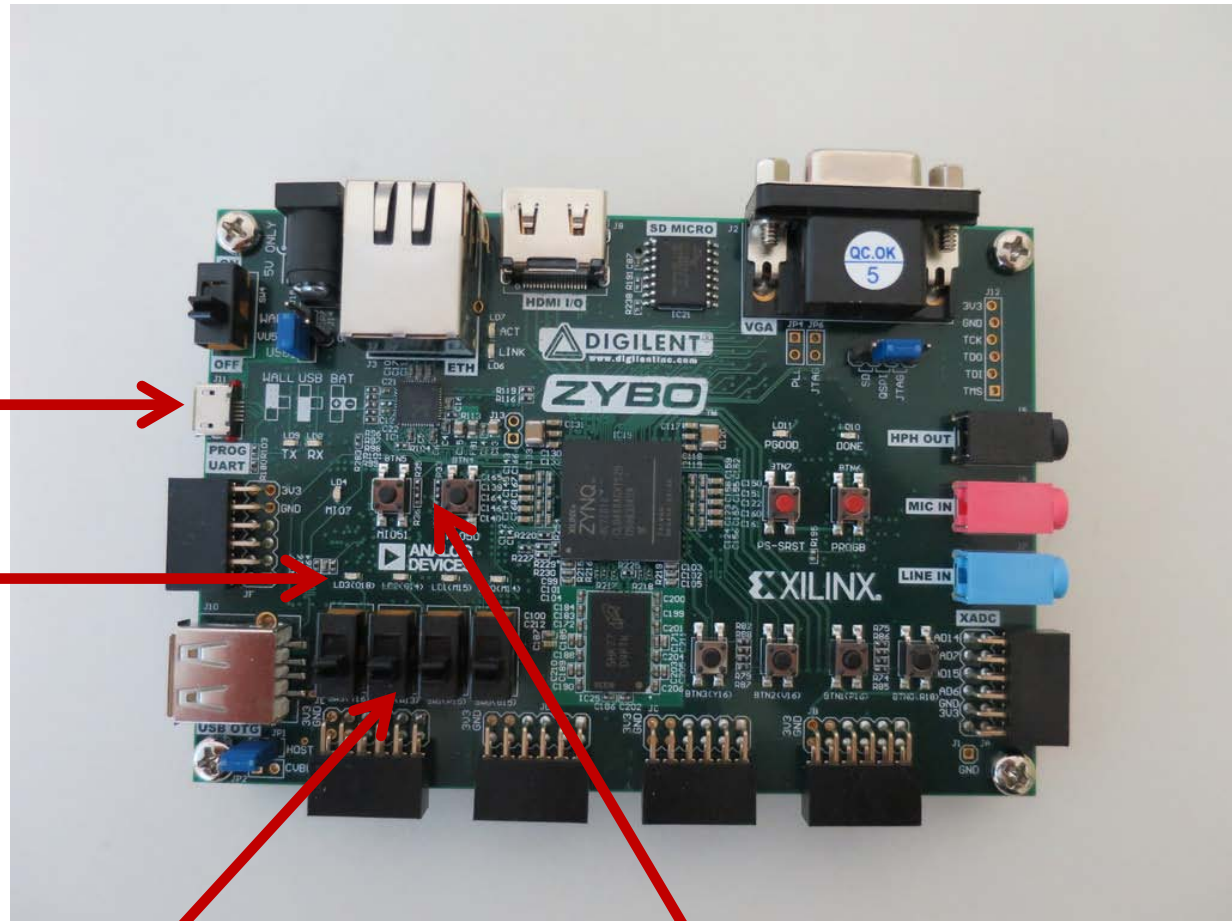
- Xilinx Zynq-7000 (XC7Z010-1CLG400C)
- 28,000 logic cells
- 240 KB Block RAM
- 80 DSP slices
- On-chip dual channel, 12-bit, 1 MSPS analog-to-digital converter (XADC)
- 650 MHz dual-core Cortex™-A9 processor
- On-board JTAG programming and UART to USB converter
- DDR3 memory controller with 8 DMA channels
- 512 MB x32 DDR3 w/ 1050Mbps bandwidth
- 128 Mb Serial Flash w/ QSPI interface
- microSD slot (supports Linux file system)
- High-bandwidth peripheral controllers: 1G Ethernet, USB 2.0, SDIO
- Low-bandwidth peripheral controller: SPI, UART, I2C
- Dual-role (Source/Sink) HDMI port
- 16-bits per pixel VGA output port
- Trimode (1Gbit/100Mbit/10Mbit) Ethernet PHY
- OTG USB 2.0 PHY (supports host and device)
- External EEPROM (programmed with 48-bit globally unique EUI-48/64™ compatible identifier)
- Audio codec with headphone out, microphone and line in jacks
- GPIO: 6 pushbuttons, 4 slide switches, 5 LEDs
- Six Pmod Ports (1 processor-dedicated, 1 dual analog/digital)

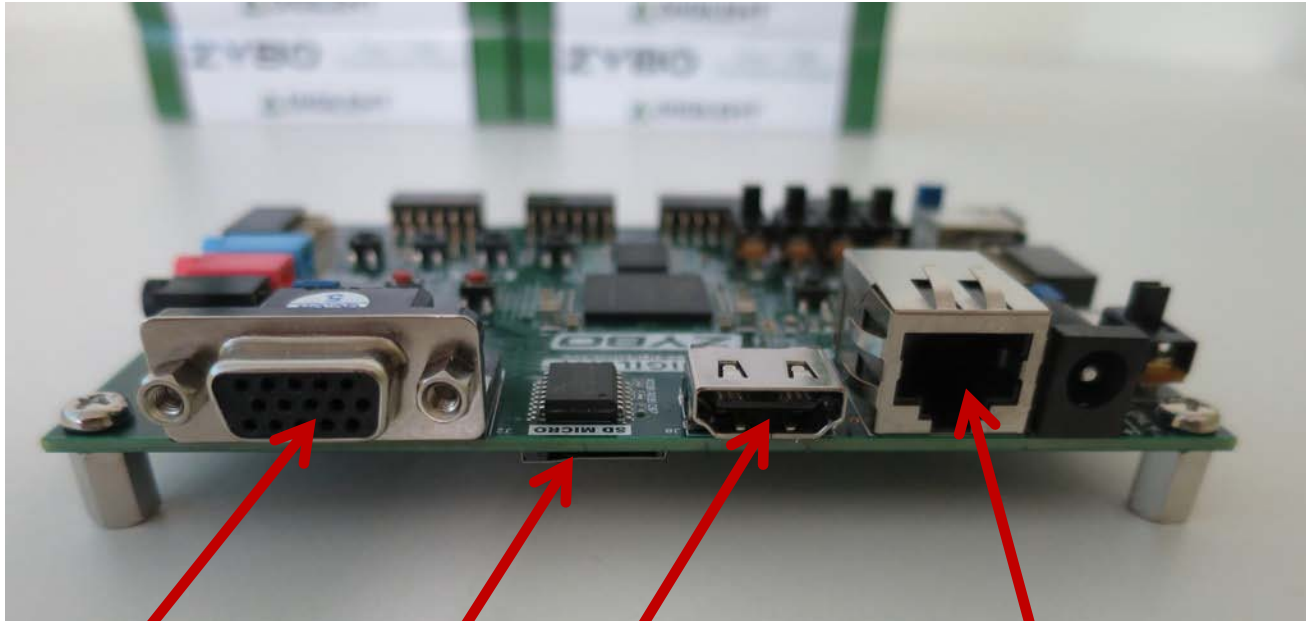
マイクロUSB
電源、UART、
JTAG

LED

スライドスイッチ

プッシュスイッチ





VGA

microSD

HDMI

1GbE

ツールキット2種ためしてみた

- xillinux <http://xillybus.com/xillinux>
 - 製品
 - 製品版そのもののデモ版がある
 - CPU部分でUbuntu 12.04 がうごく
- Xilinx University Program
<https://japan.xilinx.com/support/university/vivado/vivado-workshops/Vivado-embedded-design-flow-zynq.html>
 - CPUはOSなしで動かす

Xilinx (1)

1. <http://xillybus.com/downloads/xilinx-eval-zybo-1.3c.zip>
<http://xillybus.com/downloads/xilinx-1.3.img.gz> をダウンロード
2. xilinx-1.3.img.gzをgzip -dで伸長してmicroSDカードにddコマンドでべた書き
3. xilinx-eval-zybo-1.3c.zipを展開してxillydemo.bitを作る。これがないと起動しない。Vivadoが必要。作り方：
http://xillybus.com/downloads/doc/xillybus_getting_started_zybo.pdf
4. xillydemo.bitをmicroSDカードに書く。
5. 起動。VGA, シリアルコンソールでUbuntuが起動してくる。ネットワークの設定をするとsshでもログイン可。

xilinx (2)

6. 起動

- FPGAになにもしない回路がはいっている
- それ用のLinux デバイスファイル

```
/dev/xillybus_audio  
/dev/xillybus_mem_8  
/dev/xillybus_read_32  
/dev/xillybus_read_8  
/dev/xillybus_smb  
/dev/xillybus_write_32  
/dev/xillybus_write_8
```


xilinx (3)

7. /root/xillybus/demoapps で makeすると

fifo

memread

memwrite

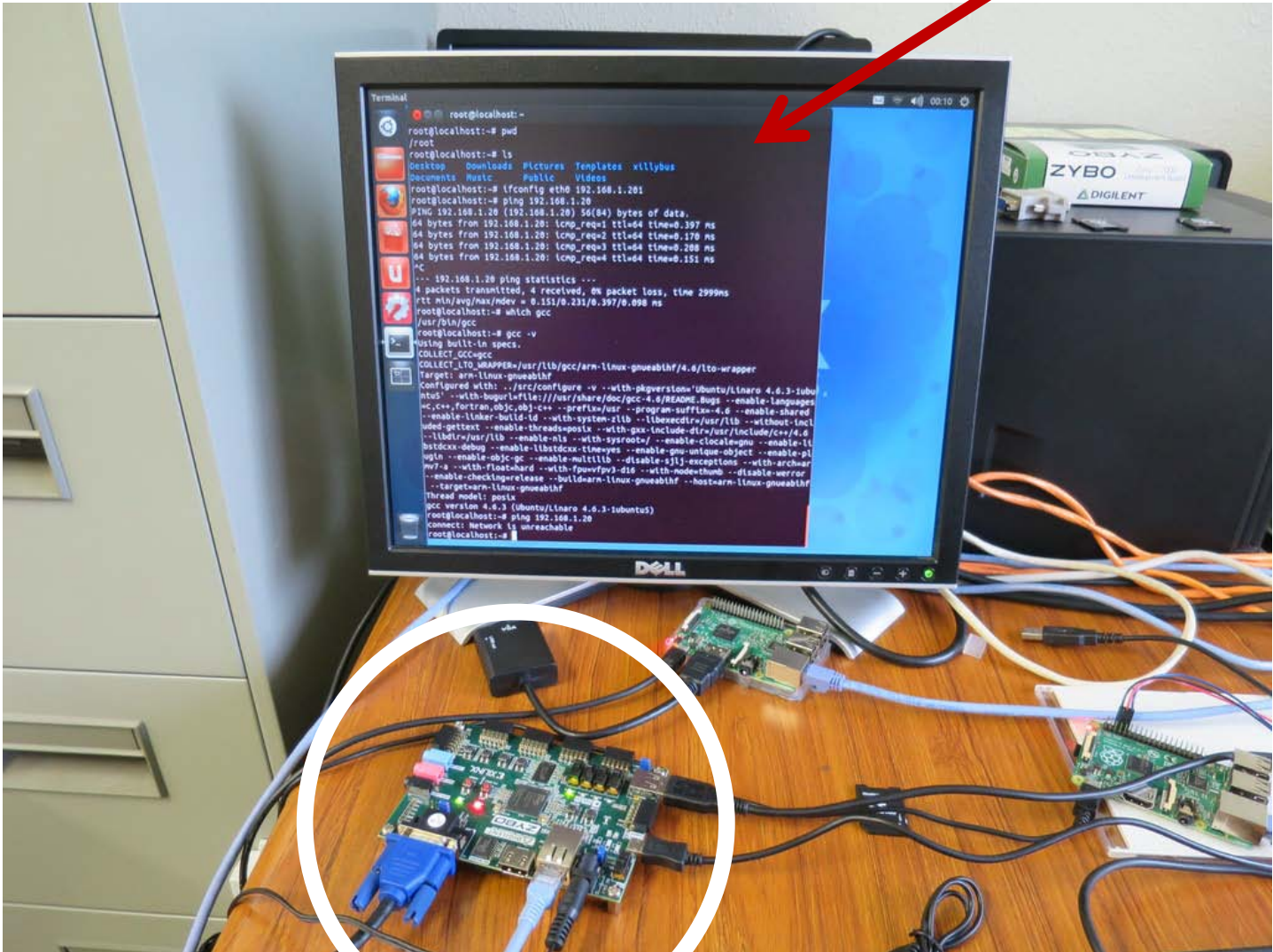
streamread

streamwrite

というプログラムができる



Ubuntu 12.04



USBシリアルポートからアクセス

```
ubuntu 12.04 LTS localhost.localdomain ttyPS0
localhost login: root (automatic login)
Last login: Thu Jan  1 00:00:06 UTC 1970 on tty1

The programs included with the Ubuntu system are free software;
the exact distribution terms for each program are described in the
individual files in /usr/share/doc/*/copyright.

Ubuntu comes with ABSOLUTELY NO WARRANTY, to the extent permitted by
applicable law.

Welcome to the Killlinux distribution for Zynq-7000 EPP.

You may communicate data with standard FPGA FIFOs in the logic fabric by
writing to or reading from the /dev/xillybus * device files. Additional
pipe files of that sort can be set up by configuring and downloading a
custom IP core from Xillybus' web site (at the IP Core Factory).

For more information: http://www.xillybus.com.

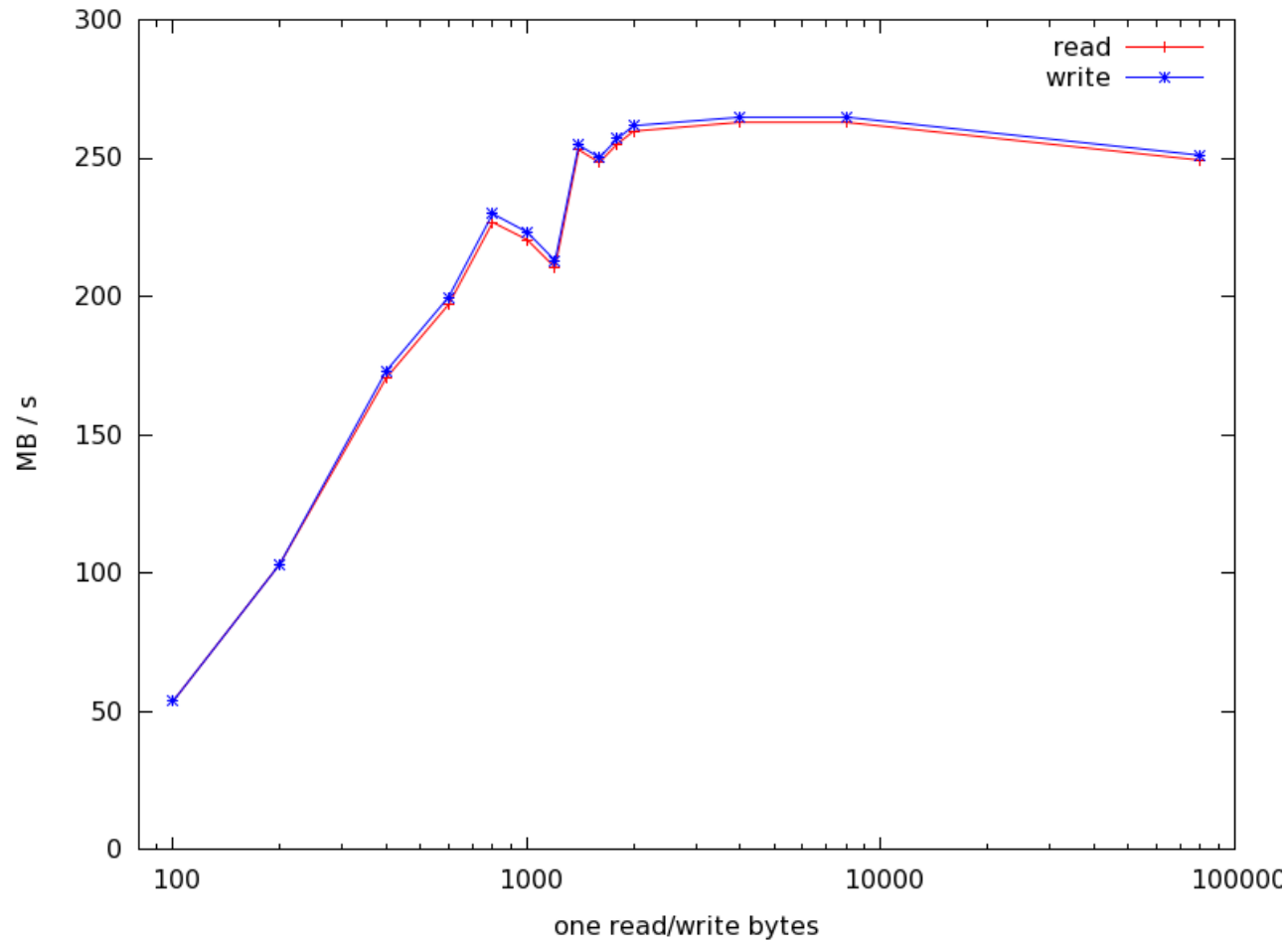
To start a graphical X-Windows session, type "startx" at shell prompt.

root@localhost:~# █
0 zsh
```

xilinx (4)

端末を2個ひらいて

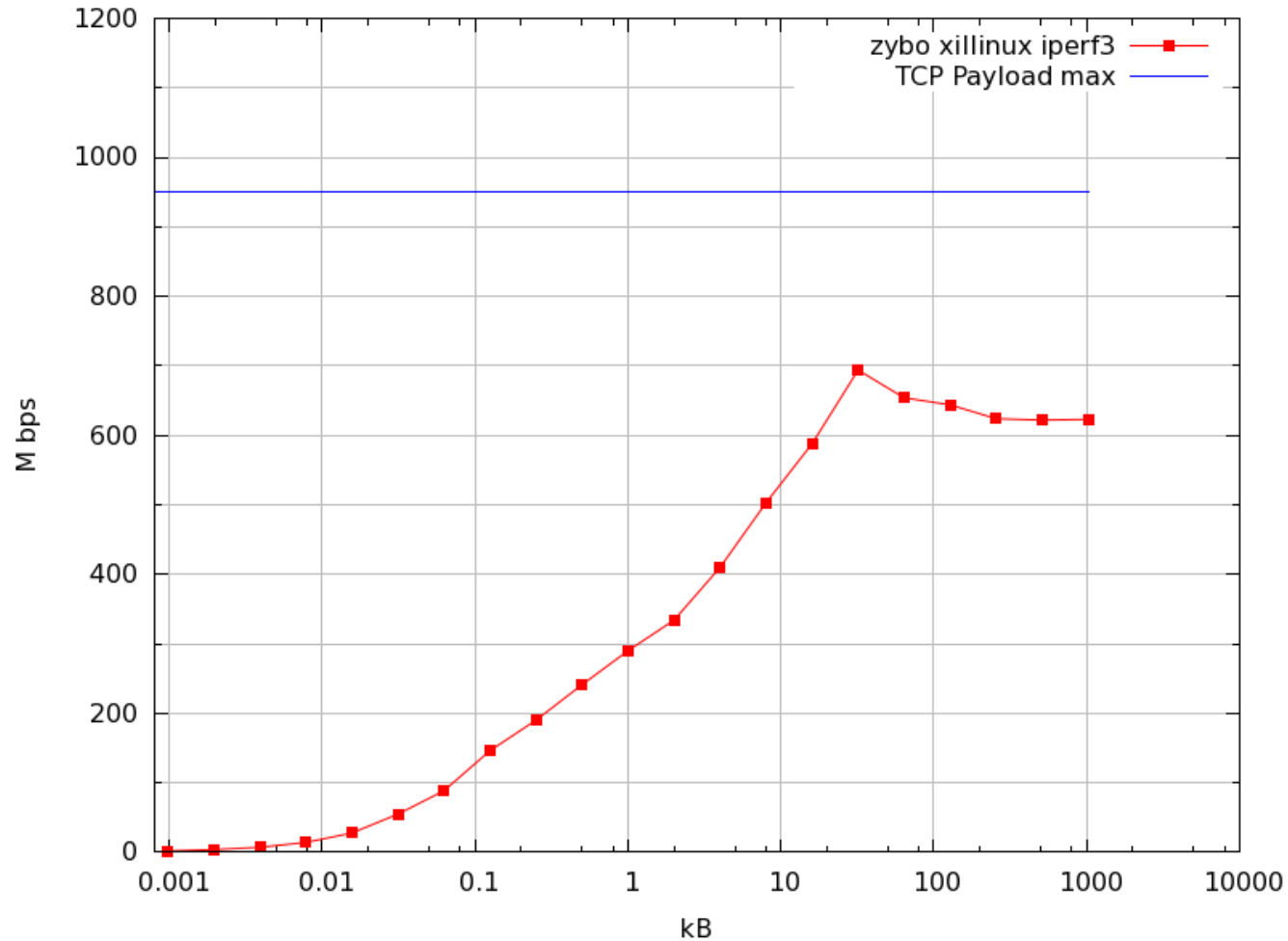
- `./streamread /dev/xillybus_read_32` (32bitで読み出し)
- `./streamwrite /dev/xillybus_write_32` とすると端末読み出し状態になり
- ARM → FPGA → ARMとデータが流れる。
- この例では32ビット読み出しなので4回キーを押すとread側端末に表示される。



/dev/xillybus_read_32, /dev/xillybus_write_32をつうじてデータを書き、読むプログラムを書いて測定。一度に書く大きさを変えて測定。

TCP/IP (FPGAは使っていない)

iperf3: zybo → PC



Xilinx University Program

- <https://japan.xilinx.com/support/university/vivado/vivado-workshops/Vivado-embedded-design-flow-zynq.html>
- OSなしにCPUを使う例題
- Day 1
 - Lab 1: Simple Hardware Design
 - Lab 2: Adding Peripherals in Programmable Logic
 - Lab 3: Creating and Adding Your Own Custom IP
- Day 2
 - Lab 4: Writing Basic Software Applications (このへんでLEDチカチカできるようになる)
 - Lab 5: Software Debugging Using SDK

Scientific Linux 7.2 (64ビット) 上にVivado SDKをセット (1)

2016.1 および 2016.2サポートOS

Windows 7 および 7 SP1 Professional (64 ビット)、英語版/日本語版

Windows 8.1 Professional (64 ビット)、英語版/日本語版

Windows 10 Professional (64 ビット)、英語版/日本語版

Red Hat Enterprise Workstation 5.11 (64 ビット)

Red Hat Enterprise Workstation 6.6 ~ 6.7 (64 ビット)

Red Hat Enterprise Workstation 7.0 ~ 7.1 (64 ビット 注:7から64ビットのみ)

SUSE Linux Enterprise 11.3 および 12.0 (64 ビット)

Cent OS 6.7 および 7.1 (64 ビット 注:7から64ビットのみ)

Ubuntu Linux 14.04.4 LTS (64 ビット)

とくに困難はないが、セットアップ途中で複数コアを100%使う(使いすぎ)

Vivado HL System Edition



Customize your installation by (de)selecting items in the tree below. Moving cursor over selections below provide additional information.

Vivado HL System Edition is a superset of Vivado HL Design Edition with the addition of System Generator for DSP. Complete device support, cable drivers and Documentation Navigator are included. Users can optionally add the Software Development Kit to this installation.

Design Tools

- Vivado Design Suite
- Software Development Kit (SDK)
- DocNav

Devices

- SoCs
 - Zynq-7000
 - Zynq UltraScale+ MPSoC
- 7 Series
- UltraScale
- UltraScale+

Installation Options

- NOTE: Cable Drivers are not installed on Linux. Please follow the instructions in UG973 to install Linux cable drivers
- Acquire or Manage a License Key
- Enable WebTalk for Vivado to send usage statistics to Xilinx (Always enabled for WebPACK license)
- Enable WebTalk for SDK to send usage statistics to Xilinx

Download Size: 9.1 GB
Disk Space Required: 40.65 GB

[Reset to Defaults](#)

Copyright © 1986-2016 Xilinx, Inc. All rights reserved.

[< Back](#) [Next >](#) [Cancel](#)

Select Destination Directory



Choose installation options such as location and shortcuts.

Installation Options

Select the installation directory

/opt/Xilinx

Installation location(s)

/opt/Xilinx/Vivado/2016.2

/opt/Xilinx/Vivado_HLS/2016.2

/opt/Xilinx/SDK/2016.2

/opt/Xilinx/DocNav

Download location

/opt/Xilinx/Downloads/Vivado_2016.2

Disk Space Required

Download Size: 9.1 GB

Disk Space Required: 40.65 GB

Disk Space Available: 311.21 GB

Select shortcut and file association options

Create program group entries

Xilinx Design Tools

Create desktop shortcuts



Installation Summary

Edition: Vivado HL System Edition

Devices

- SoCs (Zynq-7000, Zynq UltraScale+ MPSoC)
- 7 Series (Artix-7, Kintex-7, Virtex-7)
- UltraScale (Kintex UltraScale, Virtex UltraScale)
- UltraScale+ (Kintex UltraScale+, Virtex UltraScale+)

Design Tools

- Vivado Design Suite (Vivado, System Generator for DSP, Vivado High Level Synthesis)
- Software Development Kit (SDK)
- DocNav

Installation Options

- Enable WebTalk for SDK to send usage statistics to Xilinx
- Enable WebTalk for Vivado to send usage statistics to Xilinx (Always enabled for WebPACK license)
- Acquire or Manage a License Key

Installation location

- /opt/Xilinx/Vivado/2016.2
- /opt/Xilinx/Vivado_HLS/2016.2
- /opt/Xilinx/SDK/2016.2
- /opt/Xilinx/DocNav

Download location

- /opt/Xilinx/Downloads/Vivado_2016.2

Disk Space Required

- Download Size: 9.1 GB
- Disk Space Required: 40.65 GB



Copyright © 1986-2016 Xilinx, Inc. All rights reserved.

Preferences

< Back

Install

Cancel

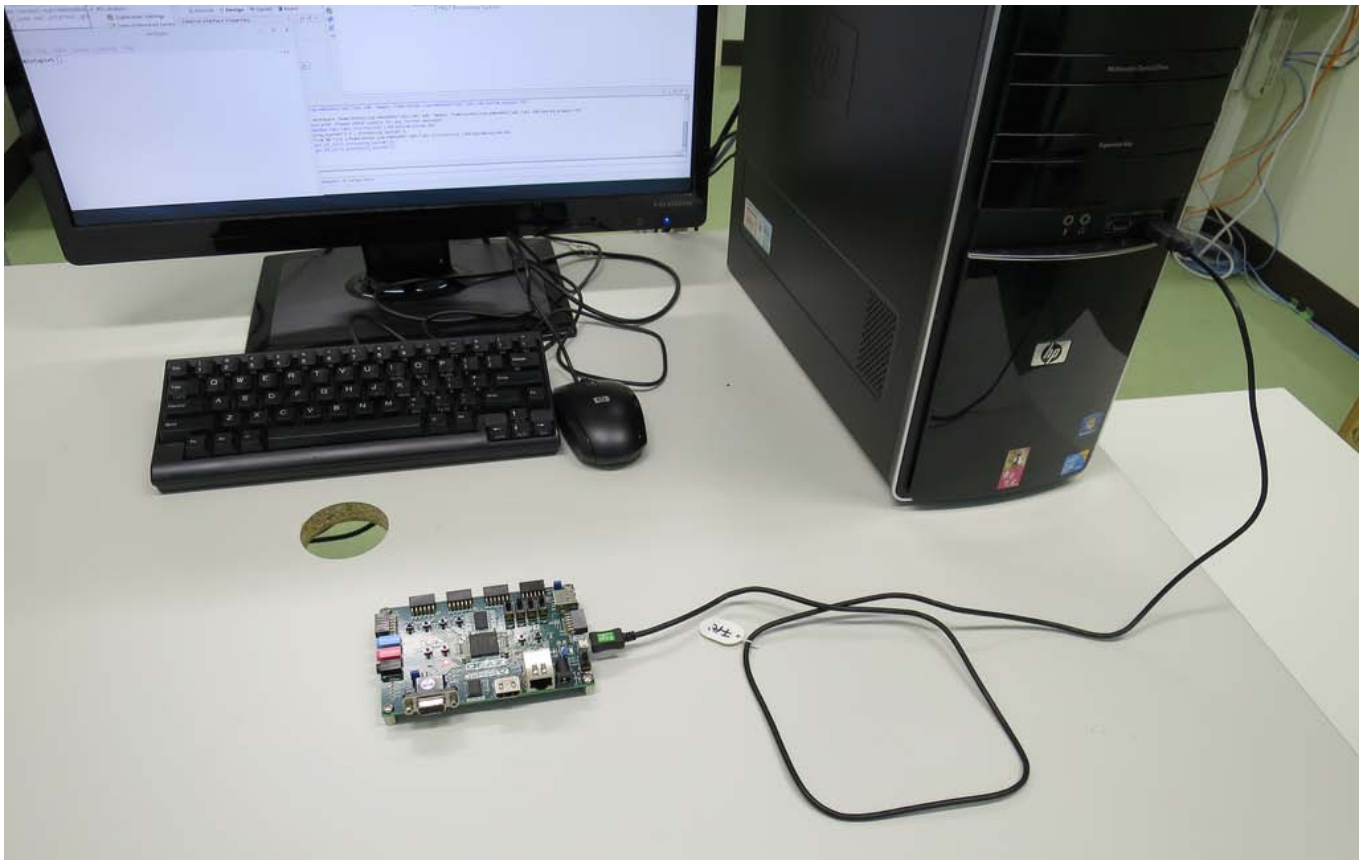
Scientific Linux 7.2 (64ビット) 上にVivado SDKをセット (2)

- 以下のディレクトリができる

```
/opt/Xilinx/Vivado  
/opt/Xilinx/SDK  
/opt/Xilinx/.xinstall  
/opt/Xilinx/Vivado_HLS  
/opt/Xilinx/Downloads  
/opt/Xilinx/DocNav  
/opt/Xilinx/xic  
/opt/Xilinx/Vivado_Lab
```

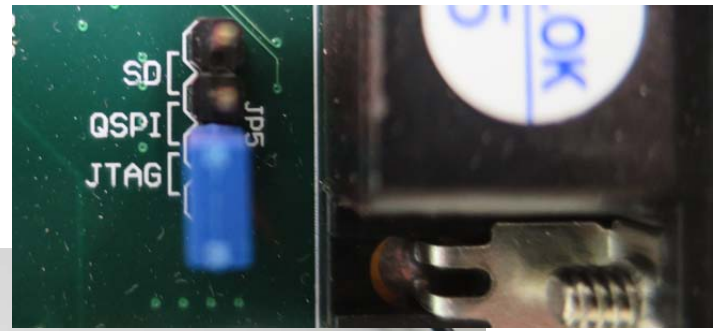
- \$HOME/.bashrc (使うシェルで違う) に追加:

```
source /opt/Xilinx/Vivado/2016.2/settings64.sh  
export XILINXD_LICENSE_FILE=ライセンスサーバ  
(ライセンスサーバがあるのでそれを使った。個々にライセンスを取得することも可能)
```



PCとの接続はUSBケーブルのみ

- 電源供給
- CPUからの出力 (RS232C)
- JTAGダウンロード



JTAGで書けるようにするドライバが必要

Scientific Linux 7.2 (64ビット)での設定

- JTAGでデータをダウンロードできるようにする
 - Digilentサイト
<https://reference.digilentinc.com/reference/software/adept/start> から
digilent.adept.runtime-2.16.5.x86_64.rpm
digilent.adept.utilities-2.2.1.x86_64.rpm
を取得して `yum localinstall digilent*.rpm`
- SDKで32ビットライブラリが必要
 - `yum install zlib.i686`
 - `yum install libstdc++.i686`

Vivado: FPGA (1)

The screenshot displays the Vivado 2016.2 IDE interface for a project named 'lab1'. The main window is titled 'lab1 - [/home/sendai/xup/embedded/lab1/lab1.xpr] - Vivado 2016.2'. The interface is divided into several panes:

- Project Manager:** Shows the project structure with 'system_wrapper - STRUCTURE' selected.
- Project Summary:** Displays project settings such as Project name (lab1), Project location (/home/sendai/xup/embedded/lab1), Product family (Zynq-7000), and Target language (VHDL).
- Board Part:** Shows board information including Display name (Zybo), Board part name (digilentinc.com:zybo:part0:1.0), and Repository path.
- Synthesis:** Shows synthesis status as 'Not started' with 'No errors or warnings'.
- Implementation:** Shows implementation status as 'Not started' with 'No errors or warnings'.
- Design Runs:** A table listing design runs with columns for Name, Constraints, Status, WNS, TNS, WHS, THS, TPWS, Failed Routes, LUT, FF, BRAM, URAM, DSP, Start, and Elapsed.

Name	Constraints	Status	WNS	TNS	WHS	THS	TPWS	Failed Routes	LUT	FF	BRAM	URAM	DSP	Start	Elapsed
synth_1	constrs_1	Not started													
impl_1	constrs_1	Not started													

The bottom status bar shows 'Design Runs' as the active tab, with other tabs like 'Tcl Console', 'Messages', 'Log', and 'Reports' visible.

FPGA: Vivado (2)

me/sendai/xup/u/lab4/lab4.xpr] - Vivado 2016.2

Wed 26 Oct, 11:38

lab4 - [/home/sendai/xup/u/lab4/lab4.xpr] - Vivado 2016.2

write_bitstream Complete

Block Design - system *

Design

- system
 - External Interfaces
 - Interface Connections
 - Ports
 - Nets
 - axi_bram_ctrl_0 (AXI BRAM Controller:4.0)
 - axi_bram_ctrl_0_bram (Block Memory Generator:8.3)
 - buttons (AXI GPIO:2.0)
 - led_ip_0 (led_ip_v1.0:1.0)
 - processing_system7_0 (ZYNQ7 Processing System:5.5)
 - processing_system7_0_axi_periph
 - rst_processing_system7_0_100M (Processor System Re
 - switches (AXI GPIO:2.0)

Source File Properties

system.bd

Enabled

Location: /home/sendai/xup/u/lab4/lab4.srscs/sou

Type: Block Designs

Part: xc7z010clg400-1

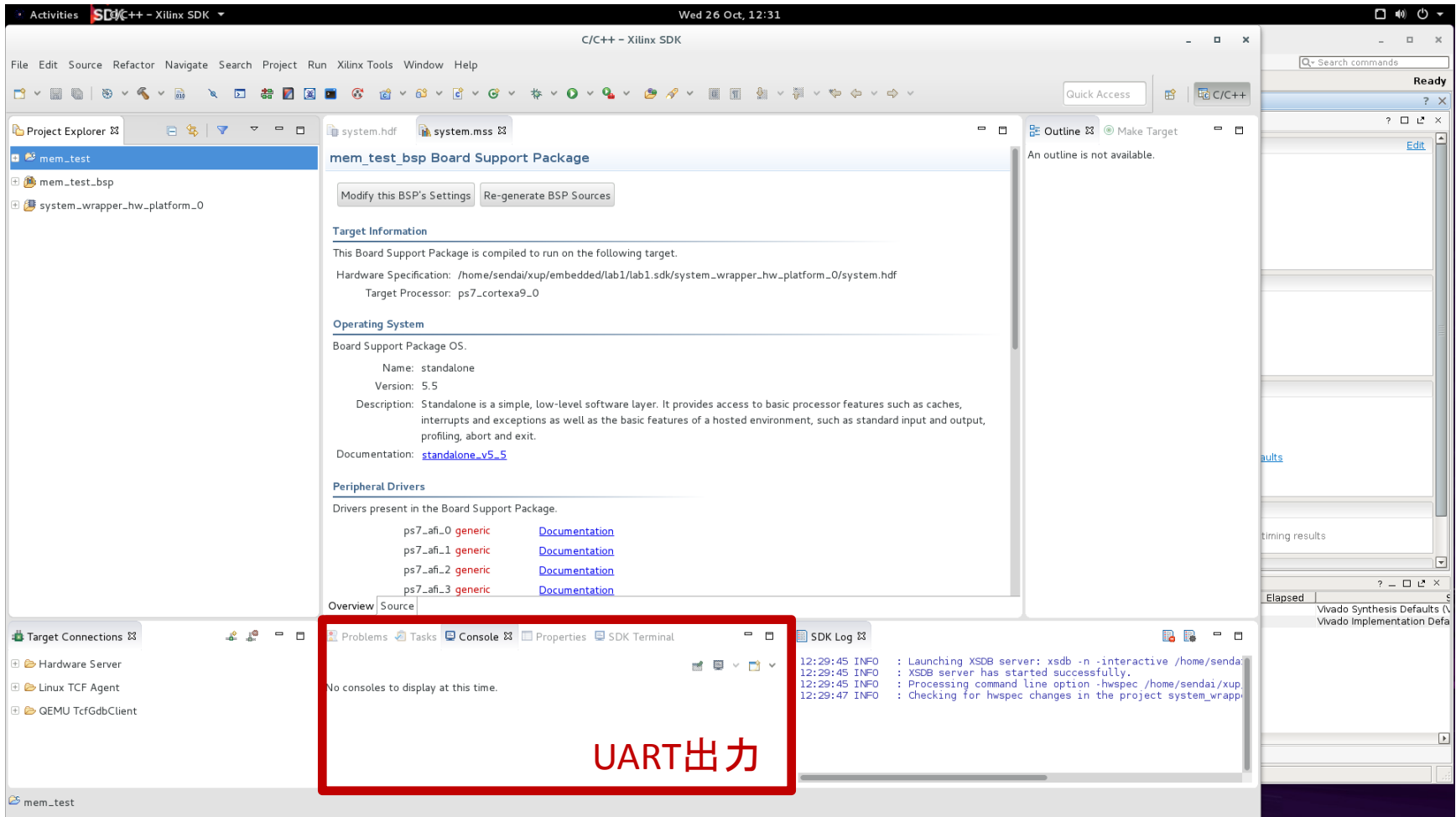
Size: 97.4 KB

Tcl Console

```
Adding cell -- xilinx.com:ip:axi_bram_ctrl:4.0 - axi_bram_ctrl_0
Adding cell -- xilinx.com:ip:blk_mem_gen:8.3 - axi_bram_ctrl_0_bram
Adding cell -- xilinx.com:ip:axi_crossbar:2.1 - xbar
Adding cell -- xilinx.com:ip:axi_protocol_converter:2.1 - auto_pc
Adding cell -- xilinx.com:ip:axi_protocol_converter:2.1 - auto_pc
Adding cell -- xilinx.com:ip:axi_protocol_converter:2.1 - auto_pc
Adding cell -- xilinx.com:ip:axi_protocol_converter:2.1 - auto_pc
Adding cell -- xilinx.com:ip:axi_protocol_converter:2.1 - auto_pc
Successfully read diagram <system> from BD file </home/sendai/xup/u/lab4/lab4.srscs/sources_1/bd/system/system.bd>
open_bd_design: Time (s): cpu = 00:00:11 ; elapsed = 00:00:09 . Memory (MB): peak = 6047.855 ; gain = 71.836 ; free physical = 1147 ; free virtual = 2585
regenerate_bd_layout
```

Sub-block: processing_system7_0_axi_periph

SDK



ダウンロード、起動

The screenshot shows the Xilinx IDE interface. The main window displays the 'mem_test_bsp Board Support Package' configuration page. The 'Target Information' section indicates the hardware specification and target processor. The 'Operating System' section shows the board support package OS is 'standalone'. The 'Peripheral Drivers' section lists several drivers. A red callout box points to the console window, which displays the error message: '<terminated> mem_test.elf [Xilinx C/C++ application (GDB)] /home/sendai/xup/embedded/lab1/lab1.sdk/mem... Process STDIO not connected to console. If you'd like to see UART output in this console, please modify STDIO settings in the Pu...'. A red box highlights the text 'UART出力' (UART Output) in the console window. The SDK Log window shows the launch sequence of the XSDDB server and the completion of the processor reset.

Process STDIO not connected to console

UART出力

The screenshot displays the Xilinx SDK IDE interface. The main editor window shows the configuration for the 'mem_test_bsp Board Support Package'. Key details include:

- Target Information:** This Board Support Package is compiled to run on the following target.
Hardware Specification: /home/sendai/xup/embedded/lab1/lab1.sdk/system_wrapper_hw_platform_0/system.hdf
Target Processor: ps7_cortexa9_0
- Operating System:** Board Support Package OS.
Name: standalone
Version: 5.5
Description: Standalone is a simple, low-level software layer. It provides access to basic processor features such as caches, interrupts and exceptions as well as the basic features of a hosted environment, such as standard input and output, profiling, abort and exit.
- Peripheral Drivers:** Drivers present in the Board Support Package.
 - ps7_af1_0 generic [Documentation](#)
 - ps7_af1_1 generic [Documentation](#)
 - ps7_af1_2 generic [Documentation](#)
 - ps7_af1_3 generic [Documentation](#)
 - ps7_coresight_comp_0_coresightbs_dcf [Documentation](#)

The console window shows the execution of the following command and its output:

```
mistuple% sudo cu -l /dev/ttyUSB1
Connected.
--Starting Memory Test Application
NOTE: This application runs via a serial connection.
s will not be generated.
Testing memory region: ps7_d
Memory Controller: ps7_d
Base Address: 0x001
Size: 0x1FFF
32-bit test: PASSE
16-bit test: PASSE
8-bit test: PASSE
Testing memory region: ps7_r
Memory Controller: ps7_r
Base Address: 0xFFFB
Size: 0x000F
32-bit test: PASSE
16-bit test: PASSE
8-bit test: PASSE
--Memory Test Application Complete
```

A red arrow points from the console output to a text box at the bottom of the image.

別端末から/dev/ttyUSB1へRS232C通信するプログラムで接続
(図ではcuコマンドを利用)

The screenshot shows the Xilinx IDE interface. A terminal window is open, displaying the command `cu -l /dev/ttyUSB1 -s 115200` and its output. The output shows the execution of a memory test application, including details about memory regions (ps7_ddr_0 and ps7_ram_1) and test results (32-bit, 16-bit, and 8-bit tests, all PASSED!).

```
mistuple% sudo cu -l /dev/ttyUSB1 -s 115200
~/ss
Connected.
--Starting Memory Test Application--
NOTE: This application runs with D-Cache disabled.As a result, cacheline request
s will not be generated
Testing memory region: ps7_ddr_0
Memory Controller: ps7_ddr
Base Address: 0x00100000
Size: 0x1FF00000 bytes
32-bit test: PASSED!
16-bit test: PASSED!
8-bit test: PASSED!
Testing memory region: ps7_ram_1
Memory Controller: ps7_ram
Base Address: 0xFFFF0000
Size: 0x0000FE00 bytes
32-bit test: PASSED!
16-bit test: PASSED!
8-bit test: PASSED!
--Memory Test Application Complete--
```

The IDE background shows the 'mem_test_bsp Board Support Package' configuration page, with the 'Target Information' section visible. The target is identified as 'standalone' with version 5.5. The SDK Log window at the bottom right shows the following log entries:

```
12:29:45 INFO : Launching XSDb server: xsdb -n -interactive /home/sendai/xup/embedded
12:29:45 INFO : XSDb server has started successfully.
12:29:45 INFO : Processing command line option -hwspec /home/sendai/xup/embedded/lab1
12:29:47 INFO : Checking for hwspec changes in the project system_wrapper_hw_platform
12:32:21 INFO : ps7_init is completed.
12:32:21 INFO : Processor reset is completed for ps7_cortexa9_0
```

その他

- USBコネクタがmicro USB
 - さっそくおかしくしたようで電源が入らないことがある



感想

- ツールのセットがちょっと大変
 - わかってしまえば一直線
- 配線するのにマウスでドラッグはへんなところにつないでしまわないか心配
 - validationありとはいえ
 - tcl プログラムを書けばOK?
- プログラムコードのようにgitなどで履歴を保存しておきたい

まとめ

- zynq 評価ボードを使ってXillinuxおよびXilinx University Programツールのセットアップ、試用をおこなった
- Xillinuxでなにもしない回路のスループット測定、TCPスループットの測定
- Xilinx University Programの紹介