

# LAARN 設計ノート



Open source consortium of Instrumentation

## Report Prepared by

田中真伸

所属 素粒子原子核研究所

中村正吾

岩崎裕也

所属 横浜国立大学

ver 0.7

2013年3月6日水曜日

<b>LAARN 設計ノート</b>	<b>2</b>
<b>1. 目的</b>	<b>2</b>
1.1. 検出器及びシステム	2
1.2. 目標	2
<b>2. 全体仕様</b>	<b>2</b>
2.1. 仕様	2
2.2. 仕様の補足	2
<b>3. 回路ブロック図とその説明</b>	<b>2</b>
3.1. ブロック説明	2
<b>4. 各ブロック仕様とシミュレーション結果</b>	<b>2</b>
4.1. シミュレーション環境及びプロセス情報	2
4.2. 1-finger トランジスタブロック	2
4.3. 仕様まとめ	2
4.4. シミュレーション結果	2
4.5. ELT トランジスタブロック	2
4.6. 仕様まとめ	2
4.7. シミュレーション結果	2
4.8. フロントエンドブロック	2
4.9. 仕様まとめ	2
4.10. シミュレーション結果	2
<b>5. 全体シミュレーション</b>	<b>2</b>
5.1. 複数ブロック結合シミュレーション結果	2
5.2. 全体仕様を満たすことを示すシミュレーション結果(PAD を含めてシミュレーションを行うこと)	2
5.3. コーナーパラメータでのシミュレーション結果	2
5.4. FF コーナーパラメータでのシミュレーション結果	2
<b>6. レイアウト情報（この部分はレイアウト仕様書として独立させる。回路図情報とネットリスト情報を含むこと）</b>	<b>2</b>
<b>7. パッケージ情報</b>	<b>2</b>
7.1. パッド座標とパッケージピンとの関係表	2
7.2. ボンディングダイアグラム	2
<b>8. 機能情報（使用方法等）</b>	<b>2</b>
8.1. デジタル入力に関して	2
8.2. アナログ入力に関して	2
<b>9. テスト基板情報</b>	<b>2</b>
	2

<b>10. テスト結果</b>	<b>3</b>
10.1. 直流テスト	3
10.2. トランジェント特性	3
10.3. 組み込みテスト	3
<b>11. 更新履歴</b>	<b>3</b>
<b>12. Bibliography</b>	<b>3</b>



# LAARN 設計ノート

## 1. 目的

低カウントレート、入力信号が数万電子数以下、ダイナミックレンジは最小信号に対して 10 以下、アナログ出力を持つアナログフロントエンドを製作し、温度特性、ノイズ特性等を評価する。

### 1. 検出器及びシステム

検出器容量は $<100\text{pF}$  を想定している。入力信号  $4\text{fC}\sim 50\text{fC}$  に対し、アナログ信号を出力する。放電に対するプロテクション等はチップ内部に設けるため、低雑音化を狙うのであれば取り去ることが必須である。(増幅機構を持たない検出器で且つ高圧を用いないもの) チャンネル密度は1チップ 8 チャンネルとする。アナログ出力は  $10\text{pF}$  (プローブ相当) の負荷容量をドライブできるようにするため消費電力が大きい。消費電力を減らすにはアナログを出力せず内部で処理してしまう必要がある。(現在全消費電力の  $60\sim 70\%$  をアナログドライバで消費している)

## 2. 目標

今回製作を行うものの仕様を決めるパラメータ等必要事項のメモを記入願います。(わかる範囲でかまいません)

今回は  $0.25\mu\text{m}$  を使用し通常のトランジスタパラメータ抽出用のパラメータセットでの通常の形状の NMOS, PMOS 及び ELT タイプのトランジスタ

	値	備考
最小信号	$4\text{fC}$	
最大信号	$50\text{fC}$	
ノイズ	$\sim 1000\text{electron}$	検出器容量 $50\text{pF}$
検出器容量	$<100\text{pC}$	
信号帯域	$<1\text{MHz}$	
ヒットレート/ch	$< 10\text{kHz}$	パルス幅は $\sim 10\text{usec}$
チャンネル数	$\gg 8\text{ch/chip}$	
チャンネルピッチ	$100\mu\text{m}$ 程度(高密度実装に向けて)	$2.8\times 2.8\text{mm}$ に入ればまずは OK

## 2. 全体仕様

### 1. 仕様

製作したい物の仕様を表もしくは図によって記入願います。（わかる範囲でかまいません）表で書くことが困難な物、文章で書いた方が良い機能は次の項目の仕様の補足に記入ください。

製作フロントエンドアンプの仕様

	値	備考
最小信号	4fC	閾値はこの値の半分に設定したい
最大信号	50fC	
ノイズ	<300electron	検出器容量 0pF
ノイズ	<1000electron	50pF
信号帯域	<1MHz	
パルス幅	~10usec	
チャンネル数	8 ch/chip	
チャンネルピッチ	2.8mmx2.8mm に入るように実装する	
テストパルス機能	なし	個別チャンネル選択
閾値調整機能	なし	
プリアンプゲイン	20mV/fC	
電源電圧	+2.5V	
消費電流	TBDmA/ch	

### 2. 仕様の補足

なし

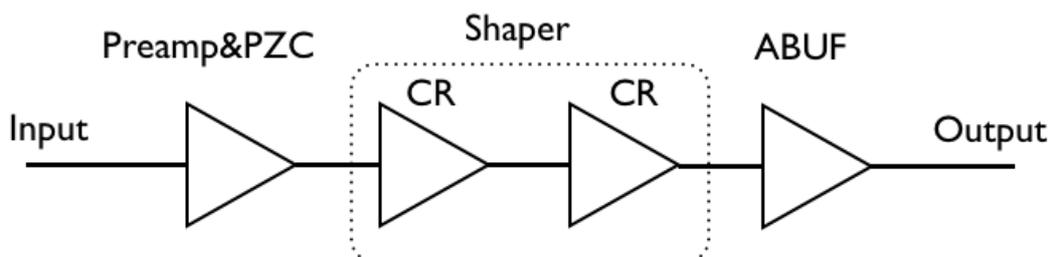
将来：要修正部について

Cf:Cpz=1:40 が大きすぎないか？

必要のない消費電力を削減するため内部に??をいれ出力はデジタルもしくはマルチプレクスされたアナログにすべき。

### 3. 回路ブロック図とその説明

全体回路は下記の図に示す。プリアンプ、ポールゼロキャンセル、フィルター、アナログドライバーよりなる。



#### 3.1. ブロック説明

i) support\_LAARN

バイアス用カレントミラー

ii) ABUF1

アナログモニター波形を出力するためのアナログバッファである。10pF のプローブのドライブが必須である。

iii) Shaper: フィルター回路

積分回路

iv) prpzc\_LAARN(

1チャンネル分のプリアンプ、ポールゼロからなる。プリアンプの帰還容量は 50fF である。

### 4. 各ブロック仕様とシミュレーション結果

#### 4.1. シミュレーション環境及びプロセス情報

**環境が異なると、その結果が異なる場合がありますのでなるべく正確に記入願います。**

Schematic:CADENSE Virtuoso,ver.xx

Simulation:HSPICE

Process:MXIC0.5um Double poly, PIP capacitance

Server name:hp-dc8100-1

username:tanakam

Library name:LqArTPCFE

## 4.2. support\_LAARN ブロック

### 4.2.1.仕様まとめ

ピン名と電流仕様

ピン名	仕様	シミュレーション値
IT_PREBIAS	入力 : 40uA(100k)	40uA
IT_CBIAS	入力 : 10uA(400k)	10uA
IDCFB	入力 : 8uA(500k)	8uA
IB_AMP	入力 : 40uA(100k)	40uA
OBIAS	入力 : 40uA(100k)	40uA
PREB	出力 : 40uA	40uA
CBIAS	出力 : 10uA	10uA
IDCFB	出力 : 8uA	8uA
AMP	出力 : 40uA	40uA
IBN60	出力 : 40uA	40uA
IBP60	出力 : 45uA	45uA

設計通り問題なく動作している。

### 4.2.2.シミュレーション結果

前出の表を参照のこと

## 4.3. ABUF1 ブロック

### 4.3.1.仕様まとめ

AC 解析により位相余裕がどれくらいあるかを示す。

出力に 1pF,10pF を GND に対してつけて上記をチェックする。

トランジェントでシェーパー出力とバッファ出力の比較をする

### 4.3.2.シミュレーション結果

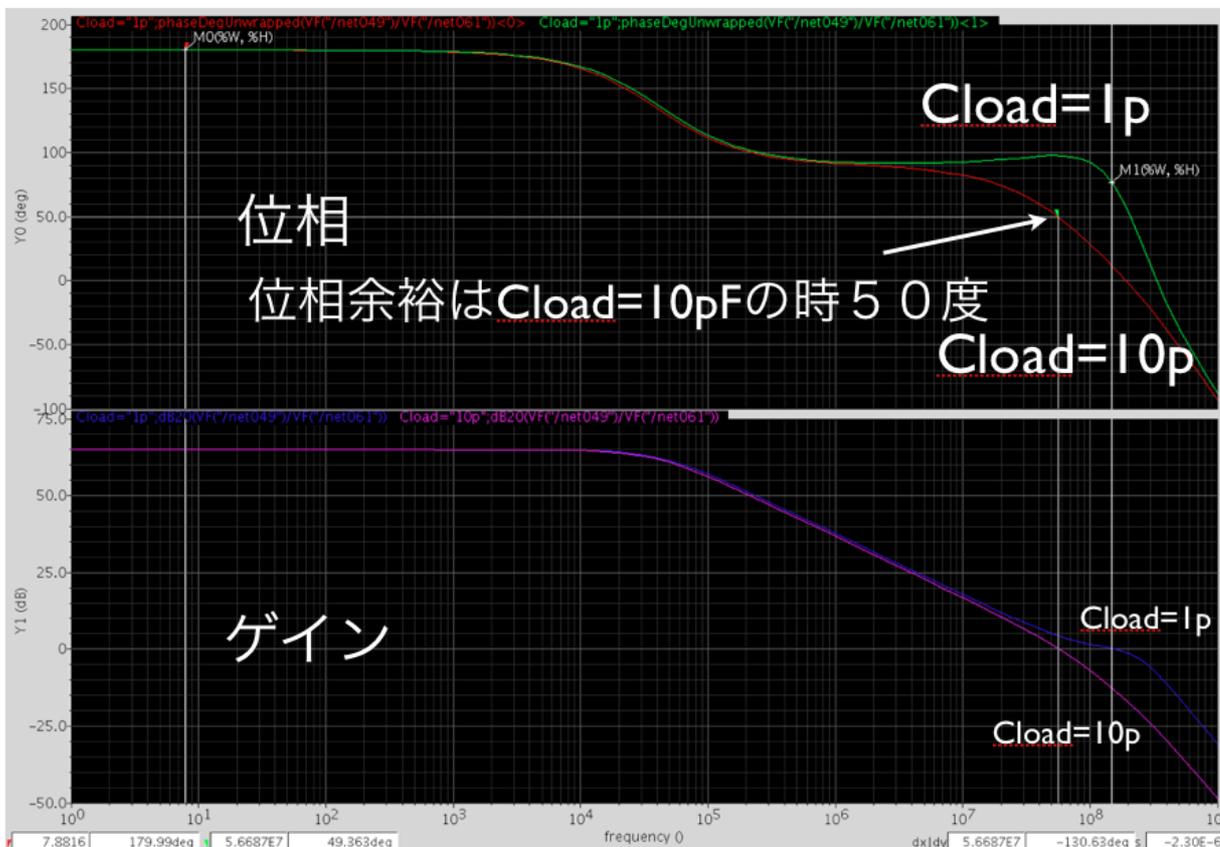
AC 解析結果 (1pF 負荷時)

AC 解析結果 (10pF 負荷時)

オープンループで位相余裕を解析した。

位相余裕は最悪値で 50 度あるため問題ない。

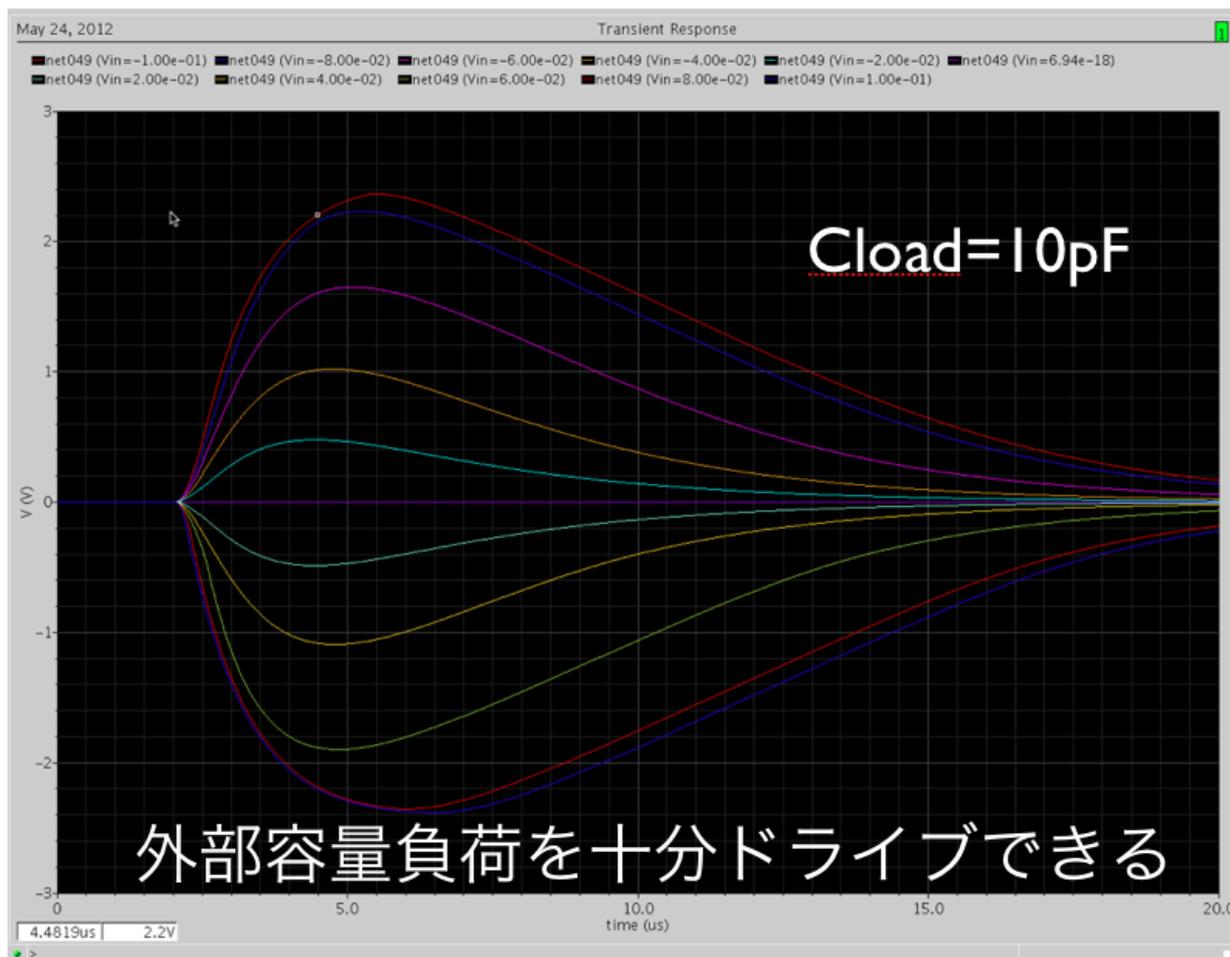
# ABUF周波数特性(オープンループ)



この部分について今回は省略。よっぽどのことがない限り位相余裕を含めてシミュレーションで確認すること。

## トランジェント解析結果

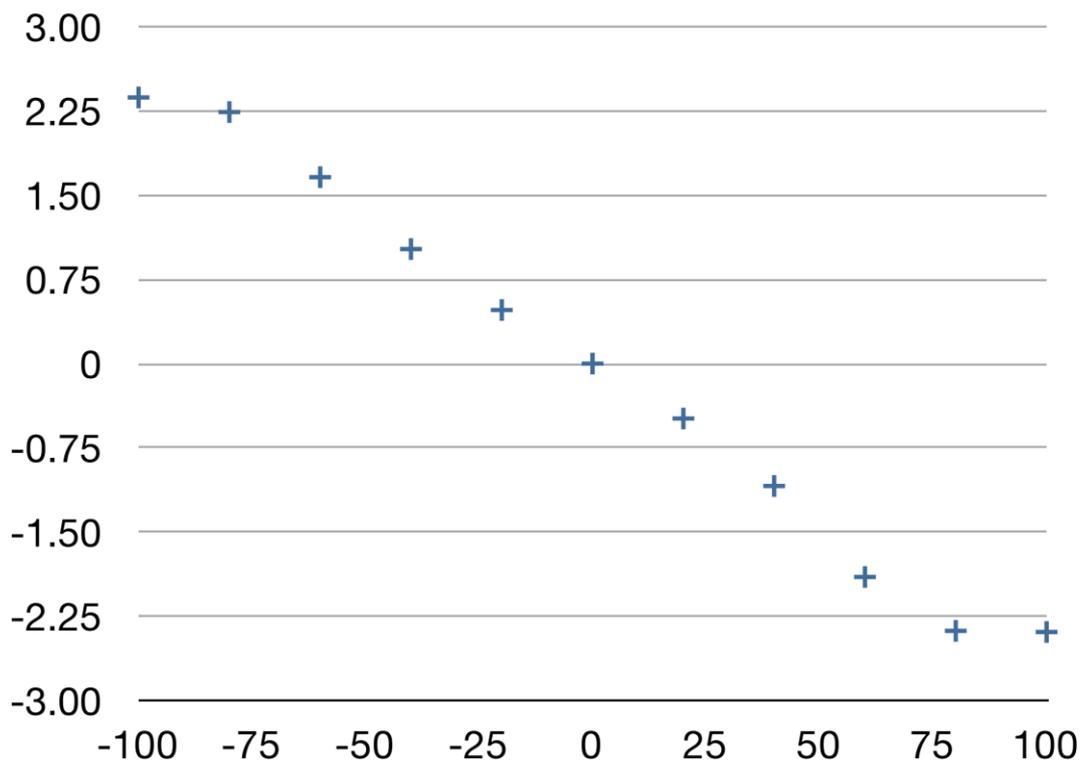
# Qin = -100fC ~ 100fC



プリアンプ+シェーパに接続しアナログバッファの出力を観測した。入力電荷は-100fC~100fCの範囲である。出力の負荷容量は、10pF（プローブの容量相当）で確認した。

## ダイナミックレンジ特性（入力電圧対出力電圧）

横軸は入力電荷（fC）縦軸は出力電圧である。-7.5fC~7.5fCでは入出力応答は線形となっている。



## 4.4. LAARNsingle ブロック

### 4.4.1.仕様まとめ

このブロックはプリアンプ、ポールゼロ、シェパー及び前述の ABUF1 をアナログ出力バッファとしてもつ。本ブロックの仕様がそのままチップ全体の仕様となる。既出であるため省略する。（更に複雑な回路は個々にきちんと使用を書くこと。でないと仕様間の整合性のチェックがふじゅうぶんとなり、デザインに不整合が生じ目的とした ASIC と異なるものが出来上がるリスクが高くなる。）

### 4.4.2. シミュレーション結果

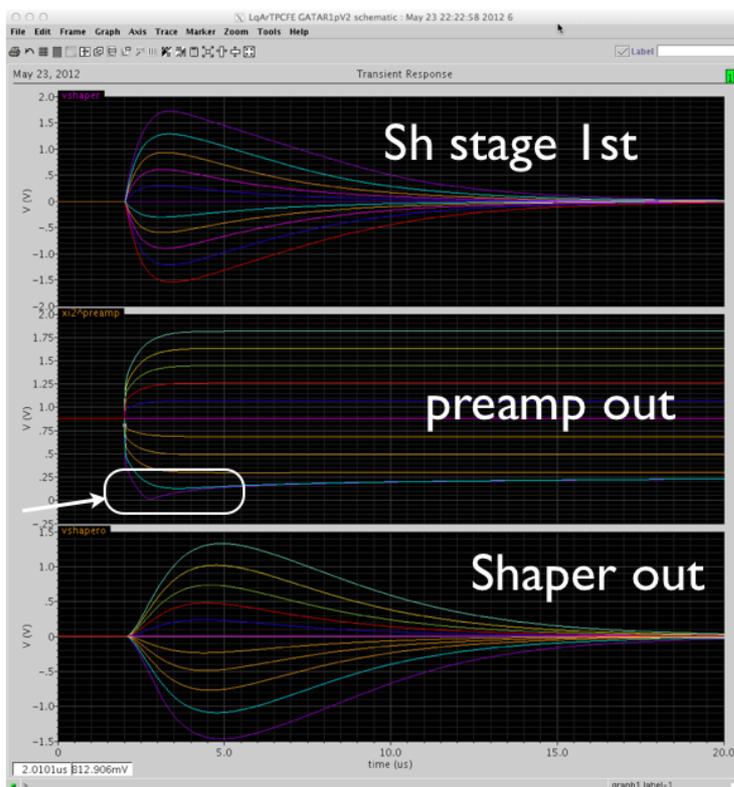
**トランジェント解析 1**（各ブロック出力を典型的な入力時の波形で示す。）

-5 0fC から 50fC まで入力電荷を変えて書くブロックの出力は系を観測した。  
-5 0fC 入力にてプリアンプの時定数が変化してしまっているが、これは回路構成からくるもので、Vref を調整することで避けられる。

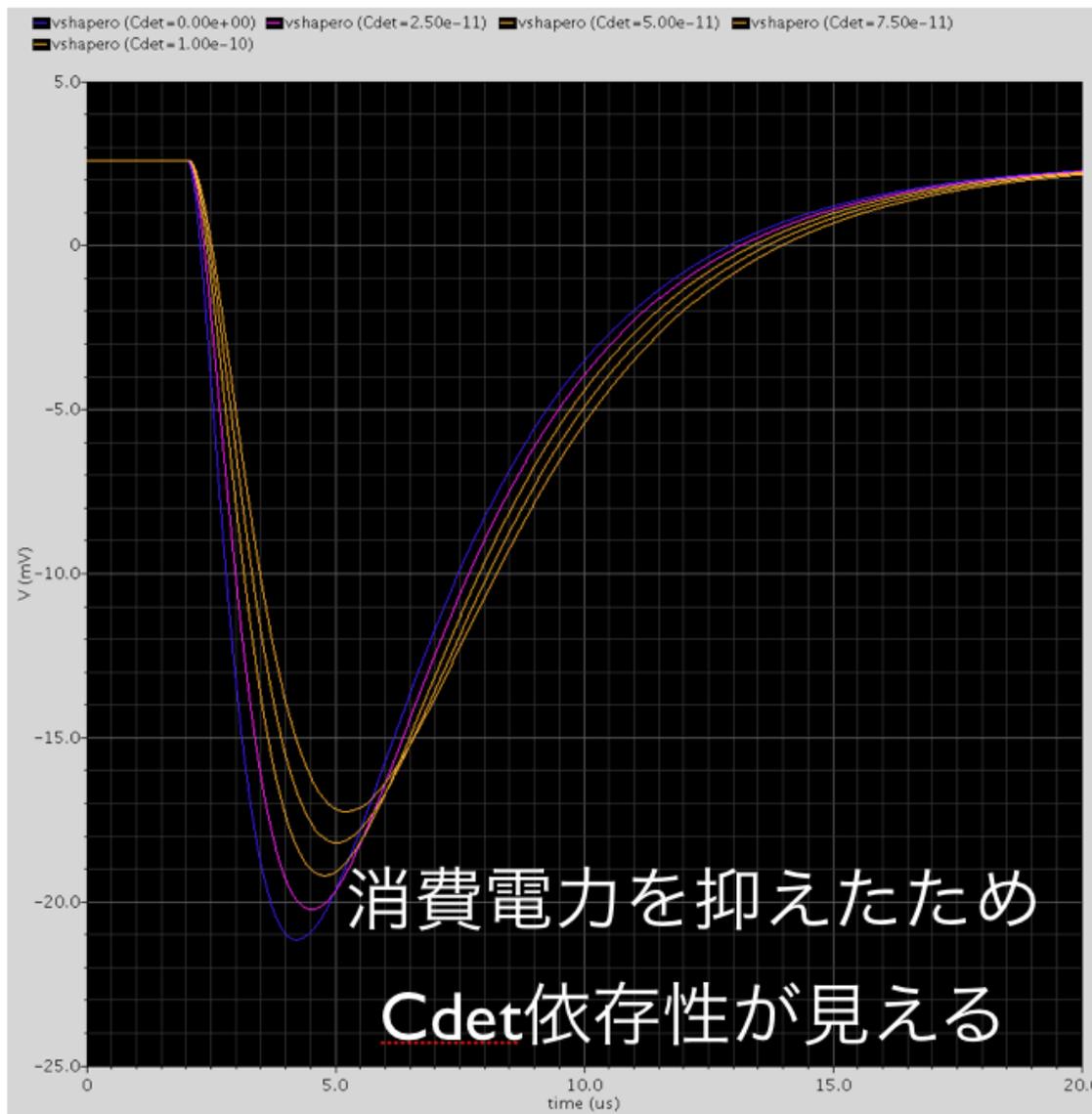
# -50fC~50fC response

Cdet=10pF

-50fC inputにおいて  
帰還抵抗用CMOSの  
抵抗値が変化



トランジェント解析2（プリアンプ出力、シェーパー出力を入力容量：検出器容量のこと に対し示す。）



検出容量を 1、26、51、76、101 pF と変化させシェーパーの出力を観測した。このときの入力信号は 1fC である。消費電力を抑えるため、初段トランジスタのドレイン電流を絞ったため、大きな容量負荷に対しゲインが落ちている。あまり良くはないがこの影響があるものとして使用してもらうことにする。

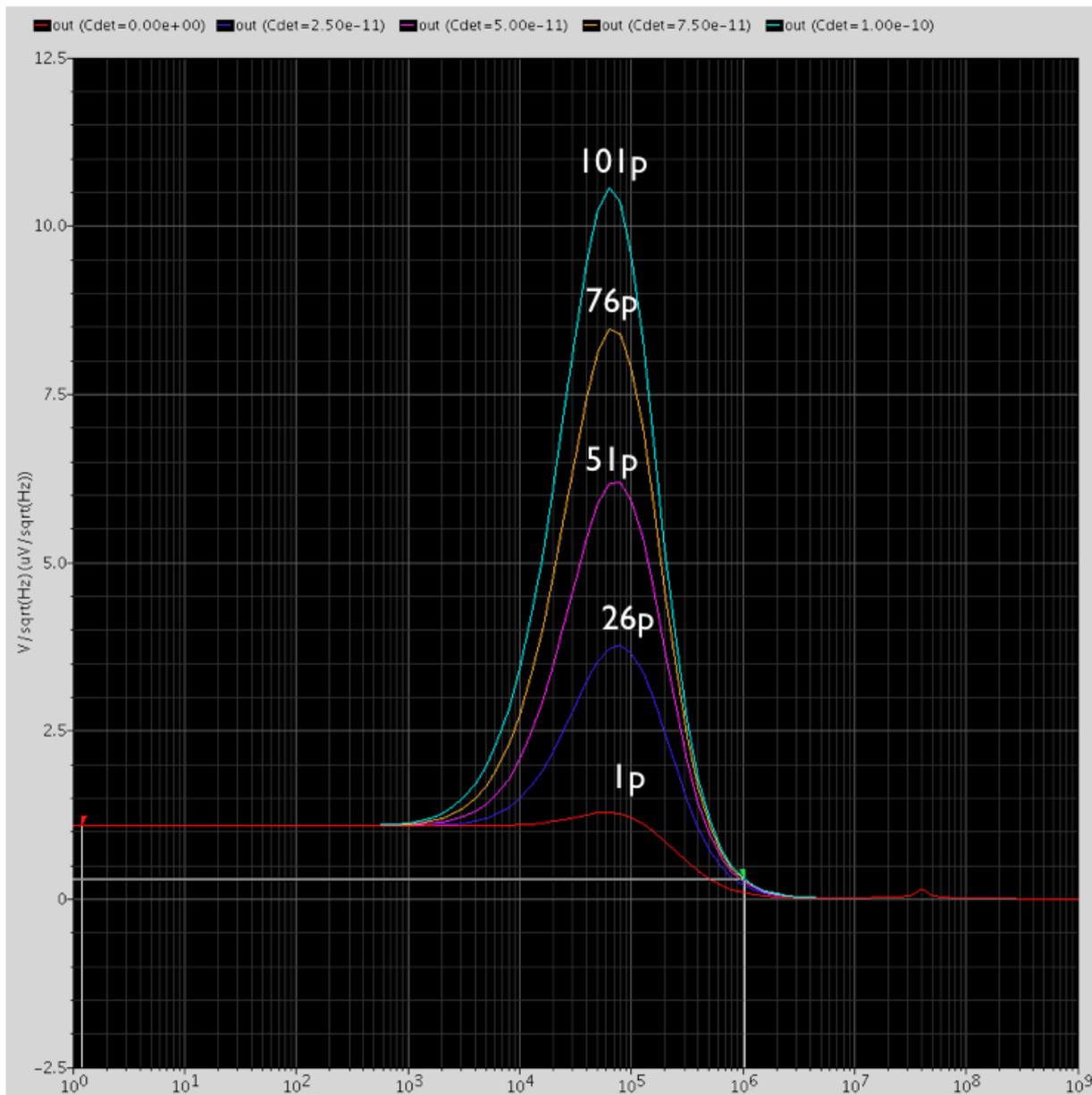
トランジェント解析3 (ダイナミックレンジ測定：波形歪みをチェック：各ブロックに対してチェック) どのあたりで歪むかのチェックができていれば良い。さらに横軸入力チャージ、出力電圧のグラフを各ブロック出力に対して製作する。

ABUF1 の解析にて本チェック項目は終了している。線形性は -0.8pC~0.8pC で確保されているが、プリアンプの帰還抵抗値が正常な値になっているかどうかは、Vpre の値による。よって Vpre 依存性を持つことを認識しておく必要がある。

トランジェント解析4：デジタル機能チェック、レジスタコントロールがそれぞれのスイッチの制御ができていることを示す波形

LAARN では使用していないので省略

トランジェント解析5：デジタル機能チェック、DAC のコントロールができていることを示すもの（LAARN では使用していないので省略）

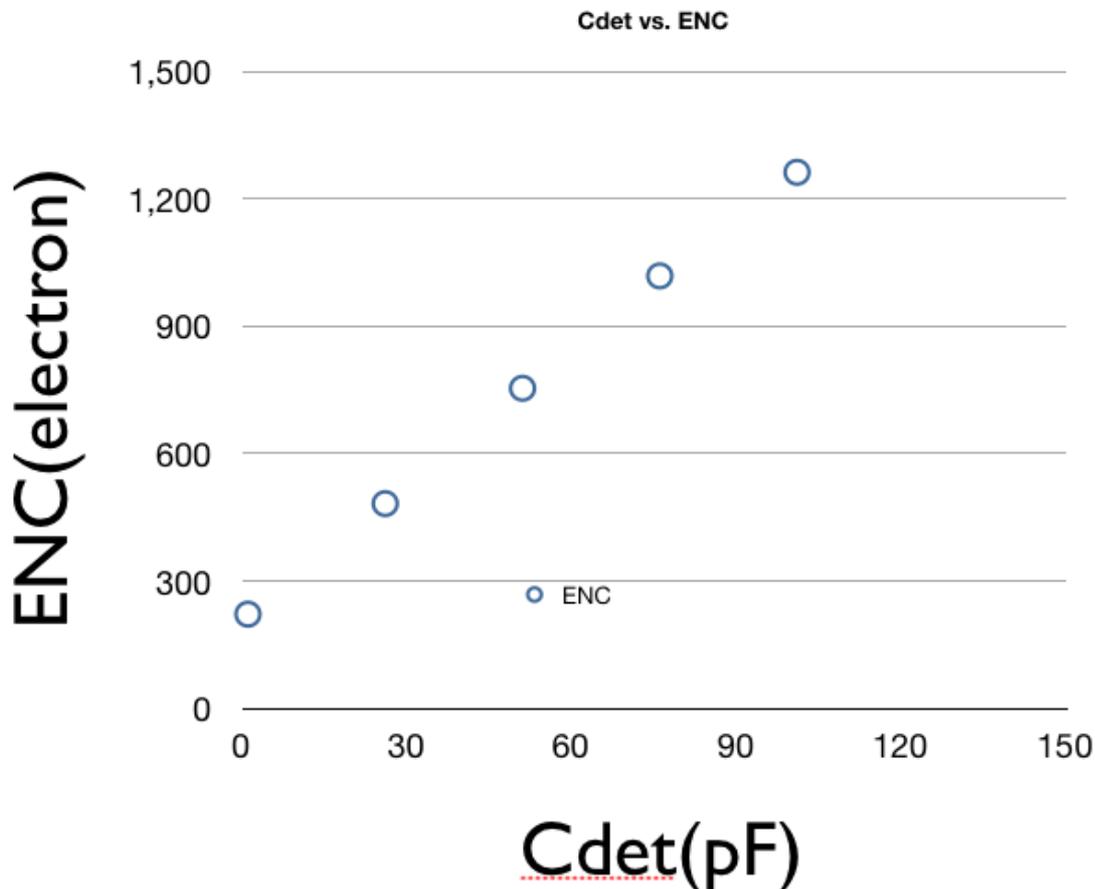


ノイズ解析1：ノイズの周波数分布を示す図

検出器容量 1pF~101pF までの出力のノイズスペクトルである。本プロセスは 1/f ノイズパラメータが抽出されていないため低周波側でフラットであることに注意。実際は 1/f ノイズ分が加算される。

ノイズ解析2：入力容量に対するノイズの値のプロット図

横軸：検出器容量に対しイントリンジックノイズのプロットを行ったもの。  
 76pF の時ノイズは 1000 エレクトロンとなっている。1pF ではノイズは 200 エレクトロン。現状 1/f を考慮していないが、仕様を満たしている。



その他追加シミュレーション

パイルアップ時の動作と  $V_{pre}$  の値について

入力 4 fC が 10usec 毎に入力された場合の条件で不具合が怒るかどうかの確認をした。本回路構成ではプリアンプの時定数が増えることはやむ終えない。その効果によりシェーパー出力のゲインが増える。(図参照) さらにパイルアップに拠るオフセットの効果も観測できる。しかしながらこれらは 1MIP 信号の 5%程度の高価でありおおよそイントリンジックノイズと同程度であるため本デザインでは仕様を満たしたと判断する。

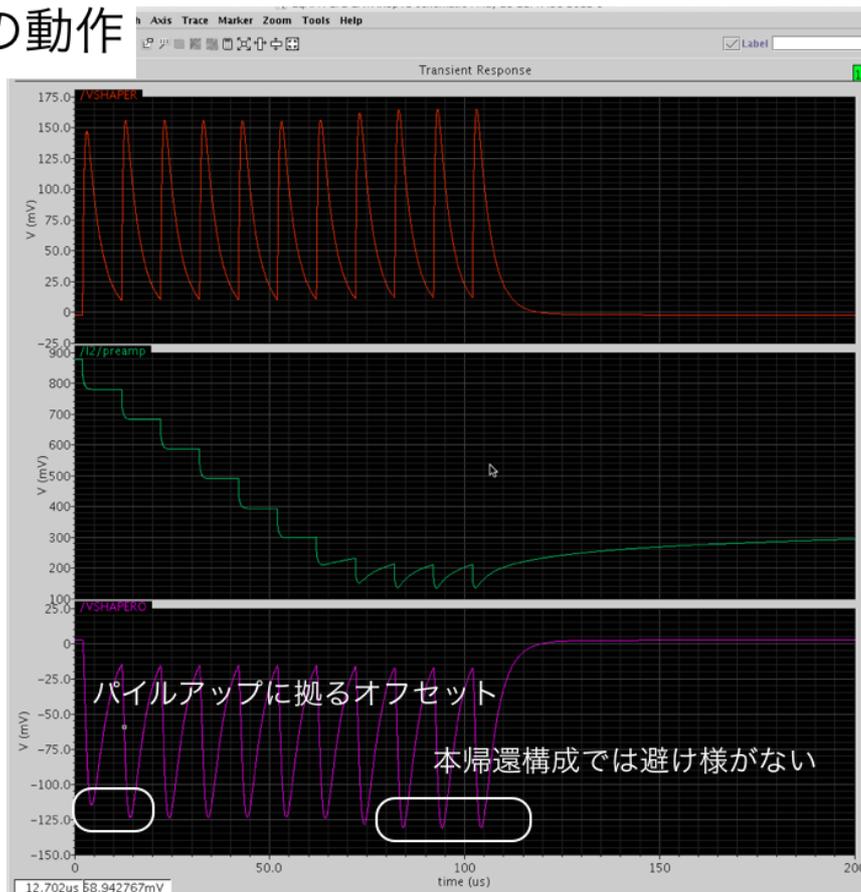
# パイルアップ時の動作

Sh stage 1st

Preamp

Shaper out

右は5fCに対し5%の誤差  
でありほぼイントリン  
ジックノイズレベルであ  
るため問題ない



## プリアンプの帰還抵抗調整端子に関して

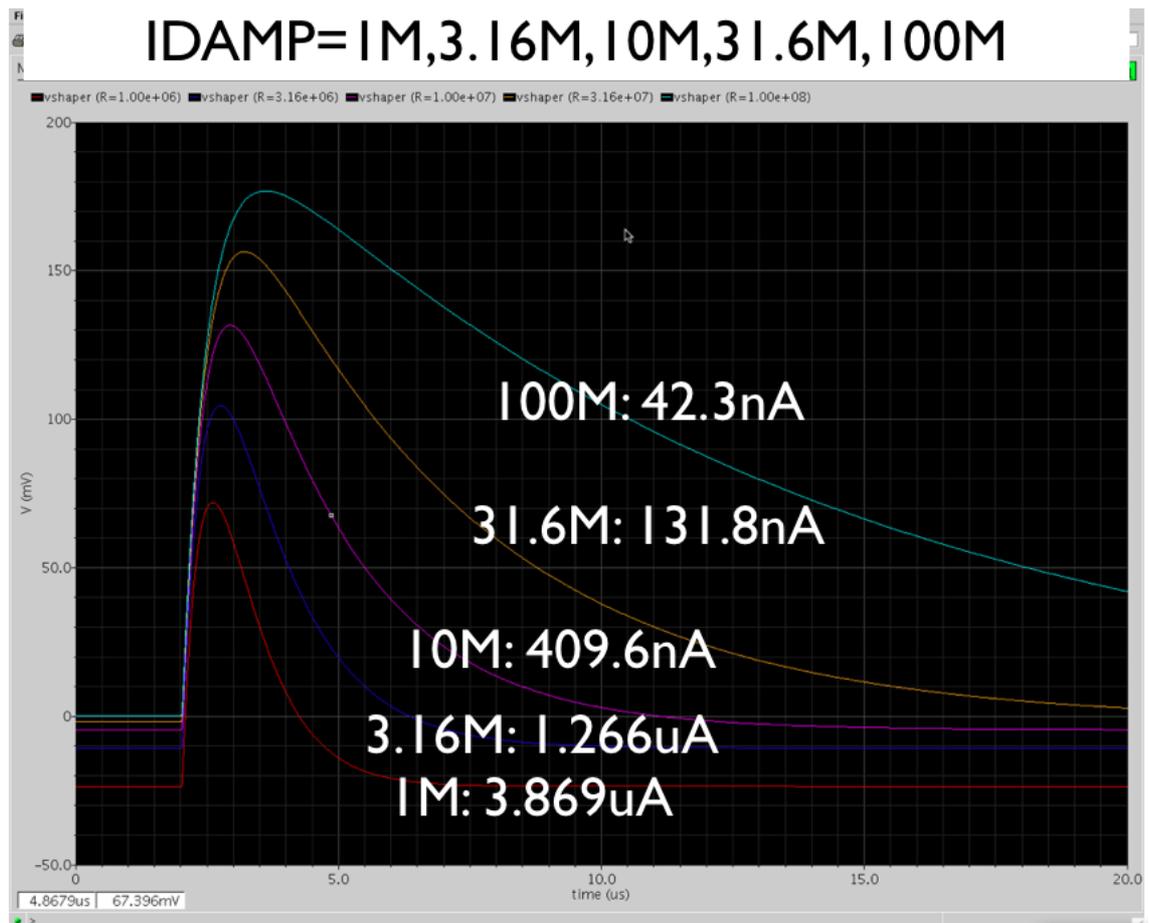
プリアンプの期間低拘置は  $V_{pre}$  を用いて行う。最適値は  $-20\text{ mV}$  であるが、調整を行う必要もあるため動作可能範囲をおおよそシミュレーションにて割り出しておく。入力信号が小さい場合は  $-0.05\sim-0.1\text{ V}$  程度が可変範囲であるが、大信号入力に対してはこの範囲は更に狭くなる。調整方法としてエア  $V_{pre}$  を  $0\text{ V}$  より小さい値に設定してあげてからダイナミックレンジを測定し、ながら  $V_{pre}$  をなるべく大きい値へ設定するのが良い。

# Vpre=-0.05~0.1



## シェーパー時定数調整端子 IDCFB の調整に関して

数マイクロ秒程度の時定数を作るために 1M 程度の抵抗が必要であるが、CMOS プロセスのポリ抵抗を使用し作成は現実的でない。よって V-I コンバーターによる疑似抵抗を採用している。この場合外部からバイアス電流を調整し抵抗値を変化させることになる。最適値は 200nA 程度であるが場合によって変更する可能性があるため参考としてシミュレーション値を乗せておく。



## 5. 全体シミュレーション

### 5.1. 複数ブロック結合シミュレーション結果

3種以上のブロックからなる回路に関してはいきなりトップでシミュレーションを行うのではなく、2つつブロックをつなぎ合わせて確認を行うこと。

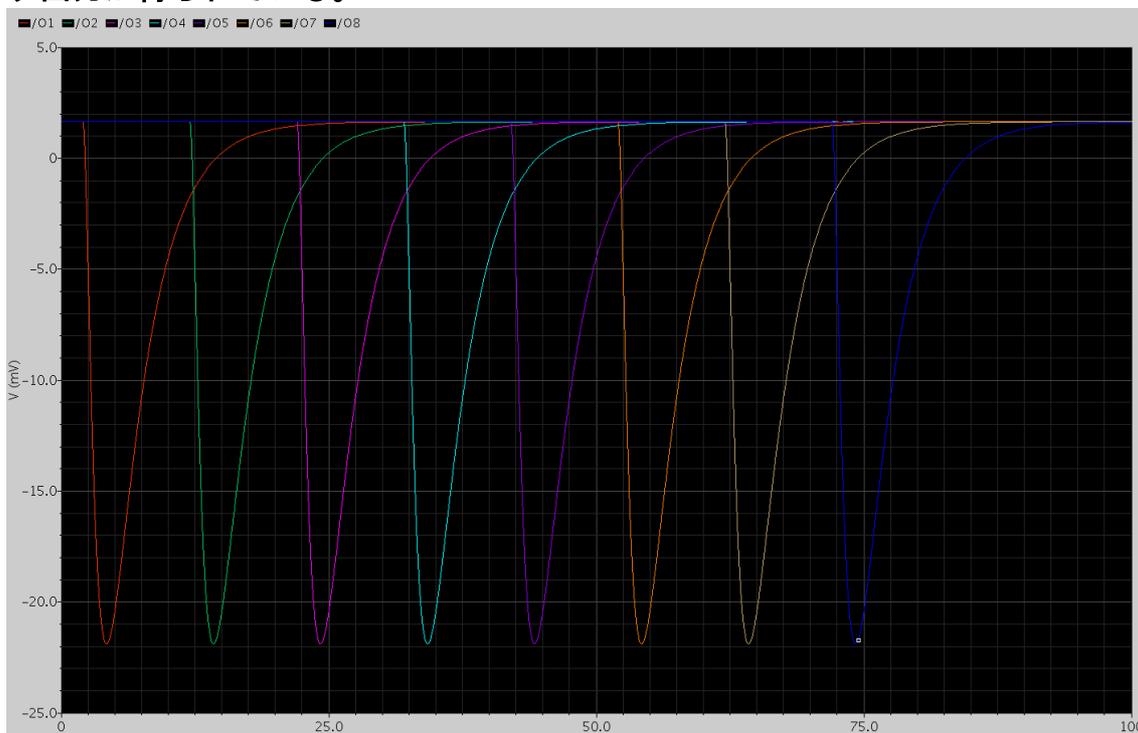
### 5.2. 全体仕様を満たすことを示すシミュレーション結果(PADを含めてシミュレーションを行うこと)

消費電流を 2.5V, -2.5V についてシミュレーションで求め、表にしておくこと。  
 全てのチャンネルについてトランジェント解析で下記の動作確認を子なうこと。  
 アナログ出力、デジタル出力、デジタル制御が正しく行われていることをチェックすること。またその証明になるトランジェント解析結果を貼付けること。  
 8.1のチェックリストに対応する動作のスクリーンショットを添付する。

トップ回路図に対して、下記を行った結果全てのチャンネルが動作していることを確認した。

- 1、全ての入力にテストパルスを、10マイクロ秒ずつ遅延を変化させ入れた。
- 2、アナログバッファの出力に10pFの容量負荷を接続した。
- 3、さいてきばらめ一たでバイアスを与えた。

4、1fC 入力時にアナログバッファの出力を観測した。  
下記を見ればわかるように全てのチャンネルから同じ振幅、同じ波形のアナログ出力が得られている。



### 5.3. コーナーパラメータでのシミュレーション結果

サブミット前に必ずコーナーパラメータシミュレーションを行い動作の確認を行うこと。下記は必ず行うこと

トランジェント解析1（プリアンプ出力、シェーパー出力、リミッタアンプ出力、閾値電圧レベル、コンパレータ出力、デジタルレベルコンバーター出力を100fC 入力時の波形で示す。）入力容量は1pF によい

トランジェント解析2（プリアンプ出力、シェーパー出力を入力容量：検出器容量のこと 1p,10p,40p,100p に対し示す。）入力信号は100fC でステップパルス入力にする。

今回は省略

 **FF** コーナーパラメータでのシミュレーション結果

 **FS** コーナーパラメータでのシミュレーション結果

 **SF** コーナーパラメータでのシミュレーション結果

 **SS** コーナーパラメータでのシミュレーション結果

モンテカルロシミュレーション結果（必要であれば）

**6. レイアウト情報** (この部分はレイアウト仕様書として独立させる。回路図情報とネットリスト情報を含むこと)

**7. パッケージ情報**

**7.1. パッド座標とパッケージピンとの関係表**

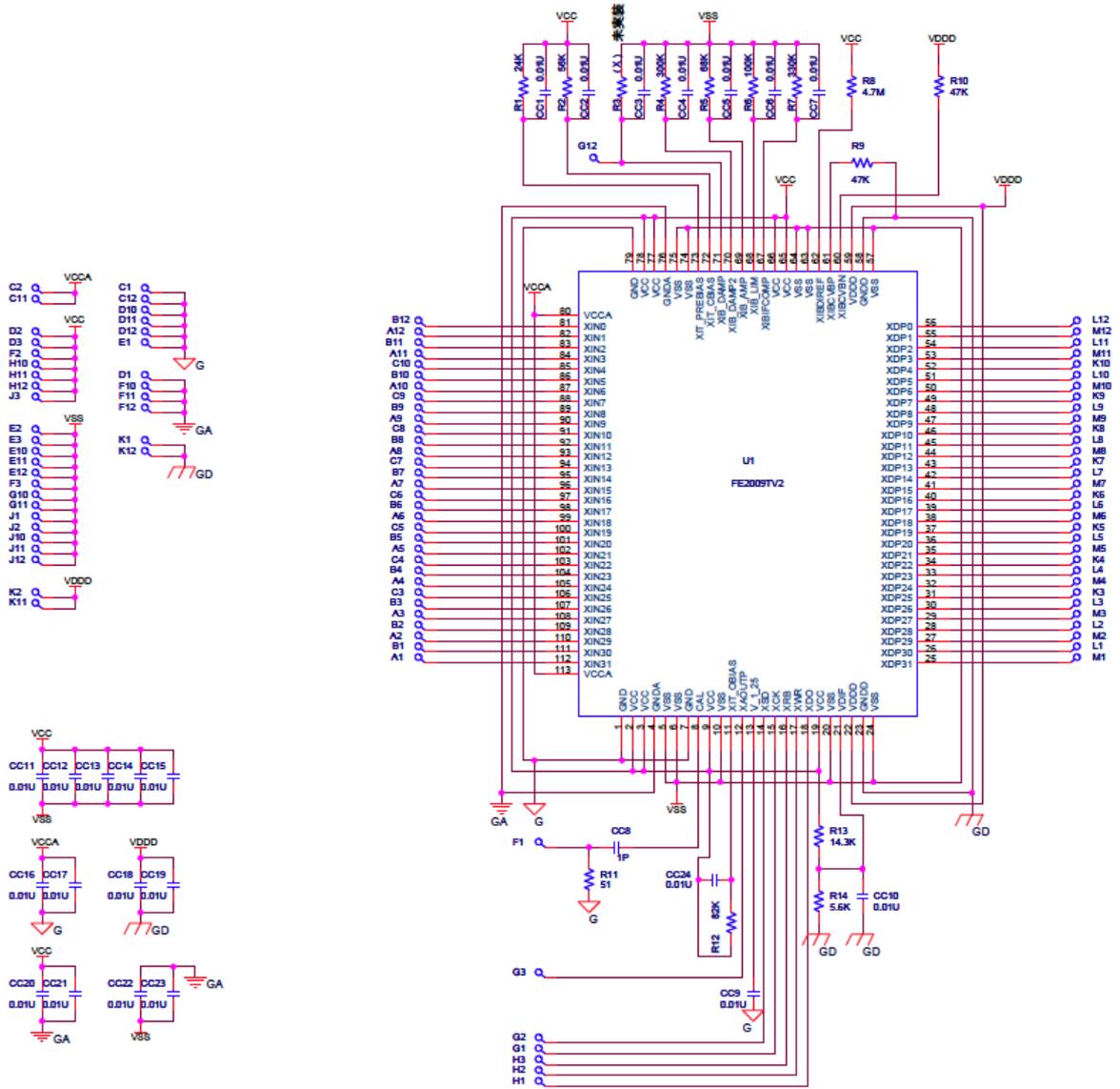
この部分は製作した ASIC をテストするときの重要な情報 (テスト基板を製作するときにはピンアサインが必要になる) となるので注意深く確認すること。

**7.2. ボンディングダイアグラム**

下記にボンディングを行うための回路図を示す。

**ボールの配置  
(TOP VIEW)**





## 8. 機能情報（使用方法等）

### 8.1. デジタル入力に関して

レジスタ表

LAARN はデジタルコントロールを行わない ASIC である。

### 8.2. アナログ入力に関して

各ピンの仕様はパッケージ情報を参照のこと。トランジスタは3種類で各トランジスタのドレインは独立にパッドに出ている。ゲート、ソース、バックゲートは同じトランジスタ種類では共通であるが、種類が異なると違うため資料を良く参照すること。テスト時は基板上で共通にしてもらってもかまわない。

## 9. テスト基板情報

画像で回路図を貼付けるか、OrCAD の DSN ファイル名を明示しておく。

## 10. テスト結果

### 10.1. 直流テスト

#### テスト内容

電源電圧を+2.5V,GND,-2.5V を加えて ASIC の各ピンの電圧・電流を測定。

#### テスト実施日

2012 年 12 月 3 日

#### 測定器具

DC 電源

Metronix 532C 2 台

テスター

YOKOGAWA 7537 02 1 台

#### 結果

結果を下記の表に記す。

Pin	Pad 名	値 (V)	測定値 (V)	電流 (μA)	Pin	Pad 名	値 (V)	測定値 (V)	電流 (μA)
1	VSS	-2.5	-2.5		33	VSS	-2.5	-2.5	
2	VDD	2.5	2.5		34	OBIAS		-1.605	41.05
3	GND	0	0		35	GND	0	0	
4	IPREB2		-1.491	0	36	VDD	2.5	2.5	
5	ICBIAS2		-1.70	0	37	VSS	-2.5	-2.5	
6	VPRE		-20mV	0	38	IDCFB		1.557	7.955
7	VSS	-2.5	-2.5		39	IBAMP		1.332	38.32
8	VDD	2.5	2.5		40	GND	0	0	
9	GND	0	0		41	VDD	2.5	2.5	

10	IBAMP2		1.405	0	42	VSS	-2.5	-2.5	
11	IDCFB2		1.573	0	43	VPRE		-20mV	
12	VSS	-2.5	-2.5		44	ICBIAS		-1.684	10.73
13	VDD	2.5	2.5		45	IPREB		-1.417	39.17
14	GND	0	0		46	GND	0	0	
15	OBIAS2		-1.657	0	47	VDD	2.5	2.5	
16	VSS	-2.5	-2.5		48	VSS	-2.5	-2.5	
17	VDD	2.5	2.5		49	A1	~-1	-0.945	
18					50	G1	0	0	
19	O8		-0.118		51	A2	~-1	-0.947	-
20	O7		-0.036		52	G2	0	0	
21	O6		-0.053		53	A3	~-1	-0.947	
22	O5		-0.050		54	G3	0	0	
23					55	A4	~-1	-0.946	
24	VDD	2.5	2.5		56	G4	0	0	
25	VDD	2.5	2.5		57	A5	~-1	-0.950	
26					58	G5	0	0	
27	O4		-0.070		59	A6	~-1	-0.970	
28	O3		-0.029		60	G6	0	0	
29	O2		-0.026		61	A7	~-1	-0.977	
30	O1		-0.008		62	G7	0	0	
31					63	A8	~-1	-0.958	
32	VDD	2.5	2.5		64	G8	0	0	

電流値はシミュレーションで計算している値のみ記入した。

資料・シミュレーションでの電圧値・電流値と違いなく、すべての ASIC のピンに正しい電圧が印加し、電流が流れている。

## 10.2. テストパルスを入れてテスト

### 10.2.1.動作確認

#### テスト内容

Vpre, IDAMP を設定し、持っている資料と定性的に合っているかどうかを確認

#### テスト実施日

2012 年 12 月 17 日

改訂 2012 年 12 月 19 日 (ver0.2 改)

#### 測定器具

DC 電源

Metronix 532C 2 台

Function Generator

Tektronix AFG3102

Oscilloscope

Tektronix TDS3014B

#### 設定

##### ASIC のパラメータ

Vpre	IDAMP (R26)
-20mV	510kΩ

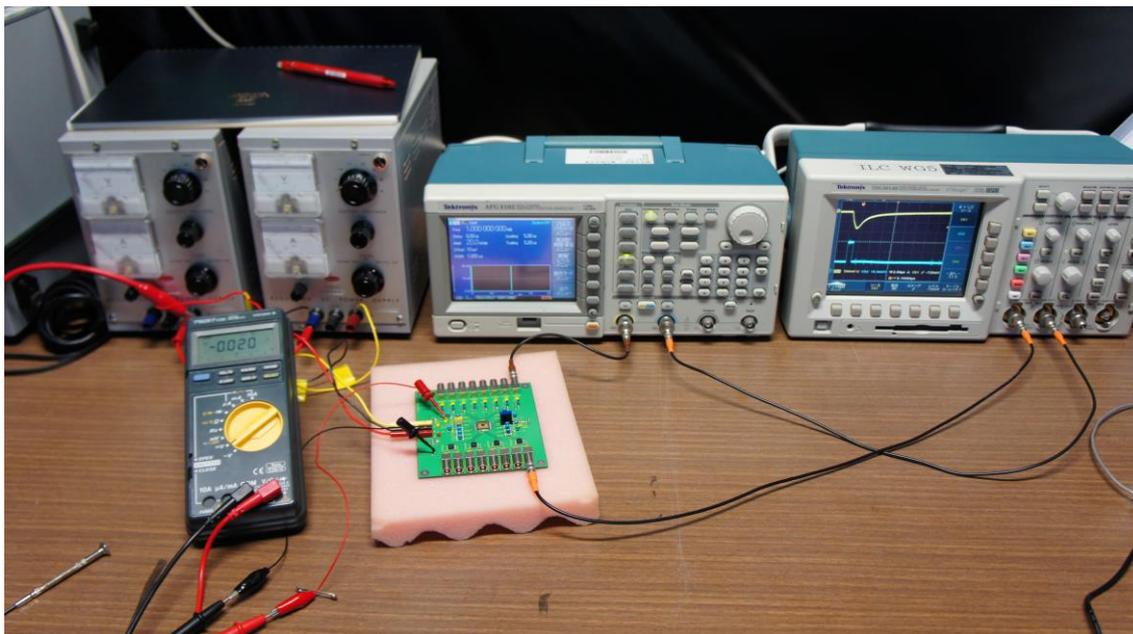
備考 IDAMP に 7.955 μA が流れている

##### テストパルスのパラメータ

Frequency	Offset	Amplitude	Width
1kHz	10mV	-20mV	100 μs

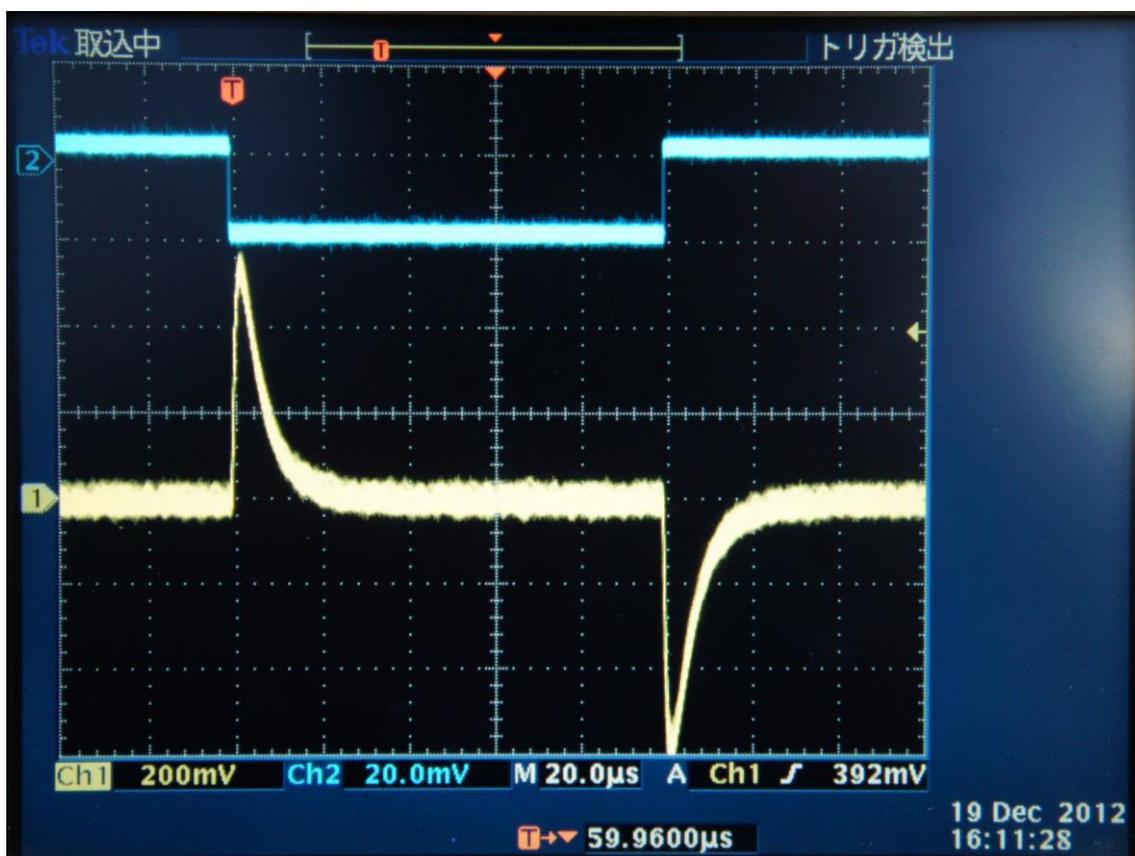
備考 入力信号が -20fC を想定

テストの様子を以下に示す。



## 結果

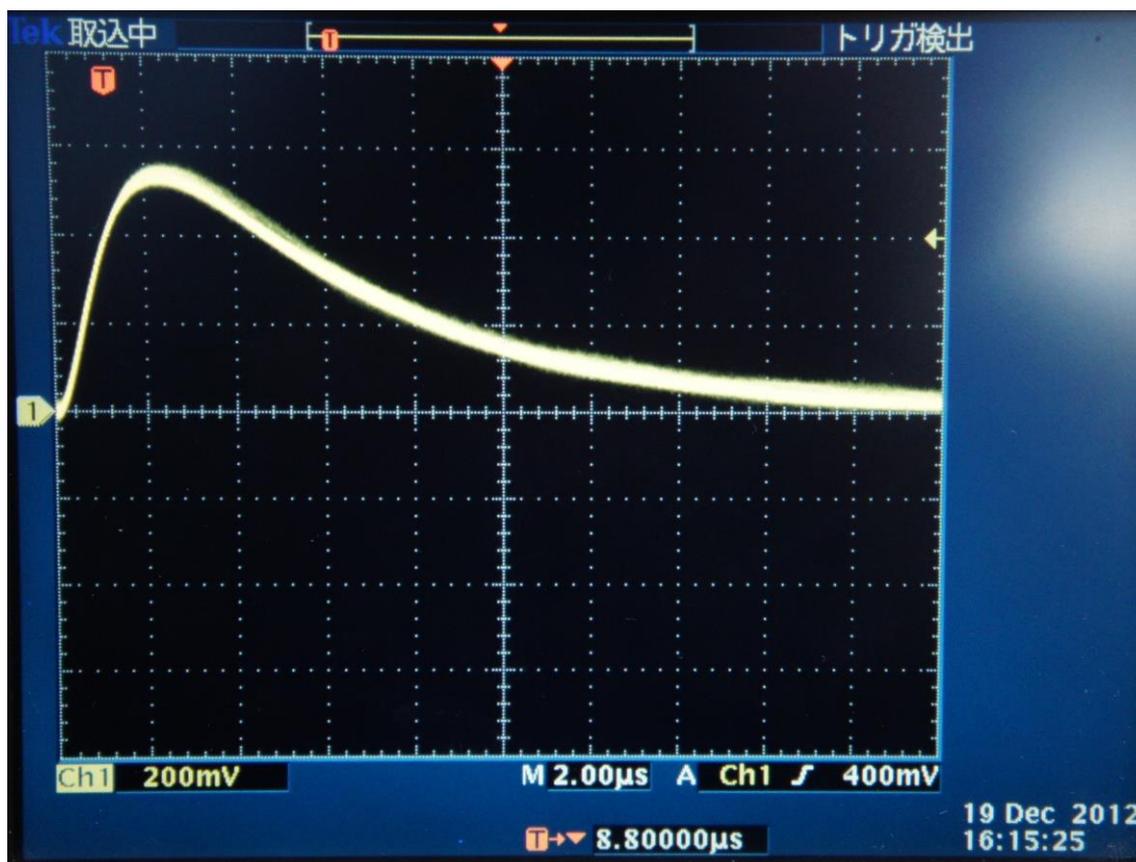
以下に取得した出力波形を示す。



黄色の信号が出力信号、青色の信号が入力信号である。

入力パルスの立ち上がりとしち下りでそれぞれ2つの出力信号が見える。

立ち上がっている出力信号に注目する。



資料のシミュレーションと比較すると、少しばかり時定数が長いですが、波形、振幅なども見た感じは資料と良く合っている。

この ASIC は正しく動作しているといえる。

### 10.2.2.ダイナミックレンジの評価

#### テスト内容

- ①出力のアナログ波高値を縦軸に、入力値を横軸にして負～正に対してプロット。
- ②フィティングを行い、傾き(ゲイン)を求める。

#### テスト実施日

2012年12月18日(ver0.2)      再実験・改訂      2012年12月19日(ver0.2改)  
 再実験・改訂      2012年12月20日(ver0.2改2)

#### 測定器具

DC 電源  
 Metronix 532C      2台  
 Function Generator  
 Tektronix AFG3102  
 Oscilloscope  
 Tektronix TDS3014B

#### 設定

##### ASICのパラメータ

Vpre	IDAMP (R26)
-72mV	510kΩ

備考 IDAMP に 7.955 μA が流れている

##### テストパルスのパラメータ

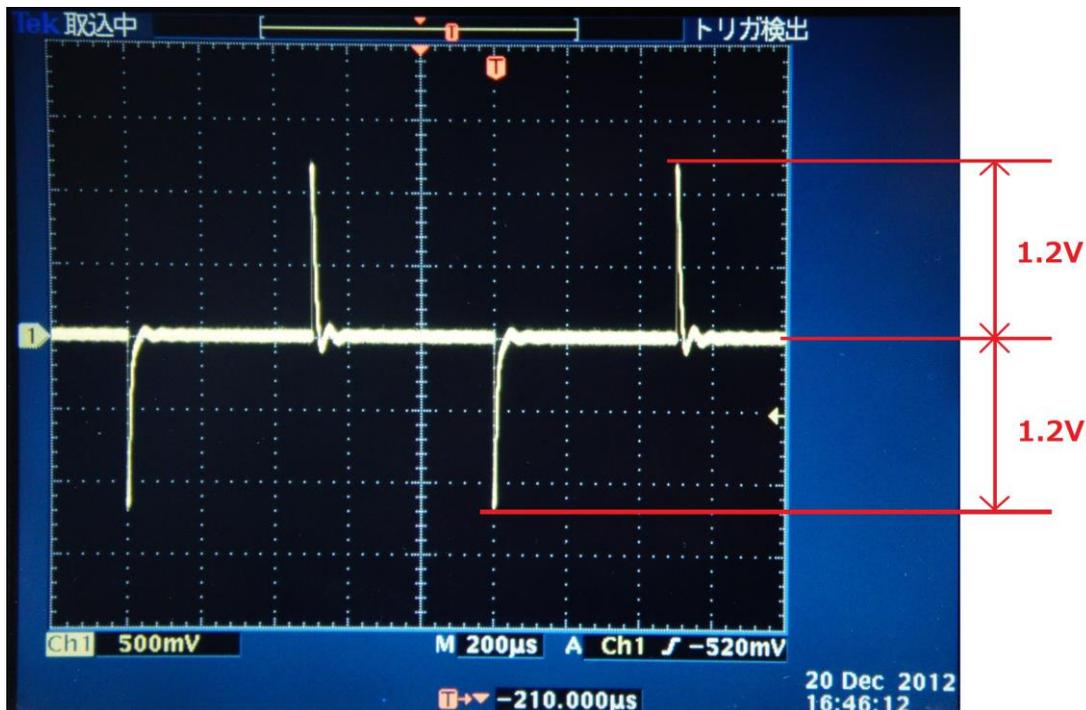
Frequency	Amplitude	Duty	Width
1kHz	-100mV ~ 100mV	50%	500 μs

備考 入力信号が-100fC~100fCを想定 (入力直後のキャパシタンスは1pF)

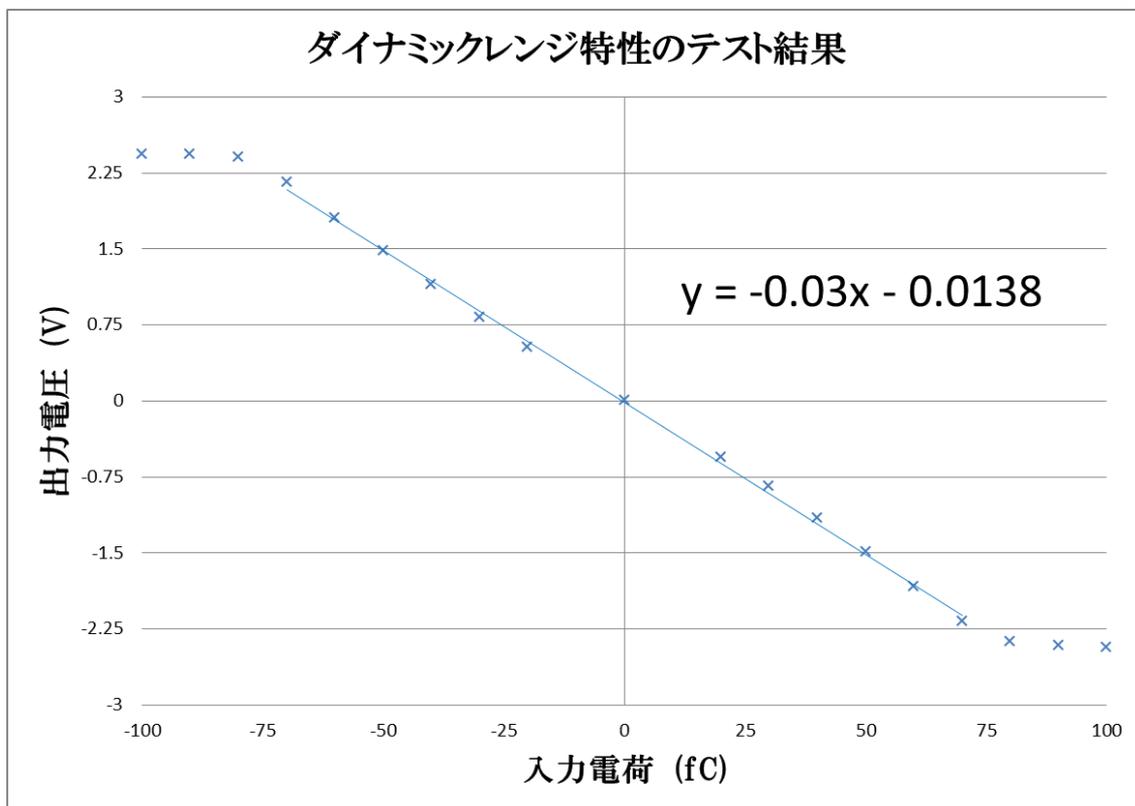
なお出力信号はオペアンプを通さず、オペアンプの手前でオシロスコープのプロープ (入力容量 23pF)を使用し測定をおこなった。

### 結果

得られた出力波形を以下に示す。なお入力信号の電圧は 40mV、周波数は 1kHz、Duty は 50%である。



そして、この条件下でのダイナミックレンジ特性のテスト結果を以下に示す。



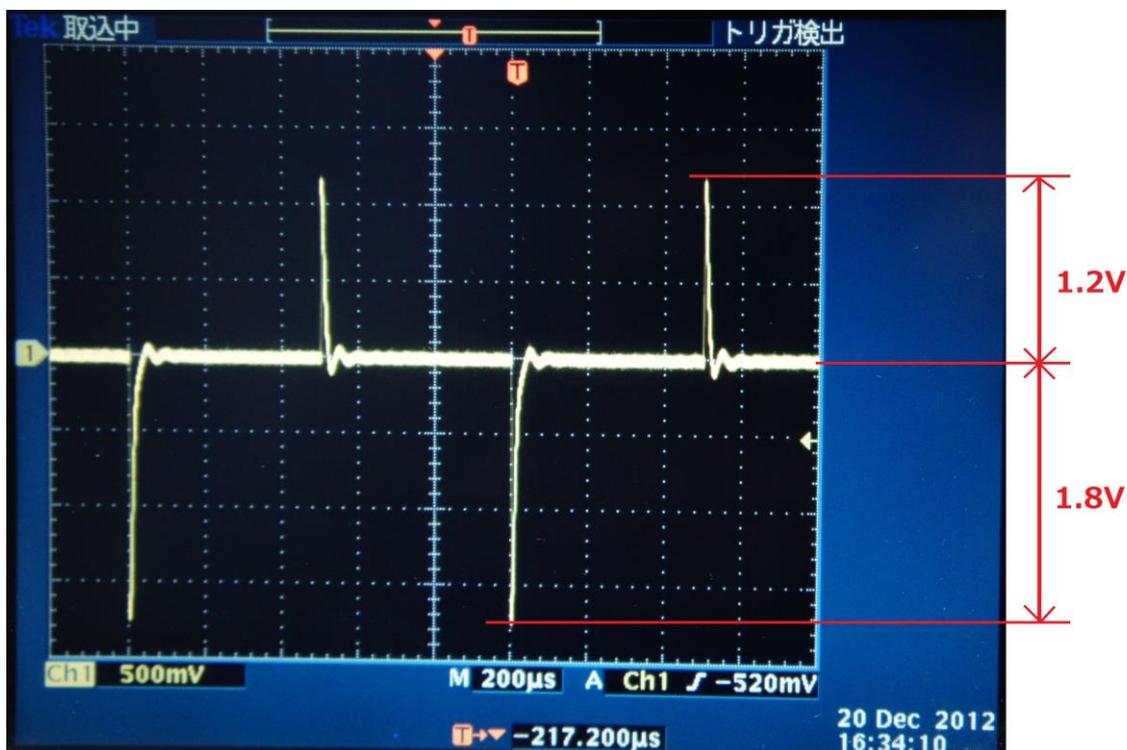
良く線形性がとれているといえる。両外側の3プロットを省いた13プロットに限定し最小二乗法でフィッティングしたところ  $-0.03$  ( V/fC ) という傾きを得た。切片もほぼ原点を通過している。この結果は資料のシミュレーションともよくあっている。

### 問題点

ある条件下において、立ち下がる出力信号の波高値のみが、立ち上がる出力信号の波高値より大きくなる現象が観測された。

#### 条件1 Vpre の値によるもの

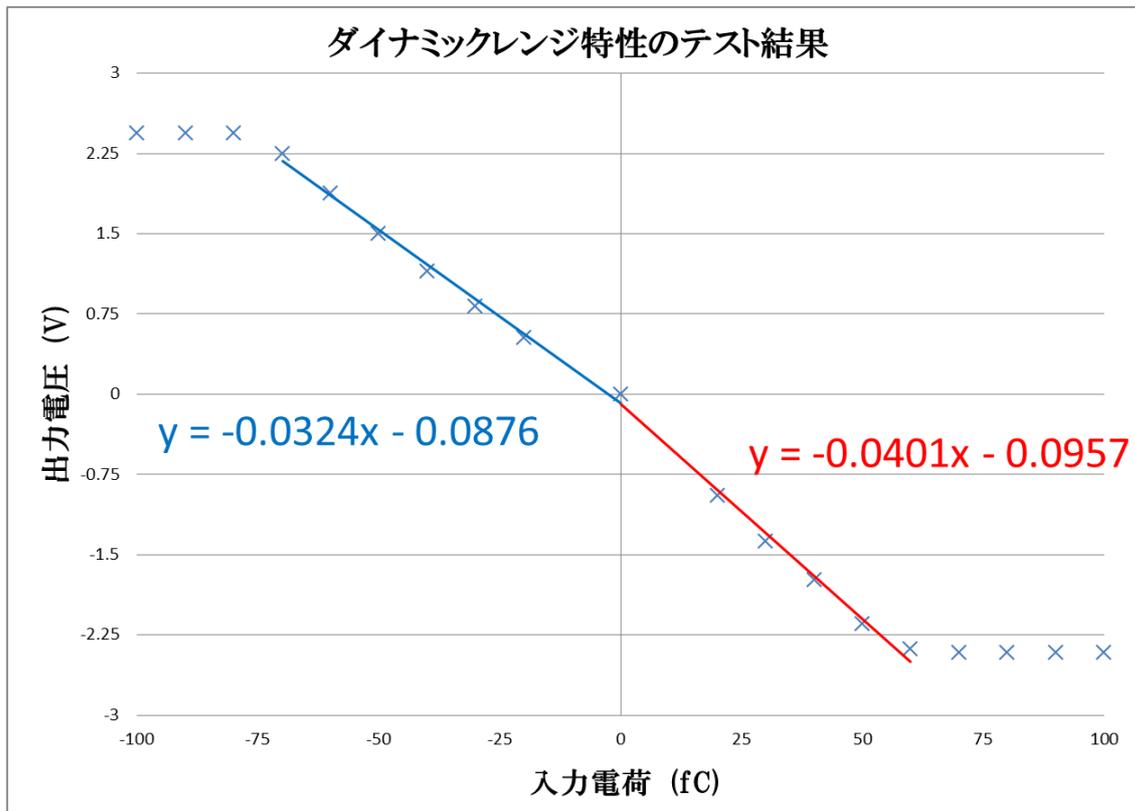
Vpre の値が  $-20\text{mV}$  の場合にその現象が観測された時の図を示す。



黄色の信号が出力信号。

また入力信号の電圧は  $40\text{mV}$ 、周波数は  $1\text{kHz}$ 、Duty は  $50\%$  である。

この時のダイナミックレンジ特性のテスト結果を以下に示す。



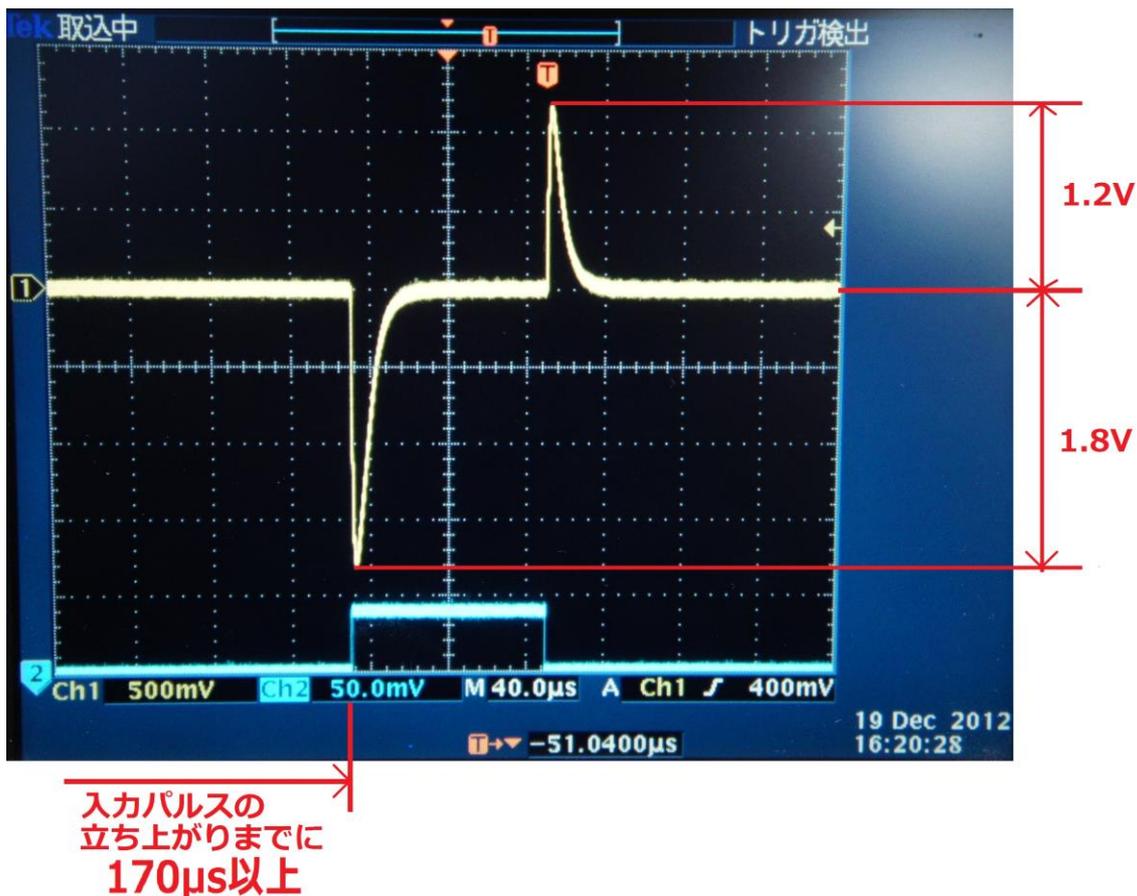
出力信号が立ち上がるものと、立ち下がるものとで分けた上で、範囲を限定し最小二乗法でフィッティングを行った。

やはり立ち上がる出力信号のプロットは資料のシミュレーションとよく合っていて、立ち下がる出力信号は通常より波高値が高くなっている。

資料より最適な  $V_{pre}$  設定値は-20mV である。この値を下げるほど、立ち下がる出力信号の波高値が低くなるのが分かった。この変化は  $V_{pre}$  の値が -50mV~ -65mV の範囲で顕著であり、これ以下ではほとんど通常の波高値と同程度となった。

条件 2 入力信号によるもの

以下にその現象が観測された時の図を示す。



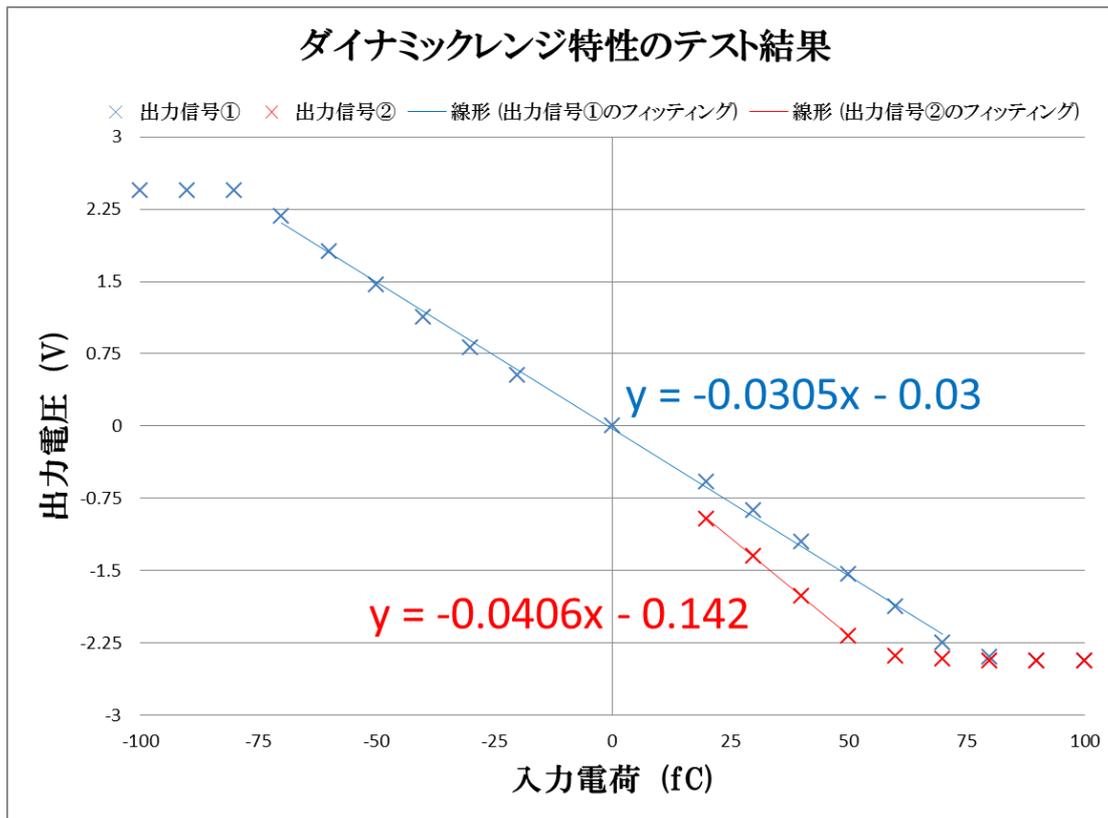
黄色の信号が出力信号、青色の信号が入力信号である。

Vpre -20mV、入力信号の電圧は 40mV、周波数は 1kHz、パルス幅は 100 μs である。

図のように入力パルスの立ち上がりまでに 170 μs 以上定電圧を保つと、立ち下がる出力信号の波高値が通常より大きくなってしまいうようであった。また 140 μs ~ 170 μs がその過渡期であり、140 μs 以下ではこの現象が現れることはなく通常の波高値の出力信号が観測された。

通常出力信号（出力信号①）と、前述した立ち下がる出力信号の波高値のみが大きくなってしまいう場合（出力信号②）に分けてプロットを行った。

以下に結果のグラフを示す。



まずは通常の出力量である出力信号①についてだが、良く線形性がとれているといえる。両外側の3プロットを省いた13プロットに限定し最小二乗法でフィッティングしたところ  $-0.0305$  (V/fC) という傾きを得た。切片もほぼ原点を通過している。

次に通常より波高値が大きくなってしまった出力信号②についてである。この信号もある範囲内では良い線形性がとれている。フィッティングを行うと  $-0.0406$  (V/fC) という傾きを得た。切片は原点からすこしずれてしまっている。

立ち下がる出力信号の波高値が大きくなる現象についてまとめてみる。

内容

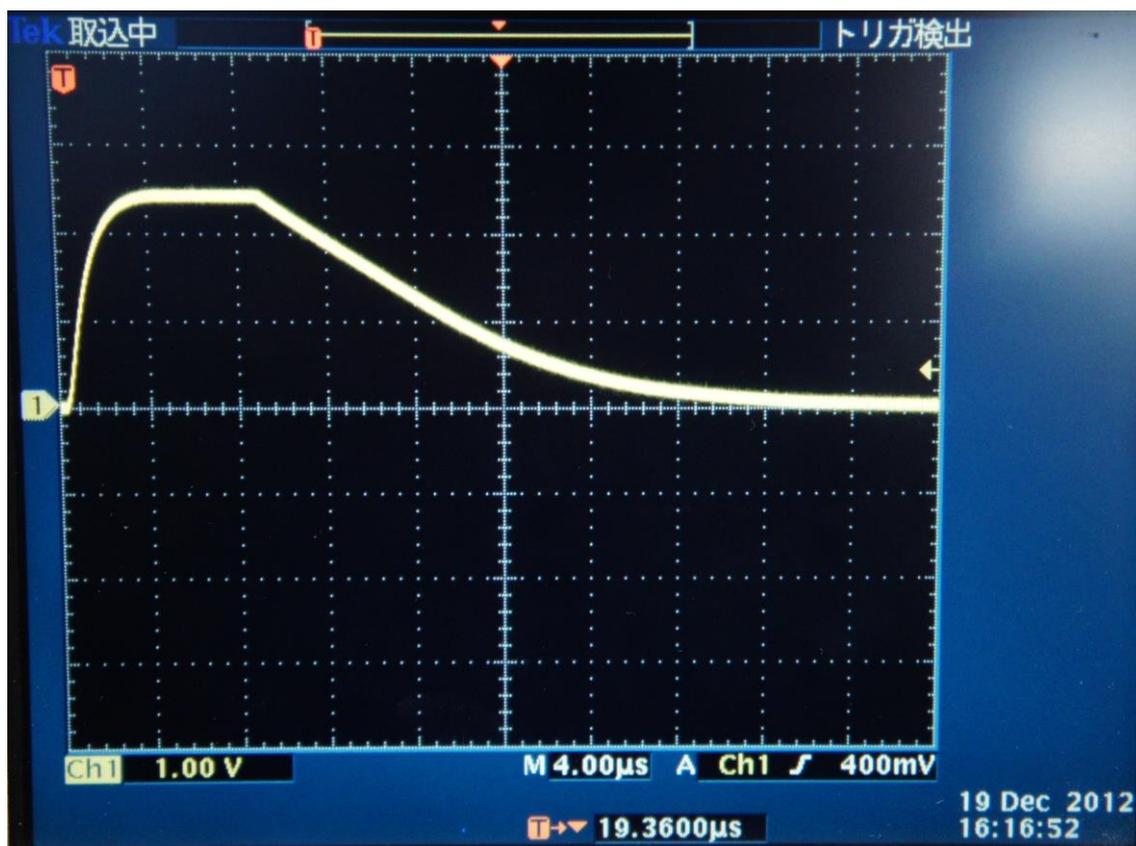
- ・ 立ち下がる出力信号の波高値のみが、立ち上がる出力信号の波高値より大きくなる。この時資料のシミュレーションと波高値が等しいのは、立ち上がる出力信号である。
- ・ 差分は  $0.4V \sim 0.6V$  程度である。
- ・ 波形(時定数など)は変化なし。

### 起こりうる条件

- ・ 入力パルスの立ち上がりまでに  $170\mu\text{s}$  以上の定電圧を保つこと。また  $140\mu\text{s}\sim 170\mu\text{s}$  がその過渡期であり、 $140\mu\text{s}$  以下ではこの現象は起こらない。
- ・  $V_{\text{pre}}$  の値が  $-50\text{mV}$  以上であること。 $-50\text{mV}\sim -65\text{mV}$  の範囲が過渡期であり、これ以下ではほとんど通常の波高値となる。ただしプリアンプの帰還抵抗調整端子である  $V_{\text{pre}}$  の調整範囲は、仕様で  $-50\text{mV}\sim 100\text{mV}$  (なお現在のテスト基板での可能調整範囲は実装された抵抗素子のパラメータより  $-72\text{mV}\sim -7\text{mV}$  程度である) であるため、この条件はサポート外ということとなる。

### 備考

入力信号が  $-100\text{fC}\sim -80\text{fC}$  また  $80\text{fC}\sim 100\text{f}$  であるときの出力信号の波形は以下の図のようになった。



これはオペアンプが VSS や VDD 付近の電圧まで出力できないために頭打ちになり、出力波形が変形してしまったためであると考えられるが、シミュレーションの場合とは波形が異なってしまった。

### 10.2.3.ノイズテスト

#### テスト内容

- ①入力を回路の GND レベルに設定する。
- ②回路に電源を供給し出力をオシロスコープで測定。
- ③オシロスコープのヒストグラムモードを用いて出力のヒストグラム表示。
- ④オシロスコープのヒストグラム解析機能を用いて標準偏差  $\sigma$  (V) を取得。
- ⑤次式より入力等価雑音電荷・電子数を導出

$$\text{入力等価雑音電荷} = \sigma \text{ (V)} / \text{Gain (V/fC)}$$

$$\text{入力等価雑音電子数} = \text{入力等価雑音電荷} / (-1.6 \times 10^{-19})$$

## テスト実施日

2012 年 12 月 24 日(ver0.3)

## 測定器具

DC 電源

Metronix 532C 2 台

Oscilloscope

Tektronix DPO4034

## 設定

ASIC のパラメータ

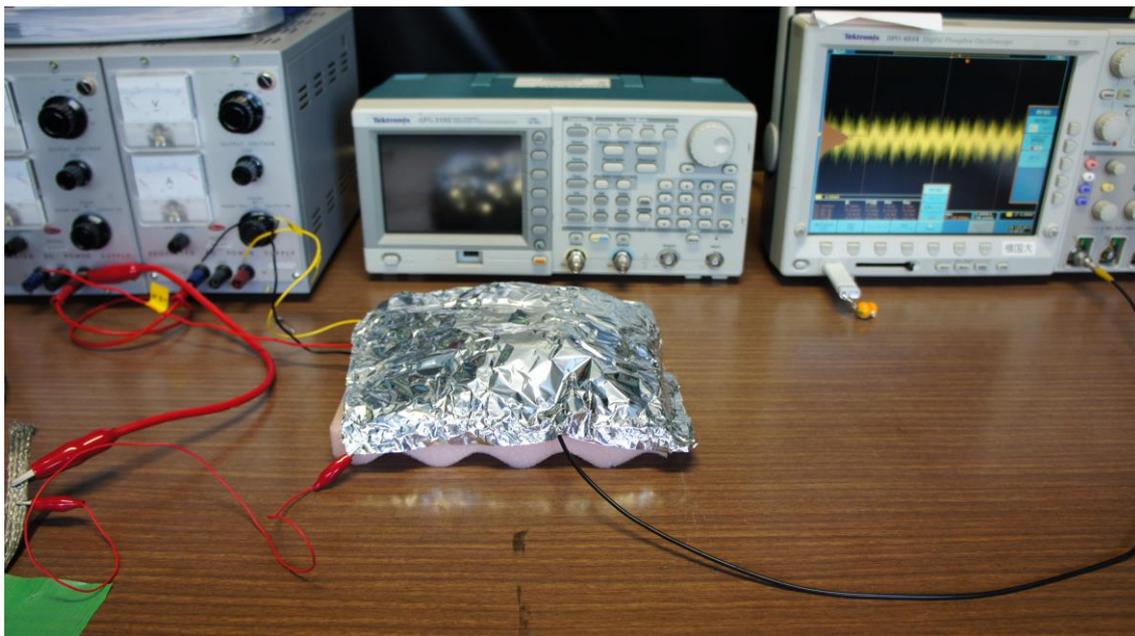
Vpre	IDAMP (R26)
-25mV	510kΩ

備考 IDAMP に 7.955  $\mu$  A が流れている

## その他

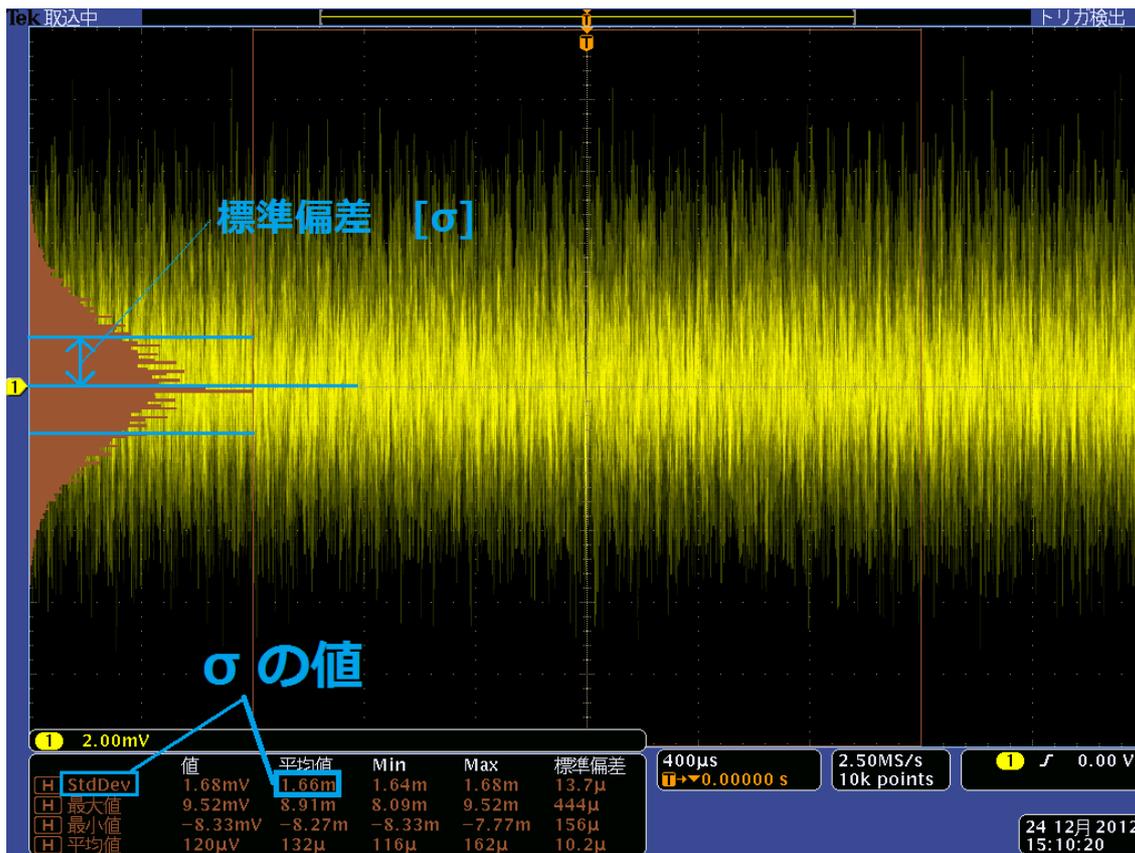
周囲の電磁ノイズに影響を受けるため、GND に繋げたアルミホイルでテスト基板を覆い遮蔽した。(回路にアルミホイルが直接触れないようにした)

以下にその様子の図を示す。



## 結果

以下に出力のヒストグラムとその $\sigma$ の値を取得したときのオシロスコープ表示を示す。



ノイズのヒストグラムはガウス分布となった。このヒストグラム標準偏差  $\sigma$  の平均値は 1.66mV でありこれを Gain (-0.03V/fC) で割ると、

$$0.00166 \div (-0.03) \doteq -0.0553 \text{ fC}$$

よって入力等価雑音電荷 -0.0553 fC を得た。

さらに 1 電子あたりの電荷量で割ると、

$$-0.0553 \div (-1.6 \times 10^{-19}) \doteq 345$$

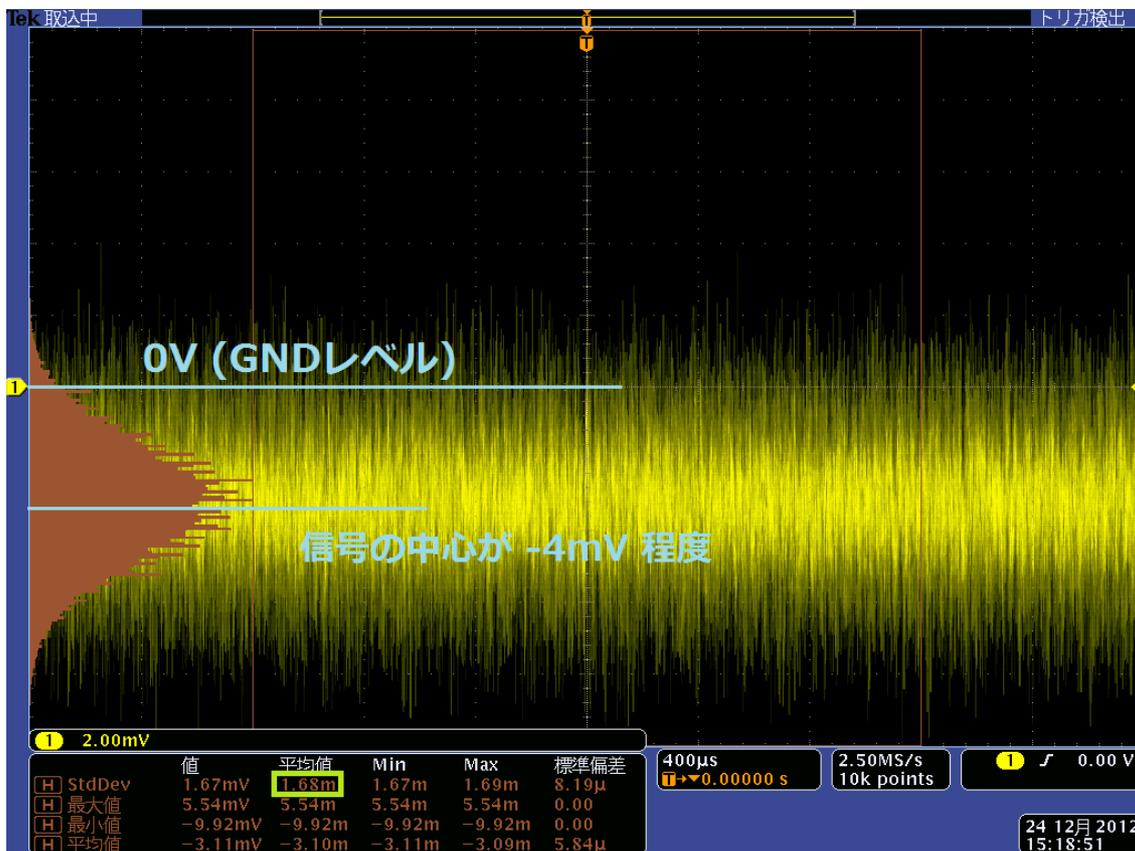
よって入力等価雑音電子数は 345 electron である。

なおこれは検出器容量が 1pF の場合である。

### 備考

今回のノイズの評価では  $V_{pre}$  の値を  $-25\text{mV}$  とした。なぜなら最適値である  $-20\text{mV}$  では信号のベースラインが  $0\text{V}$  (GND)より  $4\text{mV}$  程度下がってしまったからである。

以下に  $V_{pre}$  が  $-20\text{mV}$  のときの信号の図を下に示す。



信号のベースラインは  $V_{pre}$  が  $-25\text{mV}$  の時  $0\text{V}$  であり、それより  $V_{pre}$  が高くなるとベースラインは下がり、低くなるとベースラインは上がった。

なおノイズの標準偏差  $\sigma$  の値にはそれほど変化が見られなかった。

### 10.2.4.ゲインの検出器容量特性

## テスト内容

- ①出力のアナログ波高値を縦軸に、入力値を横軸にして負～正に対してプロット。
- ②フィッティングを行い、傾き(ゲイン)を求める。
- ③検出器容量を変化させて数回行う。
- ④検出器容量に対するゲインをプロット。

## テスト実施日

2013年1月11日(ver0.5)

## 測定器具

DC 電源

Metronix 532C 2台

Function Generator

Tektronix AFG3102

Oscilloscope

Tektronix DPO4034

## 設定

### ASICのパラメータ

Vpre	IDAMP (R26)
-20mV	510kΩ

備考 IDAMP に 7.955  $\mu$ A が流れている

### テストパルスのパラメータ

Frequency	Amplitude	Width
1kHz	-100mV ~ 100mV	100 $\mu$ s

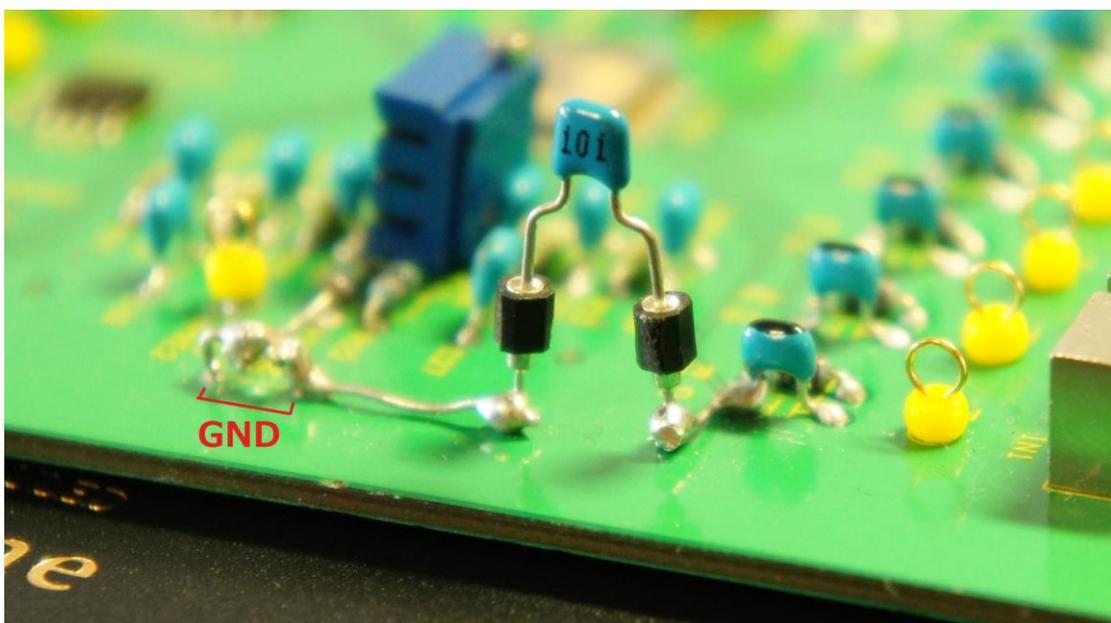
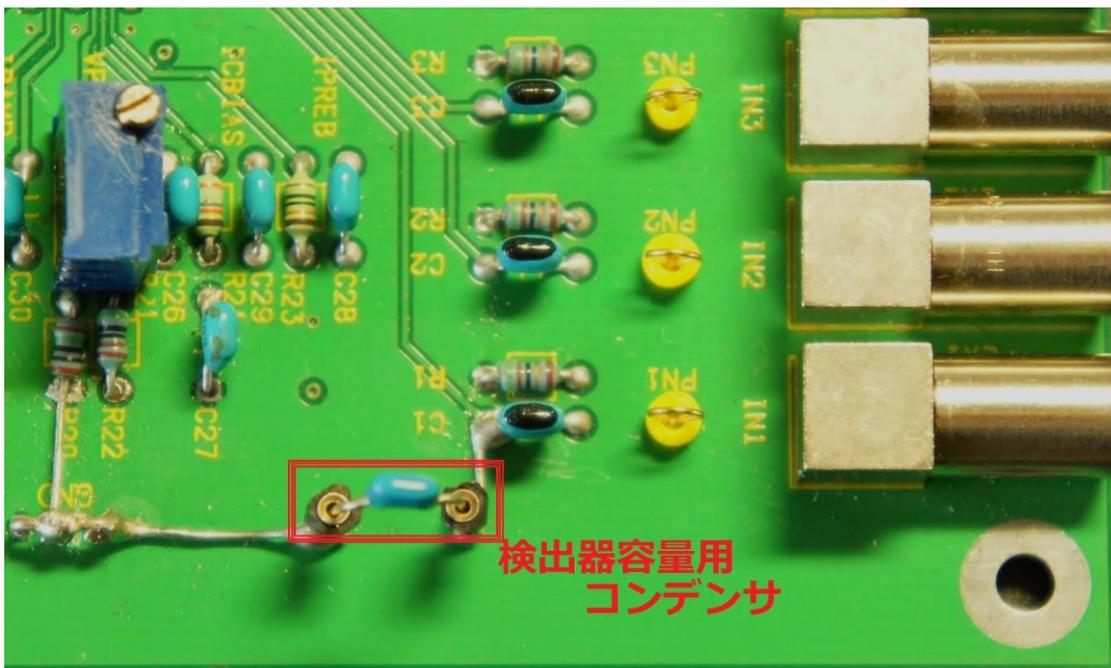
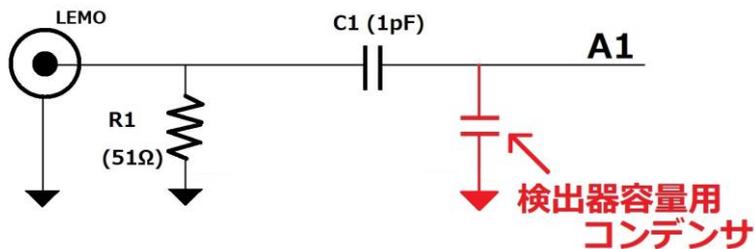
備考 入力信号が-100fC~100fC を想定 (入力容量は 1pF)

### 変化させる検出器容量

1pF 21pF 45pF 67pF 101pF

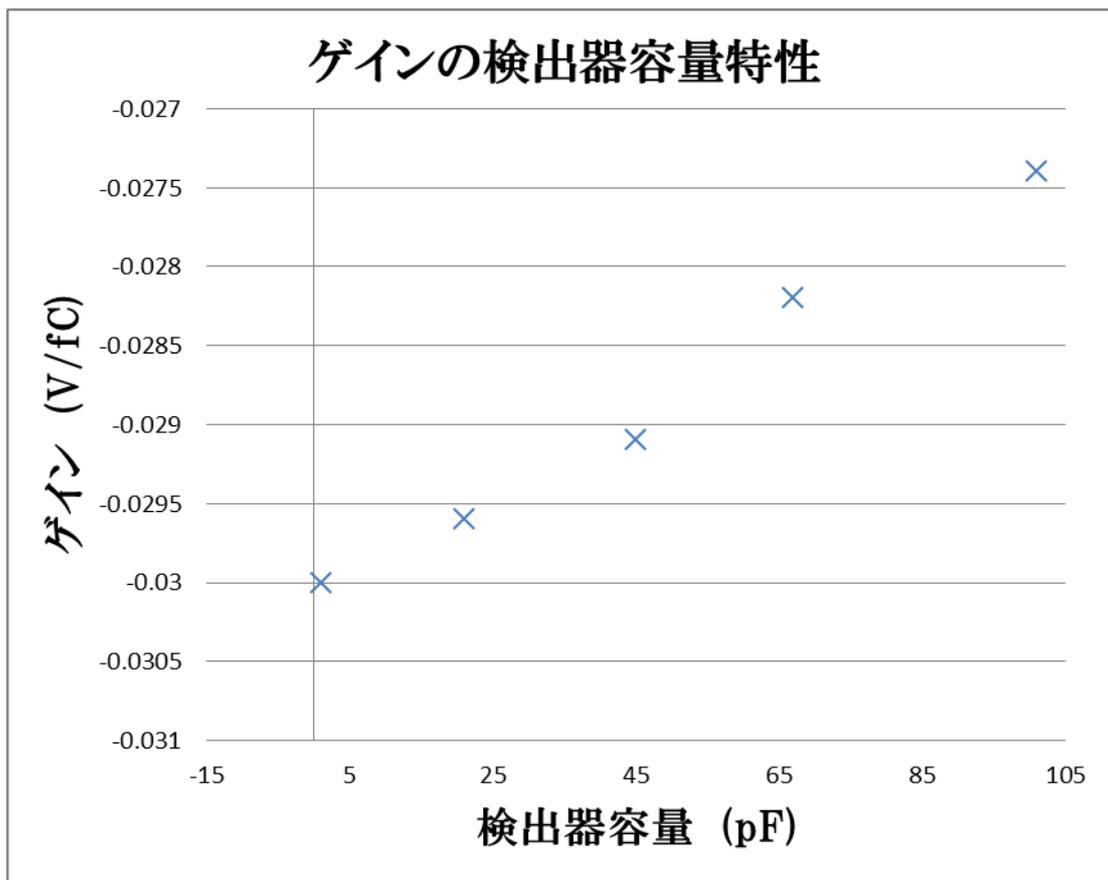
なお検出器容量用のコンデンサは以下の図のような位置に設置した。

CH1



検出器容量用コンデンサを設置すべき位置からリード線を伸ばし、コンデンサを容易に付け替えることが出来るように丸ピンソケットを半田付けした。

結果



以上の結果より、検出器容量の大きい部分でゲインが落ちていることがわかる。

これは仕様書にも記載してあるが、設計段階で初段トランジスタのドレイン電流を絞っているため、大きな負荷容量に対しゲインが落ちてしまうためである。よって仕様通りである。

## 備考

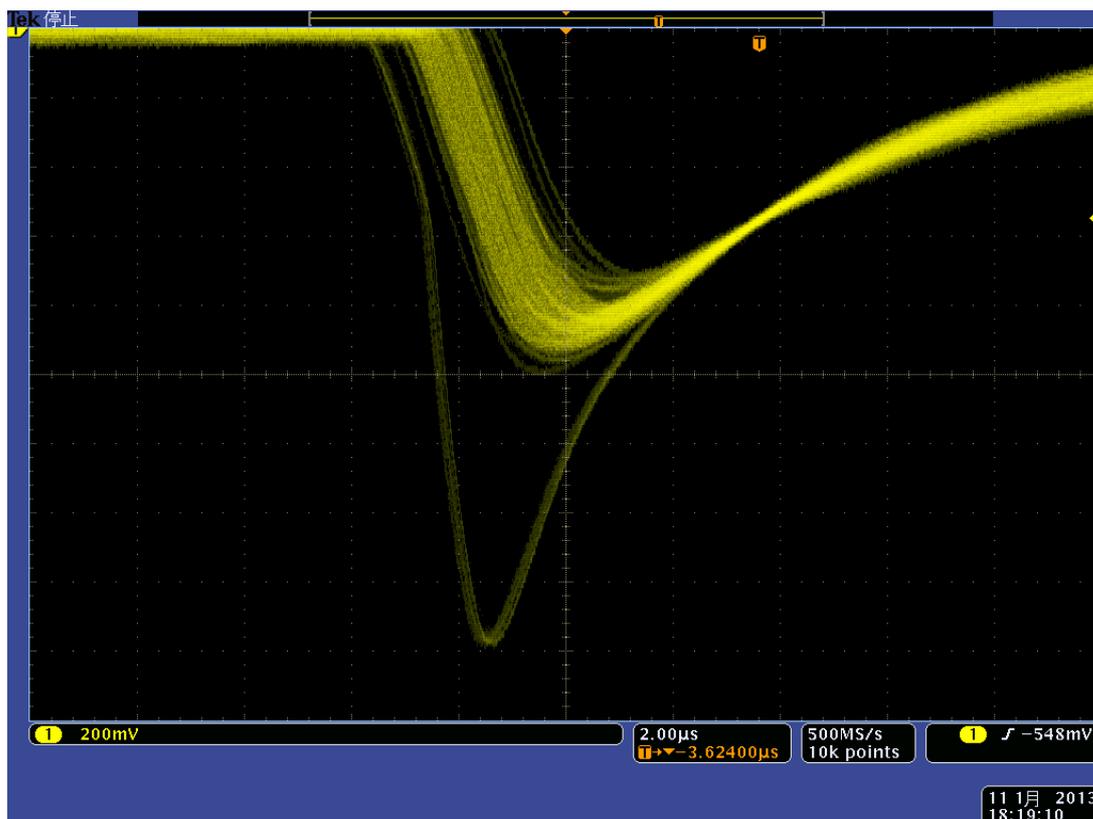
今回、検出器容量を大きくしていくにつれて出力波形が安定しなくなることが分かった。

具体的には 45pF 以上から波形が安定しにくくなった。

また、本来の波形に混じって、なぜか原因不明な波形が現れることが分かった。以下にそのときの波形を 2 例紹介する。濃く表れているほうが、本来の波形である。

なおこの現象については今後再検証したい。

入力電荷 30fC 検出器容量 67pF



入力電荷 100fC 検出器容量 101pF



### 10.2.5.ノイズの検出器容量特性

#### テスト内容

- ①入力を回路の GND レベルに設定する。
- ②回路に電源を供給し出力をオシロスコープで測定。
- ③オシロスコープのヒストグラムモードを用いて出力のヒストグラム表示。
- ④オシロスコープのヒストグラム解析機能を用いて標準偏差  $\sigma$  (V) を取得。
- ⑤次式より入力等価雑音電荷・電子数を導出

$$\text{入力等価雑音電荷} = \sigma \text{ (V)} / \text{Gain (V/fC)}$$

$$\text{入力等価雑音電子数} = \text{入力等価雑音電荷} / (-1.6 \times 10^{-19})$$

- ⑥①～⑤を検出器容量を変化させて数回行う。
- ⑦検出器容量に対する入力等価雑音電子数をプロット。

#### テスト実施日

2011 年 1 月 10 日(ver0.5)      改訂 2013 年 1 月 25 日(ver0.6)

#### 測定器具

DC 電源

自作      006P 電池(9V)をリニアレギュレータ(LT3014)により降圧  
 詳細は備考欄に掲載する。

Oscilloscope

Tektronix      DPO4034

#### 設定

ASIC のパラメータ

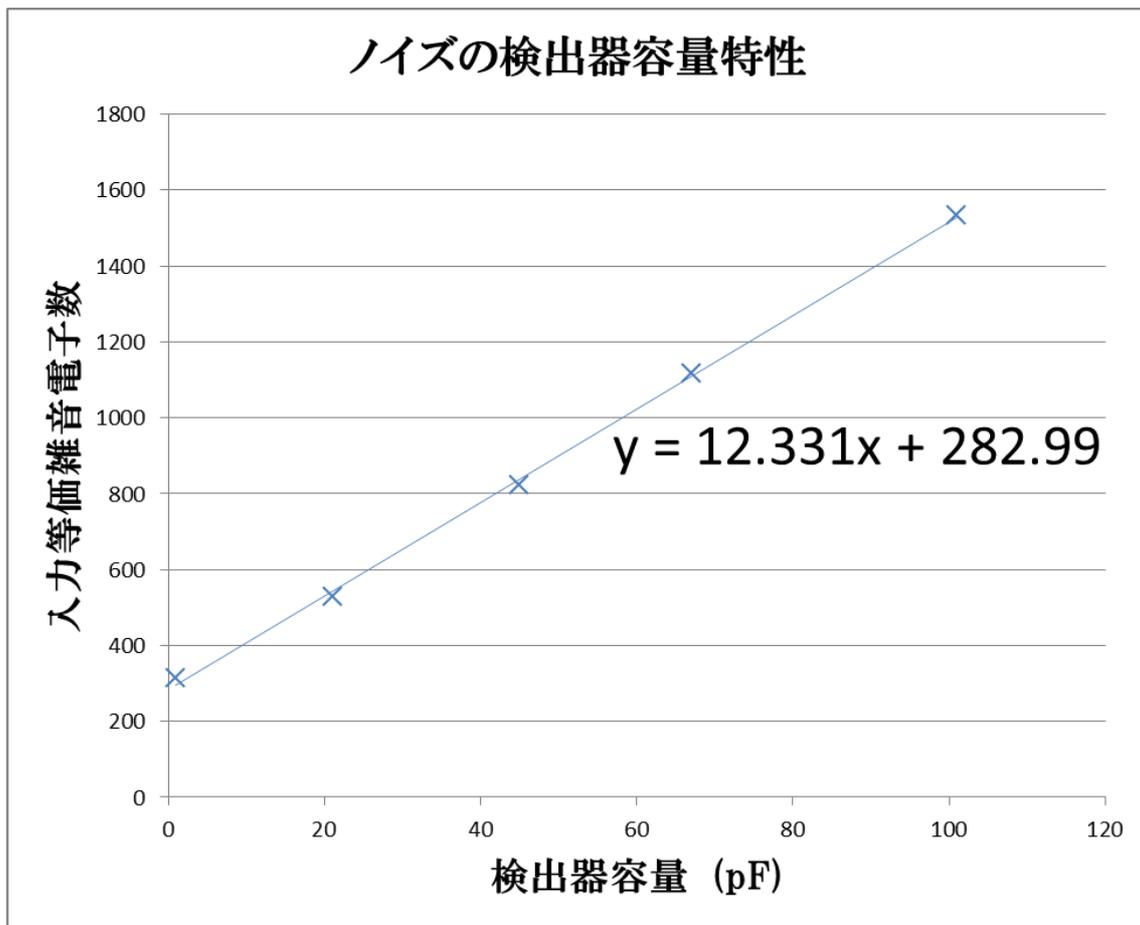
Vpre	IDAMP (R26)
-24mV	510k $\Omega$

備考 IDAMP に 7.955  $\mu$  A が流れている

変化させる検出器容量

1pF 21pF 45pF 67pF 101pF

結果



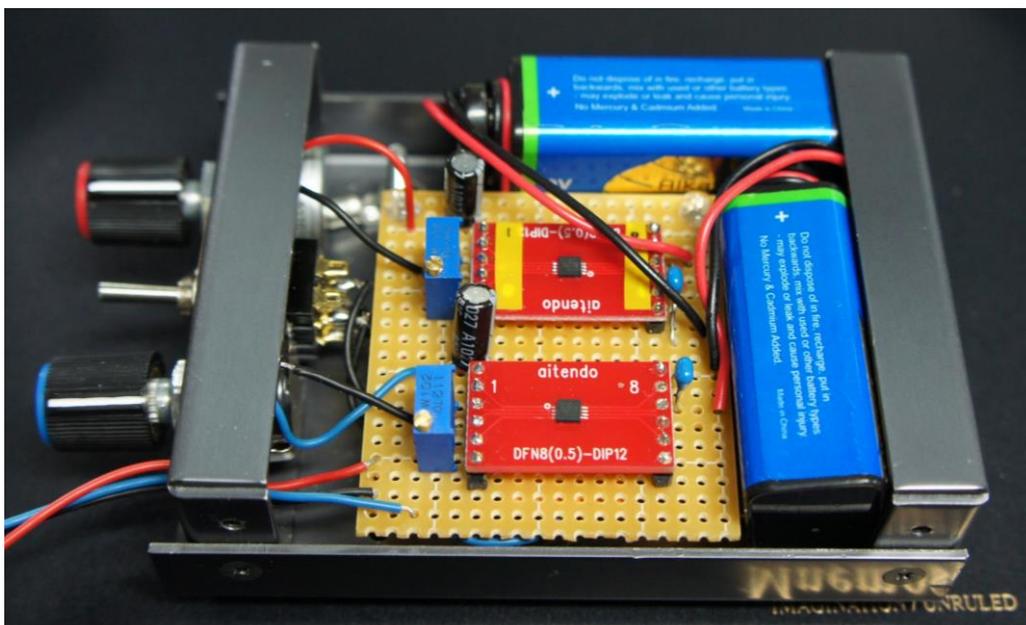
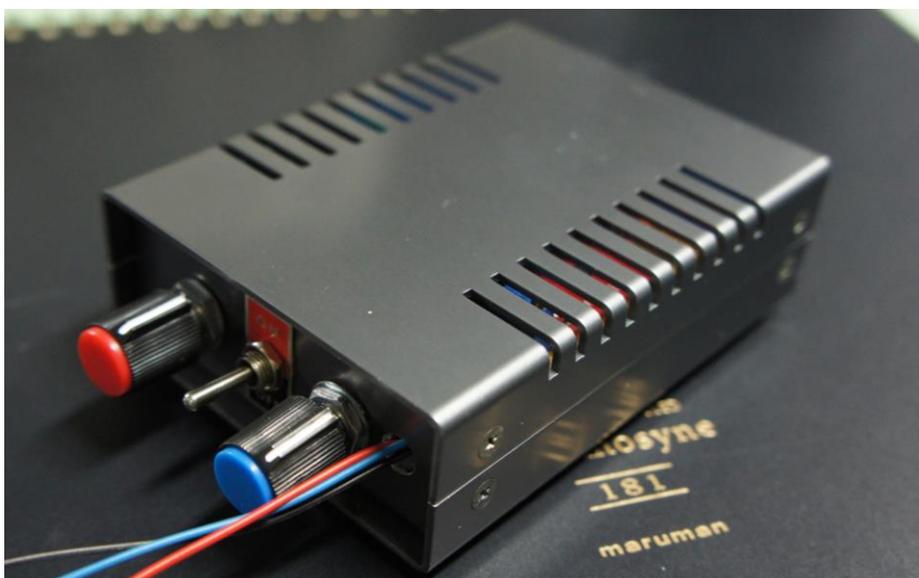
以上の結果をシミュレーションと比較すると、すべてのプロットにおいてシミュレーションより少しばかりノイズが大きいという結果を得た。仮にシミュレーションでの傾きを計算してみると 10 (electron/pF)程度であるが、本テストでは線形フィッティングの結果、12 (electron/pF)程度であった。これはシミュレーションでは 1/f ノイズを考慮していないためだと思われる。また仕様書によると、検出器容量が 50pF において 1000electron 以下である。本テストの結果から検出器容量が 50pF の際のノイズを算出すると 約 900electron であり、仕様を満たしている。

今後 1/f ノイズを考慮したシミュレーションを行う予定である。

## 備考

ノイズの低減、また実験の効率なども考慮し、小型の専用電源を作製した。以下に特徴と図を示す。

- ・ 006P 電池をリニアレギュレータ(LT3014)により降圧
- ・ 同回路を 2 つ製作し両電源とした
- ・ サイズ 7.5 × 10 × 3 (cm)
- ・ 露出しているノブで約 1mV 単位で可変
- ・ 内部可変抵抗により可変範囲を変更可能(広くするほどノブでの分解能が悪くなる)
- ・ 最大可変範囲 約 1.2V ~ 9V -1.2V ~ -9V



### 10.2.6.ゲインのシェーパー時定数特性

#### テスト内容

- ①出力のアナログ波高値を縦軸に、入力値を横軸にして負～正に対してプロット。
- ②フィッティングを行い、傾き(ゲイン)を求める。
- ③シェーパー時定数を変化させて数回行う。
- ④シェーパー時定数に対するゲインをプロット。
- ⑤波形も確認する

#### テスト実施日

2013年1月 24日, 25日(ver0.6)

#### 測定器具

DC 電源  
 自作  
 Function Generator  
 Tektronix AFG3102  
 Oscilloscope  
 Tektronix DPO4034

#### 設定

##### ASIC のパラメータ

Vpre	IDAMP (R26)
-72mV	510k , 1M , 3M , 5.1M , 10M , 30M , 50M

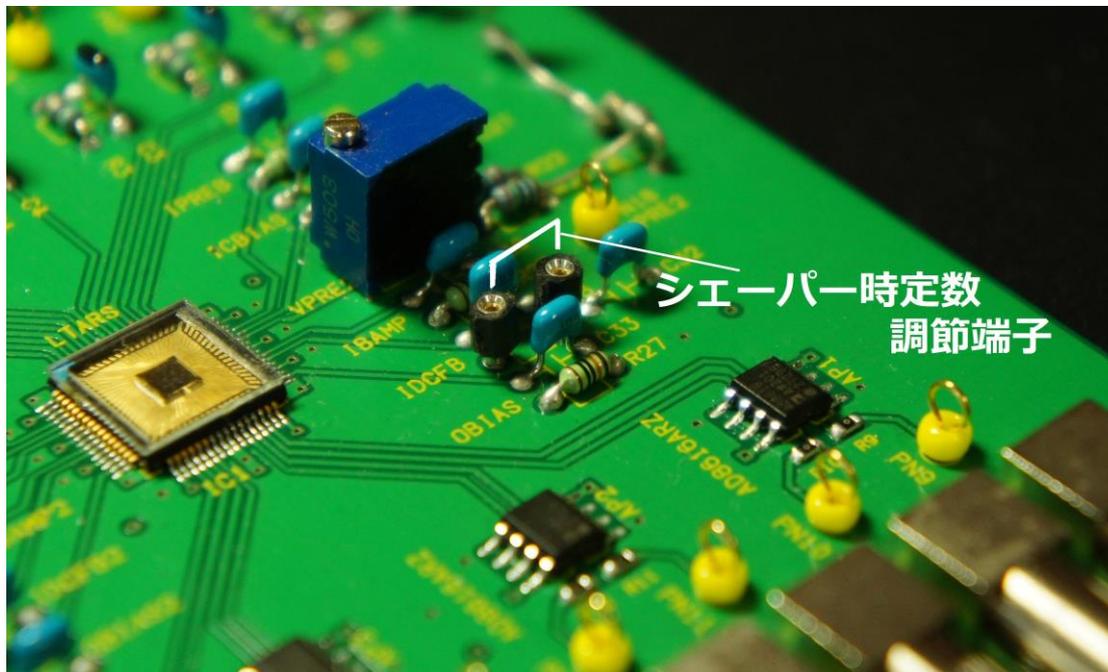
##### テストパルスのパラメータ

Frequency	Amplitude	Duty
1kHz	-100mV ~ 100mV	50%

備考 入力信号が-100fC~100fC を想定 (入力容量は 1pF)

Frequency は場合によって変更

シェーパー時定数はシェーパー時定数調整端子 IDCFB に流す電流を調整することで変化させる。そのため IDAMP(R26)の抵抗を付け替えることで IDCFB に流す電流値を変化させる。そのため以下の図のように R26 の抵抗を外し、抵抗を容易に替えられるように丸ピンソケットを半田付けした。



## 結果

結果には以下のように4点について載せる。

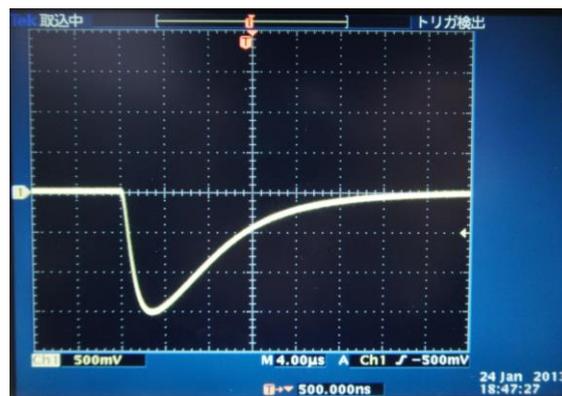
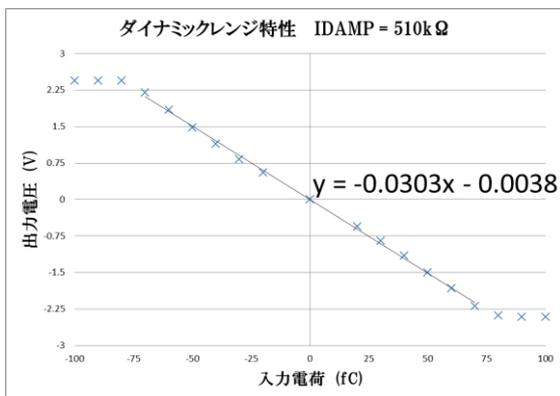
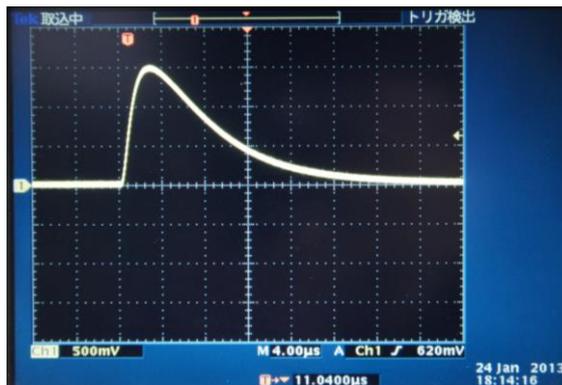
諸項目

入力信号 - 50fC での  
出力波形

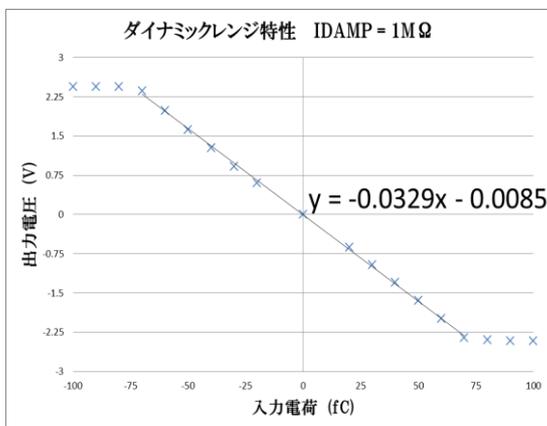
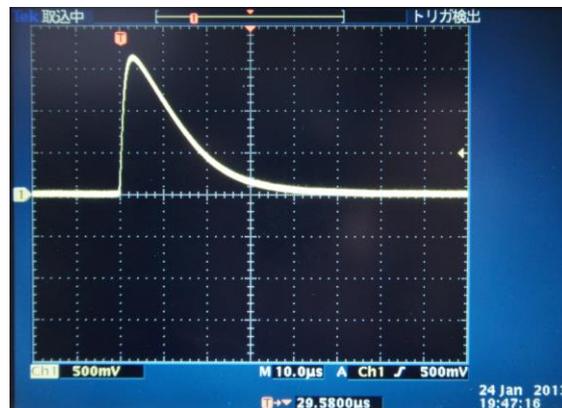
ダイナミックレンジ  
特性

入力信号 50fC での  
出力波形

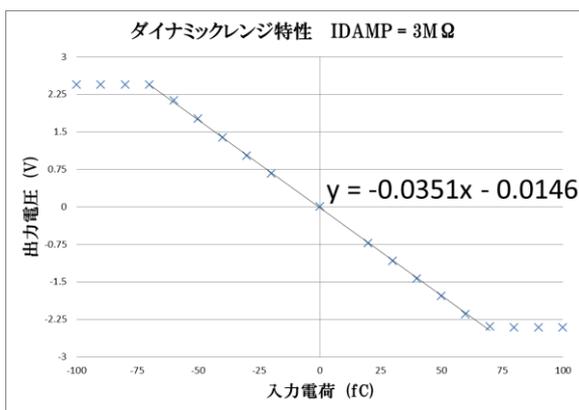
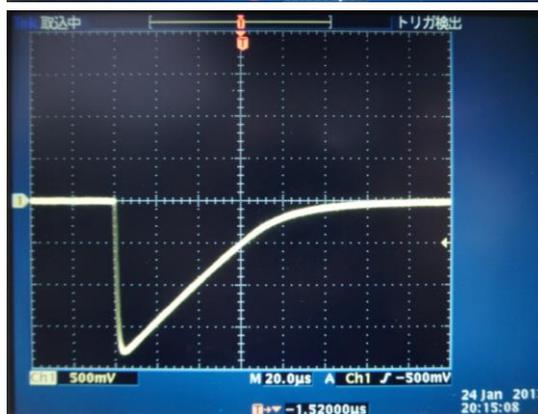
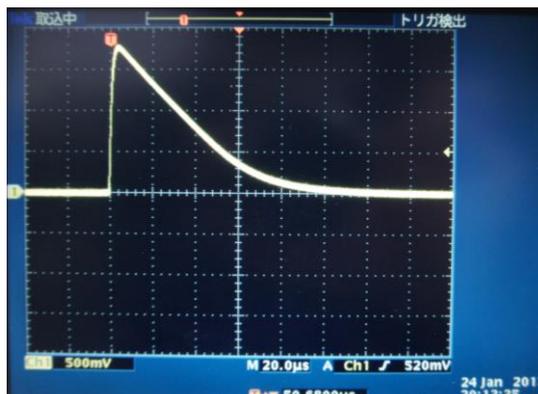
<b>IDAMP</b>	<b>510kΩ</b>
IDCFB	7.94 μA
ベースライン	19mV
時定数	28 μs



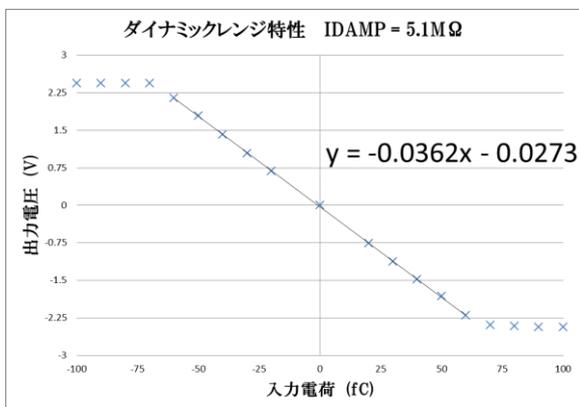
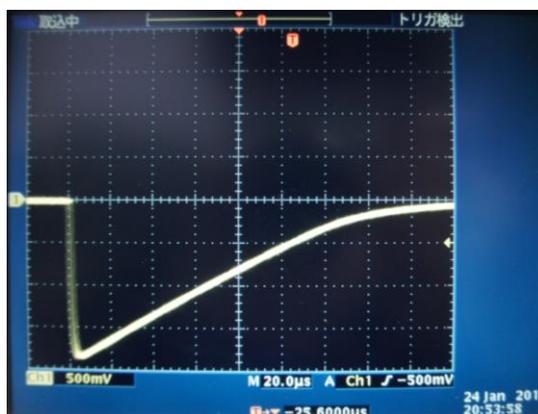
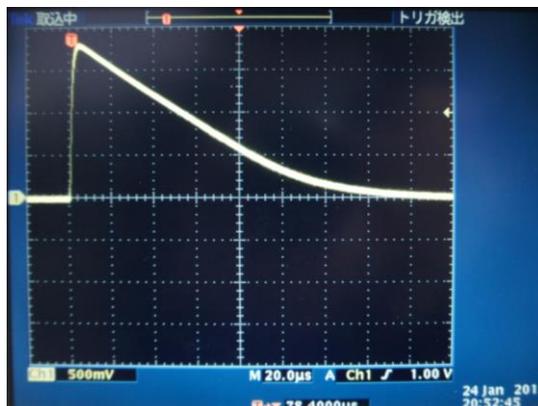
<b>IDAMP</b>	<b>1MΩ</b>
IDCFB	4.09 μA
ベースライン	10mV
時定数	50 μs



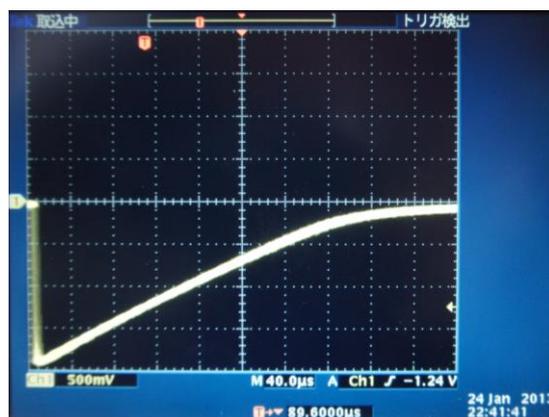
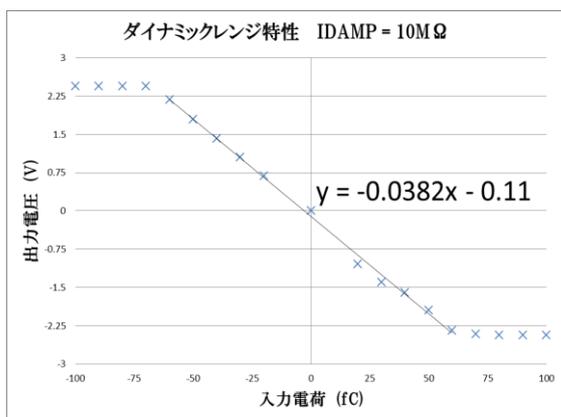
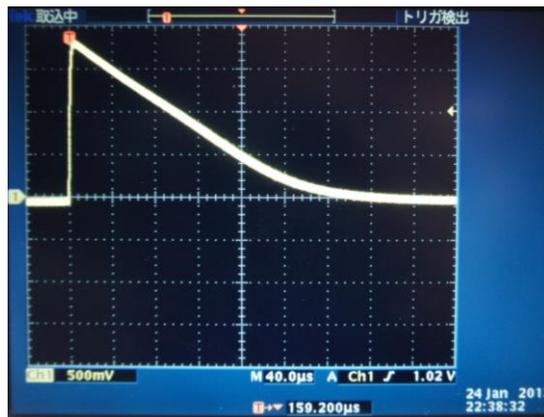
<b>IDAMP</b>	<b>3MΩ</b>
IDCFB	1.38 μA
ベースライン	-2.5mV
時定数	100 μs



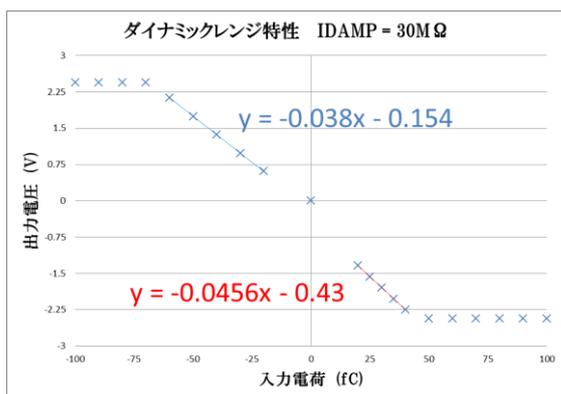
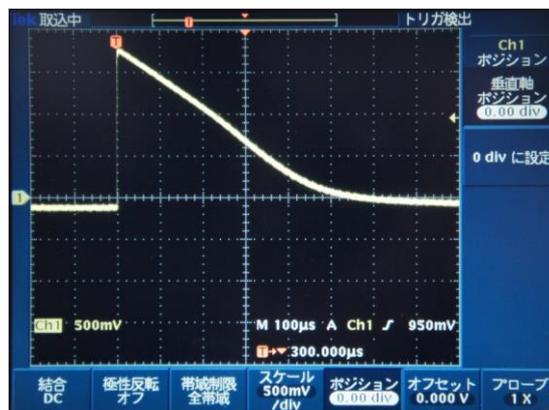
<b>IDAMP</b>	<b>5.1MΩ</b>
IDCFB	812nA
ベースライン	-15mV
時定数	120 μs



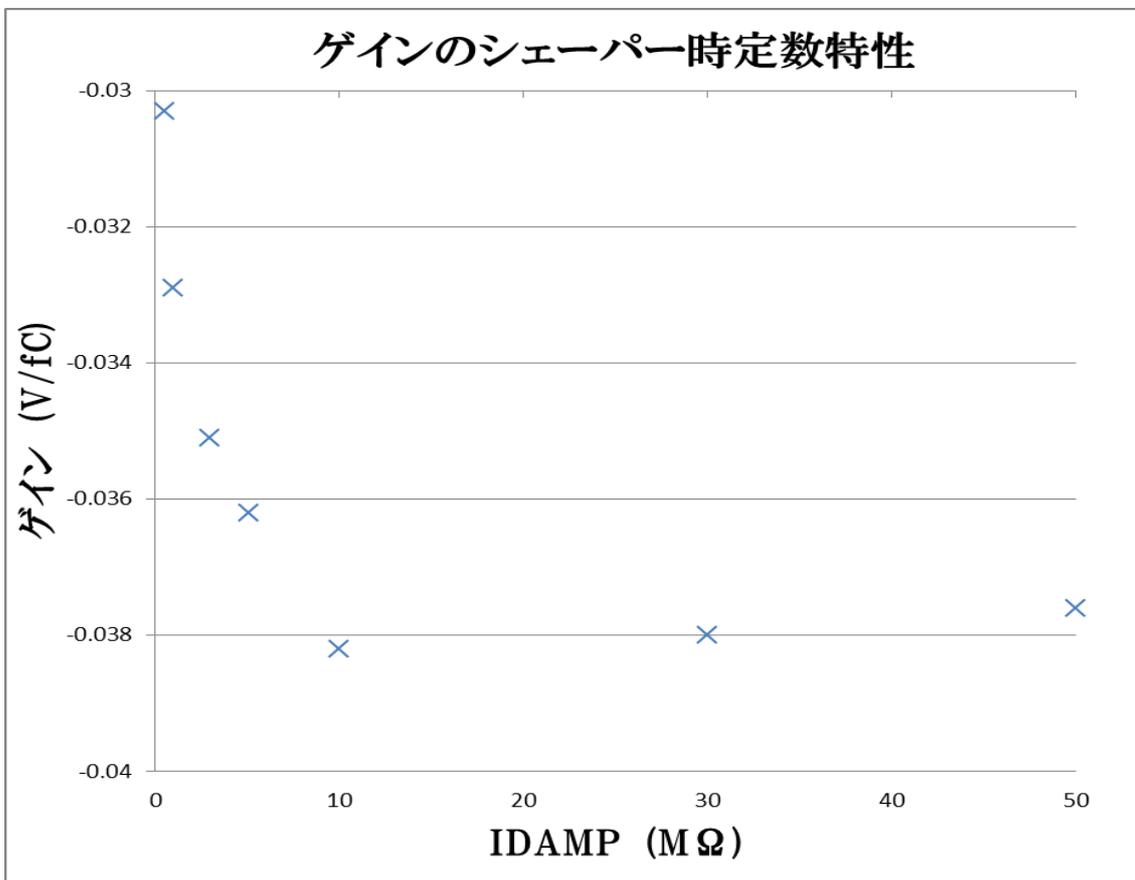
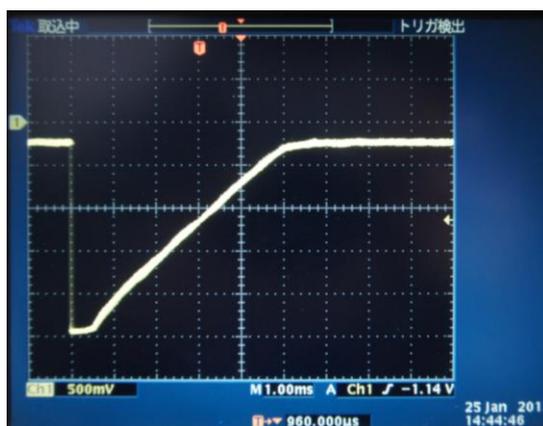
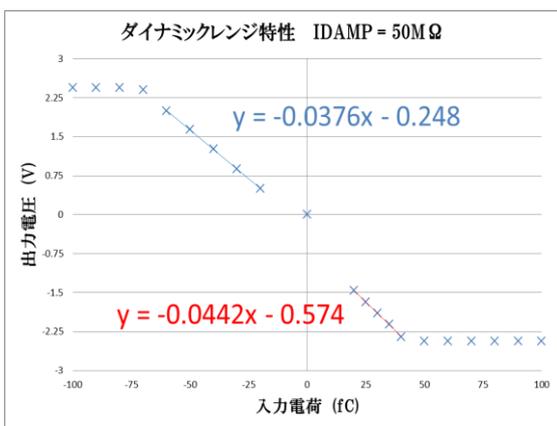
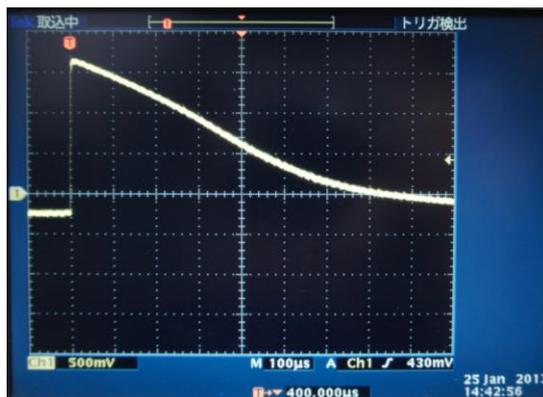
<b>IDAMP</b>	<b>10MΩ</b>
IDCFB	416nA
入力信号周波数	600Hz
ベースライン	-40mV
時定数(正)	280 μs
時定数(負)	400 μs



<b>IDAMP</b>	<b>30MΩ</b>
IDCFB	139nA
入力信号周波数	100Hz
ベースライン	-120mV
時定数(正)	600 μs
時定数(負)	2ms



<b>IDAMP</b>	<b>50MΩ</b>
IDCFB	83.6nA
入力信号周波数	50Hz
ベースライン	-220mV
時定数(正)	900 μ s
時定数(負)	6ms



IDAMP に大きい値の抵抗を設置する。つまり IDCFB に流す電流を小さくするほど、ゲインは大きくなり時定数は長くなった。また出力信号の立ち上がり時間は変化しないため、波形全体ではピークより尖がったような印象を受ける。そして原因は不明であるが、IDAMP に大きい値の抵抗を設置するほどベースラインが低くなった。今回はボードの GND (0V) に対しての波高値をプロットしたが、得られた近似曲線の y 切片を見ると、IDAMP に大きい値の抵抗を設置するほど y 切片は低くなるため、補正を行うべきかもしれない。

IDAMP = 10M $\Omega$  , 30M $\Omega$  , 50M $\Omega$  において立ち下がる出力波形の時定数と波高値が不自然に異なるのは、入力信号の周期を広くしたためだと思われる。本測定では波形が重ならないように、IDAMP = 10M $\Omega$  , 30M $\Omega$  , 50M $\Omega$  において入力信号の周波数をやむを得ず低く設定した。すると周波数を低くするにつれて、立ち下がる出力波形の波高値が高くなり、時定数は長くなった。これは周波数が 500Hz ~ 700Hz において顕著であった。この現象は本資料 10.2.2 項のダイナミックレンジ評価で問題点とした現象と酷似しているため、同様の原因で起こっていると思われるが、その原因については追究中である。

この 3 プロットを除いたうえで、ゲインのシェーパー時定数特性を見ると、線形性は見られなかったが、単調増加の傾向があった。

本資料のシミュレーションでは、IDAMP の変化に対して ASIC 内部のシェーパーの出力波形のみ掲載しているため、現段階で最終的な出力波形との詳細な比較をすることは難しいが、今後シミュレーションを行った上で比較を行いたい。

### 10.2.7.チャンネルごとのばらつきの評価

#### テスト内容

- ①アナログ出力の直流電位を全てのチャンネル毎に計測しどの程度ばらついているか。
- ②10.2.2 のゲインもチャンネル毎でどの程度ばらつくか。  
出力の波高値を縦軸に、入力値を横軸にして負～正に対してプロット。  
フィティングを行い、傾き(ゲイン)を求める。

#### テスト実施日

2013 年 3 月 4 日      2013 年 3 月 5 日(ver0.7)

#### 測定器具

DC 電源  
     自作  
 Function Generator  
     Tektronix AFG3102  
 Oscilloscope  
     Tektronix TDS3014B

#### 設定

##### ASIC のパラメータ

Vpre	IDAMP (R26)
-72mV	510kΩ

備考 IDAMP に 7.955 μ A が流れている

##### テストパルスのパラメータ

Frequency	Amplitude	Duty	Width
1kHz	-100mV ~ 100mV	50%	500 μ s

備考 入力信号が-100fC~100fC を想定 (入力直後のキャパシタンスは 1pF)

なお本テストはこれ以前のテストとは異なるテスト基板で行った。

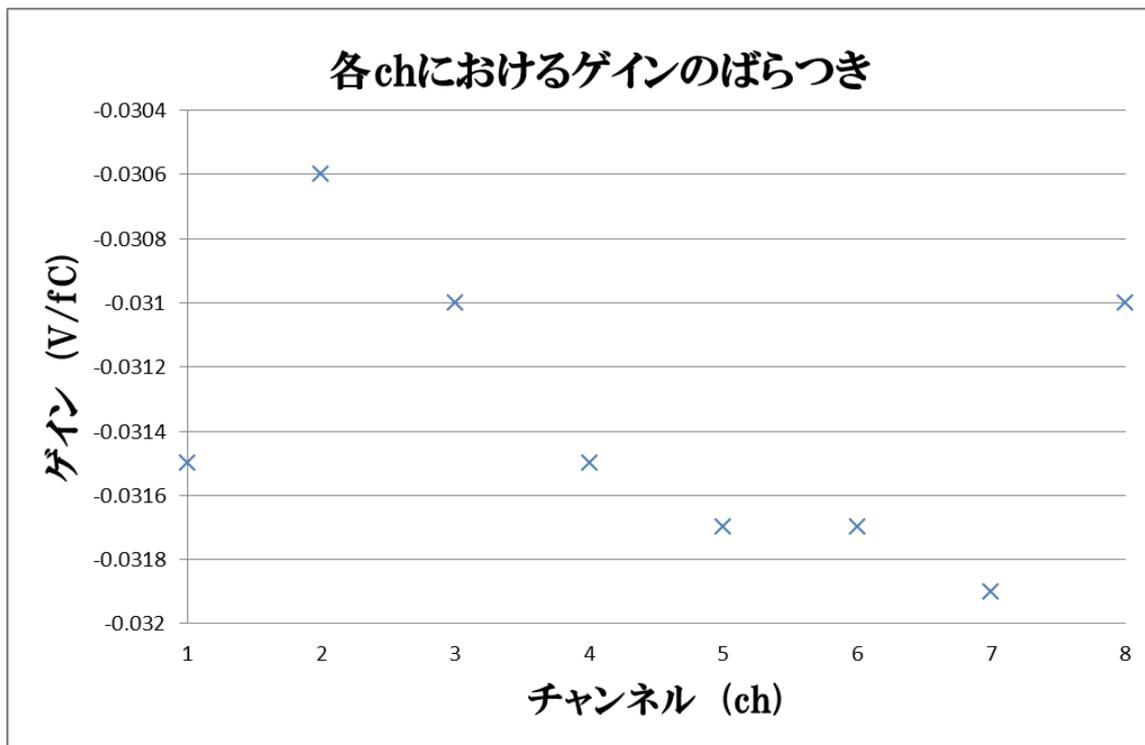
結果

直流試験結果は以下のようになった

チャンネル(ch)	電位(mV)
1	48.1
2	15.2
3	-78.2
4	-16.9
5	-19.3
6	-0.7
7	25.1
8	-45.4

上図より、ベースラインのばらつきがあることがわかる。その範囲は大体のチャンネルで-50mV~+50mV 以内であった。一番ばらつきが大きいものは 3ch の-78.2mV であるが、想定される最大入力信号が±50fC であり、その時の出力信号が 1500mV 程度であるので、ベースラインのばらつきを考慮しても十分増幅できる程度である。

また各チャンネルにおけるゲインのばらつきは以下のようになった。



上図の通り、すべてのチャンネルが $-0.03(\text{V/fC})$ 以上となったが、 $-0.030 \sim -0.032 (\text{V/fC})$ 程度の間でばらついた。しかしこの程度のばらつきは、プリアンプやシェーパーに使用されたトランジスタやコンデンサの特性のばらつきのためであると考えられる。またこの結果は以前使用していたテスト基板とも一致する。

### 10.3. トランジェント特性

テスト必要なし

### 10.4. 組み込みテスト

テスト必要なし

## 11. 更新履歴

ver0 : 2012.05.24 初版製作

ver0.1: 2012.12.17 岩崎 テスト (直流試験、動作確認) 結果記入

ver0.2: 2012.12.18 岩崎 テスト (ダイナミックレンジ特性) 結果記入

ver0.2 改: 2012.12.19 岩崎 テスト (ダイナミックレンジ特性他) 再実験・改訂

ver0.2 改2: 2012.12.20 岩崎 テスト (ダイナミックレンジ特性) 再実験・改訂

ver0.3: 2012.12.25 岩崎 テスト (ノイズ評価) 結果記入

ver0.4: 2012.12.27 岩崎 テスト結果内容改訂

ver0.5:2013.01.15 岩崎 テスト (検出器容量特性) 結果記入

ver0.6:2013.01.28 岩崎 テスト (シェーパー時定数特性他) 結果記入

ver0.7:2013.03.6 岩崎 テスト (ch ごとのばらつき他) 結果記入

## 12. Bibliography

RD49 資料

CERN/LHCC 97-2 6 JAN 1997

CERN/LHCC 97-63 12 DEC 1997

CERN/LHCC 99-8 8 MAR 1999

CERN/LHCC 2000-003 13 JAN 2000

TID 資料

TID

“Radiation tolerant electronics for the LHC experiments” P.Jarron

IEEE TNS Vol46 No6 1999 1690

NuclPhysB Vol 78 1999 625

IEEE TNS Vol47 No8 2000 2334

I/f

IEEE TNS Vol 55 No6 2008 2975

ELT 資料

Semicond.Sci.Tech 24(2009)125009

IEEETNS VolED-29No8 1982 1261