

# 高輝度LHC-ATLAS実験に向けた TGC検出器の前段読み出し回路の 放射線対策

名古屋大学理学研究科

稲熊 勇人<sup>A,B</sup>

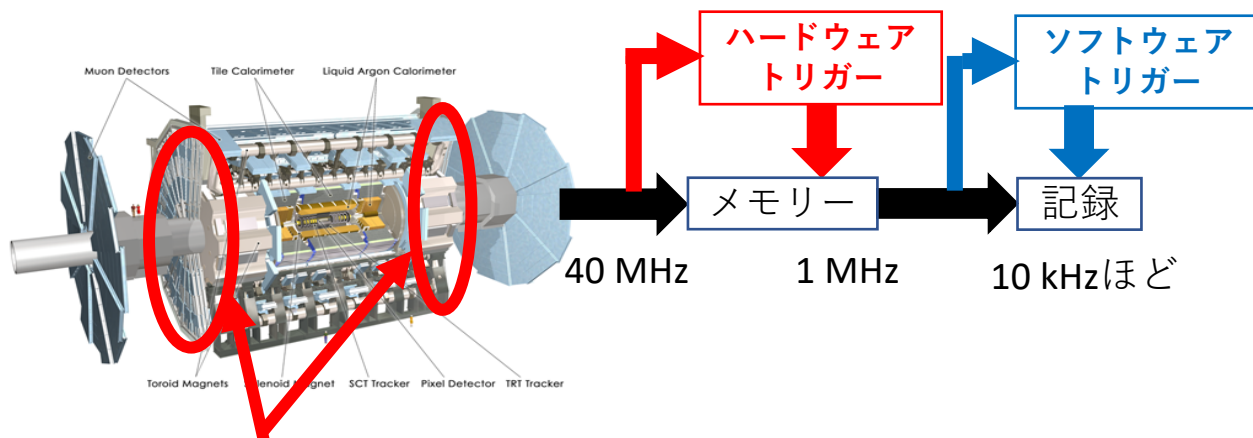
戸本誠<sup>A,B</sup>, 堀井泰之<sup>A,B</sup>, 川口智美<sup>A,B</sup>, 伊藤秀一<sup>A,B</sup>, 麻田晴香<sup>A</sup>,  
佐々木修<sup>B,C</sup>, 田中真伸<sup>B,C</sup>, 内田智久<sup>B,C</sup>, 宮原正也<sup>B,C</sup>, 池野正弘<sup>B,C</sup>,

他ATLAS日本トリガーグループ

名大理<sup>A</sup>, Open – It<sup>B</sup>, KEK素核研<sup>C</sup>

# 高輝度LHC-ATLAS実験とトリガー・読み出しシステム改良の概要

- Large Hadron Collider (LHC)  
CERNの陽子陽子衝突型加速器  
40 MHzで陽子バンチ交差
- 高輝度LHC-ATLAS実験(2026～)  
重心系エネルギー  
 $\sqrt{s} = 14 \text{ TeV}$   
瞬間最高ミノシティ  
 $L = 5 - 7.5 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$   
膨大なデータ中から興味のある  
事象を選別する”**トリガー**”が重要



TGC: エンドキャップ部のミュオン検出を担う

	LHC	高輝度LHC
トリガーレート	100 kHz	1 MHz
判定時間	2.5 $\mu\text{s}$	10 $\mu\text{s}$

**トリガー読み出しシステムを刷新し、  
処理レート・判定時間を増強する**

# エンドキャップミュオントリガーの回路

TGC全32万チャンネルの信号を用いてトリガー判定を行う

## 1. ASDボード

検出器からの信号を弁別する

## 2. PSボード

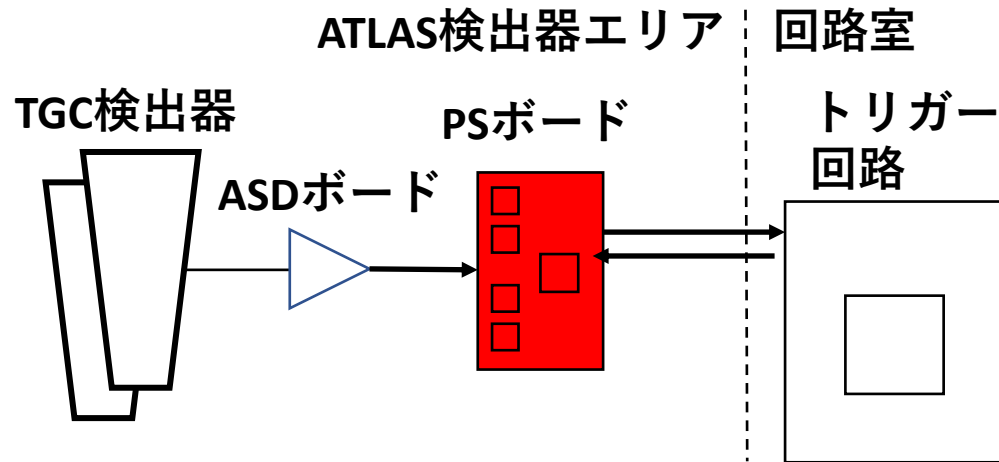
飛行時間 (45 ns ~ 64 ns)、  
ケーブル長 (1.8 m ~ 12.5 m) に由来する  
信号の遅延を調整し、基準クロックへの  
同期を行う (陽子バンチ識別)

また光通信でトリガー回路へ

高速転送(1ファイバーあたり8 Gb/s)を行う

## 3. トリガー回路

飛跡を検出し、横運動量を計算し、  
トリガー判定を行う



### PSボードへの要求

1. 1 ns以下の刻みで遅延調整を行う
2. 高輝度LHCで要求される放射線耐性を持つ

**PSボード開発**のための**素子の開発、選定**及び  
それらの**放射線耐性、対策**を考える

# 高輝度LHC-ATLAS実験でのPSボード

## 1. Patch-Panel (PP) ASIC

信号の遅延時間を調整、基準クロックへの同期を行う

## 2. DAC & ADC

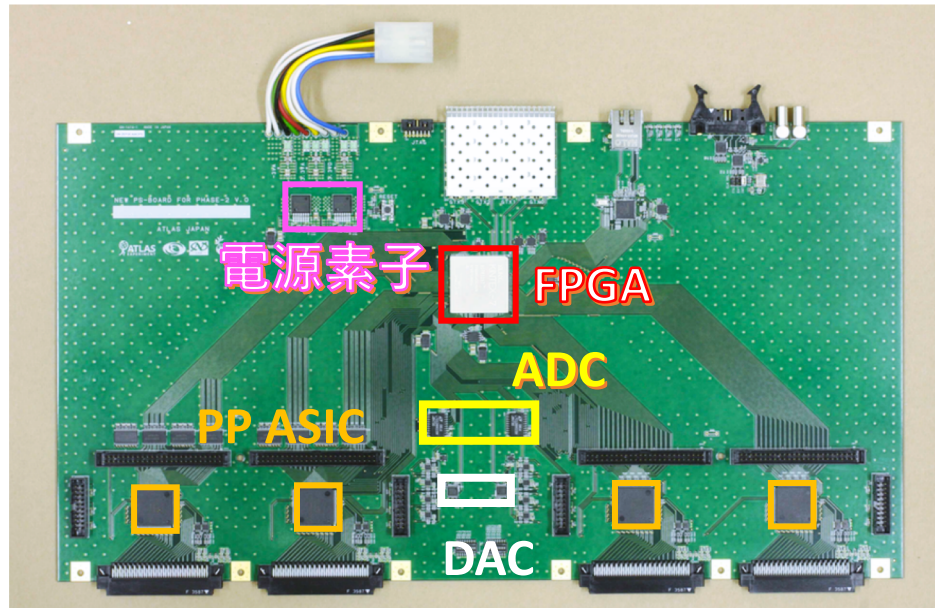
信号の閾値電圧を供給、測定する

## 3. FPGA (Kintex-7 XC7K325T-2FFG900C)

信号を後段回路へ転送する

## 4. 電源素子

PSボードに安定電圧を供給する



本講演では以下の結果を示す

### 1. PP ASIC試作機の動作確認

### 2. 各素子の放射線耐性の確認

#### 2.1. 各素子のガンマ線照射試験

#### 2.2. FPGAのSingle-Event Upset (SEU)対策

高輝度LHC-ATLAS実験に向けて

製作されたPSボード試作機

高速転送機能、クロック供給機能は確認済み

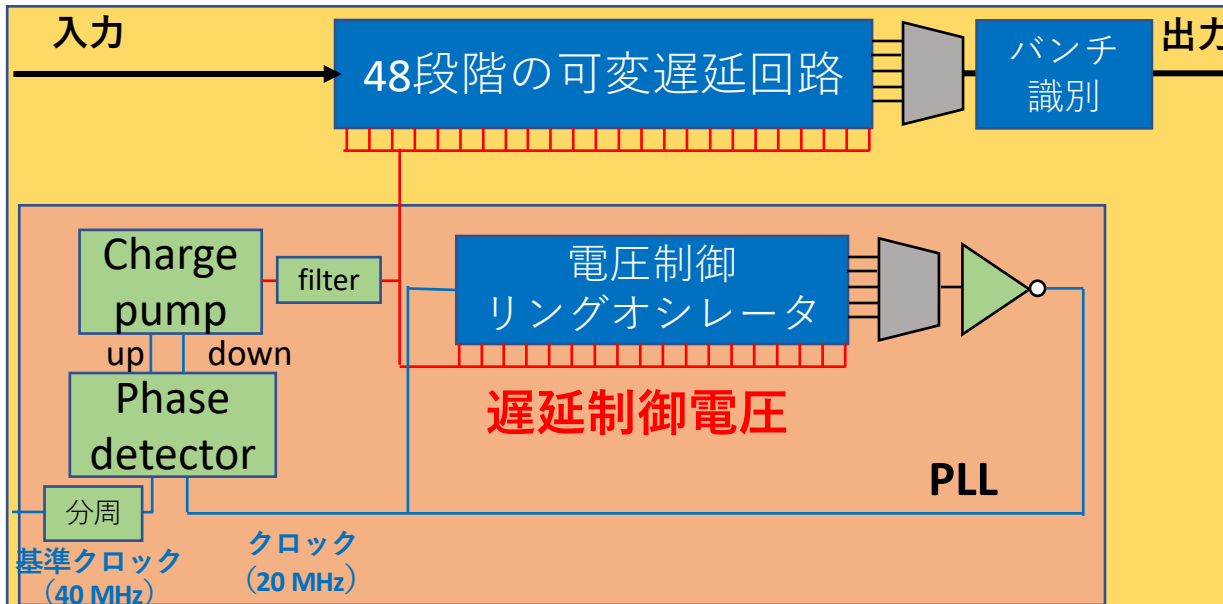
**放射線耐性の確認**が必要

日本物理学会2017年3月宿谷 20pA12-9

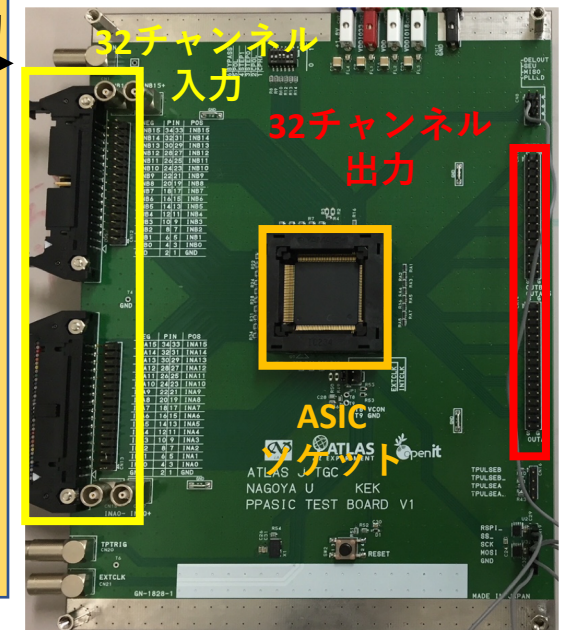
日本物理学会2018年3月伊藤 23aK205-1

# PP ASIC及び評価ボードの概要

- 現行のPP ASICにはスペアチップが十分に存在しなく、当時使用した製造プロセスが存在しないため、新しいASICを開発する必要がある
- Phase Locked Loop (PLL)を用いた可変遅延回路を搭載し、1 ns刻みで安定した遅延調節を可能にし、基準クロックへの同期を行う (バンチ識別)



PP ASIC評価ボード



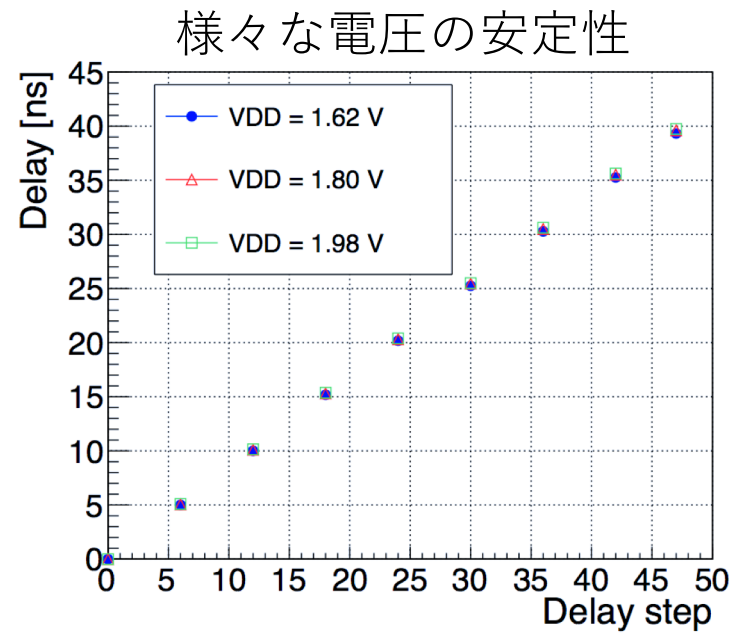
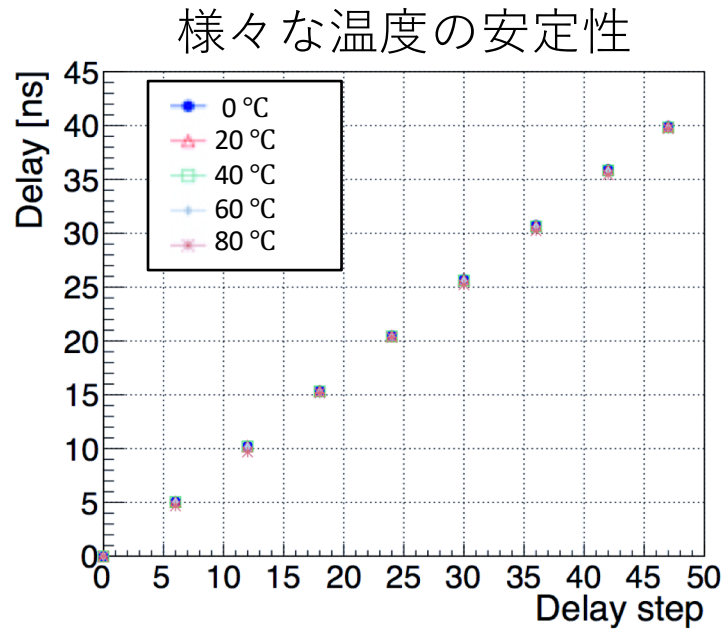
PLLは、温度・電圧変化に対して安定した遅延時間を実現  
2018年に、試作機を製作し、性能を評価した

ボード上には回路制御のデバイスを搭載せず  
ガンマ線照射でも使用できるようにした

# PP ASIC試作機の性能評価

テストした19個のPP ASIC試作機で全チャンネル期待通りの動作を確認

例として48段階の遅延調節が可能である可変遅延回路の性能評価結果を示す

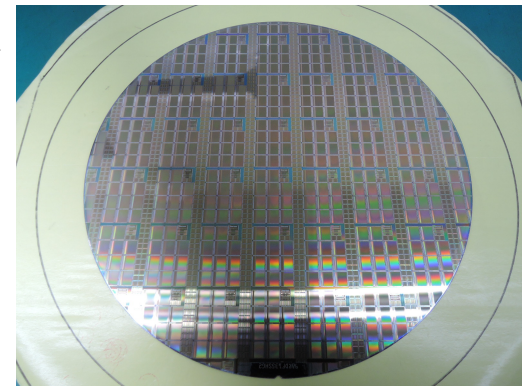


1 ns以下の遅延調節が可能であり、電圧及び温度依存が小さいことを確認

2018年12月に実機25000個のチップの製作を開始

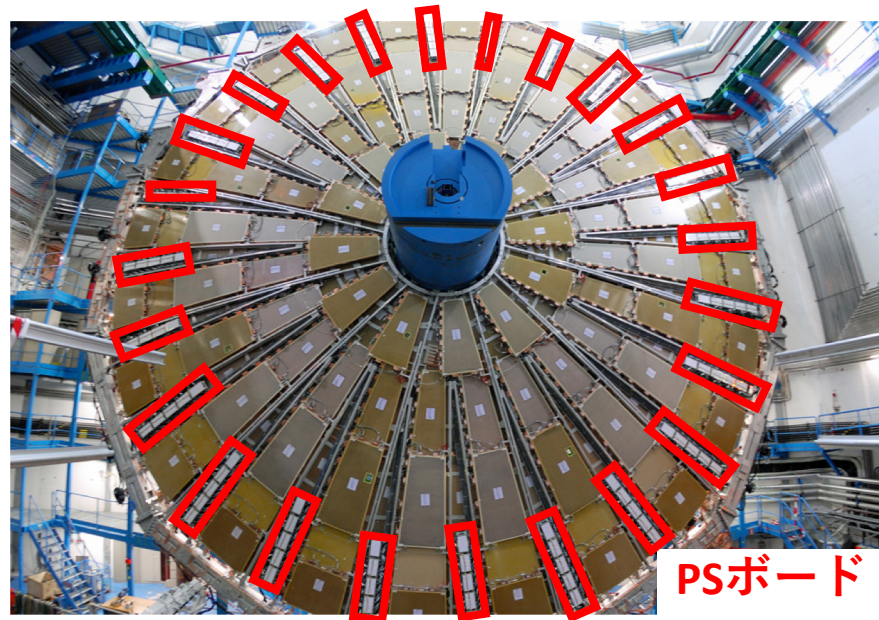
2019年3月に37枚のウェハ製造完了

2019年中に全チップの基礎動作試験を行う予定



製造された  
ウェハ

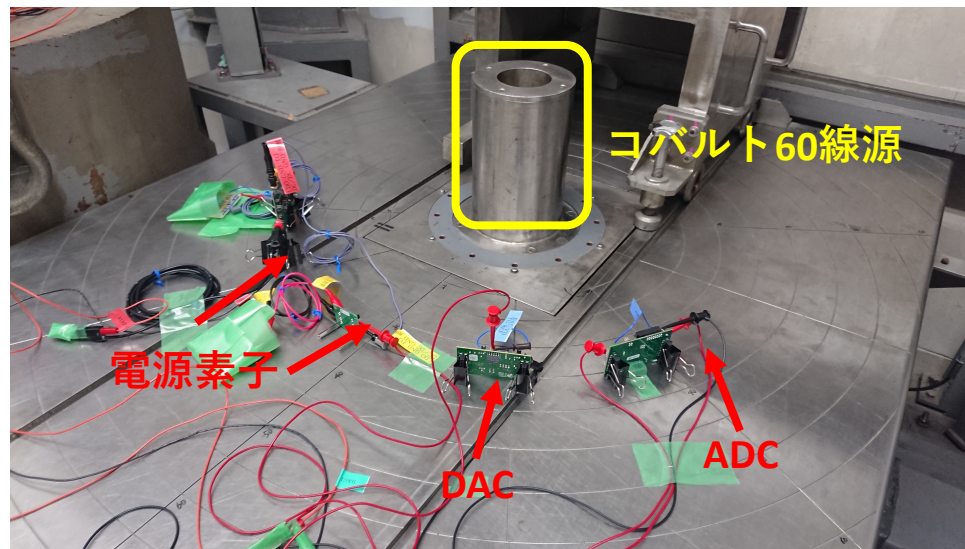
# ATLAS検出器エリアでの放射線量の見積もり



- ・ 積分ルミノシティが $4000 \text{ fb}^{-1}$ の時のTotal Ionizing Dose (TID)は6 Gy  
安全係数を考慮したとき要求値は180 Gy (商用素子), 27 Gy (ASIC)
- ・ ルミノシティ $7.5 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$ の時の20 MeV以上のハドロンのフラックスは  
 $9.8 \times 10^2 \text{ cm}^{-2}\text{s}^{-1}$   
Single Event Upset (SEU) のレートはTGCシステム全体 (Kintex-7 FPGA 1500枚)  
で $10^{-1} \text{ s}^{-1}$ オーダー

# TID耐性試験のセットアップ

名古屋大学コバルト60照射室にてガンマ線を照射し、TID耐性を評価した



PP ASIC, DAC, ADC, 電源素子に対して照射を行なった  
照射レートは0.45-8.2 Gy/min (写真は0.91 Gy/minの時)



# TID耐性試験の結果

素子	素子名	動作可能線量	要求	試験枚数
PP ASIC		>20000 Gy	27 Gy	5枚
DAC	DAC7678	180 Gy	180 Gy	5枚
ADC	ADS7953	246 Gy	180 Gy	5枚
電源素子	TPS7A85	379 Gy	180 Gy	9枚
電源素子	TPS6050	80 Gy	180 Gy	1枚

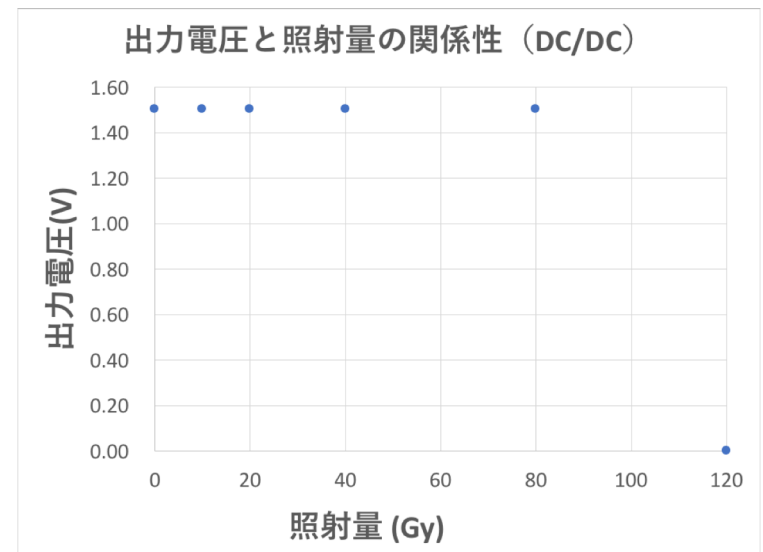
(動作可能線量は、複数枚の耐久試験で最も短命だったものの値)

TPS7A85: Low Drop Out

TPS6050: DC/DCコンバータ

- TPS6050を除く全ての素子で要求値を満たすことが確認された
- 上の素子の選定が完了した

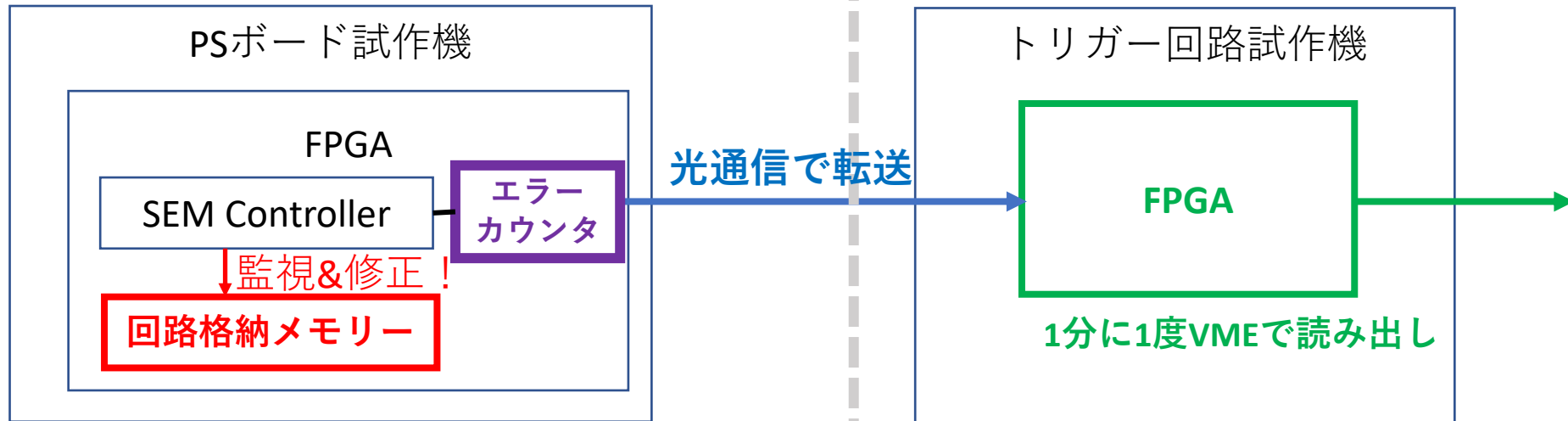
例: 電源素子TPS6050の照射結果



# SEUレート評価・自動修正検証

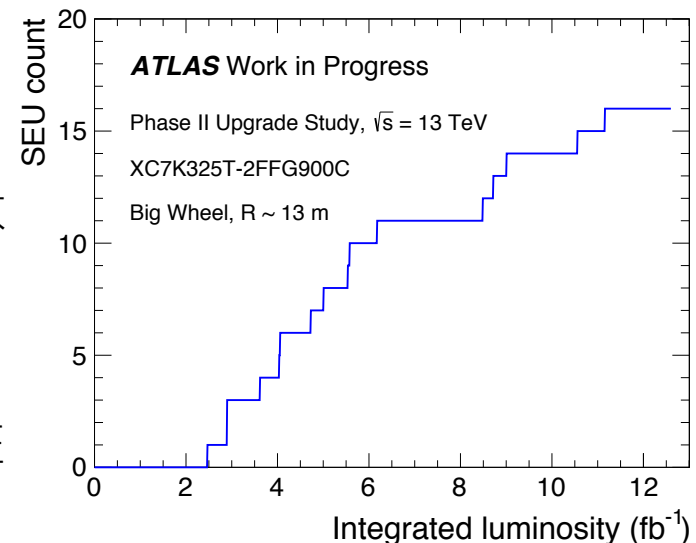
ATLAS検出器エリア ←

→ 回路室



- ATLAS検出器エリアに試作機を置き試験を行った  
(日本物理学会2018年9月稲熊 14pS13-4)
- $12.6 \text{ fb}^{-1}$ で16回のSEUを観測
- SEU数は断面積から見積もられる値とオーダーで一致  
(M. J. Wirthlin et al. 2014 JINST 9 C01025)
- 観測したのは全て1ビットエラーで自動修正に成功
- SEM controllerが有効なSEU対策手段であることを立証

SEU観測数



# まとめ

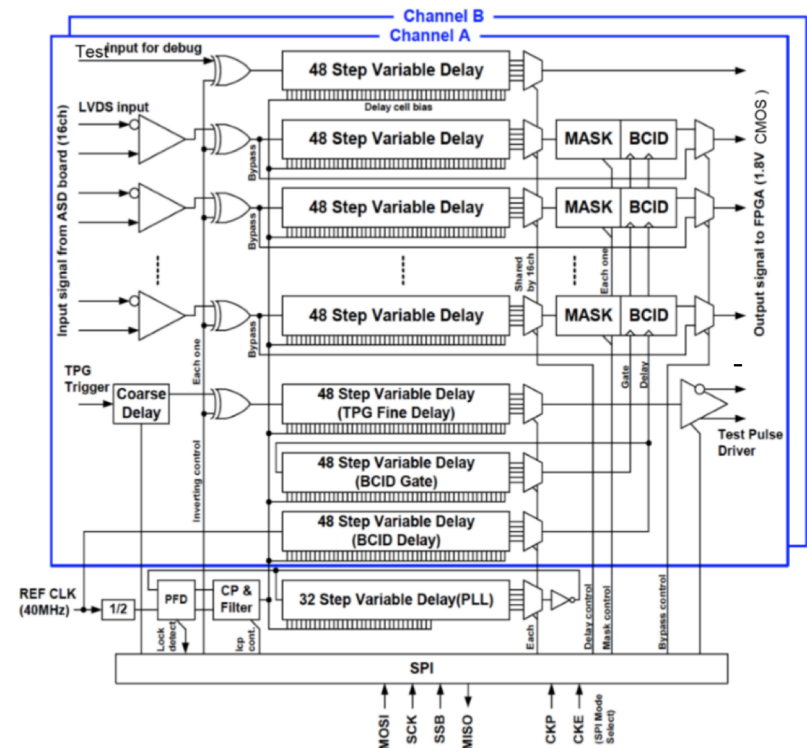
- 高輝度LHC-ATLAS実験に向けて、ミューオン検出器TGCを用いたハードウェアトリガーの刷新が計画されている
- PSボードに関する以下の結果を示した
  - 1 ns以下の遅延調節ができる新たなPatch-Panel ASIC試作機を製作し、19台の性能評価を完了させ、2018年12月に25000個の量産を開始した
  - 4素子に対してガンマ線を照射し、TID耐性の要求（商用素子: 180 Gy, ASIC: 27 Gy）を満たすことを確認した
  - ATLAS検出器エリアにSEM controllerを実装したPSボード試作機を配置し12.6 fb<sup>-1</sup>で16回のSEUを観測し、全てのエラーを自動修正することに成功した
- PSボード試作機の回路図を書く準備が整った

# Backup

# New PP ASIC overview

- Since the number of current PP ASICs is insufficient to cover all the new PS boards, new PP ASICs have to be produced.
- The basic specification of the PP ASIC is the same as the one for the current PP ASIC.

- Process: Silterra Malaysia 180 nm CMOS  
(Rohm 350 nm CMOS for the current chips)
- Supply: 1.8 V and 3.3 V (3.3 V only for the current chips)
- Number of channels per chip: 32
- LVDS receivers and 1.8 V CMOS transmitters
- Variable delay with sub-nanosecond step size  
Stabilisation using PLL circuits
  - Dynamic range : ~50 ns  
(~30 ns for the (current chips))
- Bunch crossing identification with 40 MHz clock
- Test pulse generator for ASD boards
- Control with SPI (JTAG for the current chips)
- Voting logic to mitigate the effect of SEU



- Preliminary Design Review was completed on 6<sup>th</sup> March 2018.
- 20 prototype PP ASICs have been delivered in Oct 2018.

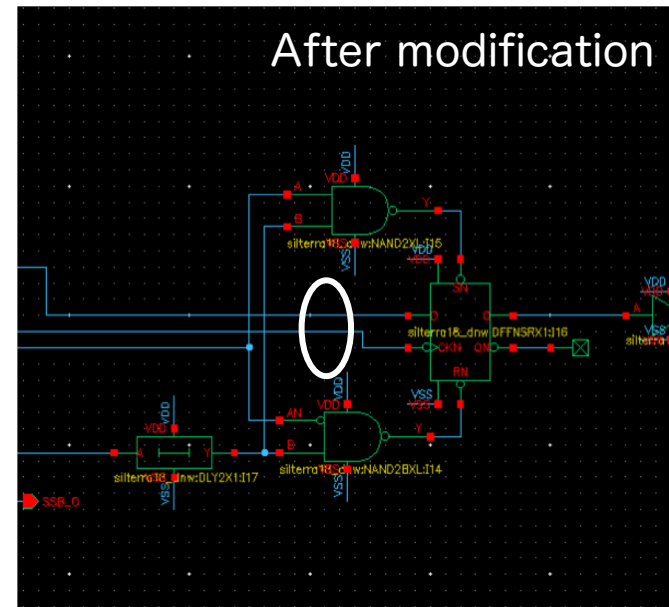
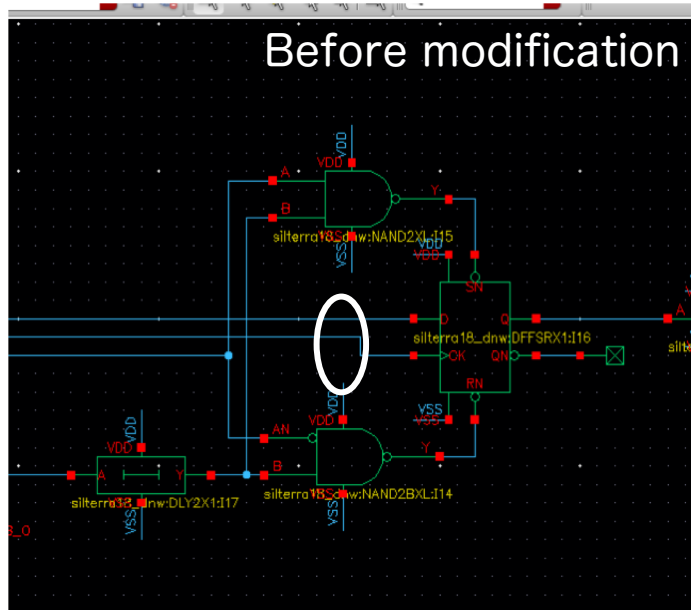
# Summary of PP ASIC prototype specification

Design process	Silterra 0.18 $\mu$ s CMOS 6M1P
Supply voltage	3.3 V (LVDS Rx, test-pulse generator driver) 1.8 V (PLL, delay line, CMOS input and output) Voltage tolerance: $\pm 10\%$
# of channels	Group A (16 ch), Group B (16 ch)
Timing control resolution	< 1 ns
Timing control range	> 40 ns
Timing jitter	~40 ps (LVDS Rx), ~40 ps (variable delay)
Temperature range	0 - 80 $^{\circ}$ C
Power consumption	~20 mW (previous design: 130 mW)

All requirements are satisfied.

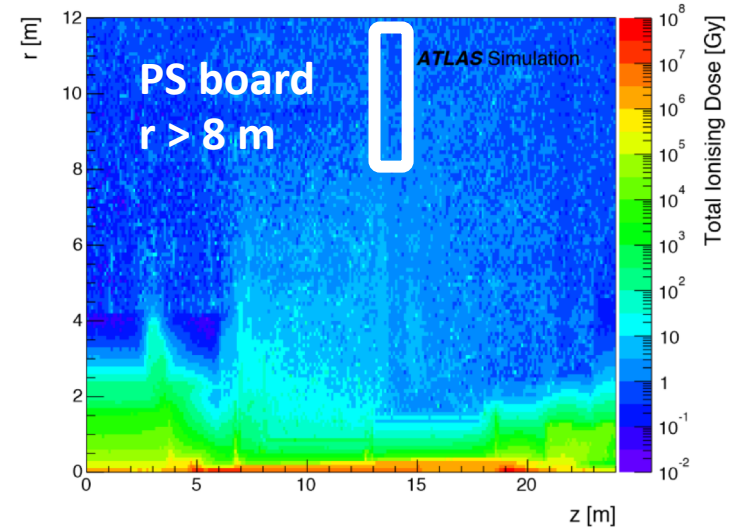
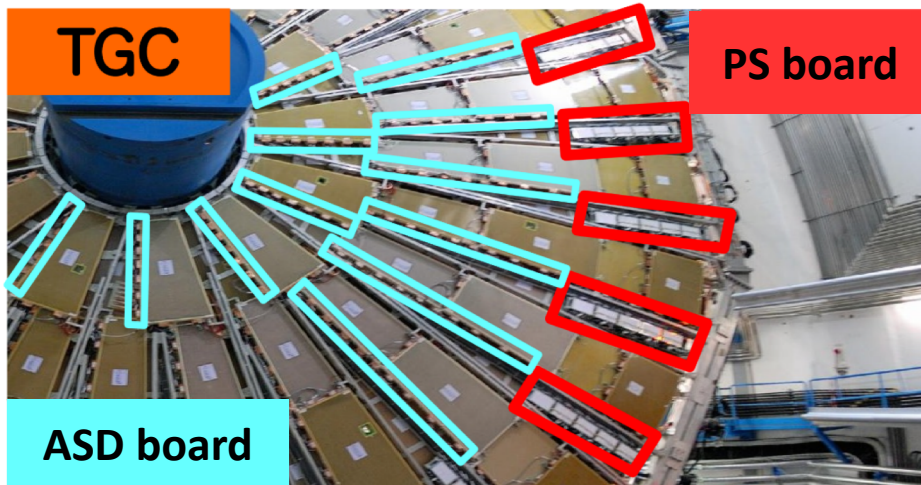
# Mass production of PP ASIC

- Change the gate length of transistor in the decay units for reducing the decay time for an improved margin.
- Prototype v.0 has a wrong edge setup of SPI MISO signal. Although it is fine for use if the device controlling the PP ASIC uses the corresponding edge, as done for prototype v.0 measurement, we modified the circuit for next version.



The modifications are very simple and already completed.

# ATLAS検出器エリアでの放射線量の見積もり(TID)



P. R. Sala and S. Vanini, FLUGG: FLUKA + Geant4 Geometry for Simulation in HEP  
によりTID量は見積もった

TIDの安全係数は

$$\text{ASIC} = 1.5(\text{sim}) \times 1.5(\text{low dose rate}) \times 2(\text{lot})$$

$$\text{COTs} = 1.5(\text{sim}) \times 5(\text{low dose rate}) \times 4(\text{lot})$$

以上の計算より要求値が導出可能



# SEUのレート及び対策

- SEUのレート

(ルミノシティ  $7.5 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$ 、回路格納メモリーの使用率100%を仮定)

回路格納メモリーの断面積は  $6.9 \times 10^{-15} \text{ cm}^2/\text{bit}$

(M. J. Wirthlin et al. 2014 JINST 9 C01025)

PSボード1枚の回路格納メモリーにおける

SEUのレートは概算で  $10^{-4}$  回/秒

TGC全体のレートは概算で  $10^{-1}$  回/秒 (1500枚分)

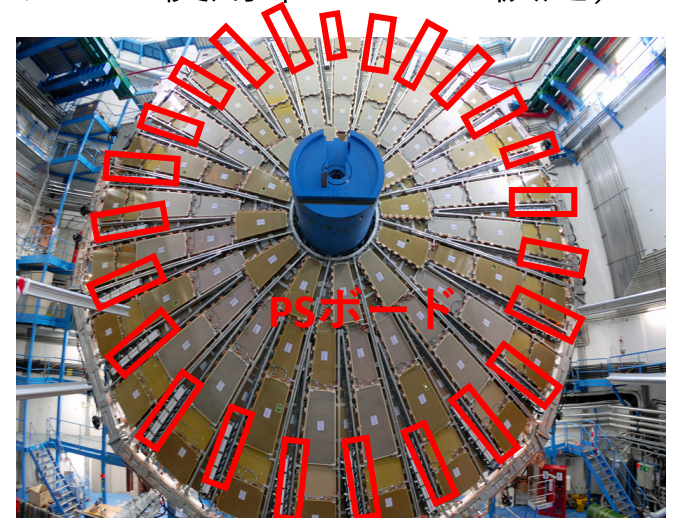
Soft Error Mitigation (SEM) Controllerを用いて対策

- SEM controllerの修正時間

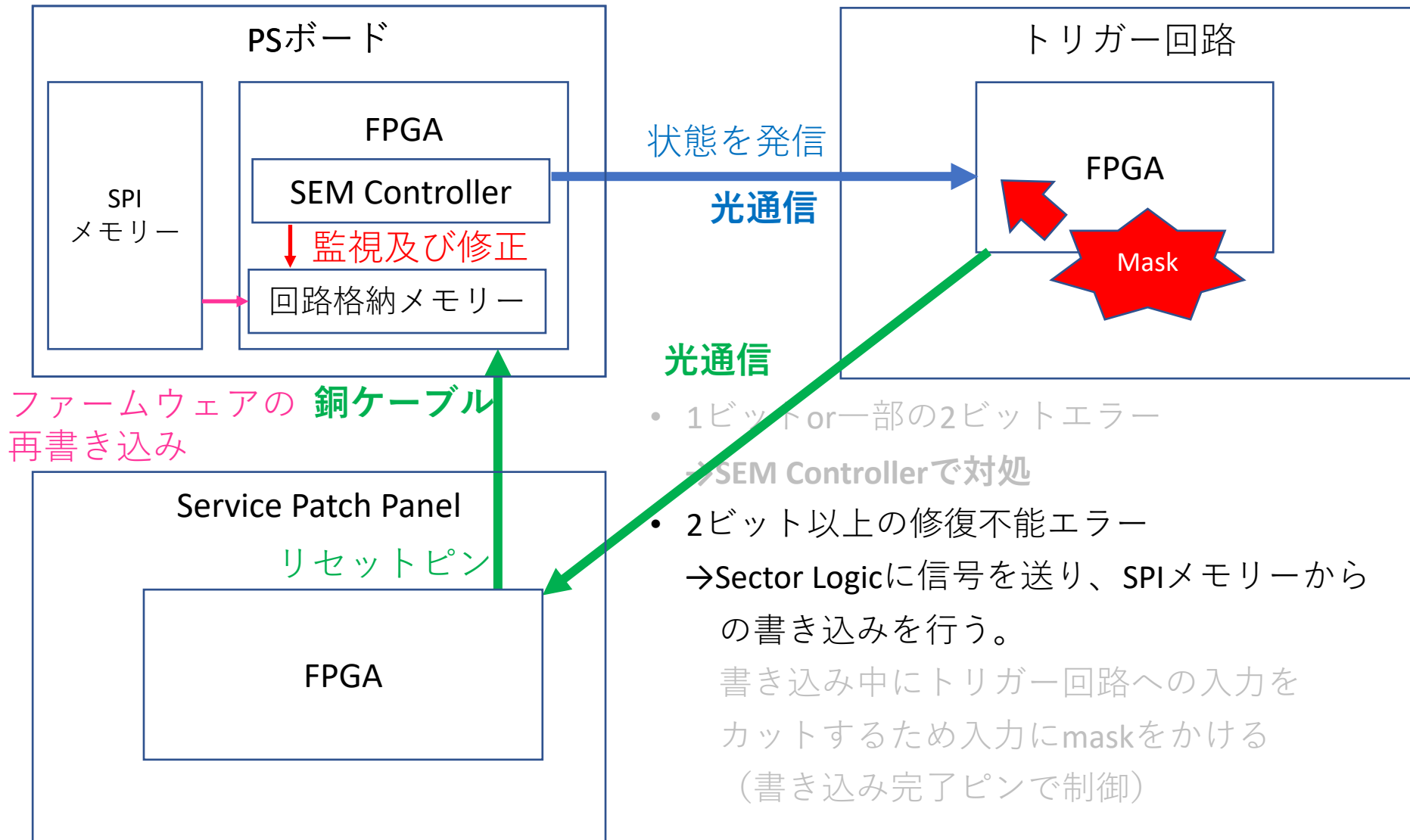
$\leq 100 \text{ ms}$

修正時間がSEUのレートより短く **FPGAのSEU対策に使用可能**

この修正時間ならTGC全体のefficiencyは  $10^{-4}$  オーダーでしか減少しない



# 高輝度LHC-ATLAS実験におけるSEM Controller実装案



# 高輝度LHC-ATLAS実験におけるSEM Controller実装案

