

修士論文

高輝度LHC環境下で安定動作する  
 $\mu$ 粒子トリガーの前段回路開発

名古屋大学 大学院理学研究科 素粒子宇宙物理学専攻  
高エネルギー物理学研究室

学生番号 261701053

伊藤 秀一

指導教員 戸本 誠

2019年1月22日

## 概要

2026年に運転開始予定の高輝度 LHC-ATLAS 実験では、高統計データを用いたヒッグス粒子の精密測定や新物理の探索のために、瞬間最高ルミノシティを LHC 設計値の 7.5 倍にし、積分ルミノシティ  $4000 \text{ fb}^{-1}$  のデータを取得する予定である。ルミノシティの増大に伴い背景事象が増加するため、興味のある事象を効率的に選別するトリガーの性能向上が不可欠である。 $\mu$  粒子トリガーでは、Thin Gap Chamber (TGC) の全信号を後段回路へ転送するシステムに改良することで、より複雑な演算を実現し事象選別を高効率化する。コントロール室の後段回路と約 100 m の光ファイバーで接続される検出器近傍の前段回路は、高輝度 LHC の過酷な放射線環境下で、TGC の約 30 万チャンネルの信号を 10 年間安定的に処理しなければならない。

本研究では、TGC の検出器信号のタイミングを調節し後段回路に高速転送する前段回路の機能を確立した。まず、タイミング調節用 ASIC を試作し、設計・製作した評価ボードで動作を検証をした。0–80 度の温度範囲と 10% の電圧範囲において、1 ns 以下の刻みで調節可能であることを示した。続いて、タイミング調節した信号を後段回路に高速転送させる上で不可欠なクロック分配手法を開発した。光ファイバーによる分配機能を試作基板に実装し、実験で予定される転送レート 8 Gbps でのビットエラーレートの上限  $4.81 \times 10^{-16}$  を得た。

また、本研究では、TGC 前段回路に搭載予定の素子の放射線環境下での運用手法の確立及び総吸収線量耐性の検証を行った。TGC 前段回路に対する運動エネルギー 20 MeV 以上のハドロン流量は  $9.8 \times 10^2 \text{ cm}^{-2}\text{s}^{-1}$  で、10 年間の総吸収線量は 6 Gy であると想定される。そこで、ハドロンが FPGA の回路情報を記述するメモリで発生させたビットエラーを自動検知・修正するファームウェアを開発し、基板を ATLAS 検出器近傍に設置することで、動作を検証した。また、信号弁別に必須な DAC, ADC 及び電源素子のガンマ線照射試験を行い、総吸収線量耐性を評価した。さらに、現行システムで運用されている検出器信号をデジタル化する ASIC の低レート放射線耐性を評価し、要求を満たすことを確認した。

以上により、高輝度 LHC 環境下で TGC 前段回路の安定動作を実現するために必要な技術要素が確立した。また、要求を満たす実機の構成を明らかにした。



# 目次

<b>第 1 章 序論</b>	<b>1</b>
<b>第 2 章 高輝度 LHC-ATLAS 実験</b>	<b>3</b>
2.1 物理背景 . . . . .	3
2.2 LHC-ATLAS 実験 . . . . .	6
2.2.1 LHC 加速器 . . . . .	6
2.2.2 ATLAS 検出器 . . . . .	7
2.3 高輝度 LHC 加速器 . . . . .	12
2.4 高輝度 LHC に向けた ATLAS 検出器のアップグレード . . . . .	13
<b>第 3 章 エンドキャップ部 <math>\mu</math> 粒子トリガーの改良</b>	<b>14</b>
3.1 現行のトリガー・読み出しシステム . . . . .	14
3.2 現行のエンドキャップ部 $\mu$ 粒子トリガー . . . . .	16
3.2.1 エンドキャップ部 $\mu$ 粒子トリガーの概要 . . . . .	16
3.2.2 TGC 検出器回路の概要 . . . . .	17
3.3 現行のトリガー・読み出しシステムの性能限界 . . . . .	19
3.4 高輝度 LHC のトリガー・読み出しシステム . . . . .	20
3.5 高輝度 LHC の $\mu$ 粒子トリガー . . . . .	22
3.5.1 エンドキャップ部 $\mu$ 粒子トリガーの概要 . . . . .	22
3.5.2 TGC 検出器回路の概要 . . . . .	24
3.5.3 前段回路の開発現状 . . . . .	25
<b>第 4 章 PP ASIC の動作検証</b>	<b>30</b>
4.1 開発の概要 . . . . .	30
4.2 試作機のデザイン . . . . .	30
4.3 動作試験用ボードの開発 . . . . .	36
4.4 試作機の動作検証 . . . . .	39
4.4.1 LVDS レシーバー . . . . .	39
4.4.2 可変遅延回路・PLL 回路 . . . . .	41
4.4.3 陽子バンチ識別回路 . . . . .	46
4.4.4 テストパルス回路 . . . . .	48
4.4.5 消費電力 . . . . .	51

4.4.6	歩留まり . . . . .	52
4.4.7	動作検証まとめ . . . . .	52
<b>第 5 章</b>	<b>高速データ転送ボードへのクロック供給手法の開発</b>	<b>53</b>
5.1	開発の目的 . . . . .	53
5.2	開発の概要 . . . . .	53
5.3	性能評価 . . . . .	54
<b>第 6 章</b>	<b>高速データ転送ボードの放射線対策</b>	<b>59</b>
6.1	要求される放射線耐性 . . . . .	59
6.2	FPGA のソフトエラー対策手法の開発 . . . . .	60
6.2.1	要求される機能 . . . . .	61
6.2.2	SEM Controller の概要 . . . . .	61
6.2.3	SEM Controller の運用方針 . . . . .	62
6.2.4	ATLAS 検出器エリアでの試験 . . . . .	63
6.3	回路素子のガンマ線照射試験 . . . . .	67
6.3.1	試験の方針 . . . . .	67
6.3.2	ガンマ線照射試験セットアップ . . . . .	68
6.3.3	PP ASIC の試験結果 . . . . .	77
6.3.4	民生回路素子の試験結果 . . . . .	81
6.4	まとめと今後の展望 . . . . .	84
<b>第 7 章</b>	<b>ASD ボードの放射線耐性の評価</b>	<b>86</b>
7.1	要求される放射線耐性 . . . . .	86
7.2	放射線耐性の評価 . . . . .	87
7.2.1	プリアンプのゲインの比較 . . . . .	87
7.2.2	プリアンプの ENC 値の比較 . . . . .	94
7.3	まとめ . . . . .	97
<b>第 8 章</b>	<b>まとめ</b>	<b>98</b>
	<b>参考文献</b>	<b>100</b>

# 第1章 序論

素粒子物理学の標準模型は、素粒子とその相互作用を記述する模型である。2012年に、欧州原子核研究機構 (CERN) に設置された Large Hadron Collider (LHC) によって、ヒッグス粒子が発見された。その発見により、標準模型が内包する全ての粒子が出揃った。標準模型は、現在までの多くの実験結果を説明するが、暗黒物質の存在やヒッグス粒子質量の二次発散を説明できない問題を抱えている。それらの問題を解決する標準模型を超える物理の探索は、素粒子物理学における重要な課題である。現在、LHC-ATLAS 実験では、ヒッグス粒子の精密測定および新物理の探索を行っている。

2026年から運転開始を予定している高輝度 LHC では、瞬間最高ルミノシティを  $7.5 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$  に上昇させ、積分ルミノシティ最大  $4000 \text{ fb}^{-1}$  のデータを取得する予定である。ルミノシティの増加によって、ヒッグス粒子の主な生成、崩壊チャンネルの測定精度や稀崩壊モードの探索感度の向上が期待される。また、より高い質量を持つ新粒子に対する感度を得ることができる。

高輝度 LHC では興味のある物理事象の数が増加する一方で、興味のない事象の数も増加する。そのため、膨大なデータの中から興味のある物理事象を選別するトリガーの性能向上が不可欠である。トリガーの性能を向上させるには、現行より多くの検出器情報を使用する複雑なアルゴリズムを導入する必要がある。また、高輝度 LHC では現行よりも厳しい放射線環境で動作する検出器が必須である。そこで、2024年から2026年にかけて ATLAS 実験では検出器とトリガーの大規模なアップグレードを行う。

エンドキャップ部  $\mu$  粒子トリガーで用いられる  $\mu$  粒子検出器の Thin Gap Chamber (TGC) に対しては、前段回路を刷新する。TGC の全検出器信号を後段回路へ高速転送し、後段回路の大規模 FPGA にて事象選別のための複雑な計算を行うシステムにする。この改良により、TGC に入射した  $\mu$  粒子に対して、より高い分解能で運動量を測定し、興味のある事象の選別効率を向上させる。

本研究では、TGC の新しい前段回路を構成する2つのボードに着目し、それぞれに対して要求される技術要素を確立した。高輝度 LHC の過酷な放射線環境下で10年間性能を発揮するために必要な技術要素を全てカバーした。

1つは、TGC 検出器最上流部に置かれ、検出器の信号電荷を電圧に変換し、増幅・波高弁別を行う Amplifier Shaper Discriminator (ASD) ボードである。現行実験で使用されている ASD ボードは、高輝度 LHC で要求される機能を備えているため、継続使用することを予定している。しかし、LHC 開始以前に行われた放射線照射試験は加速試験であるため、低レートでの放射線照射による耐性を調べる必要がある。そこで、2016年まで実験で使用された ASD ボードの放射線耐性を評価した。

もう1つは、ASD ボードからの全信号を後段回路へ転送する高速データ転送ボードである。2016年に、このボードの第一試作機が製作され、基本性能の確認が行われた。本研究では、当ボードに搭載する Patch-Panel ASIC を試作し、設計・製作した評価ボードを使用して動作検証を行った。また、高速データ転送ボードへの基準クロック供給手法の開発及び動作検証を行った。さらに、当ボードに搭載する電源素子やデジタ

ル・アナログ変換素子などの総吸収線量耐性の評価、FPGA のソフトエラー対策手法の開発及び動作検証を行った。

本論文では、第 2 章で、物理背景、LHC-ATLAS 実験の概要、加速器・検出器のアップグレードの方針を示す。第 3 章では、本研究で着目するエンドキャップ部  $\mu$  粒子トリガーと TGC の読み出し回路について述べる。第 4 章では、PP ASIC の開発及び動作検証結果を示す。第 5 章では、高速データ転送ボードのクロック供給手法の開発及び動作検証結果を示す。第 6 章では、高速データ転送ボードの放射線対策の概要と FPGA のソフトエラー対策、回路素子の総吸収線量耐性の評価結果を示す。第 7 章では、ASD ボードの放射線耐性の評価結果を示す。第 8 章で、本研究をまとめる。

## 第2章 高輝度LHC-ATLAS実験

### 2.1 物理背景

素粒子は、物質を構成する最小の単位である。素粒子とその相互作用を記述する標準模型は、12 種類のフェルミオンと 4 種類のゲージボソン、ヒッグス粒子の計 17 種類の粒子を内包する。2012 年に LHC-ATLAS 実験と CMS 実験によって最後の未発見粒子であったヒッグス粒子が発見され、全ての粒子が出揃った<sup>[1, 2]</sup>。標準模型は、現在までの多くの実験結果を説明するが、ヒッグス粒子質量の二次発散の問題や暗黒物質の存在を説明できない問題を抱えている。LHC-ATLAS 実験では、世界最高衝突エネルギーを有し、世界で唯一ヒッグス粒子の生成が可能な LHC 加速器を用いて、ヒッグス粒子の精密測定および暗黒物質の候補となる新粒子の探索を行っている。以下では、ヒッグス粒子の精密測定に絞って、これまでの実験結果と今後の展望について述べる。

標準模型は、ヒッグス粒子とフェルミオンの結合定数がフェルミオンの質量と比例すると予想している。もし、標準模型を超える物理の寄与が存在すると、この比例関係にずれが生じる可能性がある。ヒッグス粒子の結合定数を精度よく測ることで、標準模型の検証と新物理の間接的探索を行える。

図 2.1 と図 2.2 に、LHC におけるヒッグス粒子の主な生成過程と重心系エネルギー  $\sqrt{s} = 13$  TeV における各生成過程の生成断面積を示す。主な生成過程として、生成断面積が大きい順からグルーオン融合 (ggF) 過程、ベクトルボソン融合 (VBF) 過程、ベクトルボソン随伴生成 (VH) 過程、トップクォーク随伴生成 (ttH) 過程が存在する。図 2.3 に、ヒッグス粒子の主な崩壊分岐比を示す。これらのヒッグス粒子の生成過程と崩壊過程を分類して解析することで、ヒッグス粒子とその他の粒子との結合定数を求める。例えば、ttH 過程を用いることで、ヒッグス粒子とトップクォークの結合定数を測定できる。

図 2.4 に、2015 年から 2017 年までの重心系エネルギー  $\sqrt{s} = 13$  TeV の LHC-ATLAS 実験データで測定した各粒子の質量に対するヒッグス粒子との結合定数を示す。第 3 世代のフェルミオン (トップクォーク、ボトムクォーク、タウレプトン) に対して、標準模型の予想と一致する結果が得られた。現在までの想定では、第 2 世代のフェルミオンとヒッグス粒子の結合は観測されていない。最も感度があるとされる  $\mu$  粒子の場合でも、ヒッグス粒子の  $\mu$  粒子対への崩壊分岐比が 0.0002 と小さく統計が少ないため、測定誤差が大きく有意な測定に至っていない。そこで、今後より多くの統計を得る必要がある。

図 2.5 に、重心系エネルギー  $\sqrt{s} = 14$  TeV における各粒子の質量に対するヒッグス粒子と各粒子との結合定数の LHC-ATLAS 実験のシミュレーション結果を示す。2023 年末までの実験で取得を予定している積分ルミノシティ  $300 \text{ fb}^{-1}$  のデータを用いることで、 $\mu$  粒子との結合定数の測定誤差は、図 2.4 と比較して大幅に小さくなることが期待される。そして、その 10 倍の  $3000 \text{ fb}^{-1}$  のデータが使用可能であると、測定誤差は  $300 \text{ fb}^{-1}$  の  $1/3$  近くになり、 $6\sigma$  以上の有意度で測定可能であると期待される。

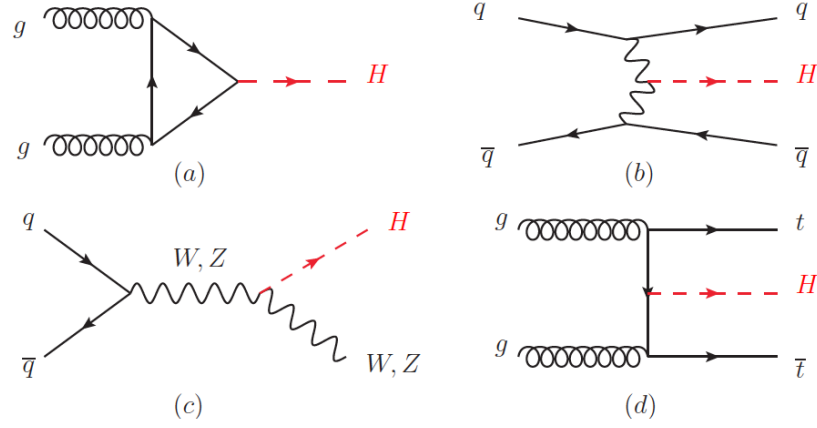


図 2.1 LHC でのヒッグス粒子の主な生成過程のダイアグラム [3]。(a) は ggF 過程、(b) は VBF 過程、(c) は VH 過程、(d) は ttH 過程を示す。

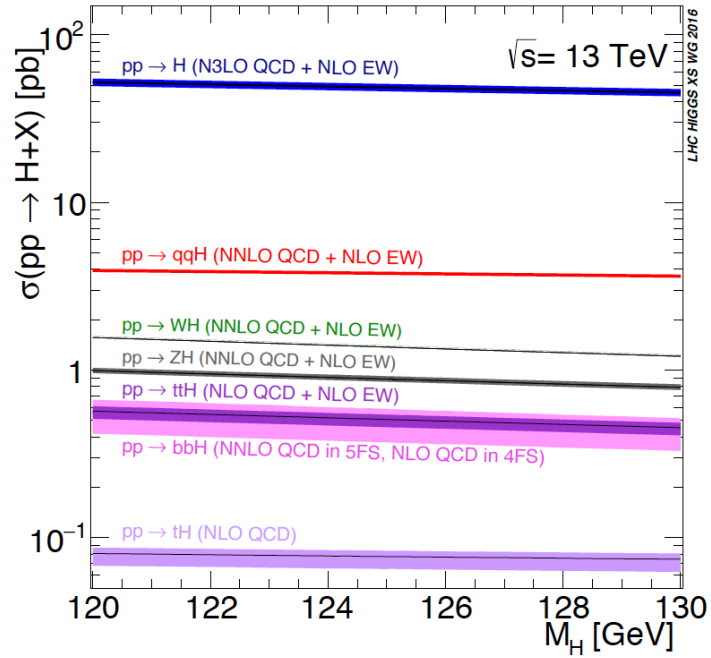


図 2.2 重心系エネルギー  $\sqrt{s} = 13$  TeV におけるヒッグス粒子の質量 120–130 GeV の範囲に対する標準模型のヒッグス粒子の生成断面積  $\sigma$  [4]。

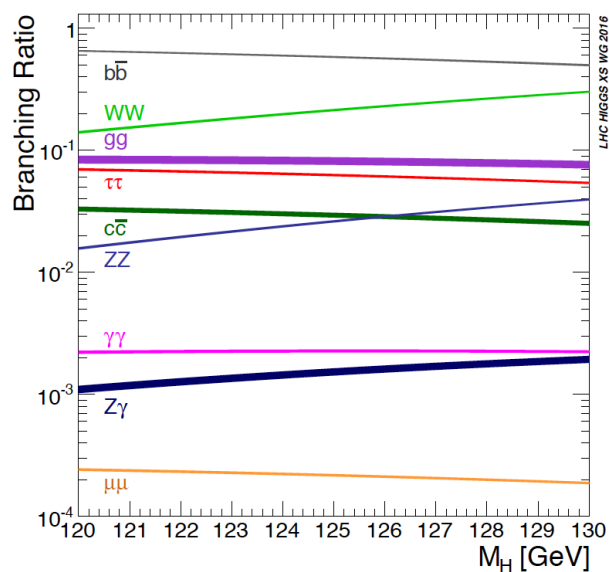


図 2.3 ヒッグス粒子の質量 120–130 GeV に対する標準模型のヒッグス粒子の崩壊分岐比 (Branching Ratio)<sup>[4]</sup>。

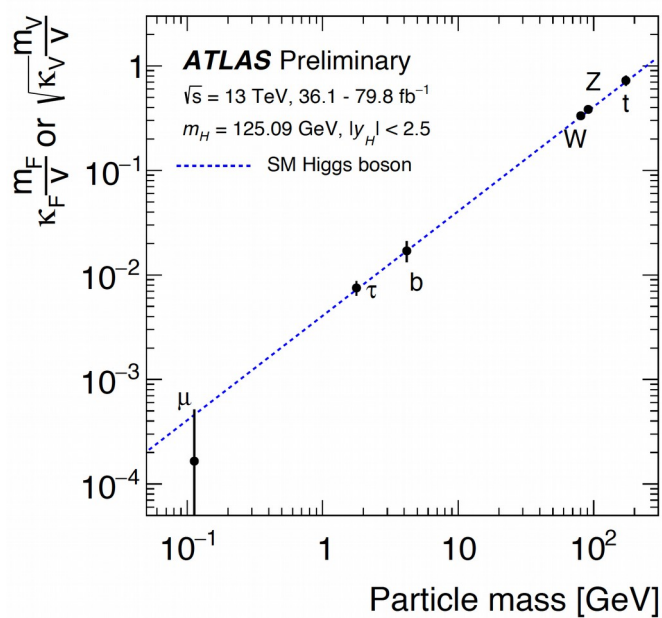


図 2.4 2015 年から 2017 年までの重心系エネルギー  $\sqrt{s} = 13$  TeV の LHC-ATLAS 実験データで測定した各粒子の質量に対するヒッグス粒子との結合定数。<sup>[5]</sup> 青の点線は標準模型の予想を示し、黒点は測定値を示す。

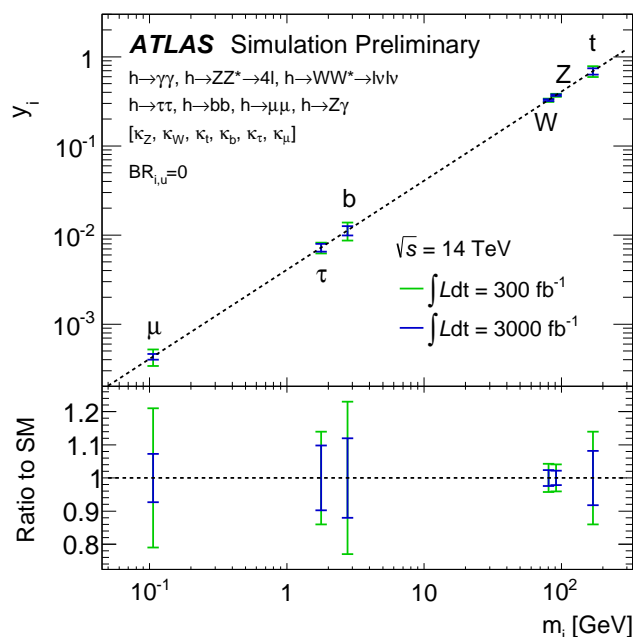


図 2.5 重心系エネルギー  $\sqrt{s} = 14$  TeV における各粒子の質量  $m_i$  に対するヒッグス粒子と各粒子の結合定数  $y_i$  の LHC-ATLAS 実験のシミュレーション結果<sup>[6]</sup>。  $y_i$  は、図 2.4 の  $\kappa_F \frac{m_F}{v}$ ,  $\sqrt{\kappa_V} \frac{m_V}{v}$  と同一のパラメータである。緑は  $300 \text{ fb}^{-1}$ 、青は  $3000 \text{ fb}^{-1}$  の結果を示す。

## 2.2 LHC-ATLAS 実験

本節では、LHC-ATLAS 実験の概要を述べる。第 2.2.1 節にて、LHC 加速器の概要を述べる。第 2.2.2 節では、ATLAS 検出器の概要および本研究で着目する TGC 検出器の詳細を述べる。

### 2.2.1 LHC 加速器

LHC はスイス、ジュネーヴ近郊に位置する CERN の地下約 100 m に設置された周長 27 km の陽子陽子衝突型加速器である。バンチと呼ばれる約  $10^{11}$  個の陽子のかたまりを 7 TeV に加速し、25 ns 毎に重心系エネルギー 14 TeV で衝突させる。<sup>1</sup> 図 2.6 に、LHC 加速器とその前段の加速器を示す。水素原子から取り出された陽子は、最初に線形加速器 (LINAC) で 50 MeV まで加速され、BOOSTER に送られる。BOOSTER で 1.4 GeV まで、その次の PS (Proton Synchrotron) で 25 GeV まで、そして SPS (Super Proton Synchrotron) で 450 GeV まで加速されたのち、LHC に入射される。

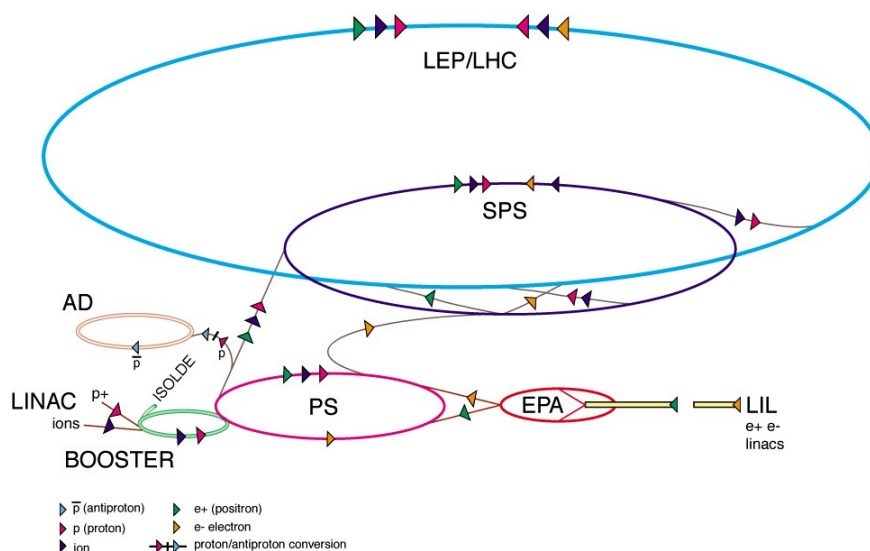
LHC は 2010 年から本格的な運転を開始し、2010–2012 年に重心系エネルギー 7–8 TeV で運転した。この期間を LHC Run-1 と呼ぶ。その後、LHC は 2013–2015 年に運転を休止し、加速器のアップグレードを行った。2015–2018 年は、重心系エネルギー 13 TeV、瞬間ルミノシティ最大  $2.1 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$  で運転し

<sup>1</sup> 重心系エネルギー 14 TeV は、LHC の設計値にあたる。2018 年までの実験では、最大 13 TeV でデータ取得した。



た。2021 年から開始予定の Run-3 では重心系エネルギーを 14 TeV まで増加させ、2023 年末まで運転する予定である。

### CERN Accelerator Complex (operating or approved projects)



CERN AC\_HF205\_V2/2/1998

図 2.6 LHC 加速器とその前段の加速器。水素原子から取り出した陽子を線形加速器 (LINAC), BOOSTER, PS, SPS, LHC の順に加速させる。©1991-2019 CERN

## 2.2.2 ATLAS 検出器

ATLAS 検出器は、LHC の衝突点に設置された直径 25 m、長さ 44 m、総重量約 7000 トンの円筒形の汎用検出器である。図 2.7 に、ATLAS 検出器の全体像を示す。ATLAS 検出器は内側から、内部飛跡検出器、ソレノイド磁石、カロリメータ、トロイド磁石、 $\mu$  粒子検出器で構成されている。これらの検出器からの情報を陽子陽子衝突事象ごとに組み合わせて、衝突点で生成された粒子の種類、エネルギー、運動量を測定する。また、ATLAS 検出器には、取得された膨大な事象データから興味のある物理事象を選別して読み出すトリガー・読み出しシステムが備わっている。

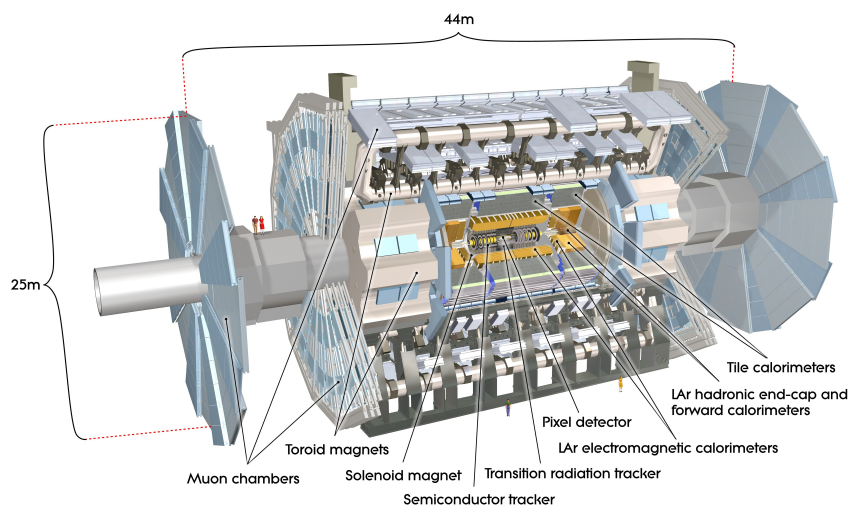


図 2.7 ATLAS 検出器の全体像 [7]。直径 25 m、長さ 44 m の円筒形の汎用検出器。内側から順に内部飛跡検出器、ソレノイド磁石、カロリメータ、トロイド磁石、 $\mu$  粒子検出器で構成されている。

### LHC-ATLAS 実験で使用される座標系・変数

図 2.8 に、LHC-ATLAS 実験で使用される座標系を示す。ATLAS 検出器は円筒形であるため、直交座標系に加え、円筒座標系も使用する。衝突点を原点として、直交座標系では LHC リングの中心方向を  $x$  軸、地上方向を  $y$  軸、ビーム軸を  $z$  軸とする。円筒座標系では、 $z$  軸に加え、円筒の半径方向を  $R$ 、方位角を  $\phi$  とする。また、 $z$  軸とのなす角  $\theta$  を表す際に、しばしば擬ラピディティ  $\eta = -\ln(\tan \frac{\theta}{2})$  という量が用いられる。ATLAS 検出器では、円筒形の側面部分と底面部分で検出器の構造が大きく異なっており、この側面の部分をバレル部、底面の部分をエンドキャップ部と呼ぶ。例えば、ミューオン検出器であるとバレル部は  $|\eta| < 1.0$ 、エンドキャップ部は  $|\eta| > 1.0$  に対応する。

LHC-ATLAS 実験では、粒子のエネルギーや運動量のビーム軸に垂直な成分  $E_T$ ,  $p_T$  をよく利用する。これは、陽子陽子衝突において陽子を構成するクォークやグルーオンのビーム軸方向の運動量はわからない。一方で、ビーム軸に垂直な方向の運動量はゼロであることから、ビーム軸に垂直な方向に対しエネルギー・運動量保存則を利用することができるためである。

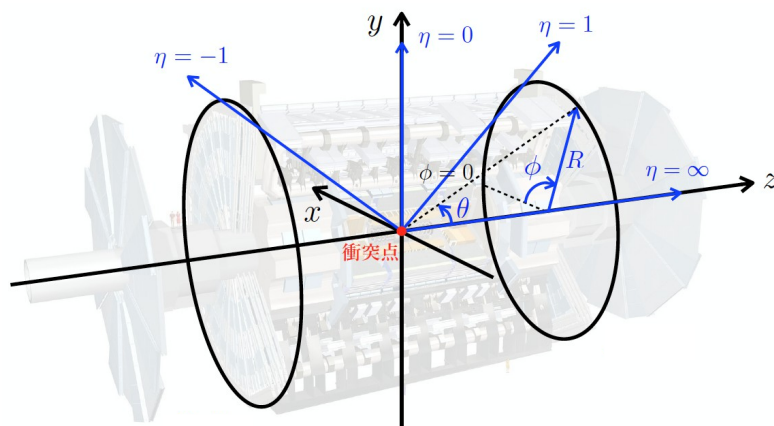


図 2.8 LHC-ATLAS 実験で使用する座標系。直交座標系の  $x, y, z$  軸と円筒座標系の  $R, z, \phi$  に加え、 $z$  軸に対する極角  $\theta$  を表す量として擬ラピディティ  $\eta = -\ln(\tan \frac{\theta}{2})$  が用いられる。

### Thin Gap Chamber (TGC)

LHC-ATLAS 実験のミュオン検出器は、飛跡の精密測定用の検出器と、トリガー用の検出器の2種類に分けられる。TGC は、エンドキャップ部のトリガー用のミュオン検出器である。

図 2.9 に、TGC の構造を示す。TGC は、Multiple Wire Proportional Chamber (MWPC) の一種であり、カソード間距離 (ガスギャップ) は 2.8 mm、ワイヤー間隔は 1.8 mm、ワイヤー直径は 50  $\mu\text{m}$  である。ワイヤーにかかる電圧は約 2.8 kV である。動作ガスには  $\text{CO}_2$  55%, n-ペンタン 45%の混合ガスを用いている。ワイヤーとストリップは直交しており、それぞれから  $R$  方向と  $\phi$  方向の2次元情報を読み出せる。

トリガー用検出器において、検出された粒子がどの陽子バンチ衝突事象に由来するものかを示す識別情報は必須である。ワイヤー間隔を比較的小さくしていることで、電子のドリフト時間を短くし、時間応答性能を上げている。図 2.10 に、ワイヤーにおいて  $\mu$  粒子が TGC に入射してから信号を出すまでの時間分布を示す。時間分布のテール部分は主に電場の小さいワイヤー間の中心部でチェンバーに垂直に入射する  $\mu$  粒子によるものである。LHC の陽子バンチ衝突の間隔 25 ns に対して時間分布のばらつきは十分に小さく、25 ns のゲート幅を用いることで、99%の効率で信号を取得できることから、十分に陽子バンチ識別が可能であることがわかる。

TGC には、2つのタイプ (トリプレット, ダブルレット) がある。図 2.11 に、TGC のそれぞれの構造を示す。トリプレットは3層のワイヤー面と2層のストリップ面をもち、ダブルレットは2層のワイヤー面と2層のストリップ面をもつ。各ガスギャップの間はハニカム構造のパネルで隔てられている。TGC 全体で約 32 万のワイヤーと約 12 万のストリップが存在する。

図 2.11 に、TGC の配置を示す。TGC は、トロイド磁場の外側に M1, M2, M3 と呼ばれる3つの領域と、磁場の内側の EI (Endcap Inner), FI (Forward Inner) と呼ばれる2つの領域に存在する。M1 は TGC トリプレット、M2, M3, EI, FI は TGC ダブルレットで構成される。

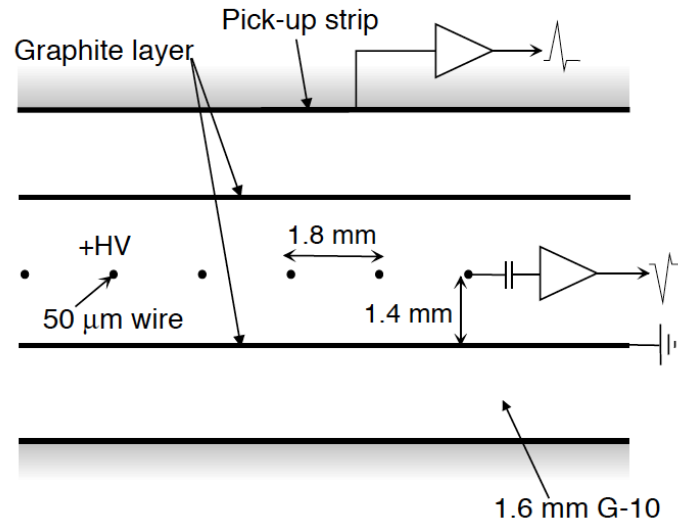


図 2.9 TGC の構造<sup>[8]</sup>。グラファイトのカソード間距離 (ガスギャップ) は 2.8 mm で、アノードワイヤー間隔は 1.8 mm である。ストリップとワイヤーは直交している。

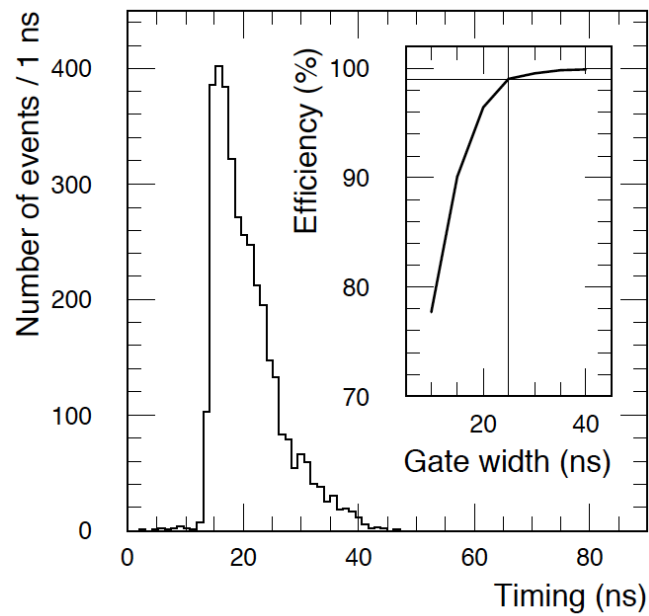


図 2.10  $\mu$  粒子が TGC に入射してから信号出すまでの時間の分布<sup>[8]</sup>。時間原点は任意である。図中の右側に、信号検出におけるゲート幅に対する検出効率を示す。ゲート幅 25 ns で、99%の効率を得られる。

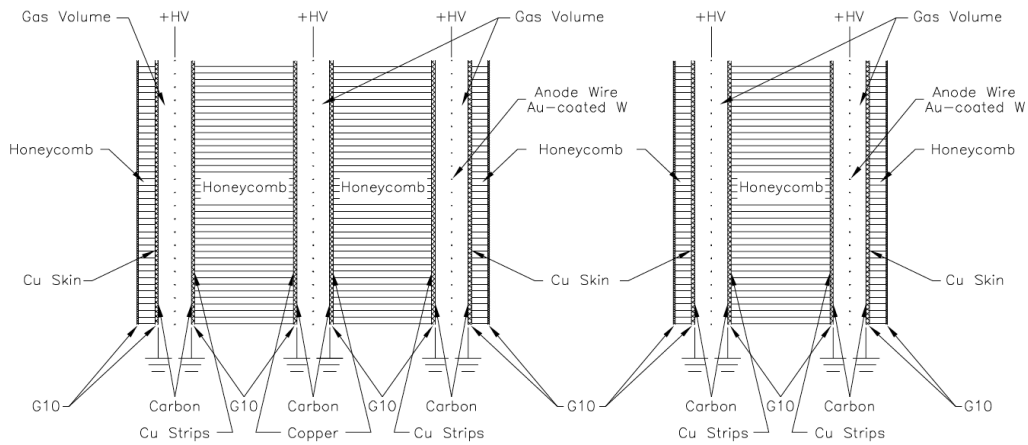


図 2.11 TGC のトリプレット (左) とダブルット (右) の構造 [8]。トリプレットは3層のワイヤー面と2層のストリップ面をもち、ダブルットは2層のワイヤー面と2層のストリップ面をもつ。各ガスギャップの間はハニカム構造のパネルで隔てられている。

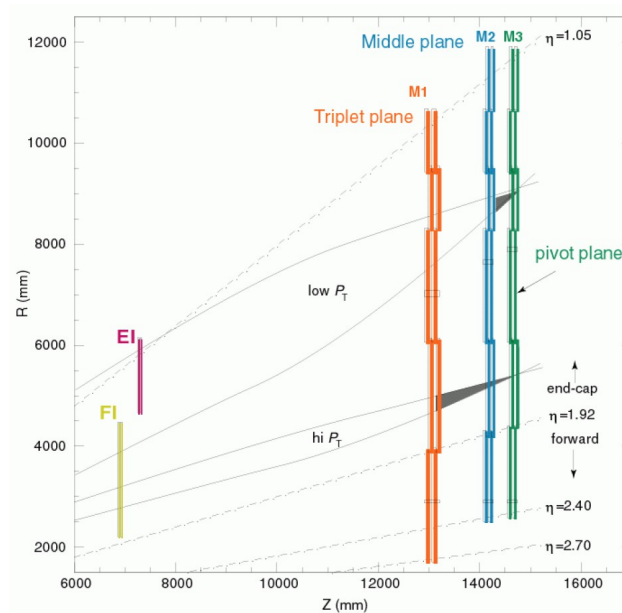


図 2.12 TGC の配置 [9]。TGC 検出器は、トロイド磁場の外側に M1, M2, M3 と呼ばれる 3 つの領域と、磁場の内側の EI (Endcap Inner), FI (Forward Inner) と呼ばれる 2 つの領域で構成される。

## 2.3 高輝度 LHC 加速器

ヒッグス粒子の精密測定において統計をためることはとても重要であるため、現行の LHC に対して瞬間ルミノシティの増強が求められる。また、高輝度化への要求とは別に、現行の LHC において 2022 年ごろに最終ビーム収束部の超伝導電磁石が放射線による劣化で使用できなくなることが予想されており、取り替えが必要である。

以上の背景から、2023 年頃に高輝度 LHC へのアップグレードが予定されている。高輝度 LHC では瞬間最高ルミノシティを  $7.5 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$  にし、約 10 年間の運転で積分ルミノシティ  $4000 \text{ fb}^{-1}$  のデータ取得を目指す。以下でアップグレードの概要について述べる。

LHC におけるビームの瞬間ルミノシティ  $L$  は以下の式で表される。

$$L = \gamma_r \frac{N_b^2 n_b f_{rev}}{4\pi\epsilon_n \beta^*} R \quad (2.1)$$

$$R = \left[ 1 + \frac{(\theta_c \sigma_s)^2}{4\epsilon_n \beta^*} \gamma_r \right]^{-\frac{1}{2}} \quad (2.2)$$

主なパラメータをあげると、 $N_b$  はバンチ当たりの陽子数、 $n_b$  は LHC リングを周回するバンチ数、 $\epsilon_n$  は横方向規格化エミッタンス、 $\beta^*$  は衝突点でのビームのベータatron振動の振幅に関する関数である。 $R$  は 2 つのビームが交差することで生じる幾何的損失係数で、 $\theta_c$  は交差角である。ルミノシティを増大するためには、 $N_b$ ,  $n_b$  および  $R$  を大きくし、 $\epsilon_n$ ,  $\beta^*$  を小さくすれば良いことがわかる。そこで、次のような改良を行う。

- LHC の入射器 (LINAC, BOOSTER, PS, SPS) をアップグレードし、ビーム強度 ( $N_b$ ,  $n_b$ ) を大きくし、エミッタンス ( $\epsilon_n$ ) を低く抑える。
- 衝突点への挿入部の超伝導電磁石を大口径かつ高磁場化することで、 $\beta^*$  を小さくし衝突点でのビームサイズをより絞り込む。口径を 70 mm から 150 mm に広げ、超伝導線材を従来の NbTi から Nb<sub>3</sub>Sn に変更し磁場を 30%以上向上させる。
- 衝突点挿入部におけるビームサイズが大きくなると、ビーム同士の干渉を避けるために交差角を大きくする必要がある。そこで、超伝導クラブ空洞を導入し、 $R$  が小さくなるのを抑える。図 2.13 に、クラブ空洞を導入前後の衝突の概念図を示す。クラブ空洞がビームバンチを横方向に回転させることで正面衝突と同等の衝突が実現され、式 (2.2) に示す  $R$  を現行 LHC と同程度に維持できるようになる。

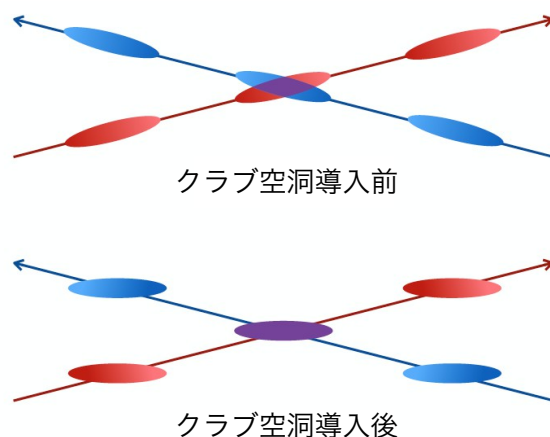


図 2.13 超伝導クラブ空洞を導入前後の衝突の概念図。クラブ空洞がビームバンチを横方向に回転させる。

## 2.4 高輝度 LHC に向けた ATLAS 検出器のアップグレード

高輝度 LHC では、ルミノシティの増加に伴い 1 バンチ交差あたりに生じる陽子陽子衝突数が多くなる。<sup>2</sup> そのため、ATLAS 検出器の特に内部飛跡検出器に対してより高い放射線耐性及び高細分化が求められる。また、より高い事象レートに対応し、より効率的にデータを取得するトリガー・読み出しシステムが必要になる。そこで、2024 年から 2026 年にかけて ATLAS 検出器のアップグレードを行う。

内部飛跡検出器では検出器の総入れ替えを行う。現行の内部飛跡検出器は放射線損傷による累積的な性能劣化により高輝度 LHC の 10 年間の運転に耐えることができない。加えて、高輝度 LHC で生成される荷電粒子飛跡の高密度化により、現行の内部飛跡検出器の最外層に存在するドリフトチューブで構成された飛跡検出器において、検出器の占有率が 100% に達してしまい飛跡再構成の性能が大幅に劣化する。そこで、高輝度 LHC では現行の内部飛跡検出器の総入れ替えを行い、全領域をより細分化したシリコンピクセル検出器とシリコンストリップ検出器で覆う。ピクセル検出器では、ピクセルサイズを現行の 5 分の 1 程度にすることで、占有率を抑える。

トリガー・読み出しシステムでは、ほぼすべての電子回路の取り替えを行う。現行のトリガー・読み出しシステムでは、データ転送幅の制限から処理できる事象レートに限界がある。また、現行のシステムではデータを一時的に保持するバッファのサイズの制限から事象選別のための処理時間を拡張することができず、より効率的な事象選別を導入できない。そのため、高輝度 LHC では、現行のシステム的大幅な改良が行われる。第 3 章で、トリガー・読み出しシステムのアップグレードの概要と、本研究の主軸であるエンドキャップ部の  $\mu$  粒子トリガーおよび TGC 検出器回路のアップグレードの詳細を述べる。

<sup>2</sup>瞬間ルミノシティ  $7.5 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$  に対して平均 200 ほどになる。

## 第3章 エンドキャップ部 $\mu$ 粒子トリガーの改良

本章では、エンドキャップ部  $\mu$  粒子トリガーのアップグレードについて説明する。第 3.1 節で、現行のトリガー・読み出しシステムの全体像を示す。第 3.2 節で、現行の  $\mu$  粒子トリガーの概要とトリガー・読み出しシステムを示す。第 3.3 節で、現行のトリガー・読み出しシステムの性能限界を説明し、高輝度 LHC に向けたアップグレードの必要性を示す。第 3.4 節で、高輝度 LHC に向けたトリガー・読み出しシステムのアップグレードの全体像を示す。第 3.5 節で、高輝度 LHC での  $\mu$  粒子トリガーの概要とトリガー・読み出しシステムを説明し、本研究で着目する前段回路の開発現状を示す。

### 3.1 現行のトリガー・読み出しシステム

ATLAS 実験では、データ記録装置の容量などの制限から 40 MHz の陽子陽子衝突事象の全てを記録することができない。そのため、生成される膨大な事象の中から興味のある事象のみを選別するトリガーが不可欠となる。興味のある物理事象における電子や光子、 $\mu$  粒子などの  $p_T$  に下限値を設定し、トリガーの判定を行う。

ATLAS 実験では、図 3.1 のようなレベル 1 トリガーとハイレベルトリガーの 2 段階のトリガーを採用している。40 MHz の事象レートに対し、レベル 1 トリガーによって 100 kHz まで事象レートを下げる。この判定は、それぞれの事象に対して、 $2.5 \mu\text{s}$  で行われる。さらに、ハイレベルトリガーによって事象レートを 1 kHz にまで落として、選別された事象のデータを保持する。ハイレベルトリガーの判定は、各事象に対して、数秒かけて行われる。



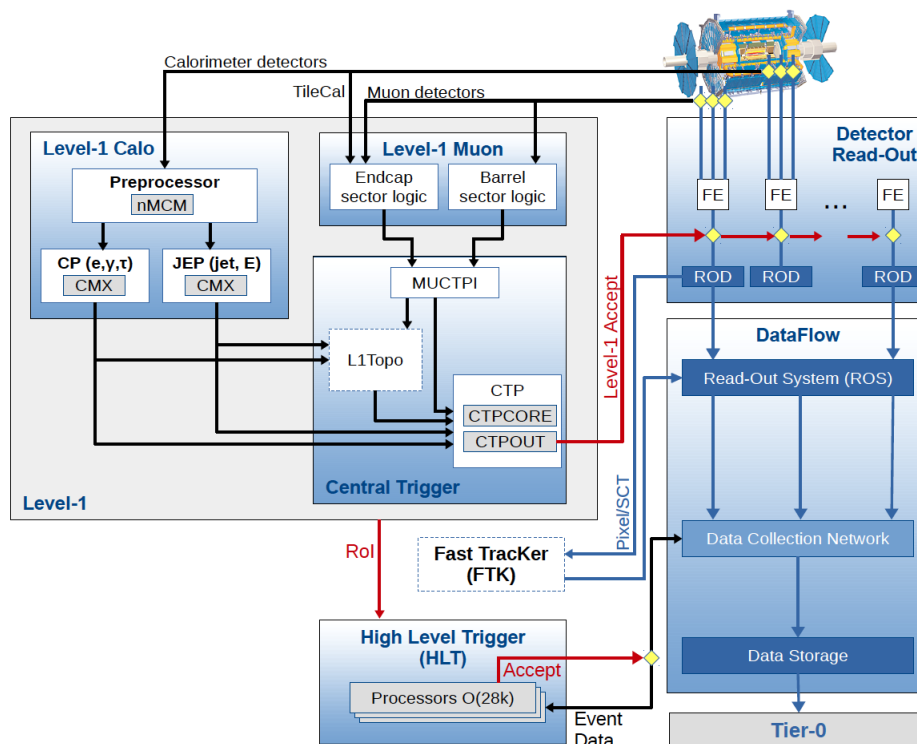


図 3.1 Run 2 におけるトリガー・読み出しシステムの概要<sup>[10]</sup>。レベル 1 トリガー (“Level-1”) 及び  
 ハイレベルトリガー (“High Level Trigger”) で保持する事象を選別する。

レベル 1 トリガーは、ASIC や FPGA などのハードウェアで構成される。カロリメータの情報からトリガー判定を行うブロック (Level-1 Calo) とミューオン検出器の情報からトリガー判定を行うブロック (Level-1 Muon) に加え、Level-1 Calo と Level-1 Muon の情報を組み合わせてトリガー判定を行うブロック (L1 Topo) が存在する。この 3 つのブロックから得られるトリガーの情報は、Central Trigger Processor (CTP) に集められる。CTP にて、選別される事象のレートが合計は 100 kHz 以下になるように事象を選別する。選別された事象であることを示す信号である Level-1 Accept を各検出器のフロントエンド回路 (FE) に送り、選択された事象に対する検出器信号を読み出す。

ハイレベルトリガーでは、レベル 1 トリガーで選択された事象に対し、ソフトウェア上で複雑な計算処理を施し、より高分解能な情報により選別を行う。

レベル 1 トリガーとハイレベルトリガーのそれぞれで、各物理事象のトリガーに対して事象レートが割り当てられている。図 3.2 は、2017 年における各物理事象におけるトリガー条件と事象レートである。例えば、赤枠で示すシングル  $\mu$  粒子事象に対しては、レベル 1 トリガーでは、20 GeV の  $p_T$  閾値において 15 kHz のトリガーレートが割り当てられていることがわかる。

Trigger	Typical offline selection	Trigger Selection		Level-1 Peak Rate (kHz) $L = 1.7 \times 10^{34} \text{ cm}^{-2} \text{ s}^{-1}$	HLT Peak Rate (Hz)
		Level-1 (GeV)	HLT (GeV)		
Single leptons	Single isolated $\mu$ , $p_T > 27 \text{ GeV}$	20	26 (i)	15	180
	Single isolated tight $e$ , $p_T > 27 \text{ GeV}$	22 (i)	26 (i)	28	180
	Single $\mu$ , $p_T > 52 \text{ GeV}$	20	50	15	61
	Single $e$ , $p_T > 61 \text{ GeV}$	22 (i)	60	28	18
	Single $\tau$ , $p_T > 170 \text{ GeV}$	100	160	1.2	47
Two leptons	Two $\mu$ , each $p_T > 15 \text{ GeV}$	$2 \times 10$	$2 \times 14$	1.8	26
	Two $\mu$ , $p_T > 23, 9 \text{ GeV}$	20	22, 8	15	42
	Two very loose $e$ , each $p_T > 18 \text{ GeV}$	$2 \times 15$ (i)	$2 \times 17$	1.7	12
	One $e$ & one $\mu$ , $p_T > 8, 25 \text{ GeV}$	20 ( $\mu$ )	7, 24	15	5
	One $e$ & one $\mu$ , $p_T > 18, 15 \text{ GeV}$	15, 10	17, 14	2.0	4
	One $e$ & one $\mu$ , $p_T > 27, 9 \text{ GeV}$	22 (e, i)	26, 8	28	3
	Two $\tau$ , $p_T > 40, 30 \text{ GeV}$	20 (i), 12 (i) (+jets, topo)	35, 25	5	61
	One $\tau$ & one isolated $\mu$ , $p_T > 30, 15 \text{ GeV}$	12 (i), 10 (+jets)	25, 14 (i)	2.1	10
	One $\tau$ & one isolated $e$ , $p_T > 30, 18 \text{ GeV}$	12 (i), 15 (i) (+jets)	25, 17 (i)	4	15
Three leptons	Three loose $e$ , $p_T > 25, 13, 13 \text{ GeV}$	$20, 2 \times 10$	$24, 2 \times 12$	1.3	< 0.1
	Three $\mu$ , each $p_T > 7 \text{ GeV}$	$3 \times 6$	$3 \times 6$	0.2	6
	Three $\mu$ , $p_T > 21, 2 \times 5 \text{ GeV}$	20	$20, 2 \times 4$	15	8
	Two $\mu$ & one loose $e$ , $p_T > 2 \times 11, 13 \text{ GeV}$	$2 \times 10$ ( $\mu$ )	$2 \times 10, 12$	1.8	0.3
	Two loose $e$ & one $\mu$ , $p_T > 2 \times 13, 11 \text{ GeV}$	$2 \times 8, 10$	$2 \times 12, 10$	1.7	0.1
One photon	One loose $\gamma$ , $p_T > 145 \text{ GeV}$	22 (i)	140	28	43
Two photons	Two loose $\gamma$ , $p_T > 55, 55 \text{ GeV}$	$2 \times 20$	50, 50	2.6	6
	Two medium $\gamma$ , $p_T > 40, 30 \text{ GeV}$	$2 \times 20$	35, 25	2.6	17
	Two tight $\gamma$ , $p_T > 25, 25 \text{ GeV}$	$2 \times 15$ (i)	$2 \times 20$ (i)	1.7	14
Single jet	Jet ( $R = 0.4$ ), $p_T > 435 \text{ GeV}$	100	420	3.3	33
	Jet ( $R = 1.0$ ), $p_T > 480 \text{ GeV}$	100	460	3.3	24
	Jet ( $R = 1.0$ ), $p_T > 450 \text{ GeV}$ , $m_{\text{jet}} > 50 \text{ GeV}$	100	$420, m_{\text{jet}} > 40$	3.3	29
$E_T^{\text{miss}}$	$E_T^{\text{miss}} > 200 \text{ GeV}$	50	110	5	110
Multi-jets	Four jets, each $p_T > 125 \text{ GeV}$	$3 \times 50$	$4 \times 115$	0.5	16
	Five jets, each $p_T > 95 \text{ GeV}$	$4 \times 15$	$5 \times 85$	5	10
	Six jets, each $p_T > 80 \text{ GeV}$	$4 \times 15$	$6 \times 70$	5	4
	Six jets, each $p_T > 60 \text{ GeV}$ , $ \eta  < 2.0$	$4 \times 15$	$6 \times 55,  \eta  < 2.4$	5	15
$b$ -jets	One $b$ ( $\epsilon = 40\%$ ), $p_T > 235 \text{ GeV}$	100	225	3.3	15
	Two $b$ ( $\epsilon = 60\%$ ), $p_T > 185, 70 \text{ GeV}$	100	175, 60	3.3	12
	One $b$ ( $\epsilon = 40\%$ ) & three jets, each $p_T > 85 \text{ GeV}$	$4 \times 15$	$4 \times 75$	5	15
	Two $b$ ( $\epsilon = 70\%$ ) & one jet, $p_T > 65, 65, 160 \text{ GeV}$	$2 \times 30, 85$	$2 \times 55, 150$	1.2	15
	Two $b$ ( $\epsilon = 60\%$ ) & two jets, each $p_T > 65 \text{ GeV}$	$4 \times 15,  \eta  < 2.5$	$4 \times 55$	3.2	13
$B$ -Physics	Two $\mu$ , $p_T > 11, 6 \text{ GeV}$	11, 6	11, 6 (di- $\mu$ )	2.5	47
	Two $\mu$ , $p_T > 6, 6 \text{ GeV}$ , $2.5 < m(\mu, \mu) < 4.0 \text{ GeV}$	$2 \times 6$ ( $J/\psi$ , topo)	$2 \times 6$ ( $J/\psi$ )	1.6	48
	Two $\mu$ , $p_T > 6, 6 \text{ GeV}$ , $4.7 < m(\mu, \mu) < 5.9 \text{ GeV}$	$2 \times 6$ ( $B$ , topo)	$2 \times 6$ ( $B$ )	1.6	5
	Two $\mu$ , $p_T > 6, 6 \text{ GeV}$ , $7 < m(\mu, \mu) < 12 \text{ GeV}$	$2 \times 6$ ( $\Upsilon$ , topo)	$2 \times 6$ ( $\Upsilon$ )	1.4	10
Total Rate				85	1550

図 3.2 2017 年の瞬間ルミノシティ  $1.7 \times 10^{34} \text{ cm}^{-2} \text{ s}^{-1}$  における各物理事象に対するトリガーの一覧 [11]。

## 3.2 現行のエンドキャップ部 $\mu$ 粒子トリガー

### 3.2.1 エンドキャップ部 $\mu$ 粒子トリガーの概要

$1.05 < \eta < 2.4$  のエンドキャップ領域では、TGC 検出器の情報を用いて  $\mu$  粒子を含む事象の選別が行われる。エンドキャップ部の  $\mu$  粒子トリガーの概要を図 3.3 に示す。衝突点で生成され、TGC 検出器で検出される  $\mu$  粒子は、TGC に到達するまでに、トロイド磁場領域を通過する。トロイド磁場は  $\phi$  方向にかけられているので、 $\mu$  粒子の飛跡は R 方向に曲げられる。トロイド磁場付近では、 $\phi$  方向の成分だけでなく、R 方向の成分の磁場も存在する。衝突点付近のソレノイド磁場の影響を考慮すると、 $\mu$  粒子の飛跡は  $\phi$  方向にも曲げられる。M3 でのヒット位置と衝突点を結んだ直線と M1、M2 のヒット位置との距離 ( $\Delta R$ ,  $\Delta \phi$ ) を求め、その距離から  $\mu$  粒子の  $p_T$  を計算する。得られた  $p_T$  が閾値を超える場合に、その  $\mu$  粒子を含む事象を選別する。

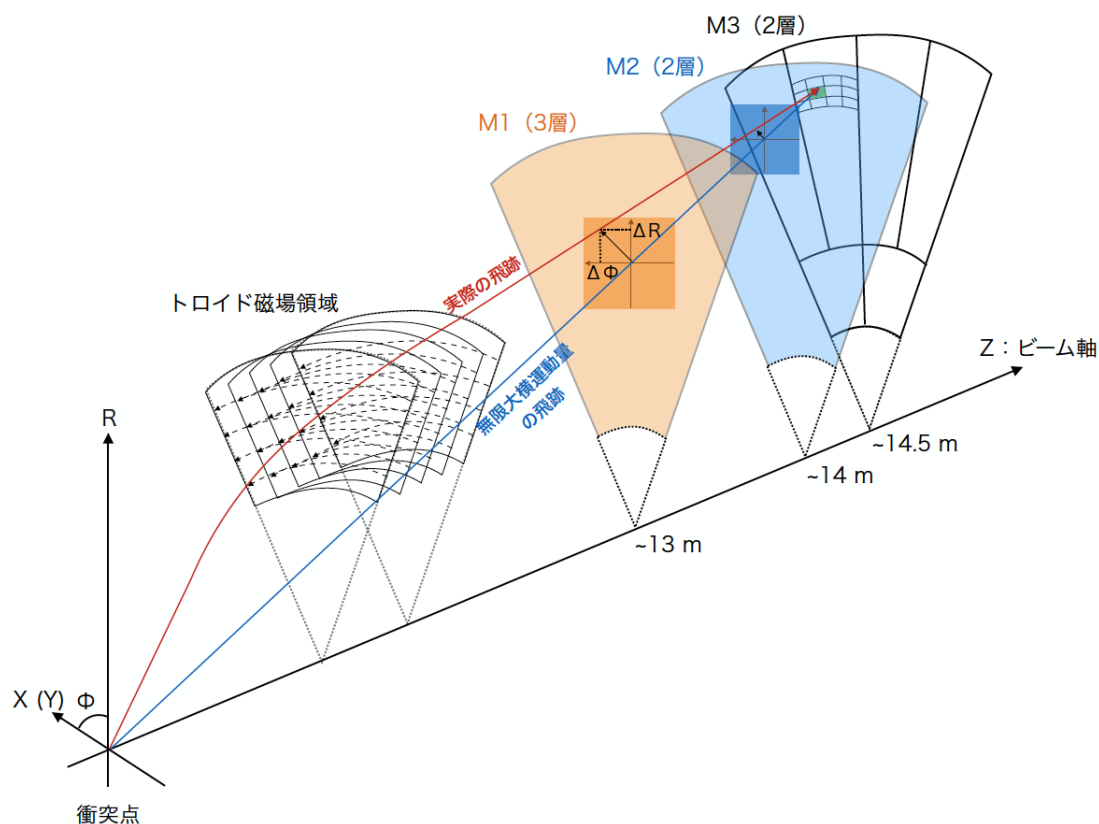


図 3.3 エンドキャップ部  $\mu$  粒子トリガーの概要。衝突点と M3 のヒット位置を結んだ直線からの距離 ( $\Delta R$ ,  $\Delta \phi$ ) を求め、 $\mu$  粒子の  $p_T$  を計算する。

### 3.2.2 TGC 検出器回路の概要

図 3.4 は、TGC 検出器回路のブロック図を示す。主な特徴は、M1、M2、M3 のヒット情報に対し検出器付近の回路で段階的にコインシデンスを取り、 $\mu$  粒子候補の再構成を行うことである。

TGC 検出器からの信号は、まず Amplifier Shaper Discriminator (ASD) ボードによって、電圧信号に変換され、増幅・波高弁別が行われる。PS ボードでは、ASD ボードからの信号に対して  $\mu$  粒子飛行時間やケーブル長のばらつきに起因するチャンネル間の遅延時間の違いを補正し、その信号が LHC のどの陽子陽子衝突事象に由来するものかタグ付け (Bunch Crossing Identification, BCID) する。その後、SLB ASIC において、信号をトリガー側と読み出し側に分岐させて、異なる処理を行う。以降、システム別に説明する。

トリガー側では、まず SLB ASIC で M2 と M3 の 4 層のコインシデンスと、M1 の 3 層のコインシデンスを取る。M2 と M3 では、4 層中 3 層でヒット信号が得られることを要求する (3/4 コインシデンス)。一方、M1 では、ワイヤーに対して 2/3 コインシデンスを要求し、ストリップでは 1/2 コインシデンスを要求する。その後、コインシデンス結果を High- $P_T$  ボードへ送る。High- $P_T$  ボードは、M1 と M3 のヒット位置の差 ( $\Delta R$ ,  $\Delta \phi$ ) を計算する。計算結果を Sector Logic ボードへ送り、図 3.5 のようなコインシデンス・ウィンドウを用いて  $p_T$  の情報に変換する。その後、EI/FI 磁場内部に位置する検出器の情報を統合し、ヒット

位置のコインシデンスを取り、衝突点由来でない  $\mu$  粒子候補を落とす。

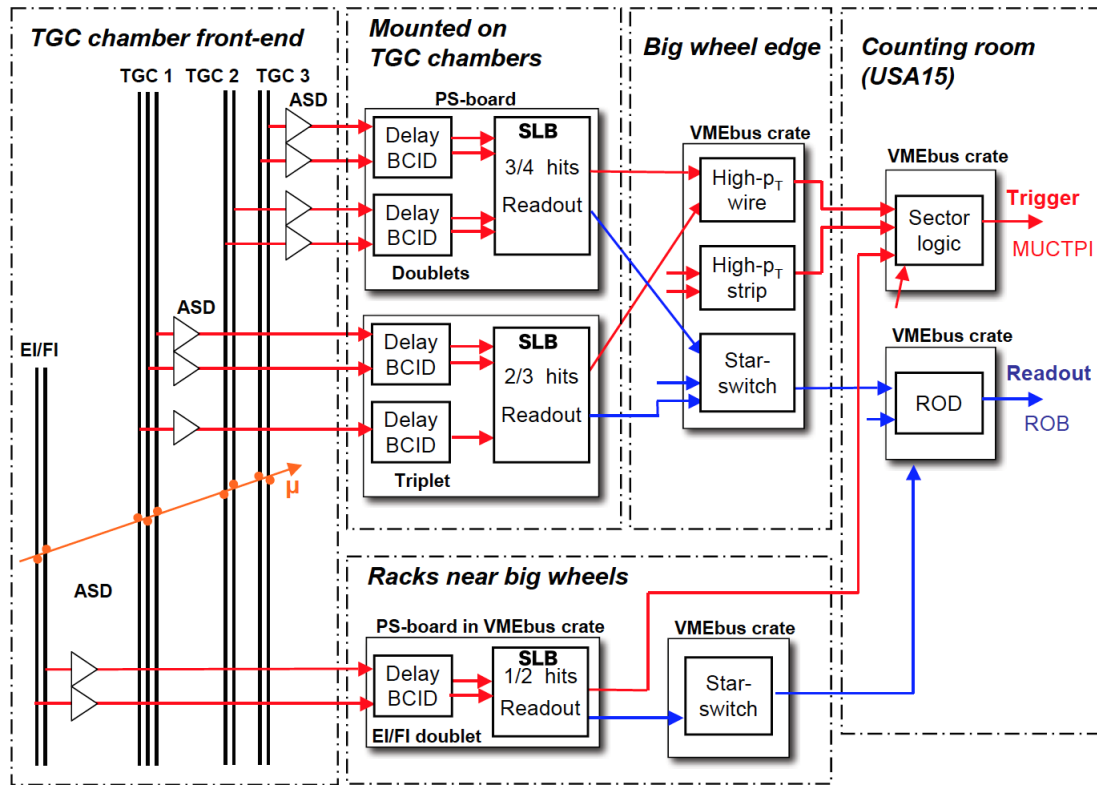


図 3.4 TGC 検出器回路のブロック図<sup>[12]</sup>。赤い矢印はトリガー判定に使用するデータの流れを示す。青い矢印は、SLB ASIC における分岐後の読み出しデータの流れを示す。

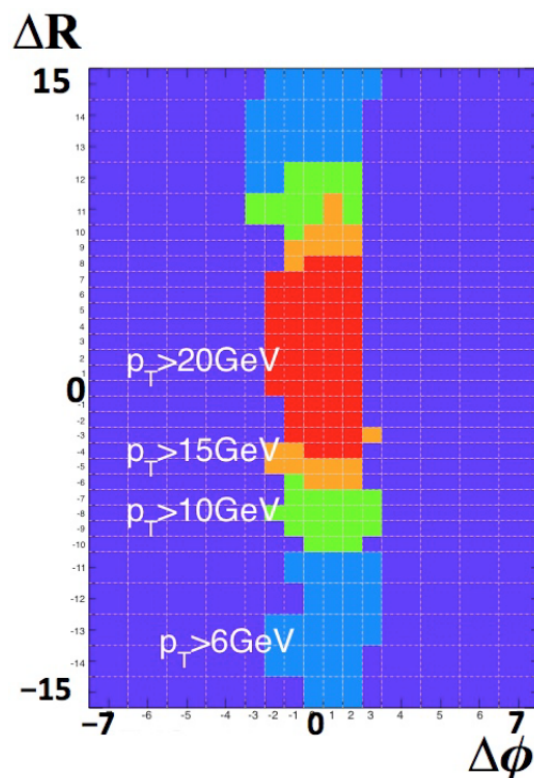


図 3.5 ( $\Delta R$ ,  $\Delta\phi$ ) のコインシデンス・ウィンドウ。<sup>[13]</sup>  $\Delta R$  と  $\Delta\phi$  の値に対応した  $p_T$  の情報を色分けして示している。

読み出し側では、SLB ASIC と Starswitch (SSW) ボードと ROD ボードで構成される。トリガー判定が行われる間、TGC 検出器のヒット情報は、SLB ASIC のバッファに保持される。トリガー判定信号 (Level-1 Accept) が送られると、SLB ASIC は、選択された事象とその前後の陽子陽子衝突の事象の情報を SSW ボードに送る。その後、データは SSW ボード上の FPAG で圧縮され、ROD ボードに送られる。ROD ボードに搭載された FPGA は、複数の SSW ボードからのデータを事象ごとにまとめ、後段の計算機へ送る。

### 3.3 現行のトリガー・読み出しシステムの性能限界

現行のトリガー・読み出しシステムのレベル 1 トリガーレートの限界は 100 kHz である。ハードウェアのデータ転送幅の制限から、100 kHz より高いレベル 1 トリガーレートでは、選択した事象の全データを転送できない。

高輝度 LHC ではルミノシティが増加することによって、興味のある物理事象の発生頻度だけでなく、興味のない背景事象も増加する。トリガー・読み出しシステムのアップグレードなしの場合、レベル 1 トリガーレートを 100 kHz 以下に抑えるため、シングル  $\mu$  粒子トリガーにおける  $p_T$  閾値を 50 GeV ほどに上げるしかない。すると、図 3.6 に示すように、興味のある物理事象のアクセプタンスが大幅に低下してしま

い、ルミノシティ増加を生かせない。

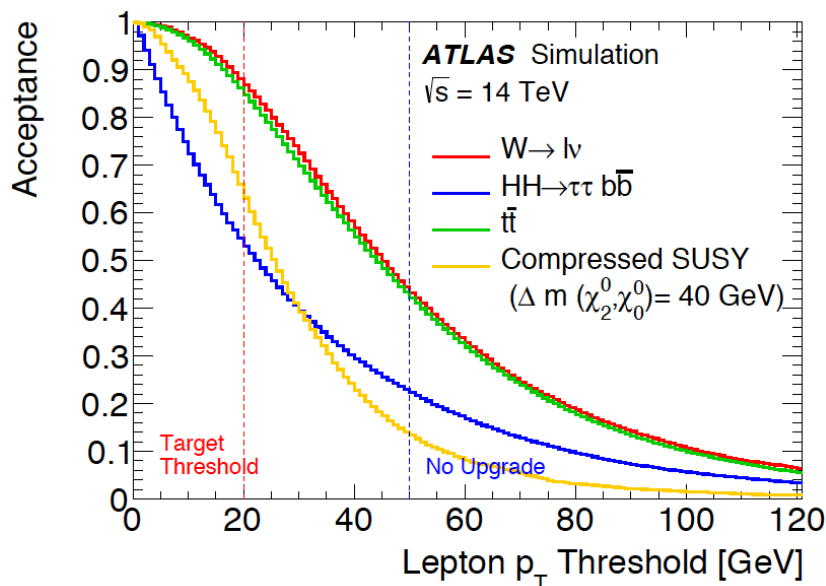


図 3.6 代表的な物理事象における  $\mu$  粒子の  $p_T$  閾値に対するアクセプタンス<sup>[14]</sup>。トリガー・読み出しシステムのアップグレードをしない場合、 $p_T$  閾値を 50 GeV にあげないとデータを取ることができなくなる。興味のある物理事象に対するアクセプタンスを損失してしまう。

現行のトリガー・読み出しシステムのもう一つの限界は、レベル1トリガー判定時間の上限  $2.5 \mu\text{s}$  である。読み出しシステムのハードウェアのバッファサイズの制限のため、この上限を上回ると事象のデータを保持できない。この制限により簡易的な運動量判定しか導入できない。

### 3.4 高輝度 LHC のトリガー・読み出しシステム

高輝度 LHC では、ルミノシティを十分に生かすために、レベル1トリガーのトリガーレートを 1 MHz、判定時間を  $10 \mu\text{s}$  に拡張する。それにより、システム全体を大幅に入れ替える。

図 3.7 に、高輝度 LHC での ATLAS 実験のトリガー・読み出しシステムを示す。以下、本研究で着目するレベル0トリガーについて説明する。高輝度 LHC では、レベル1トリガーに対応するトリガーをレベル0トリガーと呼ぶ。レベル0トリガーは、 $\mu$  粒子検出器とカロリメータの一部の情報を使用する L0Muon とカロリメータの情報を使用する L0Calo、L0Calo と L0Muon に加えカロリメータの情報を組み合わせた Global Trigger、CTP で構成される。L0Muon と L0Calo は、それぞれ現行の Level-1 Muon と Level-1 Calo に相当するが、より高い分解能で判定を行える。また、高輝度 LHC から導入される Global Trigger は、カロリメータの情報が加わることで、現行の L1Topo から機能を大きく拡張したトリガーである。それらの出力は CTP に送られて、トリガーレートの合計が 1 MHz になるように事象を選択する。トリガー判定が下されると、L0 アクセプト信号が各検出器の読み出しシステムに送られ、対応する事象のデータが読み出される。

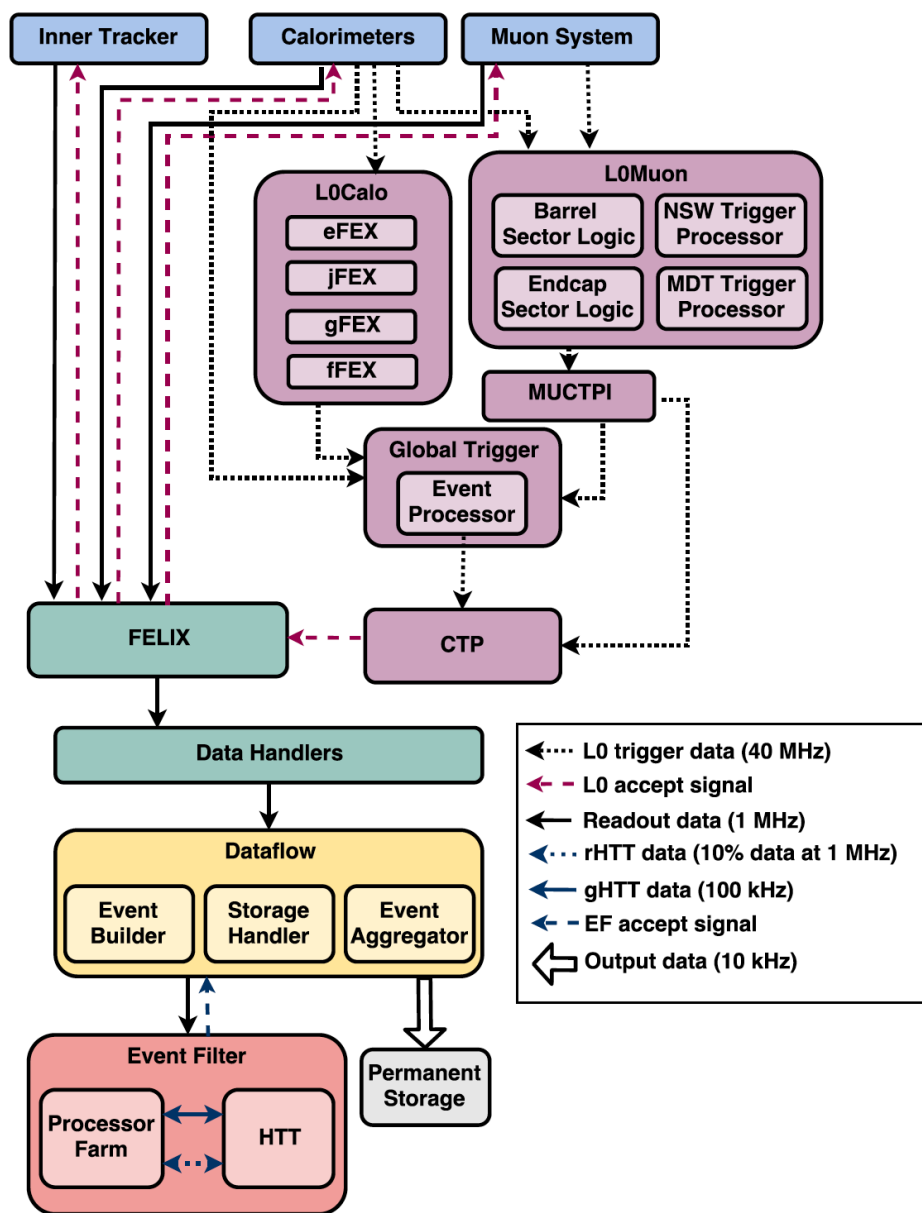


図 3.7 高輝度 LHC におけるトリガー・読み出しシステムの概要<sup>[14]</sup>。青の四角は検出器、紫の四角は Level-0 トリガー、緑と黄色の四角は読み出しシステム、オレンジの四角は Event Filter システムを指す。

図 3.8 に、高輝度 LHC で予定されている代表的なトリガー条件と想定されるトリガーレートを示す。赤枠で示されたシングル  $\mu$  粒子事象では、EF の  $p_T$  閾値 20 GeV で 45 kHz のトリガーレートが割り当てられていることがわかる。図 3.2 に示す値と比べると、ルミノシティの増加よりもトリガーレートの増加が小さいことがわかる。これは、後述するトリガー判定手法改良による。



Trigger Selection	Run 1 Offline $p_T$ Threshold [GeV]	Run 2 (2017) Offline $p_T$ Threshold [GeV]	Planned HL-LHC Offline $p_T$ Threshold [GeV]	L0 Rate [kHz]	After regional tracking cuts [kHz]	Event Filter Rate [kHz]
isolated single $e$	25	27	22	200	40	1.5
isolated single $\mu$	25	27	20	45	45	1.5
single $\gamma$	120	145	120	5	5	0.3
forward $e$			35	40	8	0.2
di- $\gamma$	25	25	25,25		20	0.2
di- $e$	15	18	10,10	60	10	0.2
di- $\mu$	15	15	10,10	10	2	0.2
$e - \mu$	17,6	8,25 / 18,15	10,10	45	10	0.2
single $\tau$	100	170	150	3	3	0.35
di- $\tau$	40,30	40,30	40,30	200	40	0.5 <sup>+++</sup>
single $b$ -jet	200	235	180	25	25	0.35 <sup>+++</sup>
single jet	370	460	400			0.25
large- $R$ jet	470	500	300	40	40	0.5
four-jet (w/ $b$ -tags)		45 <sup>+</sup> (1-tag)	65(2-tags)	100	20	0.1
four-jet	85	125	100			0.2
$H_T$	700	700	375	50	10	0.2 <sup>+++</sup>
$E_T^{\text{miss}}$	150	200	210	60	5	0.4
VBF inclusive			2x75 w/ ( $\Delta\eta > 2.5$ & $\Delta\phi < 2.5$ )	33	5	0.5 <sup>+++</sup>
$B$ -physics <sup>++</sup>				50	10	0.5
Supporting Trigs				100	40	2
Total				1066	338	10.4

図 3.8 高輝度 LHC で瞬間ルミノシティ  $7.5 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$  における代表的な物理事象に対するトリガーの一覧<sup>[14]</sup>。

### 3.5 高輝度 LHC の $\mu$ 粒子トリガー

#### 3.5.1 エンドキャップ部 $\mu$ 粒子トリガーの概要

エンドキャップ部  $\mu$  粒子トリガーでは、新しいトリガー判定の手法を導入し  $p_T$  分解能を向上させる。図 3.9 に、新しい手法を示す。NSW は、2019–2020 年にトロイド磁場の内側に導入される  $\mu$  粒子飛跡検出器である。TGC 全層のヒット情報から再構成された飛跡と NSW で再構成された飛跡の角度差  $\Delta\theta$  を計算し、 $\mu$  粒子の  $p_T$  を導出する。図 3.10 は、 $\Delta\theta$  を用いた新しいトリガーと従来のトリガーにおける  $\mu$  粒子の  $p_T$  分布を示す。新しい手法の導入による  $p_T$  分解能の向上から、20 GeV 閾値より小さい  $p_T$  を持つ  $\mu$  粒子を含む事象の削減能力が大幅に向上する。



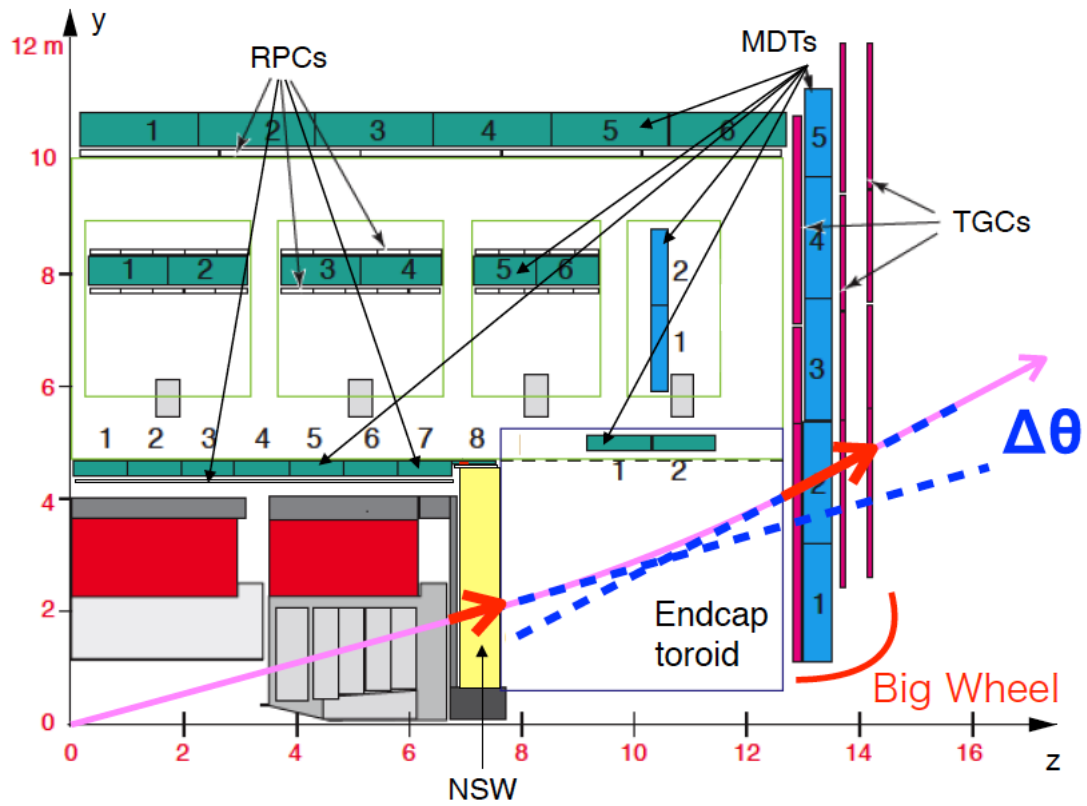


図 3.9  $\mu$  粒子検出器の配置とエンドキャップ部レベル 0  $\mu$  粒子トリガーの概要<sup>[15]</sup>。トロイド磁場による  $\mu$  粒子の曲がり具合  $\Delta\theta$  から  $p_T$  を求める。 $\Delta\theta$  は、NSW での飛跡と TGC での飛跡の角度差である。

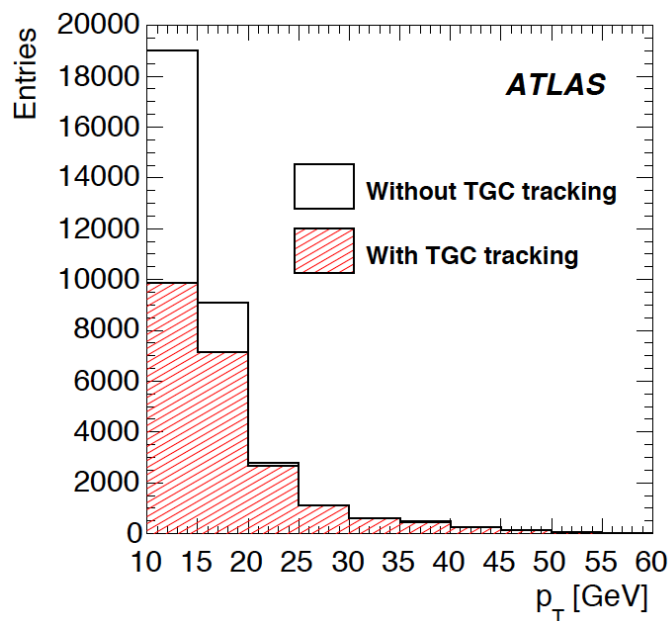


図 3.10  $p_T$  閾値 20 GeV でトリガー判定された  $\mu$  粒子の  $p_T$  分布<sup>[15]</sup>。白のヒストグラムは高輝度 LHC 向けのアップグレード前の  $\mu$  粒子トリガーを用いた結果で、赤のヒストグラムは高輝度 LHC でのトリガーをオフライン解析で導入した結果を示す。2012 年の重心系エネルギー 8 TeV での陽子陽子衝突データを用いている。

### 3.5.2 TGC 検出器回路の概要

トリガーレートの増強と新しいトリガー判定手法を実現するために、ASD ボードを除く現行の全てのボードを取り替える予定である。図 3.11 に、高輝度 LHC での TGC 検出器回路のブロック図を示す。このシステムの主な特徴は、検出器付近の前段回路で、コインシデンスを取らず、TGC 検出器の全ヒット情報を後段回路に転送し、後段回路で飛跡の再構成を行うことである。

TGC 検出器からの信号は、ASD ボードを通過後、新しく開発する PS ボードに送られる。PS ボードは、信号のタイミングを調節し、BCID を行った後、FPGA と光トランシーバーを用いて後段回路 (Endcap Sector Logic) へ転送する。後段回路は、TGC 全層のヒット情報を用いて飛跡を再構成し、NSW との飛跡の角度差を計算し、 $\mu$  粒子の  $p_T$  を求める。その後、 $p_T$  情報を MUCTPI に送る。また、後段回路は 10  $\mu$ s のレベル 0 トリガーレイテンシーに十分に対応できるサイズを持つ First-In-First-Out (FIFO) でデータを保持する。そして、L0 アクセプト信号を受信するとトリガー判定された事象のデータを FELIX へ送る。Service Patch Panel は、PS ボードへ陽子陽子衝突と同期した 40 MHz クロック (LHC クロック) や回路リセット信号を送る役割と PS ボードの FPGA のファームウェアの書き込みを行う役割を担う。

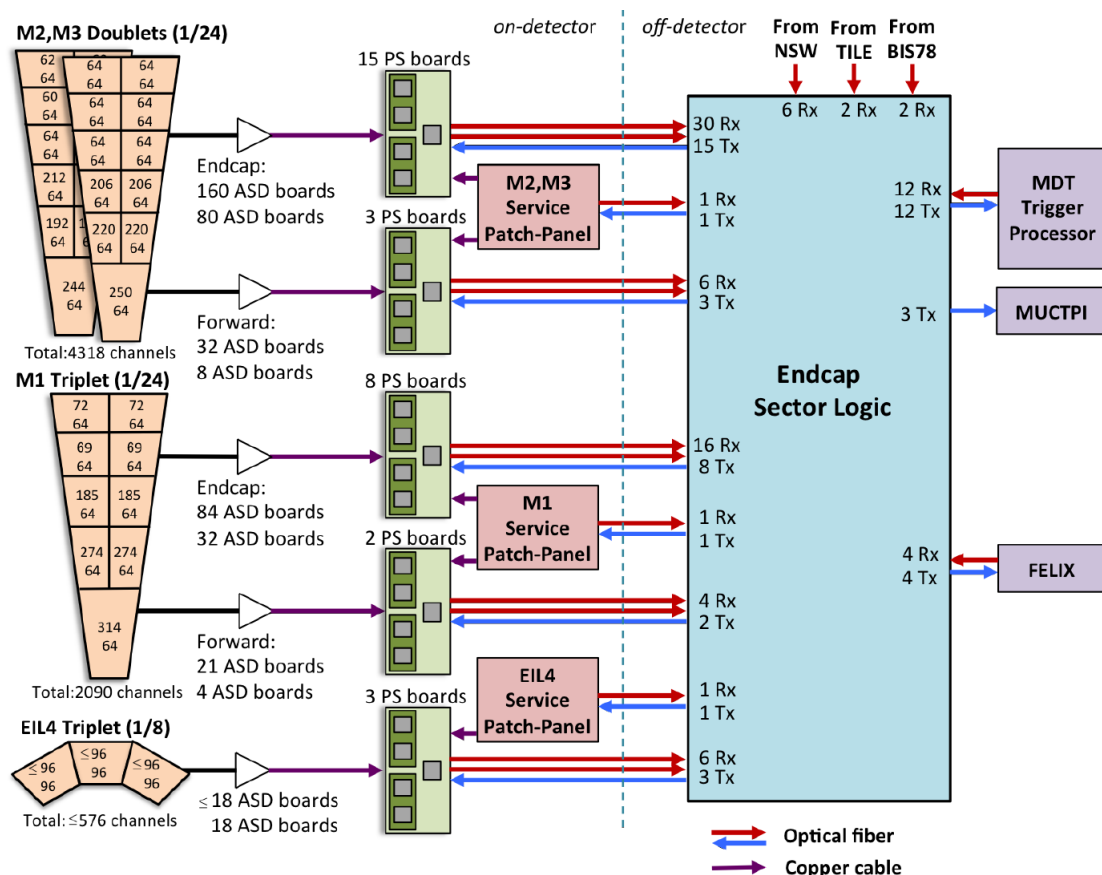


図 3.11 高輝度 LHC 向けの TGC 検出器回路のブロック図<sup>[15]</sup>。検出器付近 (“on-detector”) の前段回路でヒット情報を集め、後段 (“off-detector”) に転送する。後段のボード (“Endcap Sector Logic”) にて飛跡再構成を行う。

### 3.5.3 前段回路の開発現状

本節では、TGC 検出器の前段回路を構成する ASD ボードと高速データ転送ボード (PS ボード) の概要と高輝度 LHC に向けた開発の現状を示す。

#### ASD ボード

ASD ボード (図 3.12) は、4つの ASD チップ (CXA3183Q) を搭載している。1 チップあたり 4 チャンネルを持つので、1 つの ASD ボードは 16 チャンネル分の検出器信号を処理する。図 3.13 に ASD チップのブロック図とピン配置を示す。ASD チップは、検出器の信号電荷を  $0.8 \text{ V/pC}$  のゲインで電圧に変換するプリアンプ、プリアンプ後に信号を 7 倍に増幅するメインアンプ、信号と PS ボードから送られる閾値電圧 (VTH) を比較し LVDS 信号を出力するコンパレータで構成される。ASD ボードは、LHC の運転開始前に製作され、ATLAS 実験の開始当初から運用されている。ASD ボードの機能は高輝度 LHC の TGC システムに適応するため、継続的な使用を予定している。

ASD ボードは、LHC ビーム軸から最も近いところで 1.7 m の位置に設置するため、相対的に高い放射線耐性が要求される。そこで、本研究では ASD ボードの放射線耐性の評価を行った。第7章にて、放射線耐性の要求値および評価の詳細を示す。

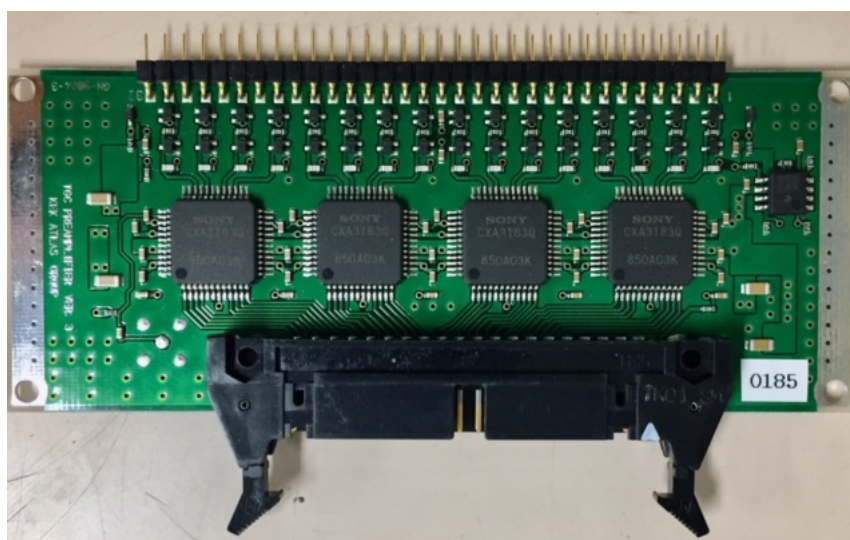


図 3.12 ASD ボードの写真。ボードの中心部に 4 つの ASD チップが並ぶ。写真上部から TGC 検出器信号が入力し、ASD チップの出力は下部のコネクタから PS ボードへ送られる。

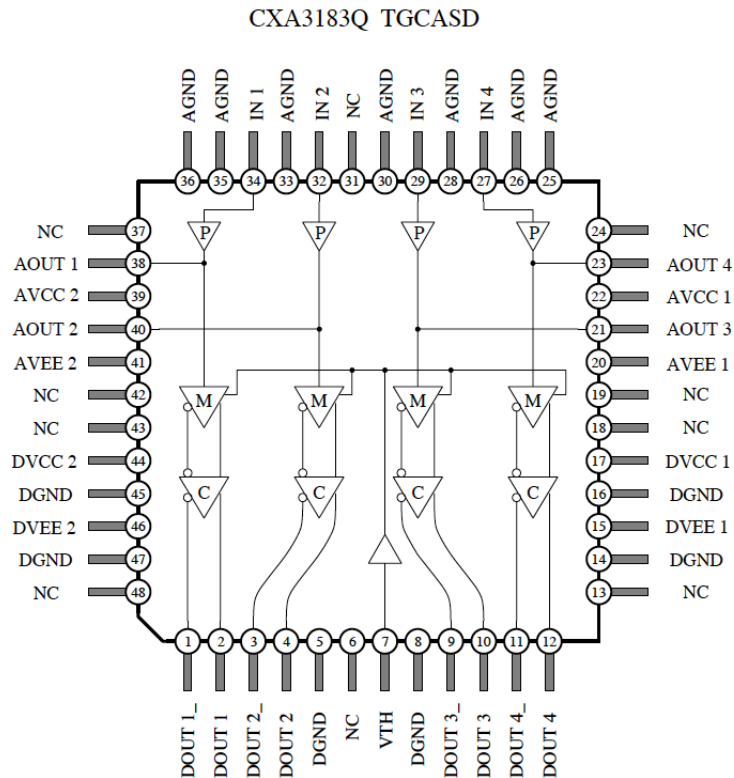


図 3.13 ASD チップのブロック図とピン配置<sup>[16]</sup>。P はプリアンプ、M はメインアンプ、C はコンパレータを示す。プリアンプは検出器の信号電荷を電圧に変換し、メインアンプとコンパレータは、VTH から閾値電圧を受けて、信号の増幅・波高弁別を行う。

### 高速データ転送ボード

図 3.14 に高輝度 LHC から導入される新しい PS ボードのブロック図を示す。1 つの PS ボードは、8 つの Patch-Panel (PP) ASIC と 1 つの Xilinx Kintex-7 (XC7K325T) FPGA、そして、ASD チップの閾値電圧の供給・モニターを行う Digital to Analog Converter (DAC) と Analog to Digital Converter (ADC)、16 つの ASD からの 256 チャンネルのデータを 40 MHz で転送する光トランシーバーで構成される。

PP ASIC は、2 つの ASD からの信号に対しタイミング調節と BCID を行う。現行の PS ボードに用いられる PP ASIC において、高輝度 LHC の約 1500 枚の PS ボードに対し十分なスペアがないため、新しい PP ASIC の開発が必要である。そこで、本研究では、PP ASIC を開発した。第 4 章にて、開発の詳細と試作機の動作検証結果を示す。

FPGA は、8 つの PP ASIC の信号を受信し、FPGA に搭載する高速シリアルトランシーバーを用いて後段回路へ転送する。転送の際、FPGA の出力の電気信号は、2 つの光トランシーバー (SFP+) によって光信号に変換される。転送レートは、8 ビットのデータを 10 ビットのデータに変換する高速シリアル転送方式 (8b/10b) を用いて、PP ASIC の信号 256 ビットと回路情報 64 ビットのデータを 40 MHz で送るため、合計 16 Gbps となる。そのため、8 Gbps の転送レートに対応するトランシーバーを使用する。FPGA に

書き込むファームウェアの情報は、Service Patch Panel からツイストペアケーブルを経由して受け取る。Trigger Timing Control (TTC) 信号は、LHC クロックや回路リセット信号のことである。LHC クロックは高速トランシーバーの基準クロックとして用いられるため、安定的システムを構成する上で非常に重要である。そのため、Service Patch Panel からツイストペアケーブルを経由して受け取るだけでなく、光トランシーバーからも受け取れるようにし、冗長性を持たせる。

2016 年に製作された試作機 (図 3.15) を使って、DAC と ADC のコントロールの確認、ツイストペアケーブルからのクロックの受信の確認、2 つのトランシーバーによる 16 Gbps の通信の確認が行われた<sup>[17]</sup>。本研究では、光トランシーバーからクロックを受け取る手法を確立した。その詳細を、第 5 章で述べる。

PS ボードは、LHC ビーム軸から 8 m 以上の TGC 外縁部に取り付けられる。ASD ボードに比べて低度ではあるが、放射線耐性が要求される。Xilinx Kintex-7 FPGA は、総吸収線量に対して高い耐性をもつ<sup>[18]</sup>。しかし、入射した高エネルギー粒子が、FPGA 上の回路情報が記述されたメモリでビット反転を引き起こすことで、ファームウェアが破損する場合がある。そこで、ビット反転を自動検知・修正する機能の実装を行った。また、PP ASIC、DAC、ADC、電源素子のガンマ線照射試験を行い、総吸収線量耐性を調べた。第 6 章にて、FPGA のビットエラーの自動検知・修正機能の実装及び動作検証と、PP ASIC、DAC、ADC、電源素子のガンマ線照射試験について述べる。

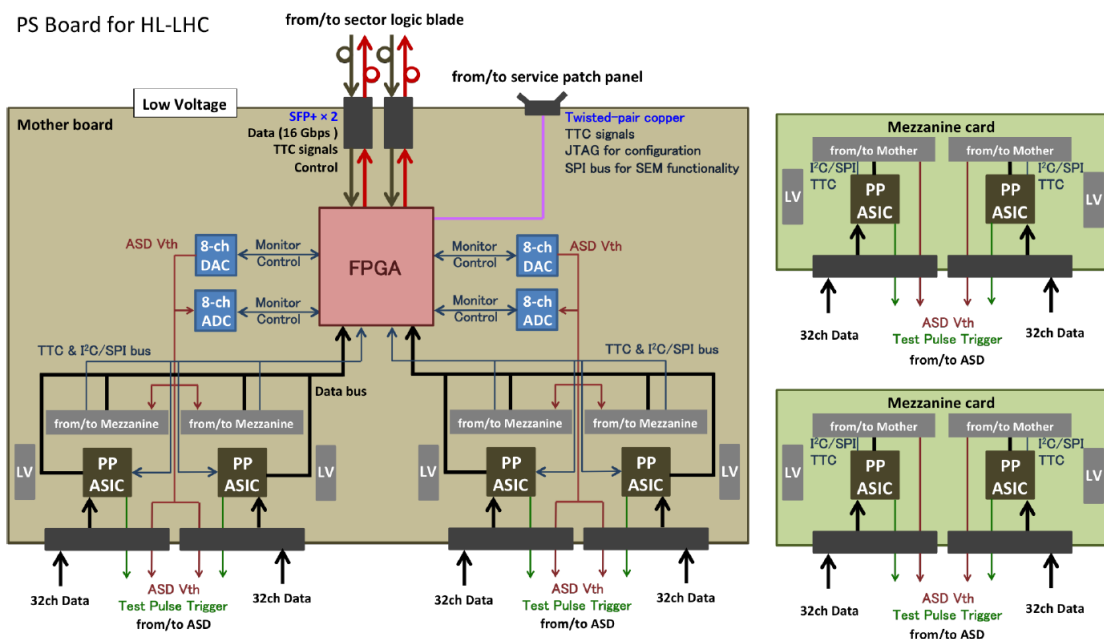


図 3.14 PS ボードのブロック図<sup>[15]</sup>。右側に示す 2 枚のメザニンカードを左のメインボードに搭載させることで、PP ASIC 8 枚分の信号を処理する。



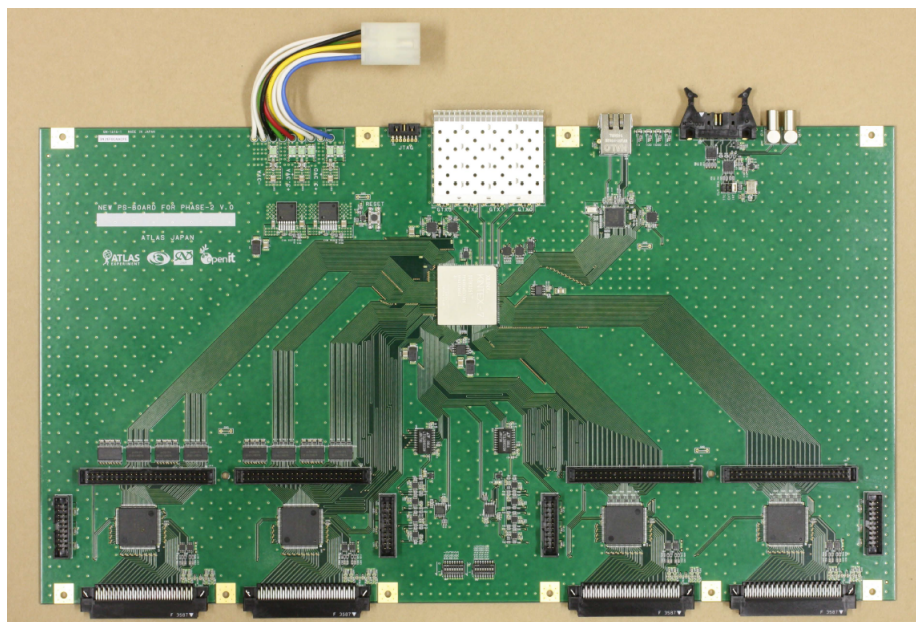


図 3.15 PS ボード試作機の写真。この試作機に搭載する PP ASIC は、現行システムの予備である。予備を含めて 4 つの SFP+ が搭載されている。

## 第4章 PP ASICの動作検証

本章では、高輝度 LHC に向けて製作した PP ASIC 試作機の動作検証について述べる。開発の概要、試作機のデザインを示した後、本研究で行った評価ボードの製作および動作検証について説明する。

### 4.1 開発の概要

高輝度 LHC では、全 PS ボードを交換するため、約 12,500 枚の PP ASIC が必要になる。現行の PP ASIC は、十分なスペアがなく、放射線耐性の検証も十分に行われていない。そこで、新しい PP ASIC を製作する必要がある。

PP ASIC は、ASD ボードからの信号に対して  $\mu$  粒子飛行時間やケーブル長のばらつきに起因するチャンネル間の遅延時間の違いを補正し、陽子バンチ衝突に対応する 40 MHz クロックへの同期をとる。高輝度 LHC では、現行の TGC の配置および ASD ボードから PP ASIC までのケーブルの長さの変更はしないため、新しい PP ASIC に対し、高輝度 LHC の TGC 検出器回路で要求される機能は現行と変わらない。なので、機能は変更せず、プロセスやコア電圧、コントロールの仕様などを変更した PP ASIC を製作した。プロセスは、消費電力の削減や応答速度の向上を図るため、 $0.35\ \mu\text{m}$  から  $0.18\ \mu\text{m}$  に変更した。コア電圧は、消費電力の削減を図るため、3.3 V から一部 1.8 V に変更した。コントロールの仕様は、JTAG からより通信仕様が単純で、汎用性の高い SPI (Serial Peripheral Interface) に変更した。

PP ASIC 試作機の設計は、KEK の宮原 正也氏が行った。本研究では、評価ボードのデザインおよび PP ASIC 試作機の動作検証を行った。PP ASIC の放射線耐性試験については、第 6 章で述べる。

### 4.2 試作機のデザイン

図 4.1 に、新しい PP ASIC のブロック図を示す。PP ASIC は、LVDS レシーバー、可変遅延回路・PLL 回路、陽子バンチ識別回路、テストパルス回路、SPI コントローラーで構成される。この PP ASIC は、Silterra Malaysia 社の  $0.18\ \mu\text{m}$  CMOS プロセスのフルカスタム IC である。LVDS レシーバーとテストパルス回路の供給電圧は 3.3 V であり、その他の入出力部や、PLL などの内部回路の供給電圧は 1.8 V である。図 4.2 に、PP ASIC のレイアウトを示す。チップのサイズは、 $2.47\ \text{mm} \times 2.47\ \text{mm}$  である。以下、各回路の機能の概要を述べる。



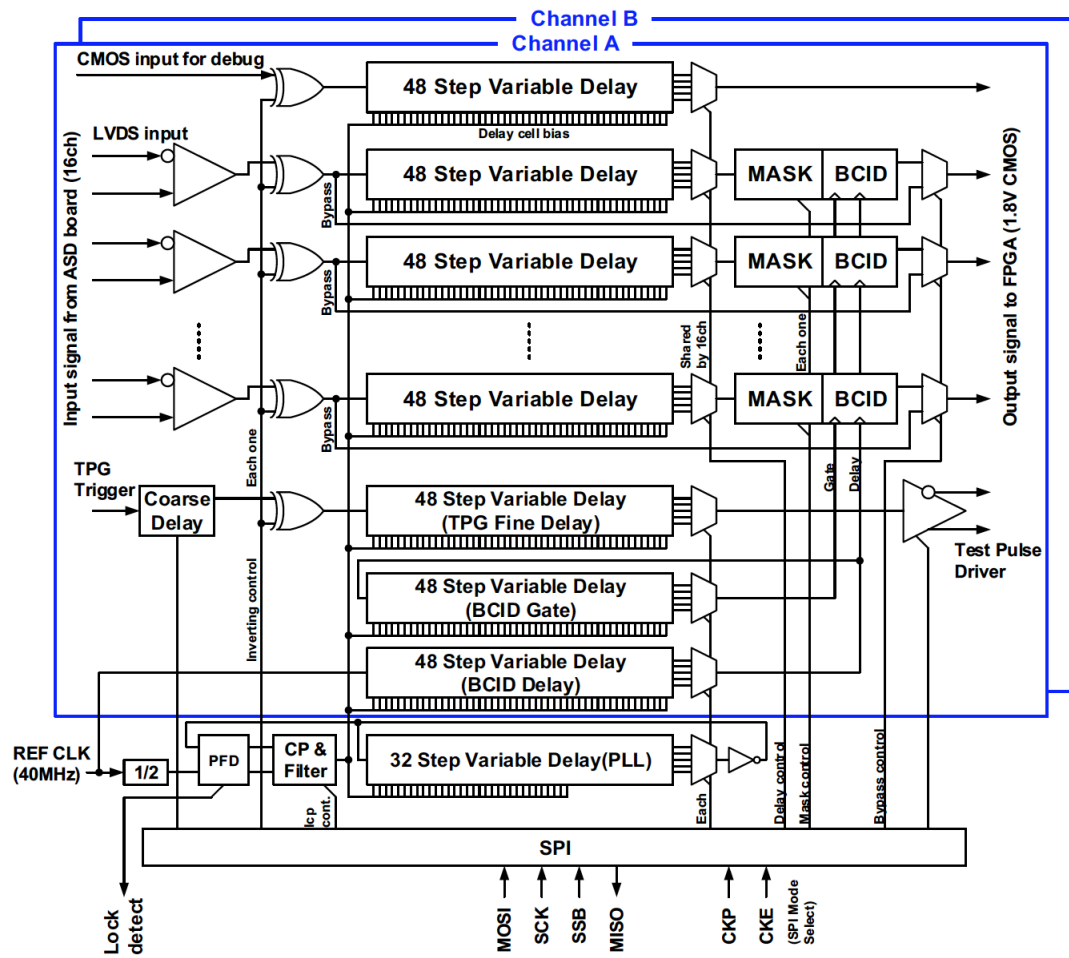


図 4.1 新しい PP ASIC のブロック図。Channel A と Channel B は、それぞれ 1 つの ASD ボードに対応している。

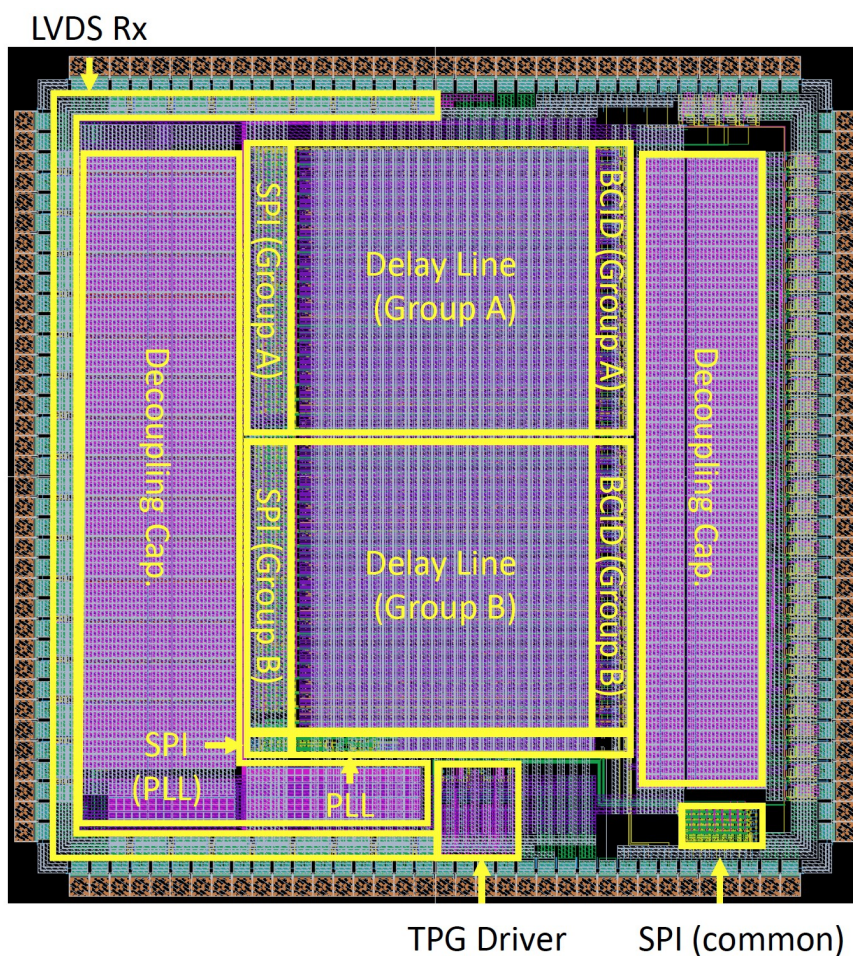


図 4.2 PP ASIC のレイアウト。LVDS レシーバー (LVDS Rx), 可変遅延回路 (Delay line), PLL 回路, 陽子バンチ識別回路, テストパルス回路 (TPG Driver) の位置を示した。

### SPI コントローラー

PP ASIC のほとんどの制御は、SPI プロトコルに基づく。PP ASIC は 2 つの ASD ボード (Channel A と Channel B) と通信するので、それぞれのチャンネルにおいて独立にパラメータを設定できるようになっている。

### LVDS レシーバー

ASD ボードの出力信号は LVDS レベルであり、ツイストペアケーブルによって PP ASIC に送られる。LVDS レシーバーは、その信号を受信し、1.8 V CMOS レベルに変換して、可変遅延回路へ送る。

### 可変遅延回路・PLL 回路

可変遅延回路は、 $\mu$  粒子の飛行時間やケーブル長のばらつきに起因するチャンネル間の遅延時間の違いと LHC クロック・ASD ボード出力信号の位相ずれを調節する。電源電圧や温度変化などの動作環境の変化に依存しない 1 ns 以下の刻み幅での遅延調節を可能にするために、PLL (Phase Locked Loop) 回路を用いる。

図 4.3 に、可変遅延回路と PLL 回路のブロック図を示す。PLL 回路は、電圧制御リングオシレーター (Voltage Controlled Ring Oscillator, VCRO)、位相比較器 (Phase Frequency Detector, PFD)、チャージポンプ (Charge Pump, CP)、ローパスフィルタ (LPF) で構成される。VCRO は、32 段の遅延セルと 1 つのインバータで構成されている。また、VCRO には、遅延セルの段数を 20, 24, 28, 32 に変更するセレクター (MUX) が搭載されている。セレクターは、IC の製造過程による遅延セルの遅延時間の変動調整や可変遅延回路のダイナミックレンジの変更を可能にする。各遅延セルは、2 つのインバータで構成されている。遅延セルの伝搬遅延は、制御用電圧 ( $V_{CON}$ ) で制御される。リングを通過する信号は、MUX の後ろのインバータによって反転するので、リングは、発振器として働く。信号がリングを 25 ns で 1 周する時、VCRO の周波数は 20 MHz となる。位相比較器は、VCRO の出力と PP ASIC に入力された 40 MHz のクロックを 1/2 に分周した REF CLK とを比較する。CP は、VCRO クロックの位相が REF CLK に対し進んでいる時に、 $V_{CON}$  を小さくし、遅れている時に、 $V_{CON}$  を大きくする。このループは、出力結果を入力側に帰還し、入力と出力を比較し、出力をある値に固定させるネガティブフィードバックとして働き、VCRO の周波数を安定化させる。このネガティブフィードバック回路は、40 MHz の REF CLK が使用される際に、リングの 1 周が 25 ns になるように伝搬遅延を安定化させる。LPF は、 $V_{CON}$  に含まれる高周波成分や雑音を除去する。LPF の周波数特性を調整できるように、LFP はチップ内には実装せず、チップの外に実装してコンデンサーや抵抗を交換できるようにした。

PLL 回路と可変遅延回路の遅延セルは、同じ回路構成であり、 $V_{CON}$  も共通している。PLL 回路がロック状態 (PFD で比較される 2 つのクロックの周波数と位相が一致している状態) にある限り、可変遅延回路の伝搬遅延は、電源電圧や温度変化などの動作環境の変化に対して、一定の値を維持する。可変遅延回路を通過する信号の遅延時間は、SPI を通じて書き込まれる 6 ビットのレジスタで、0–50 ns の範囲で制御される。

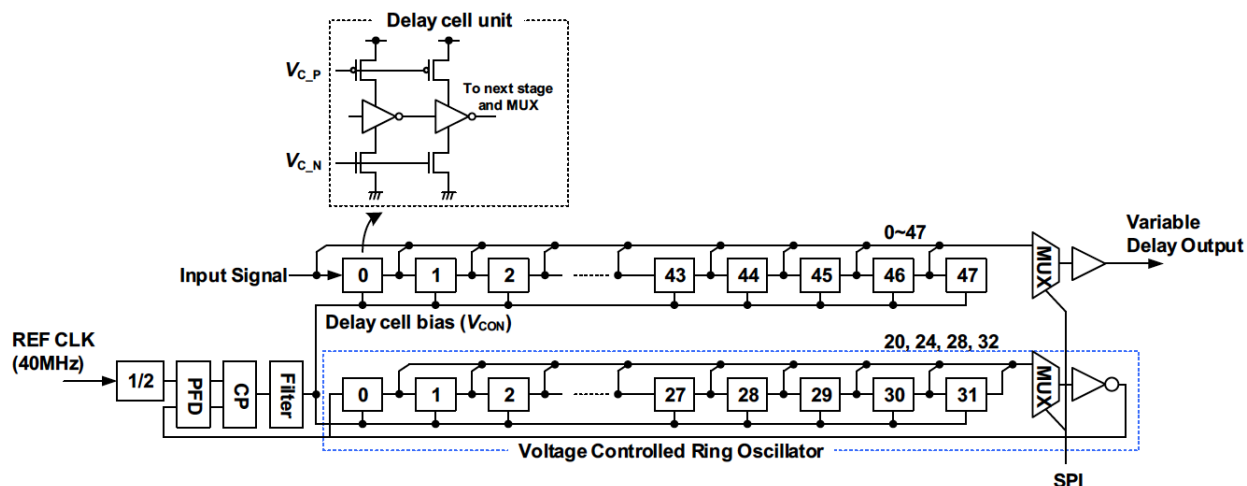


図 4.3 可変遅延回路と PLL 回路。上部の遅延セルが 48 個連なり、MUX とバッファが存在するブロックが、可変遅延回路である。下部の 40 MHz の REF CLK が入力されるブロックが PLL 回路である。

### 陽子バンチ識別回路

陽子バンチ識別 (BCID) 回路は、可変遅延回路でタイミング調整が行われた信号と LHC クロックの同期をとることで、信号がどの陽子陽子衝突事象に由来するものかタグ付けを行う。信号の到着時間の分布が 25 ns を超える広がりを持つ場合にも BCID できるように、有効ゲート幅は、25 ns を超える範囲で調節可能である。この機能は、特にストリップの信号に対して重要であり、信号のタイミングにより 2 つの陽子陽子衝突事象にタグ付けされる。

図 4.4 に、BCID 回路のブロック図を示す。BCID 回路は、クロックに対して、2 つの可変遅延回路 (BCID Delay, BCID Gate) を搭載する。BCID Delay は、PS ボード上の 40 MHz クロックと ASD ボード信号の中で最も早く到達した信号との間の位相差の調整に使われる。BCID Gate は、有効ゲート幅を調節するために使われる。それぞれの遅延調節の設定値は、1 つの ASD ボードからの 16 チャンネルの信号で共通となる。BCID 回路は、特定のチャンネルの信号に異常が起こった際に、そのチャンネルの出力をオフにするマスク機能を搭載している。マスク機能は、SPI で制御される。図 4.5 に、実効ゲート幅を拡張した場合における BCID 回路動作のタイミングチャートを示す。有効ゲートが重なるタイミングで信号が到達すると、BCID 回路は 2 クロック幅の信号を出力する。

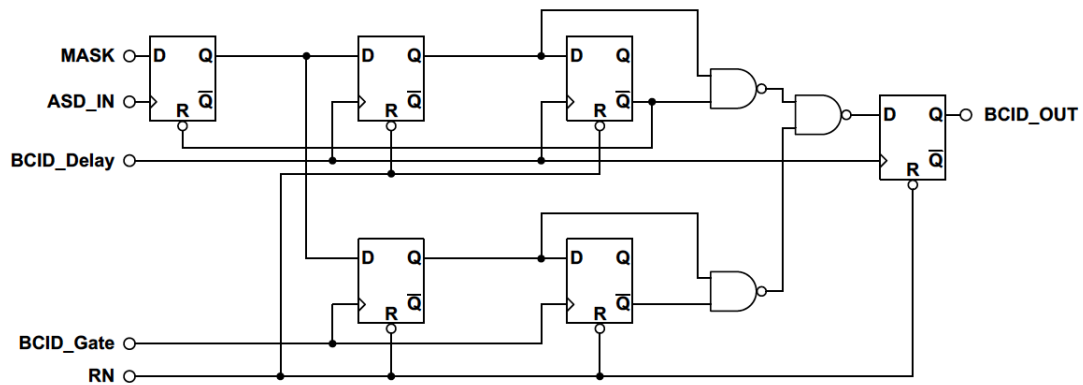


図 4.4 BCID 回路のブロック図。可変遅延回路でタイミング調整が行われた ASD 信号 (ASD\_IN) は、BCID\_Delay と同期がとられる。実効ゲート幅は、BCID\_Gate で決まる。

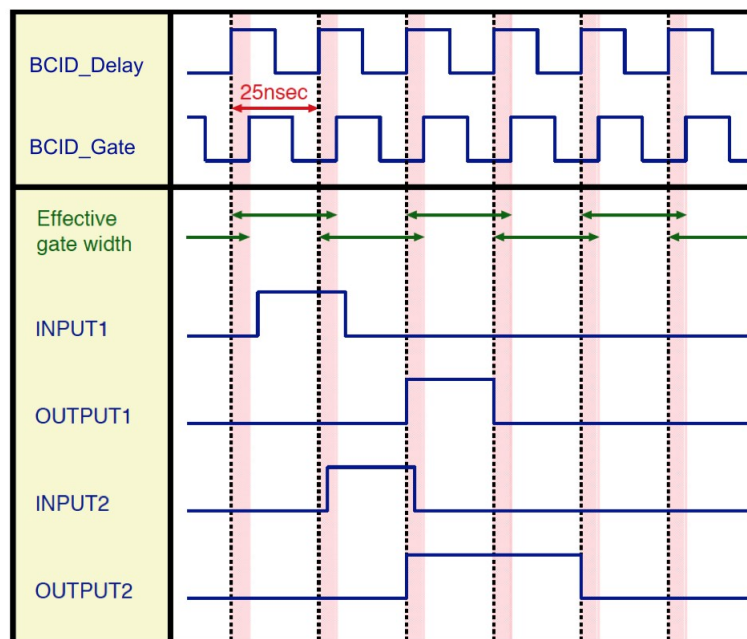


図 4.5 BCID 回路動作のタイミングチャート<sup>[9]</sup>。INPUT1 は、有効ゲートが重ならないタイミングで BCID 回路に入力した信号を示し、OUTPUT1 は、INPUT 1 に対応する BCID 回路の出力信号を示す。INPUT2 は、有効ゲートが重なるタイミングで BCID 回路に入力した信号を示し、OUTPUT2 は、INPUT2 に対応する BCID 回路の出力信号を示す。

## テストパルス回路

テストパルス回路は、テストパルストリガー (TPG Trigger) 信号を受け取ると、ASD ボードに向け差動矩形パルスを生成する。これは、TGC 検出器回路のタイミング調整等におけるテストパルスとして用いられる。図 4.6 に、テストパルス回路のブロック図を示す。パルス幅は、SPI によって 25 ns から 102.4  $\mu$ s の範囲で調節可能であり、振幅は 16 段階で変更可能である。テストパルスの極性やテストパルストリガーを検知する際のクロックのエッジを選択することもできる。また、テストパルストリガーを受信してからテストパルスを出力するまでの時間を、1 クロック単位の刻み幅で 0–7 クロックの範囲で調節できる粗い可変遅延回路 (Coarse Delay) と、1 ns 以下の刻み幅で調節できる可変遅延回路 (Fine Delay) が実装されている。

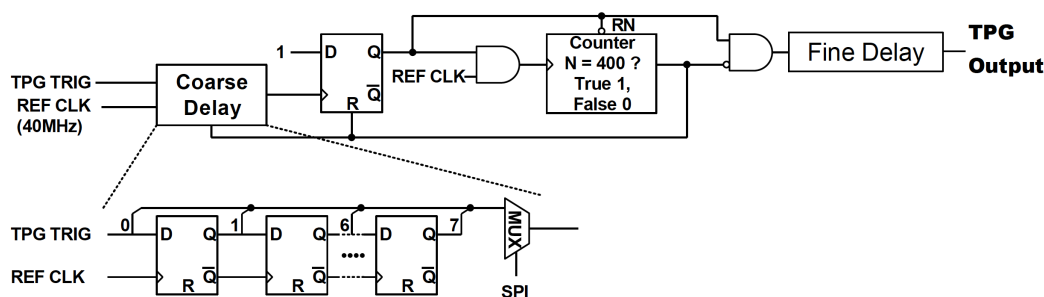


図 4.6 テストパルス回路のブロック図。テストパルストリガー (TPG TRIG) は、2 つの可変遅延回路 (Coarse Delay, Fine Delay) を通過する。その後、テストパルス出力部 (TPG Output) へ入力する。

## 4.3 動作試験用ボードの開発

2018 年に、20 個の PP ASIC 試作機を製作した。その動作試験のために、ボードをデザインし、製作した。表 4.1 に、PP ASIC 試作機の試験の項目を示す。これらの試験を行うことができるようにデザインした。図 4.7 と図 4.8 に、製作した動作試験用ボードの写真と回路図を示す。チップのパッケージに適合する IC ソケットを搭載した。パルス生成器で LVDS レベルからオフセット・振幅をずらした信号を使って試験できるように 32 チャンネル分の LVDS 入力の内、2 チャンネルだけ独立して同軸コネクタで入力できるようにした。入出力信号の遅延時間の測定をする際のオシロスコープのプロープ用として、全チャンネルの入出力にピンヘッダーを実装した。V<sub>CON</sub> にテストピンを実装することで、外部から電圧供給できるようにした。ガンマ線照射試験を考慮すると、ボード上にはなるべく測定に影響するデバイスを搭載したくない。そのため、SPI のマスターとなるデバイスを搭載せず、SPI 制御ピンを用意し、ボード外からマイコンなどのデバイスと接続できるようにした。



表 4.1 PP ASIC 試作機の試験項目。PP ASIC の全ての機能の試験をカバーする。

回路名	試験項目
LVDS レシーバー	LVDS のオフセット電圧、振幅に対する伝搬遅延の測定 電源電圧に対する伝搬遅延の測定
可変遅延回路と PLL 回路	外部から $V_{CON}$ を供給した際の伝搬遅延の測定 VCRO の各段数における伝搬遅延の測定 電源電圧に対する伝搬遅延の測定 温度変化に対する伝搬遅延と $V_{CON}$ の測定 チップの個体差の評価
BCID 回路	有効ゲート幅の測定
テストパルス回路	バイアス電流の設定値に対する振幅の測定 電源電圧と温度の変化に対する振幅の測定 出力パルス幅の測定 Coarse Delay と Fine Delay の伝搬遅延の測定
SPI プロトコル	全ての SPI 設定の動作確認
IC 全体	消費電力の測定

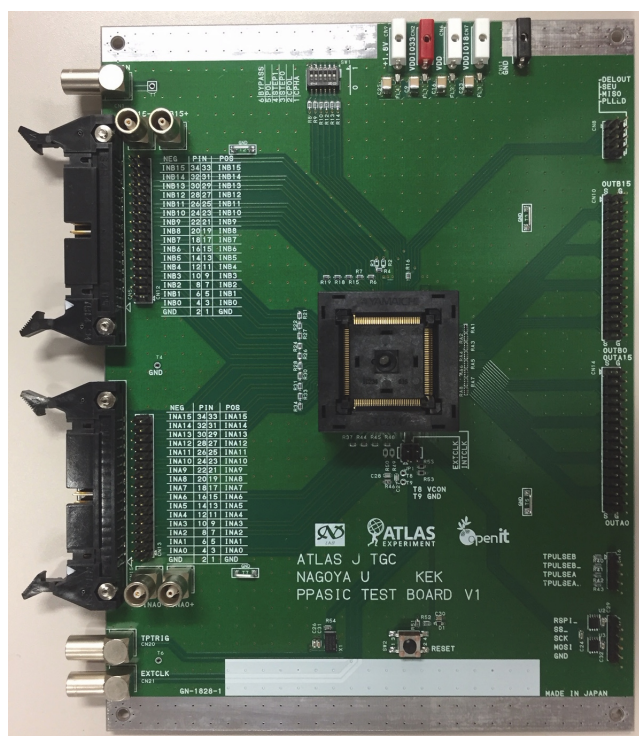


図 4.7 動作試験用ボードの写真。ボードの中央部に IC ソケット、左側に LVDS 入力用のコネクタ、上側に制御ピン用のスイッチと電源コネクタ、右側に 1.8 V CMOS 出力ピンと SPI 制御ピンとテストパルス出力ピンなど、下側にリセットスイッチと水晶振動子を搭載している。

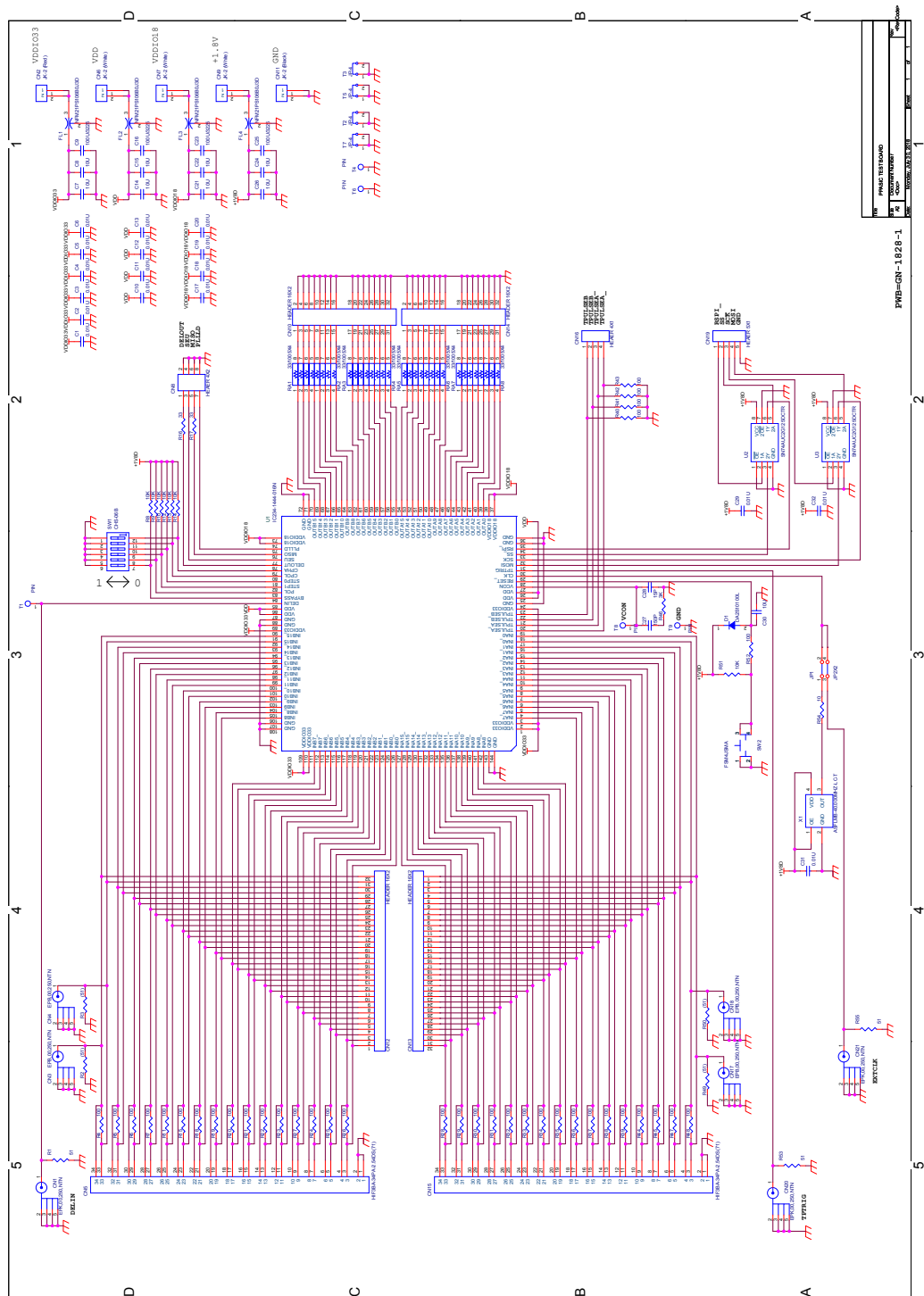


図 4.8 PP ASIC 動作試験用ボードの回路図。



## 4.4 試作機の動作検証

製作した動作試験用ボードを使用して、PP ASIC 試作機の動作検証を行った。以下に、各検証の手法および結果を示す。

### 4.4.1 LVDS レシーバー

図 4.9 に、LVDS レシーバーの動作検証のセットアップを示す。パルス生成器 (Agilent Technologies, 81150A) で、差動の入力信号を生成した。図 4.10 に、入出力の波形の概念図を示す。複数の入力のオフセットおよび振幅の設定に対し、入出力の時間差を測定した。差動信号を 2 本の 50  $\Omega$  同軸ケーブルでボードに入力させたので、50  $\Omega$  で終端した。試験するチャンネルにおいて LVDS レシーバー後の信号が可変遅延回路と BCID 回路を迂回するように SPI で設定することで、可変遅延回路と BCID 回路の伝搬遅延を含まないようにした。

図 4.11 に、LVDS レシーバーの伝搬遅延の測定結果を示す。測定した伝搬遅延は、LVDS レシーバー、MUX、出力バッファの遅延の合計である。ASD ボードの出力信号の振幅とオフセットの代表値は、それぞれ 400 mV と 1.2 V である。1 ns 以下の精度で ASD ボード信号のタイミング調整を行うには、ASD ボードの出力信号の振幅・オフセットの揺らぎに対して伝搬遅延の変化は 1 ns より十分小さくなければならない。代表値の周辺において、伝搬遅延の変化は 0.1 ns 程度であり、要求を十分に満たす結果が得られた。図 4.12 に、電源電圧を 2.7–3.9 V の範囲で変えた時の LVDS レシーバーの伝搬遅延の測定結果を示す。この測定において、入力信号の振幅は、400 mV である。2.7–3.9 V の範囲での電源電圧の変化に対し、オフセットの代表値付近において 1 ns を超える伝搬遅延の変化は見られなかった。

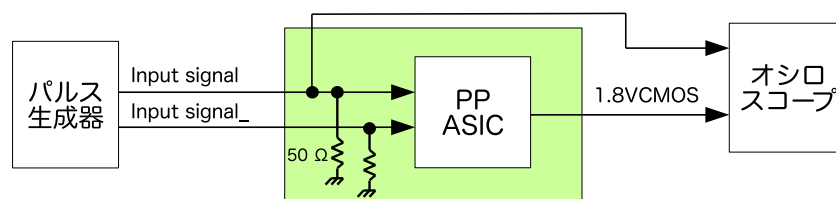


図 4.9 LVDS レシーバーの動作検証のセットアップ。オシロスコープで PP ASIC の入力信号と出力信号の遅延を測定した。

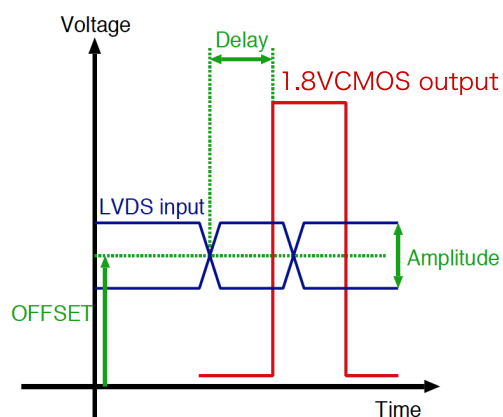


図 4.10 LVDS レシーバーの動作検証における入出力波形の概念図。差動入力を中心電圧をオフセット (OFFSET)、電圧差を振幅 (Amplitude) とする。入出力の時間差 (Delay) を測定する。

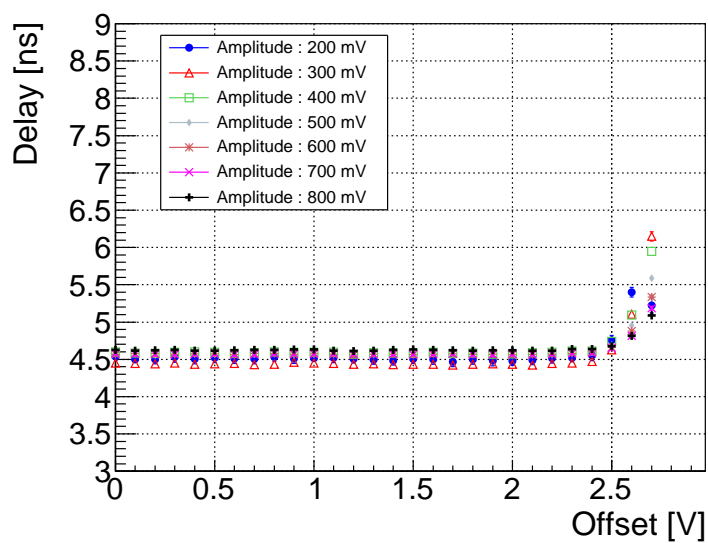


図 4.11 入力信号の振幅を変えた時のオフセットに対する LVDS レシーバーの伝搬遅延。

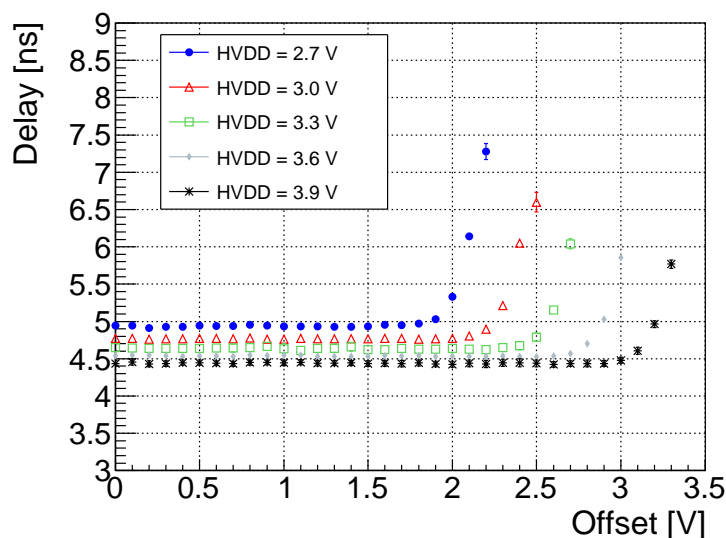


図 4.12 電源電圧を 2.7–3.9 V の範囲で変えた時のオフセットに対する LVDS レシーバーの伝搬遅延。入力信号の振幅は、400 mV とした。

#### 4.4.2 可変遅延回路・PLL 回路

図 4.1 に示されているデバック用の信号線を用いて、可変遅延回路と PLL 回路の動作検証を行った。まず、 $V_{CON}$  に対する 1 個の遅延セルの伝搬遅延を測定した。図 4.13 に、セットアップを示す。外部から  $V_{CON}$  を供給し、1.8 V CMOS の信号を可変遅延回路に入力した。47 個の遅延セルの伝搬遅延の値から 0 個の遅延セルの伝搬遅延の値を引いて、47 で割ることで、遅延セル以外の伝搬遅延の寄与を打ち消して、1 個の遅延セルの伝搬遅延を求めた。図 4.14 に、10 個のチップに対する測定結果を示す。伝搬遅延を 0.5–3 ns の範囲で変更できることがわかる。図 4.15 に、温度を 0–80 度の範囲で変化させた時の  $V_{CON}$  に対する 1 個の遅延セルの伝搬遅延の測定結果を示す。全ての温度において、1 ns 以下の遅延調節が可能であることが検証された。

伝搬遅延の測定結果を Layout Parasitic Extraction (LPE) を用いたシミュレーションと比較した。LPE とは、回路の寄生容量を抽出することを意味する。図 4.16 に、比較結果を示す。今回の製作された試作機の測定結果は LPE シミュレーションとよく一致しているものの、VCRO の遅延セルの個数 (“PLL STEP”) が 32 の場合に対し十分な余裕がないように見える。そこで、実機では、遅延セルのトランジスタのゲート長を  $1\ \mu\text{m}$  から  $0.5\ \mu\text{m}$  変更して、伝搬遅延を小さくする。実機では、PLL STEP を 24 または 28 にして運転する予定であり、ゲート長変更は予備のステップ 32 の余裕を増すことを目的とする。

次に、可変遅延回路の遅延セルの段数 (“Delay step”) を変えた時の伝搬遅延の測定を行った。図 4.17 に、セットアップを示す。水晶振動子から 40 MHz のクロックを PP ASIC に入力し、PLL 回路をロックした。マイコンによる SPI 制御で、Delay step と PLL STEP を変更した。図 4.18 と表 4.2 に、測定結果を示す。遅延セル以外の伝搬遅延の寄与を打ち消すため、各 Delay step の伝搬遅延の値から Delay step 0 の伝搬遅延

延の値を差し引いた。結果から、可変遅延回路は、システムが要求する 1 ns 以下の刻み幅と 40 ns 以上のダイナミックレンジを確保していることがわかる。図 4.19 に、1.8 V の電源電圧を 10% 変化させた時の Delay step に対する伝搬遅延の測定結果を示す。1.8 V の結果から、変位は、 $< 0.3$  ns であり、電源電圧の依存性が十分小さいことがわかった。図 4.20 に、温度を 0–80 度の範囲で変化させた時の Delay step に対する伝搬遅延の測定結果を示す。温度環境の依存性も十分小さいことがわかった。

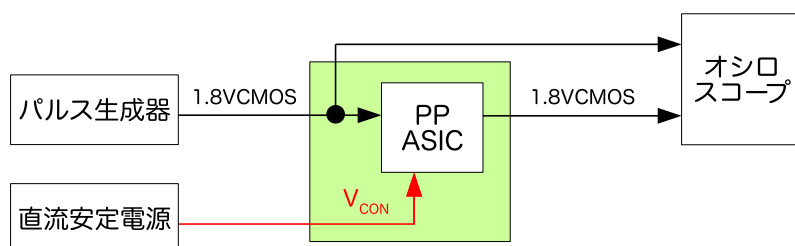


図 4.13  $V_{CON}$  に対する 1 個の遅延セルの伝搬遅延の測定のセットアップ。

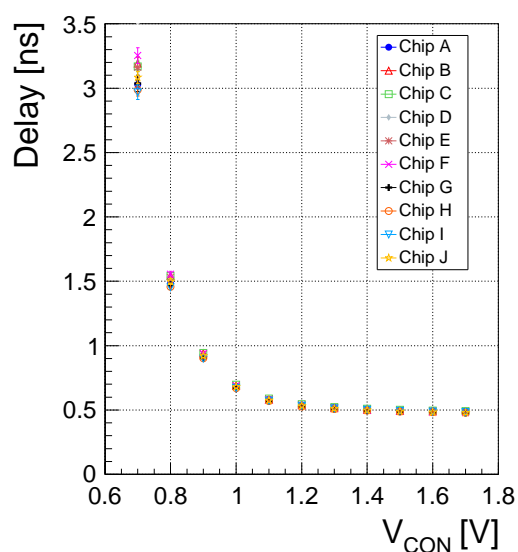


図 4.14  $V_{CON}$  に対する 1 個の遅延セルの伝搬遅延の測定結果。10 個のチップの測定結果を重ねている。

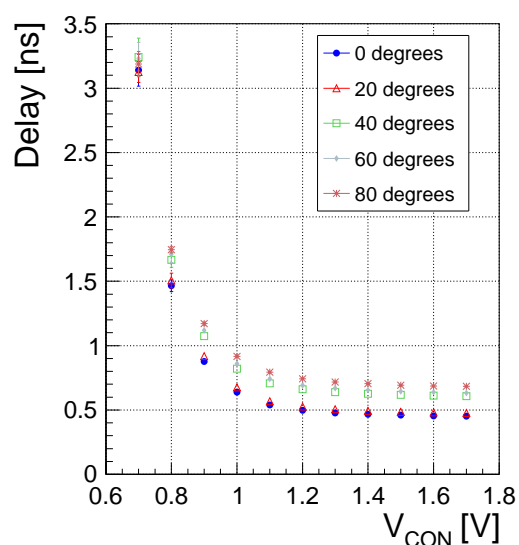


図 4.15 温度を 0–80 度の範囲で変化させた時の  $V_{CON}$  に対する 1 個の遅延セルの伝搬遅延の測定結果。

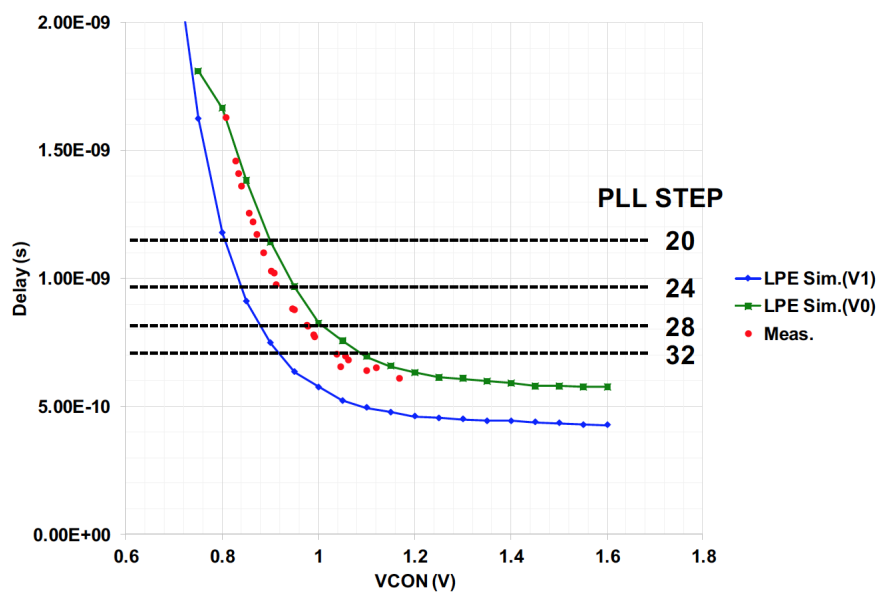


図 4.16  $V_{CON}$  に対する 1 個の遅延セルの伝搬遅延の測定結果と LPE シミュレーションとの比較。  
赤は測定結果を示し、緑は試作機の LPE シミュレーションを示す。青は実機の LPE シミュレーションを示す。

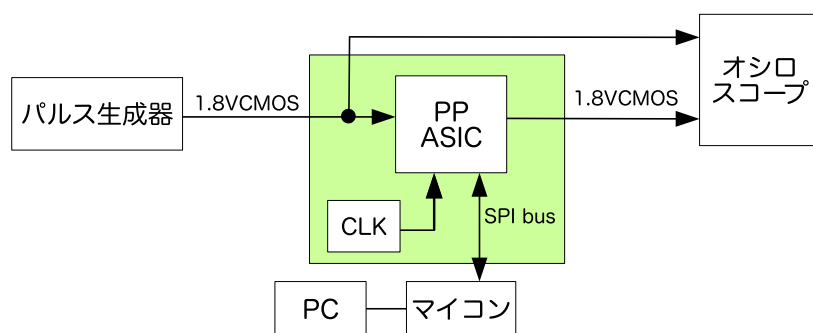


図 4.17 遅延セルの段数に対する伝搬遅延の測定セットアップ。マイコンを用いて SPI 制御を行い、遅延セルの段数を変更した。

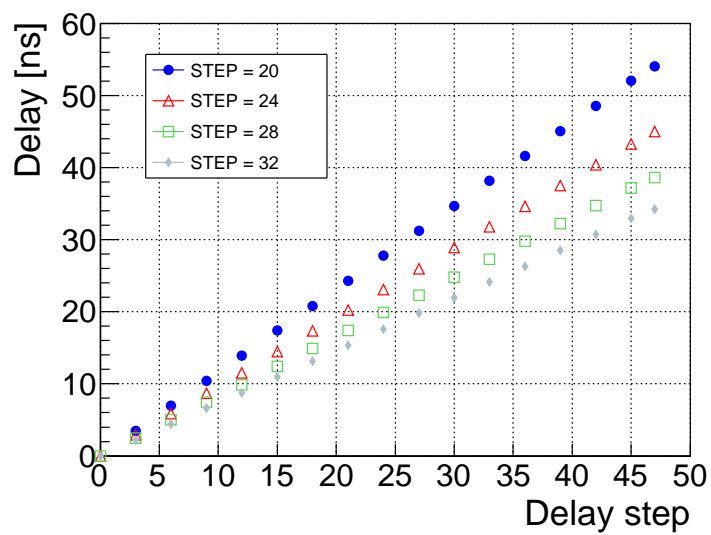


図 4.18 遅延セルの段数に対する伝搬遅延の測定結果。PLL STEP 20, 24, 28, 32 の結果を示す。

表 4.2 可変遅延回路の刻み幅とダイナミックレンジ。

PLL STEP	刻み幅 (ns)	ダイナミックレンジ (ns)
20	1.15	54.1
24	0.96	45.0
28	0.82	38.1
32	0.73	34.2

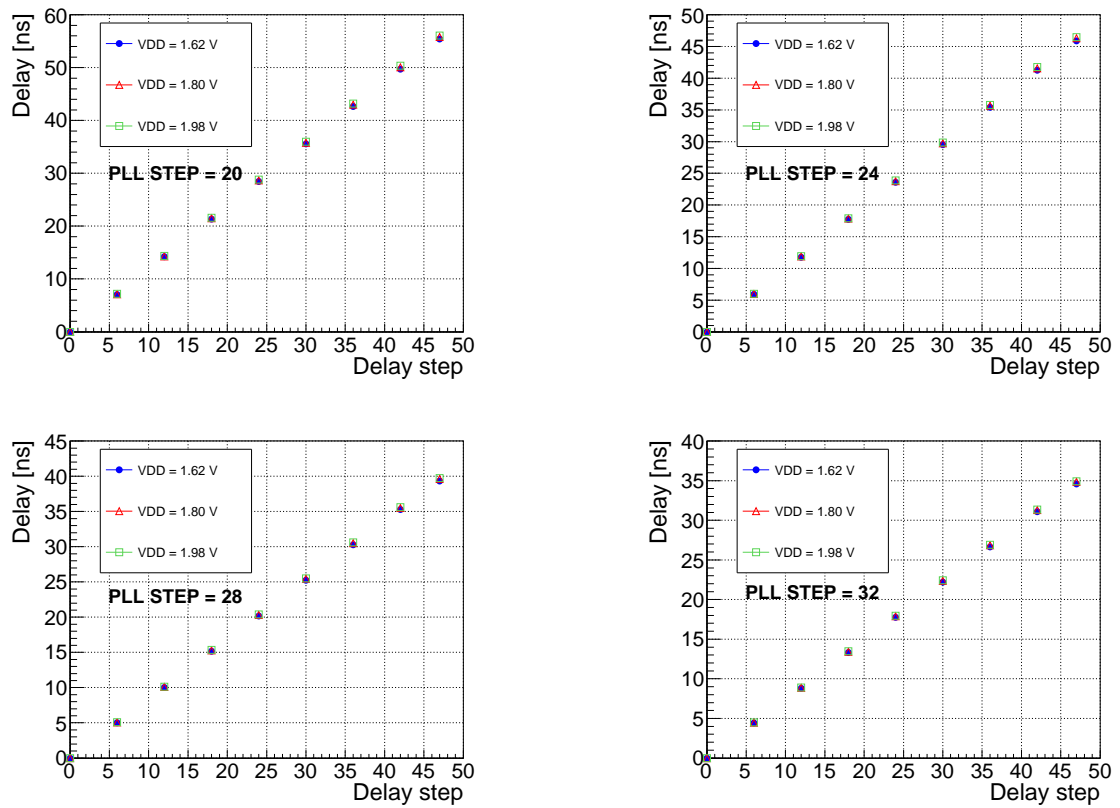


図 4.19 1.62 V, 1.80 V, 1.98 V の電源電圧における Delay step に対する伝搬遅延の測定結果。PLL STEP 20, 24, 28, 32 の結果を示す。

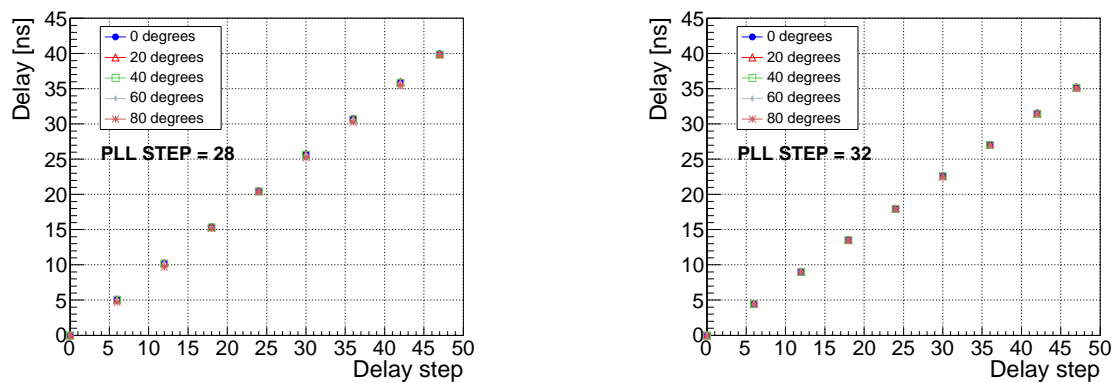


図 4.20 温度変化における Delay step に対する伝搬遅延の温度依存の測定結果。PLL STEP 28 と 32 の結果を示す。

### 4.4.3 陽子バンチ識別回路

図 4.21 に、有効ゲート幅の測定のセットアップを示す。パルス生成器で、1.8 V CMOS レベルの 40 MHz クロックとそれに同期した NIM レベルの信号を生成した。NIM レベルの信号を LVDS レベルに変換して、PP ASIC に入力した。SPI で BCID GATE の設定を行い、クロックと入力信号の遅延に対する陽子バンチ識別回路出力のタイミングを確認することで、有効ゲート幅の測定を行った。遅延時間を調節していき、特定のクロック立ち上がりに対する出力が現れた時の遅延時間を 0 とした。入力信号とクロックに対する可変遅延回路の Delay step は 0 にした。図 4.22 に、BCID GATE を 1, 15, 26 に設定した時の測定結果を示す。図 4.22 から、PLL STEP 32 における BCID GATE 26 の有効ゲート幅は、46 ns であることがわかる。このようにして、全 PLL STEP における BCID GATE の値に対する有効ゲート幅の測定を行った。図 4.23 に、測定結果を示す。有効ゲート幅が、25–49 ns の範囲で設定可能であることを確かめた。

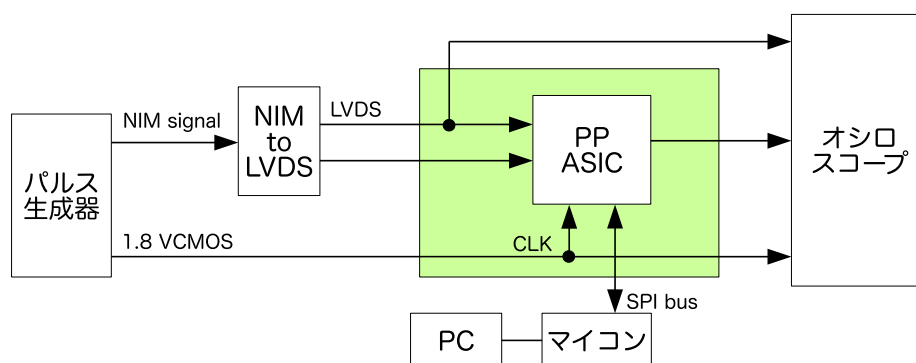


図 4.21 有効ゲート幅の測定のセットアップ。パルス生成器で NIM 信号と 1.8 V CMOS クロックの遅延調節を行い、オシロスコープで出力タイミングを測定した。



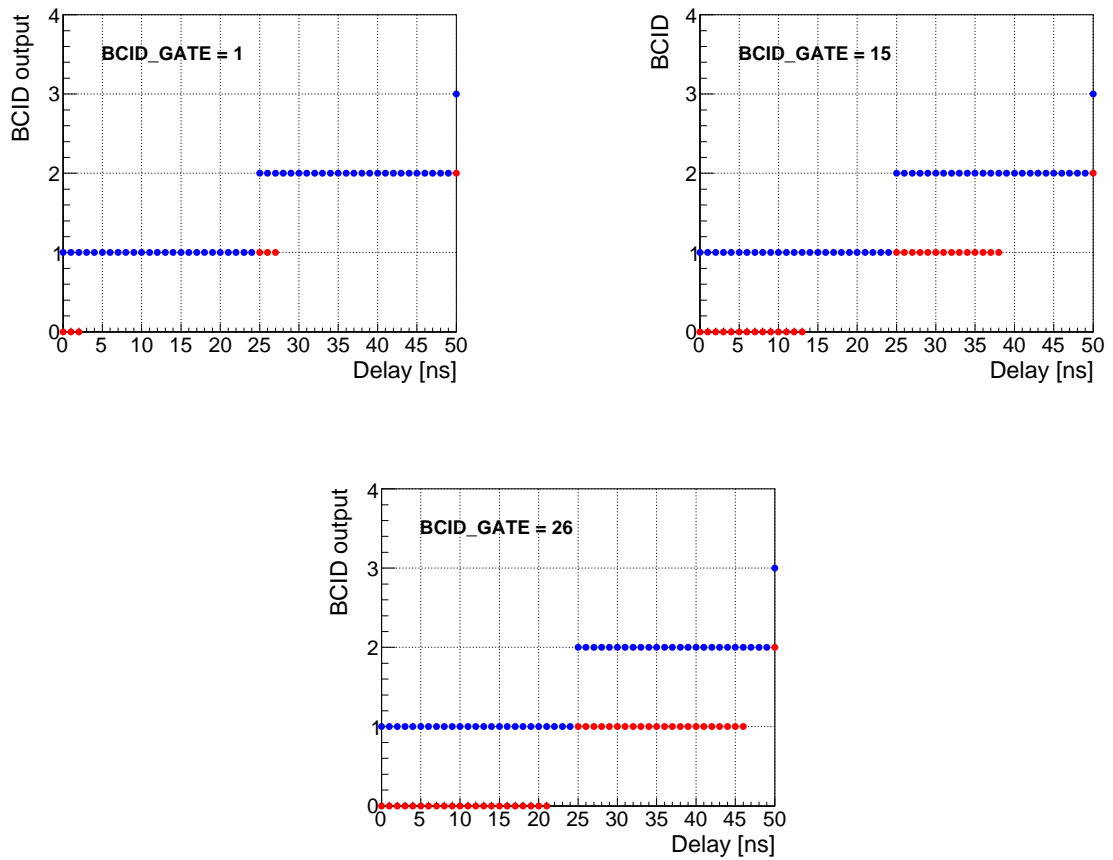
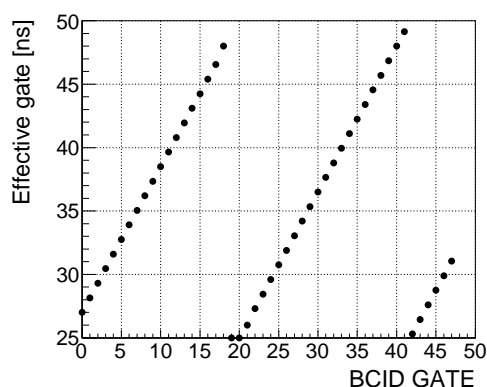
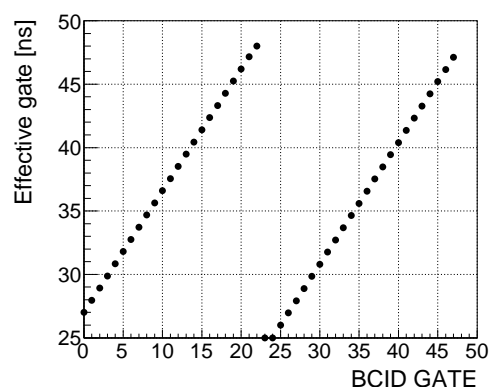


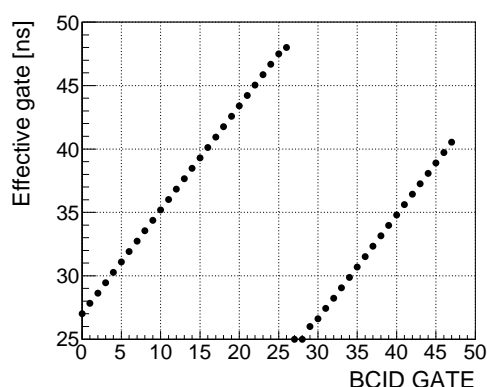
図 4.22 BCID\_GATE を 1, 15, 26 に設定した時の陽子バンチ識別回路の出力結果。横軸は、40 MHz クロックに対する入力信号の遅延時間を示す。入力信号のタイミングによって、BCID 回路は、1 クロック幅または、2 クロック幅の信号を出力する。PLL STEP は、32 を用いた。青は特定のクロックに対応するゲートの始まりから 25 ns までの出力を示し、赤は 25 ns 以降の出力を示す。



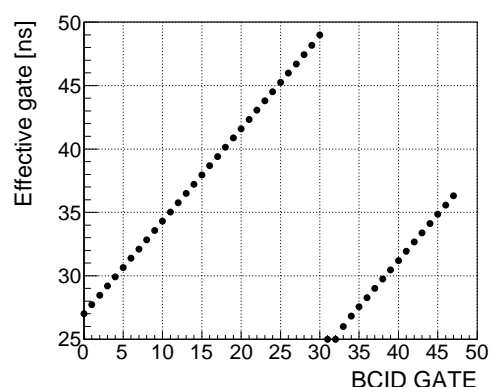
(a) PLL STEP = 20



(b) PLL STEP = 24



(c) PLL STEP = 28



(d) PLL STEP = 32

図 4.23 BCID GATE の値に対する有効ゲート幅の測定結果。PLL STEP 20, 24, 28, 32 に対する結果を示す。

#### 4.4.4 テストパルス回路

図 4.24 に、テストパルス回路の動作検証のセットアップを示す。パルス生成器からの 1.8 V CMOS レベルの信号をテストパルストリガーとして用い、出力される差動信号の振幅とパルス幅を測定した。出力に、100  $\Omega$  の負荷抵抗を用いた。図 4.25 に、16 段階の振幅設定に対する測定結果を示す。振幅は、60 mV から 2.8 V まで変更可能であることがわかった。図 4.26 と図 4.27 に、振幅の温度依存性と電源電圧依存性を示す。現在の TGC 検出器回路の較正に用いられているテストパルスの振幅は、約 300 mV である。そして、高輝度 LHC でもその値を使用することが予定されている。この較正は、正常に動作するチャンネルとそれ以外のチャンネルを識別するためのものであり、振幅 300 mV は ASD 閾値に対してゆとりを持っている。本測定で得られた温度・電源電圧依存は、当該の較正を行う上で、十分に小さい。図 4.28 に、パルス幅の動作検証結果を示す。期待通りの動作を確認した。図 4.29 と図 4.30 に、Coarse Delay と Fine Delay の動作検証結果を示す。Coarse Delay は、25 ns 刻みで 175 ns まで遅延調節でき、Fine Delay は、他の可変遅延回路と同様に 1 ns 以下の刻みで正しく動作することが確認された。

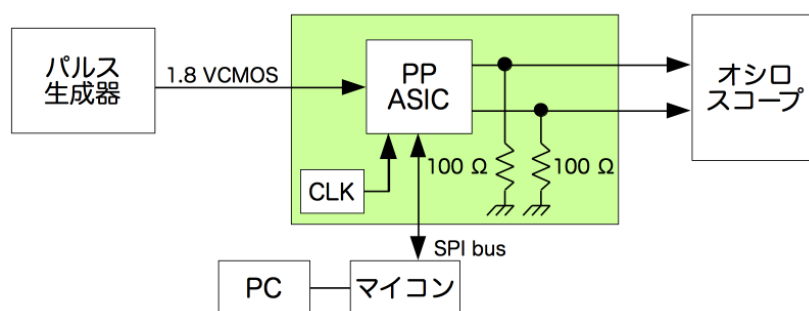
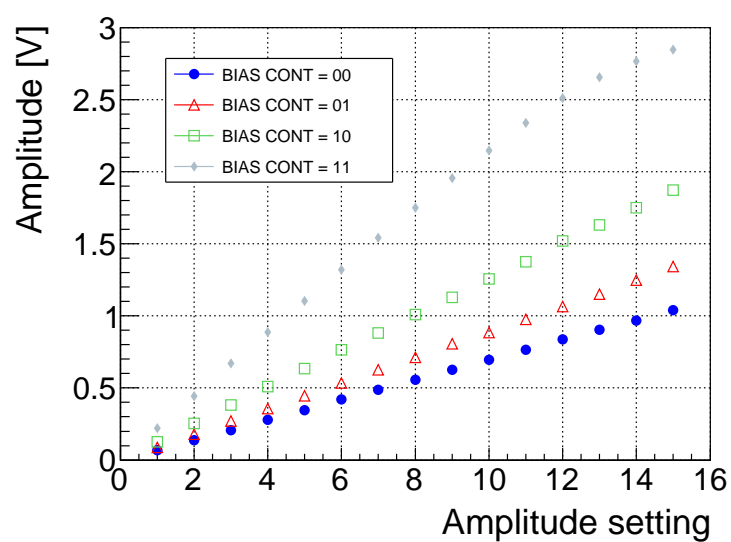


図 4.24 テストパルス回路の動作検証のセットアップ。

図 4.25 テストパルス回路が出力する差動信号の振幅の測定結果。それぞれの出力に対し、 $100\ \Omega$  の負荷抵抗を接続した。4つのバイアス電流設定値 (BIAS CONT) に対する結果を示す。

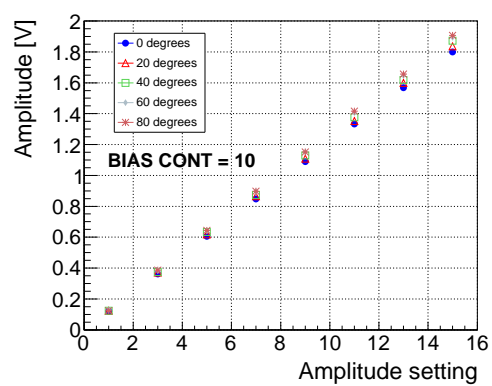


図 4.26 テストパルス振幅の温度依存。0, 20, 40, 60, 80 度に対する結果を示す。

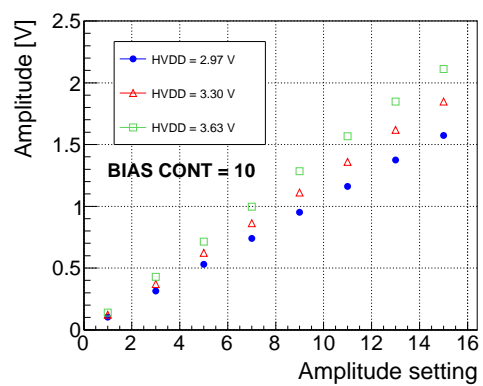


図 4.27 テストパルス振幅の電源電圧依存。1.62 V, 1.80 V, 1.98 V に対する結果を示す。

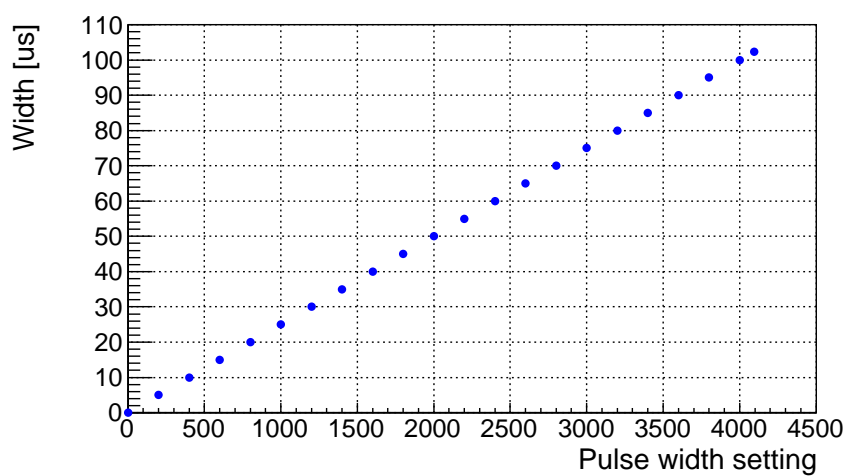


図 4.28 テストパルス出力のパルス幅の測定結果。

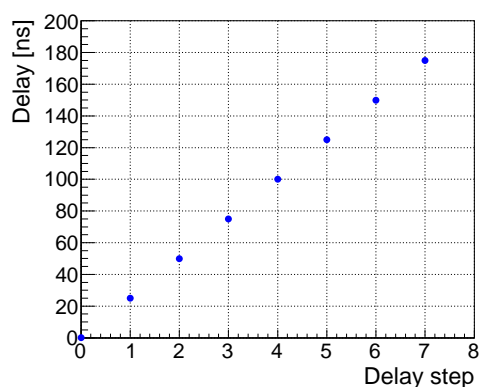


図 4.29 Coarse Delay の動作検証結果。

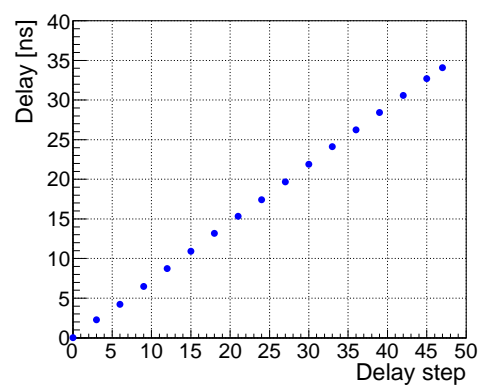


図 4.30 Fine Delay の動作検証結果。

#### 4.4.5 消費電力

図 4.31 に、入力信号のレートに対する消費電力の測定結果を示す。PP ASIC の全チャンネルに同時に信号を入力した。実機によるデータ取得中、テストパルスは出力しないので、本測定でもテストパルス出力をオフにした。高輝度 LHC で想定される瞬間最高ルミノシティ  $7.5 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$  で予想されるヒットレート 0.2 MHz において、消費電力は、20 mW である。現行の PP ASIC の消費電力 130 mW と比較し、消費電力は、大幅に削減された。技術の進歩により、トランジスタが小型化したことによると考えられる。

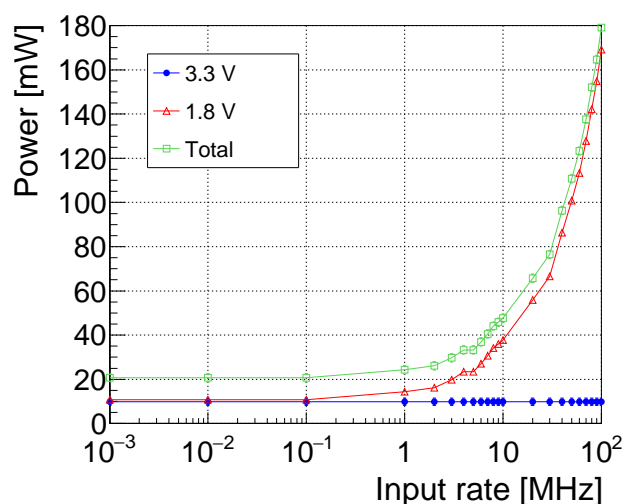


図 4.31 消費電力の測定結果。青は 3.3 V の電源電圧で動作する回路の総消費電力、赤は 1.8 V の電源電圧で動作する回路の総消費電力、緑は全ての回路の総消費電力を示す。

#### 4.4.6 歩留まり

今回製作された 20 個の PP ASIC 試作機のうち、19 個の動作を検証し、歩留まりを評価した。1 個だけ検証しなかったのは、電圧供給を誤り、測定前に故障させてしまったためである。回路の劣化が存在する場合、出力信号の波形および消費電力に有意な変化が現れることが予想される。本試験では、19 個のチップのすべてのチャンネルに、10 kHz と 10 MHz の信号を入力し、全チャンネルの出力確認と消費電力の測定を行った。

結果として、測定した 608 ( $32 \times 19$ ) チャンネルの全てで期待通りの出力を確認した。10 kHz の入力に対する消費電力は 17–21 mW で、10 MHz の入力に対する消費電力は 44–51 mW であり、有意な変化は観測されなかった。ゆえに、19 個すべてにおいて期待通りの性能が得られたことが予想される。

#### 4.4.7 動作検証まとめ

表 4.3 に、今回製作した試作機のスペックを示す。この試作機は、高輝度 LHC の TGC 検出器システムにおける要求を満たしている。

表 4.3 PP ASIC 試作機のスペック。

プロセス	Silterra Malaysia 社 0.18 $\mu\text{m}$ CMOS 6M1P
供給電圧	3.3 V (LVDS レシーバー, テストパルス回路) 1.8 V (可変遅延回路, PLL 回路, CMOS 入出力) 電圧許容範囲: $\pm 10\%$
チャンネル数	Channel A (16 ch), Channel B (16 ch)
タイミング調節の刻み幅	$< 1\text{ ns}$
タイミング調節範囲	$> 40\text{ ns}$
タイミングジッター	$\sim 40\text{ ps}$ (LVDS レシーバー), $\sim 40\text{ ps}$ (可変遅延回路)
温度許容範囲	0–80 度
消費電力	$\sim 20\text{ mW}$ (現行チップ: 130 mW)

試作機は、実機として運用するための要求を満たすが、2019 年に製作する実機に対しては、以下の修正を行う。

- 第 4.4.2 節で述べたように、PLL 回路のマージンを増強するために、遅延セルのゲート長を変更し、遅延を小さくする。
- PP ASIC の SPI 出力 (MISO) の最終段のフリップフロップのクロックエッジが SPI の規格と異なっていた。PP ASIC と SPI 通信を行うデバイスのクロックエッジの設定を試作機と合わせることで、問題なく通信を行えるが、規格に合わせエッジを修正する。

## 第5章 高速データ転送ボードへのクロック供給手法の開発

### 5.1 開発の目的

40 MHz の陽子陽子衝突データを安定的に処理するためには、TGC 検出器の回路システム全体を 40 MHz の LHC クロックに同期させる必要がある。そのため、システム全体に高い質を持つクロックを安定して分配することは重要である。そこで、高輝度 LHC の PS ボードは、LHC クロックを Service Patch Panel からツイストペアケーブルを経由して受け取るだけでなく、後段回路との光通信でも受け取れるようにする。2つの分配方法を確保することで、システムの冗長性を向上させる。

2016 年に PS ボード試作機を用いて、ツイストペアケーブルからのクロック受信の確認が行われた。本研究では、光通信でクロックを受け取る手法を確立する。

### 5.2 開発の概要

後段回路から光通信でクロック情報を受信し、基準クロックとして運用可能にするために、PS ボード試作機を用いて、Kintex-7 FPGA のファームウェアを開発し、図 5.1 のような回路を構築した。ファームウェアの開発は、Xilinx 社が提供する “Vivado” を用いて行った。

PS ボードは、Kintex-7 FPGA に搭載する最大 12.5 Gbps の通信速度をもつ高速トランシーバー (GTX トランシーバー) と、光トランシーバー (SFP+) を用いて、後段回路と光通信を行う。後段回路から光ファイバーで送られる信号は、SFP+ で電気信号に変換された後、GTX トランシーバーのレシーバ (Rx) に入力される。1 本の伝送路で送られるこの信号は、データとクロックの両方の情報を含んでおり、Rx 内部の Clock Data Recovery (CDR) 回路にて、信号はデータとクロックに分離される。ここで、生成されたクロックを “リカバリークロック” と呼ぶ。このリカバリークロックは、後段回路のクロックと同期している。このクロックを Rx から出力させて、PLL によって 40 MHz に変換させた。40 MHz に変換させたクロックを FPGA から Si5334<sup>[19]</sup> へ出力させた。Si5334 は入力したクロックの周波数を 4 倍にしつつ、クロックジッターが少なくなるように波形を整形して送信する素子である。Si5334 が出力する 160 MHz クロックを GTX トランシーバーのトランスミッター (Tx) の基準クロックとして使用した。つまり、後段回路からの同期クロックを PS ボードの基準クロックとして運用可能にした。

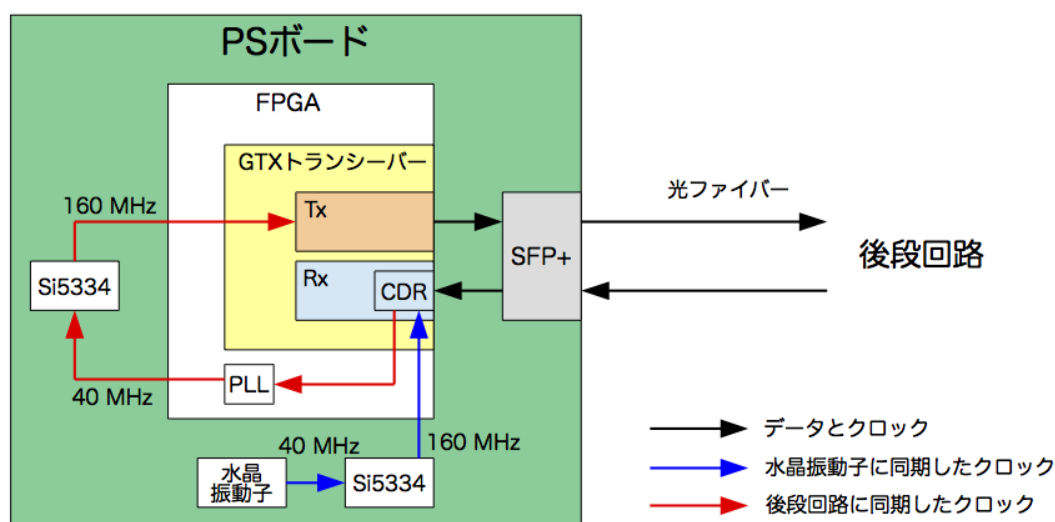


図 5.1 PS ボードが後段回路から光通信でクロックを受け取るために構築した回路。CDR 回路が生成するリカバリークロックを FPGA から Si5334 に出力し、Si5334 が出力したクロックをトランスミッターの基準クロックとして使用させた。

### 5.3 性能評価

後段回路から光通信で PS ボードにクロックを供給する手法の評価を行った。評価するにあたり、光通信でクロックを供給する手法と同軸ケーブルでクロックを供給する手法の通信試験を行った。図 5.2 に試験セットアップの概要を示す。試験では、PS ボード試作機と Run-3 用後段回路試作機<sup>[27]</sup>を用いた。Run-3 用後段回路試作機は、2021 年から開始予定の LHC 運転に向けて製作された TGC 後段回路試作機で、Xilinx の FPGA や SFP+ を搭載する。高輝度 LHC の後段回路を想定して使用した。実験で予定される転送レート 8.0 Gbps に加え、付近の転送レート 6.4 Gbps と 10.24 Gbps でも試験を行った。

通信試験の方法について説明する。同軸ケーブルでクロック供給する手法と光通信でクロックを供給する手法の通信試験のセットアップを、図 5.3 と図 5.4 に示す。それぞれのセットアップの PS ボード試作機の Tx に Pattern generator を搭載させ、擬似ランダムパターンを後段回路試作機の Rx へ送信させた。今回、擬似ランダムパターンとして PRBS-31 という使用可能なパターンの中で最もパターン長が長いものを使用した。後段回路の Rx には、Pattern checker を実装させた。Pattern checker を実装する際に、チェックするパターンを入力するデータと同じパターンに設定することで、Pattern checker は、入力したビットが正しいビットか判断し、そして、間違ったビットの受信（ビットエラー）の回数をカウントする。そのカウント数から、(ビットエラー) / (送信されたビット数) で定義される Bit Error Ratio (BER) を測定する。この Pattern checker の実装には、IBERT (Integrated Bit Error Ratio Tester) という IP core を使用した。IP core とは、特定の機能をもつ部分的な回路情報で、IP core の使用によって、その機能の回路を初めから開発する必要がなくなり、回路開発が容易になる。IBERT は、Xilinx 社が提供している GTX トランシーバーの評価・監視のための IP core であり、BER 測定に加え、アイパターン測定が可能である。



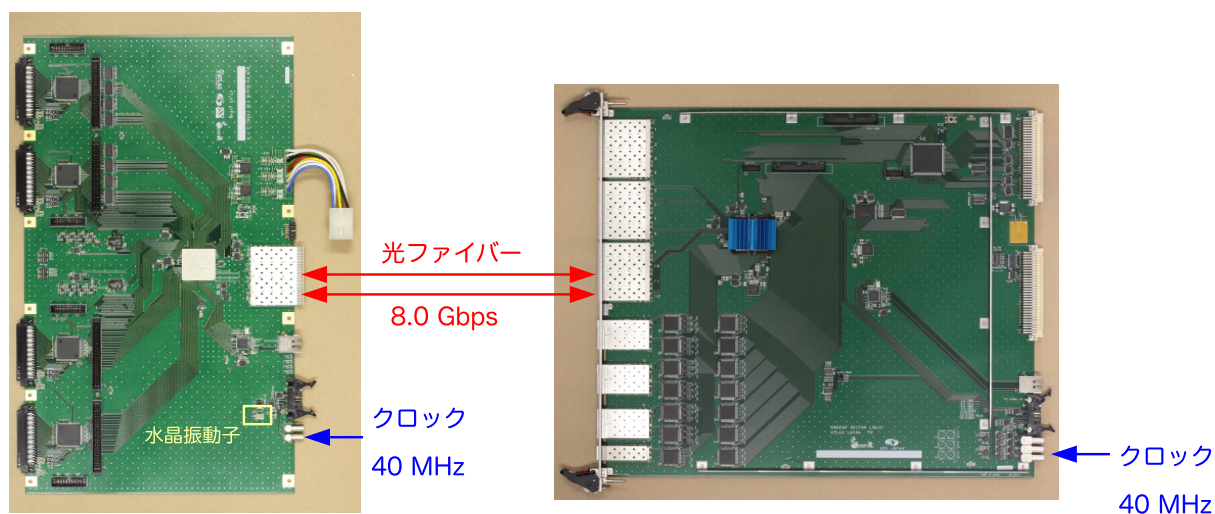


図 5.2 通信試験の概要。PS ボード試作機 (左) と Run-3 用後段回路試作機 (右) を 2 本の光ファイバーで接続した。ボード外からクロックを入力する際に、青矢印が示すコネクタを使用した。

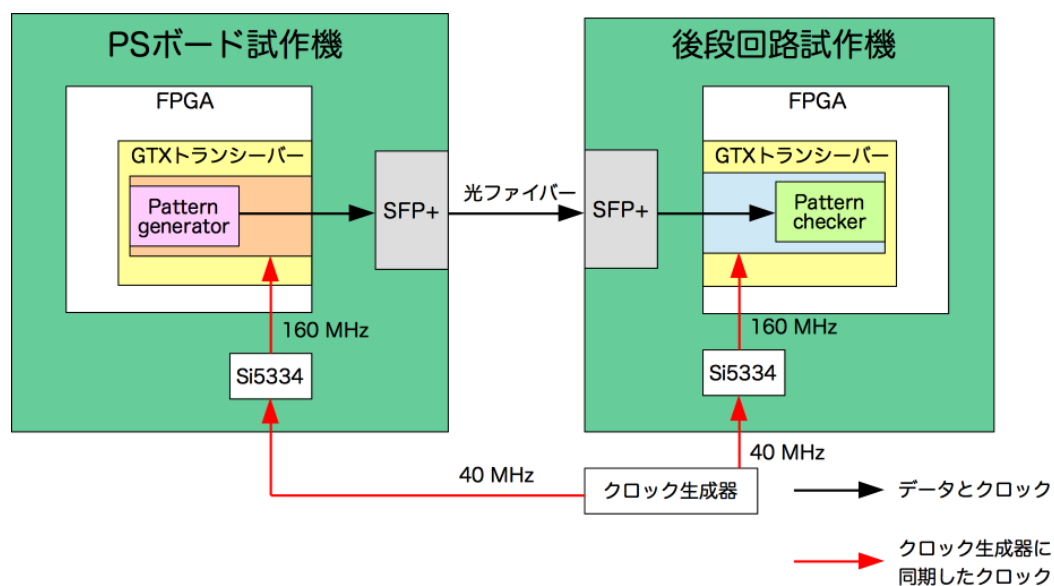


図 5.3 同軸ケーブルでクロックを供給する手法の試験セットアップ。クロック生成器で生成した 40 MHz クロックを両方のボードに入力する。クロックは Si5334 で 160 MHz に変換された後、後段回路試作機の Rx と PS ボード Tx に基準クロックとして入力される。

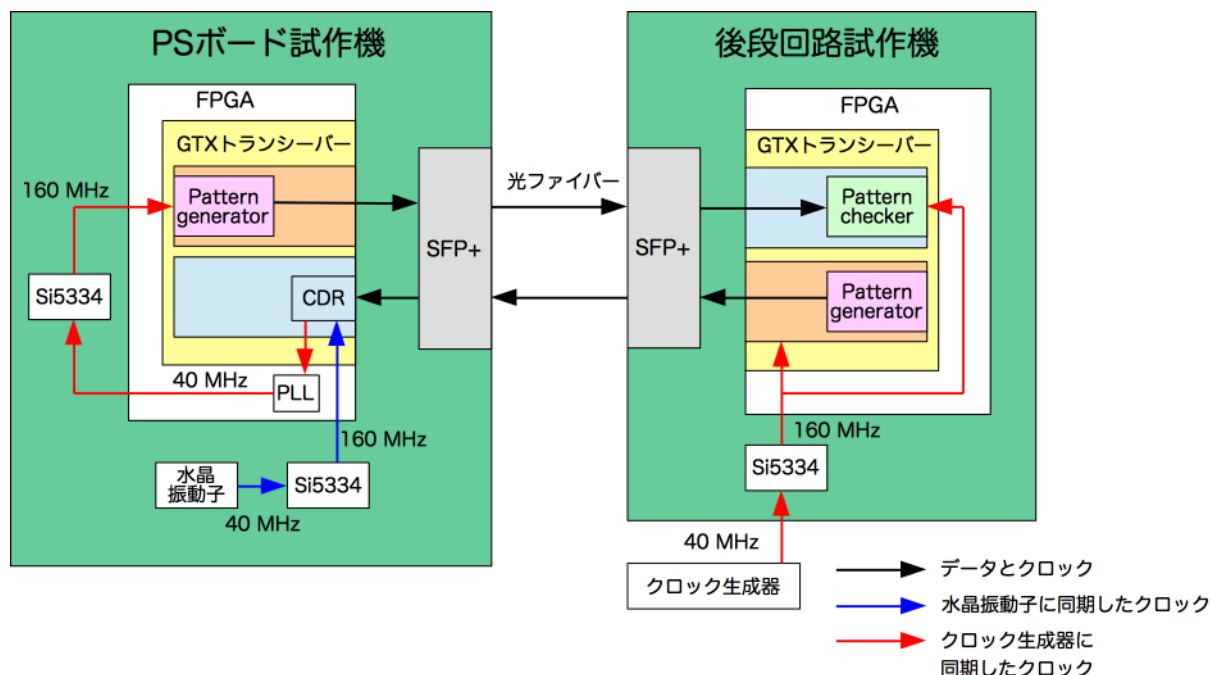


図 5.4 光通信でクロックを供給する手法の試験セットアップ。クロック生成器で生成したクロックは、Si5334 を介して、後段回路試作機の Tx と Rx に基準クロックとして入力される。PS ボード試作機の Rx の CDR 回路は、受信した信号からクロック生成器に同期したリカバリークロックを生成する。リカバリークロックは、PLL、Si5334 を経由して Tx に基準クロックとして入力される。

まず、それぞれのセットアップで、6.4, 8.0, 10.24 Gbps の転送レートでアイパターン測定を行った。IBERT を用いたアイパターン測定方法について説明する。Rx にて、図 5.5 の左側ように入力された差動信号の波形の電圧及びタイミングのサンプリングを行う。このサンプル点をデータサンプルとする。データサンプルに対し、電圧及びタイミングのオフセットをずらした点 (オフセットサンプル) を比較し、BER を測定する。縦軸と横軸の全範囲に対し、BER をスキャンすることで、図 5.5 の右側のようなアイパターンを得ることができる。横軸に時間のオフセット、縦軸に電圧のオフセットを取り、z 軸に BER を示す。濃い青色で表示されている部分は測定中にビットエラーが検出されなかった領域に対応し、この領域の大きさ・形を見ることで目の開き方を確認することができる。このような方法で得られたアイパターンのことを“統計的アイ”という。

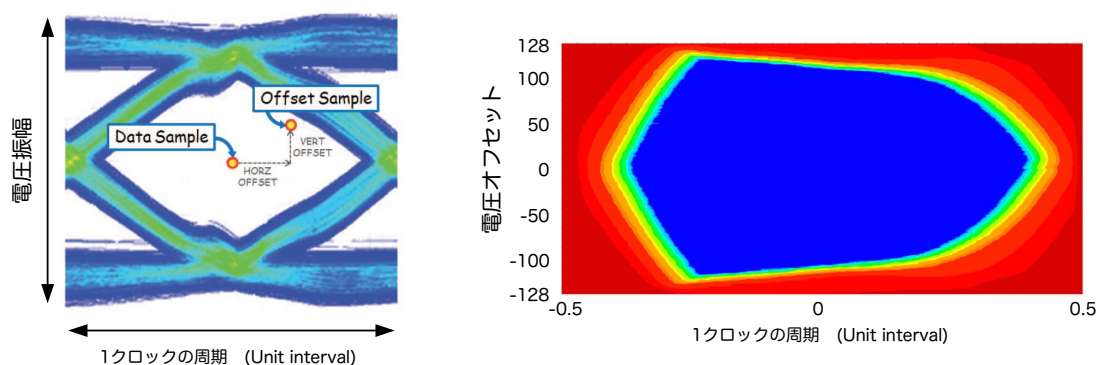


図 5.5 IBERT によるアイパターン測定概念図(左)と得られるアイパターン(右)<sup>[20]</sup>。Unit Interval (UI) は、クロックの周期を 1 UI として表わす単位である。このアイパターンでは、縦軸は 256 分割された電圧振幅のオフセットを示し、横軸は  $-0.5$  UI から  $0.5$  UI の範囲を示す。

図 5.6 に、転送レート 6.4, 8.0, 10.24 Gbps における同軸ケーブルでクロックを供給する手法でのアイパターンを示す。転送レートが大きくなるほど目の開きが小さくなっているものの、どの転送レートでもビットエラーが検出されない領域を十分に確保している。図 5.7 に、転送レート 6.4, 8.0, 10.24 Gbps における光通信でクロックを供給する手法でのアイパターンを示す。転送レート 6.4, 8.0 Gbps では、図 5.6 と同程度の結果となった。10.24 Gbps では、ビットエラーが検出されない領域が小さくなった。

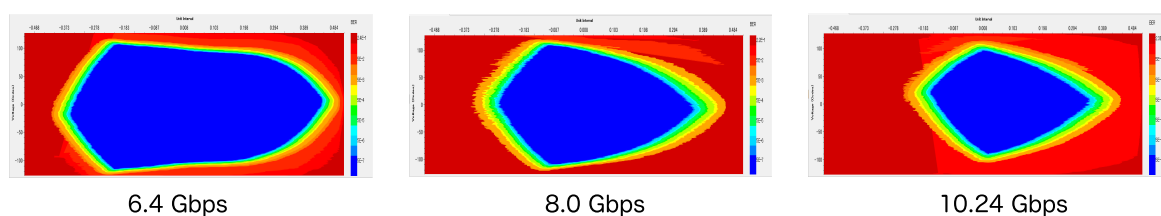


図 5.6 同軸ケーブルでクロックを供給する手法の転送レート 6.4, 8.0, 10.24 Gbps におけるアイパターン。転送レートが大きくなるほど、目の開きが小さくなっている。

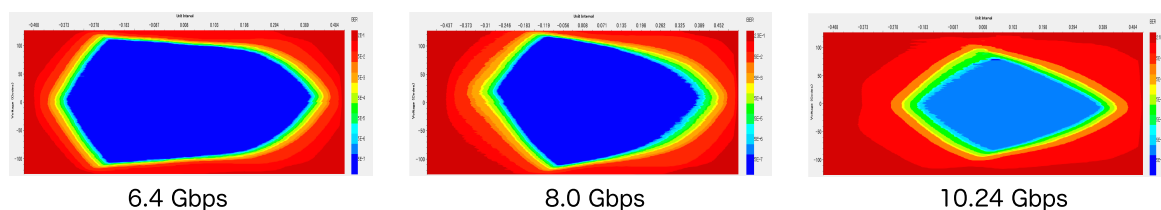


図 5.7 光通信でクロックを供給する手法の転送レート 6.4, 8.0, 10.24 Gbps におけるアイパターン。

10.24 Gbps では、ビットエラーが検出されない領域が小さくなった。

続いて、実験で想定される転送レート 8.0 Gbps において 3 日間の通信における BER を測定した。2 つの手法とも、ビットエラーは 1 つも観測されず、BER の上限値  $4.81 \times 10^{-16}$  を得た。また、アイパターンの目の開きが小さかった、光通信でのクロック供給手法の転送レート 10.24 Gbps において、3 時間の通信における BER を測定した。送信されたビット数  $1.2 \times 10^{14}$  bit において、 $4.6 \times 10^5$  回ビットエラーが検出され、BER は、 $(3.7 \pm 0.1) \times 10^{-9}$  となった。

以上から、実機で想定される転送レート 8.0 Gbps において、後段回路から光通信で PS ボードにクロックを供給する手法の運用可能性を示した。

## 第6章 高速データ転送ボードの放射線対策

### 6.1 要求される放射線耐性

ATLAS 実験の検出器エリアでは、陽子ビームの衝突点から生成される粒子が検出器やビームパイプと反応することによって、様々な種類の放射線が生成される。回路に対する損傷の機構は、放射線の種類によって異なる。回路に要求される放射線耐性を評価するには、粒子の種類ごとの放射線レベルを見積もる必要がある。

高輝度 LHC における ATLAS 実験での放射線レベルは、FLUGG シミュレーションを用いて評価されている [21]。このシミュレーションによって、総吸収線量, 1 MeV 中性子流量, 運動エネルギー 20 MeV 以上のハドロン流量の値が見積もられている。総吸収線量 (Total Ionizing Dose, TID) は、放射線による電離作用が半導体素子の性能を劣化させる効果を評価するために用いられる。1 MeV 中性子流量は、放射線が半導体を構成する原子を弾き出すことで半導体を劣化させる効果を評価するために用いられる。20 MeV 以上のハドロン流量は、1 個の粒子による電離作用で発生した電荷が半導体素子中を移動することによって、メモリの反転や過電流などを引き起こす効果 (Single Event Effect, SEE) を評価するために用いられる。

最も放射線レベルが高い場所 (M1, R = 8) に設置される高速データ転送ボード (PS ボード) の放射線の見積もりを以下に示す。

- TID : 積分ルミノシティ  $4000 \text{ fb}^{-1}$  で、6 Gy。
- 1 MeV 中性子流量 : 積分ルミノシティ  $4000 \text{ fb}^{-1}$  で、 $1.5 \times 10^{11} \text{ cm}^{-2}$ 。
- 20 MeV 以上のハドロン流量 : 瞬間ルミノシティ  $7.5 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$  で、 $9.8 \times 10^2 \text{ cm}^{-2}\text{s}^{-1}$ 。

回路素子に対する放射線耐性の要求は、放射線の見積もり値に対し、安全係数 (Safety Factor, SF) をかけることで求められる。安全係数は、ATLAS 実験で規定されており、シミュレーションの不確かさを考慮する安全係数 ( $\text{SF}_{\text{sim}}$ )、耐性試験と実機運転における照射レートの違いを考慮する安全係数 ( $\text{SF}_{\text{ldr}}$ )、素子の個体差を考慮する安全係数 ( $\text{SF}_{\text{lot}}$ ) が存在する。放射線の種類や回路素子の種類に応じて、異なる値が設定されている。PS ボードの ASIC と民生品の素子に対する要求値を、表 6.1 と表 6.2 に示す。

表 6.1 PS ボードの ASIC に対する各放射線の要求値。TID と 1 MeV 中性子流量の見積もりは積分ルミノシティ  $4000 \text{ fb}^{-1}$  に対する値、ハドロン ( $> 20 \text{ MeV}$ ) 流量の見積もりは瞬間ルミノシティ  $7.5 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$  に対する値である。

	見積もり	SF <sub>sim</sub>	SF <sub>ldr</sub>	SF <sub>lot</sub>	要求値
TID	6 [Gy]	1.5	1.5	2	27 [Gy]
1 MeV 中性子流量	$1.5 \times 10^{11} [\text{cm}^{-2}]$	2	1	2	$6.1 \times 10^{11} [\text{cm}^{-2}]$
ハドロン ( $> 20\text{MeV}$ ) 流量	$9.8 \times 10^2 [\text{cm}^{-2}\text{s}^{-1}]$	2	1	2	$3.9 \times 10^3 [\text{cm}^{-2}\text{s}^{-1}]$

表 6.2 PS ボードの民生品の素子に対する各放射線に対する要求値。TID と 1 MeV 中性子流量の見積もりは積分ルミノシティ  $4000 \text{ fb}^{-1}$  に対する値、ハドロン ( $> 20 \text{ MeV}$ ) 流量の見積もりは瞬間ルミノシティ  $7.5 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$  に対する値である。

	見積もり	SF <sub>sim</sub>	SF <sub>ldr</sub>	SF <sub>lot</sub>	要求値
TID	6 [Gy]	1.5	5	4	180 [Gy]
1 MeV 中性子流量	$1.5 \times 10^{11} [\text{cm}^{-2}]$	2	1	4	$9.2 \times 10^{11} [\text{cm}^{-2}]$
ハドロン ( $> 20\text{MeV}$ ) 流量	$9.8 \times 10^2 [\text{cm}^{-2}\text{s}^{-1}]$	2	1	4	$5.9 \times 10^3 [\text{cm}^{-2}\text{s}^{-1}]$

PS ボードを構成する主な素子は、PP ASIC, FPGA, SFP+, DAC, ADC, REF<sup>1</sup>, 電源素子である。PP ASIC は、SPI の設定値を保存する回路に冗長性をもたせているため、SEU の発生確率は無視できるものの、TID 耐性については考慮する必要がある。FPGA は、第 3.5.3 節で述べたように TID において要求を満たすことがわかっている<sup>[18]</sup>ものの、20 MeV 以上のハドロンがメモリ素子の情報を反転させる現象 (Single Event Upset, SEU) の影響を考慮する必要がある。SFP+は、TID や SEU 耐性に関して CERN やその他の研究グループで研究が進んでおり、問題なく使用できる見込みである<sup>[22, 23]</sup>。

DAC, ADC, REF, 電源素子については、TID 耐性については考慮する必要がある。これらの要求を満たす PS ボードの開発に向け、本研究では、20 MeV 以上のハドロンがメモリ素子の情報を反転させる現象 (Single Event Upset, SEU) が FPGA で生じた場合の対策手法の開発及び動作検証を行った。また、PP ASIC, DAC, ADC, REF, 電源素子のガンマ線照射試験を行い、TID 耐性を検証した。

## 6.2 FPGA のソフトウェア対策手法の開発

SEU のような、メモリ素子の上書きや電源の再投入で修正できる一時的な損傷のことを、ソフトウェアと呼ぶ。高エネルギーハドロンが大量に生成される高輝度 LHC 環境下において、PS ボードで使用する予定の SRAM タイプの FPGA ではソフトウェアが無視できないレートで発生することが予想される。FPGA のメモリには、回路のデザインを決める CRAM (Configuration Random Access Memory) と一時的なデータ

<sup>1</sup>REF は、DAC や ADC の基準電圧を供給する基準電圧素子。

の保持のために回路に組み込まれる BRAM (Block Random Access Memory) が存在する。本節では、ソフトエラーの対策として、CRAM で発生したエラーを自動検知・修正する Soft Error Mitigation (SEM) Controller の運用方法、SEM Controller の動作試験について述べる。SEM Controller は、Xilinx 社が提供する回路ブロックであるが、その設定は本研究で最適化した。

### 6.2.1 要求される機能

CRAM で発生した SEU は、FPGA のファームウェアの再書き込みによって修正できる。しかし、ファームウェアを再書き込みして、回路が正常な動作に戻るまでの間、検出器データを損失する。そのため、回路の動作を中断せずにエラーを修正する必要がある。

高輝度 LHC における、PS ボードの FPGA (XC7K325T) の CRAM で生じる SEU のレートを見積もる。PS ボードの 20 MeV 以上のハドロン最大の流量は  $9.8 \times 10^2 \text{ cm}^{-2}\text{s}^{-1}$  である。中性子や陽子などのいくつかのビームテストによって、CRAM における 1 ビットあたりの断面積は、 $10^{-15} \text{ cm}^2/\text{bit}$  のオーダーであることがわかっている<sup>[24]</sup>。FPGA に書き込むデータ長 91,548,896 ビット<sup>[25]</sup> を CRAM の容量とすると、SEU のレート  $R_{\text{SEU}}$  は、

$$R_{\text{SEU}} \approx (9.8 \times 10^2) \times (1 \times 10^{-15}) \times 91,548,896 \text{ [s}^{-1}] \approx 1 \times 10^{-4} \text{ [s}^{-1}]$$

と見積もることができる。TGC 検出器全体では、PS ボードは約 1500 枚存在するため、全体での SEU レートは、 $O(1 \times 10^{-1}) \text{ s}^{-1}$  となる。10 秒に 1 回程度の頻度で発生するソフトエラーに対応するシステムが必要になる。

### 6.2.2 SEM Controller の概要

SEM Controller は、CRAM で発生したソフトエラーに対し、回路の動作を中断せず自動的にエラー場所を検知し修正する機能をもつ。SEM Controller には、次に示す 3 つのモードが存在する。

- 修復モード：1 ビットのエラーを訂正する。
- 拡張修復モード：1 ビットまたは隣接する 2 ビットのエラーを訂正する。
- 置換モード：任意の数のエラーを訂正する。

いずれのモードも、エラーを検知してから修正するまでの時間は 100 ms 以下であり、SEU が生じる頻度に対して十分に小さい<sup>[26]</sup>。今回は、容易に実装できる拡張修復モードを使用する。

図 6.2 に、SEM Controller のブロック図を示す。SEM Controller は、CRAM 情報の読み書きを可能にする回路ブロックである ICAP (Internal Configuration Access Port)、CRAM のエラー検知を行う回路ブロックである FRAME ECC、エラーの修正や挿入などを行うエラー制御回路で構成される。エラーが発生すると、FRAME ECC がエラー情報をエラー制御回路に送る。エラー制御回路は、エラー情報と ICAP を介して読み込んだ CRAM の情報からエラー箇所を特定する。そして、ICAP を介して CRAM のエラー箇所の再書き込みをすることで SEU を修正する。また、エラー制御回路は、回路の状態を示すステート信号

を出力する。ステートには、電源投入後に回路情報を初期化している状態「初期化ステート」、CRAM を監視しエラーを検知している状態「監視ステート」、エラーを訂正している状態「訂正ステート」、ステート移行待ちの状態「アイドルステート」、エラーを挿入している状態「エラー挿入ステート」、訂正不能なエラーを存在している状態「訂正不能ステート」が存在する。特定のステートに移行すると、対応するステート信号の値が High になる。

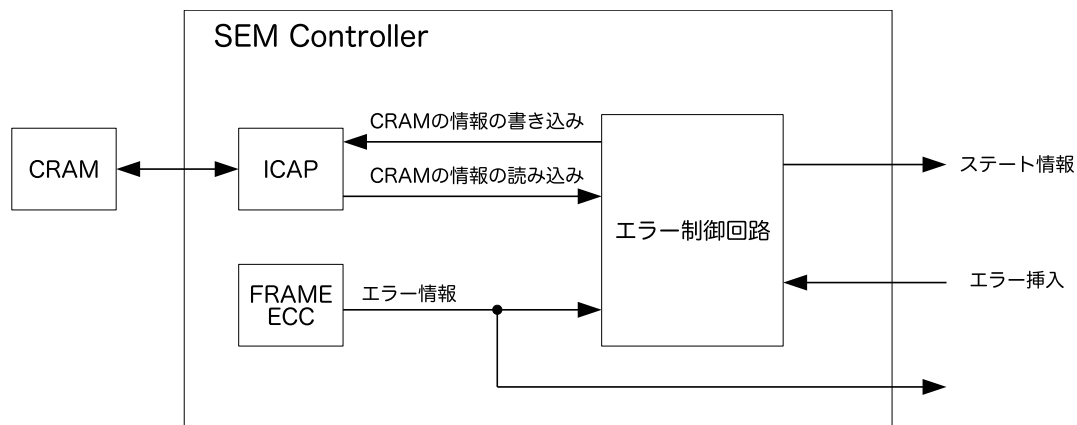


図 6.1 SEM Controller のブロック図。SEM Controller は、CRAM 情報の読み書きを可能にする ICAP、CRAM のエラー検知を行う FRAME ECC、エラーの修正や挿入などを行うエラー制御回路で構成される。

### 6.2.3 SEM Controller の運用方針

図 6.2 に、TGC 検出器回路システムにおける SEM Controller の運用案を示す。1 ビットまたは隣接する 2 ビットのエラーが発生した場合、PS ボードの FPGA に実装された SEM Controller がエラーを自動的に修正する。訂正不能なエラーが発生した場合、訂正不能状態であることを後段回路へ伝える。訂正不能状態を検知した後段回路はデータ取得を中断させ、PS ボードのファームウェアのリセット信号を SPP へ出力する。PS ボードは、SPP からのリセット信号を受信すると、ファームウェアの情報を保存する SPI フラッシュメモリによってファームウェア再書き込みを行う。再書き込みが完了したら、後段回路はデータ取得を再開させる。



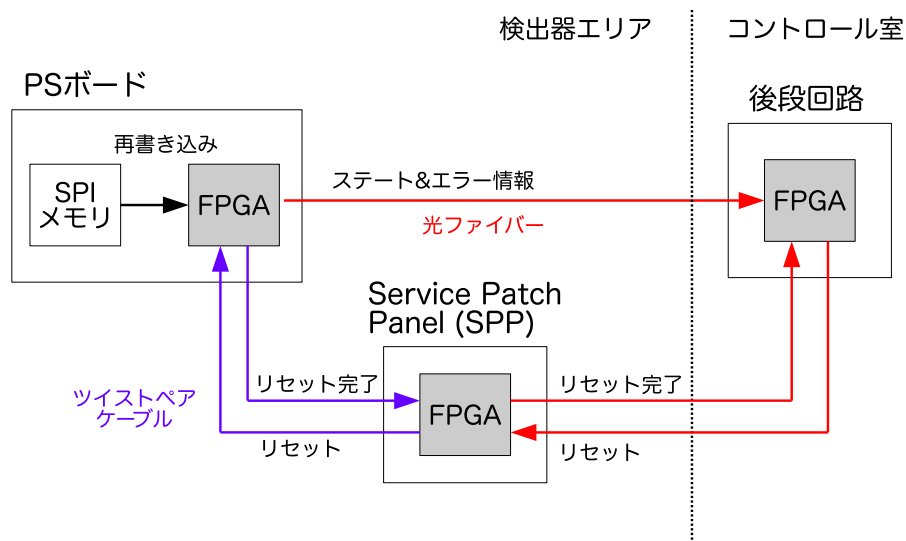


図 6.2 TGC 検出器回路システムにおける SEM Controller の運用案。後段回路が常に PS ボードの FPGA のエラー状況を監視し、自動訂正不能なエラーが発生した場合に再書き込みの信号を出力させる。

#### 6.2.4 ATLAS 検出器エリアでの試験

LHC 運転中の ATLAS 検出器エリアに PS ボードを設置し、SEM Controller の動作検証を行った。加えて、現行 LHC の瞬間最高ルミノシティ  $2 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$  における SEU のレートを測定した。

##### 試験の概要

図 6.3 に、SEM Controller の動作試験セットアップを示す。ATLAS 検出器エリアに設置した PS ボード試作機とコントロール室に設置した Run-3 用後段回路試作機を 2 本の光ファイバーで接続した。両ボードとも水晶振動子の 40 MHz クロックを基準クロックとして使用した。SEM Controller が出力するエラー情報を用いて、1 ビットエラー (Single Bit Error, SBE) と 2 ビット以上のエラー (Multi Bit Error, MBE) の回数をカウントした。高速シリアルトランシーバー (GTX) を用いて、カウント値とステート情報を後段回路へ転送した。PC にて、VME bus を経由して読み込んだカウント値とステート情報を 1 分毎に保存した。PS ボードの CRAM には、FPGA で構築した SEM Controller や GTX などの回路情報が書き込まれている。本試験での CRAM 使用量は実機と異なることが予想されるが、SEM Controller は CRAM の使用量に関わらずメモリ全体のエラー検知を行うので、SEU レートの評価への影響はないと考えられる。図 6.4 と図 6.5 に、PS ボード試作機と後段回路試作機の設置写真を示す。

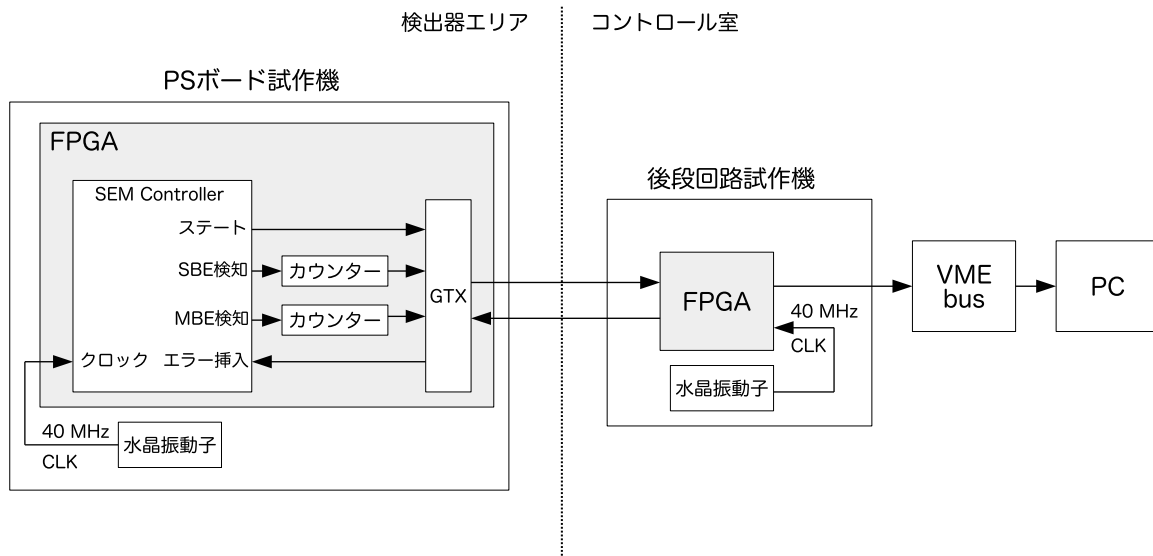


図 6.3 SEM Controller の動作試験セットアップ。PS ボード試作機で発生した 1 ビットエラー (SBE) と 2 ビット以上のエラー (MBE) のカウント値および状態情報を後段回路に転送させ、PC で読み出した。

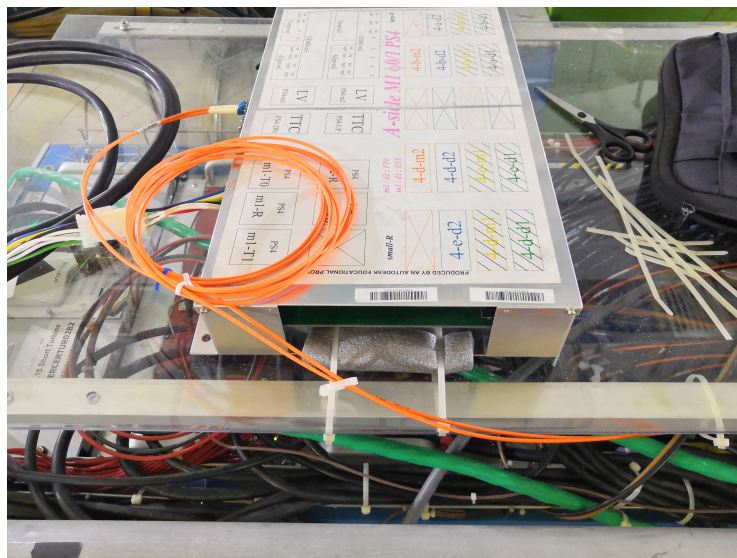


図 6.4 PS ボード試作機の設置写真。TGC M1, R = 12 m ほどに設置した。



図 6.5 後段回路試作機の設置写真。コントロール室の 9U サイズの VME クレートに設置した。

## 試験結果

2018 年 9 月 23 日から同年 10 月 26 日までの間に行われた重心系エネルギー 13 TeV の陽子陽子衝突運転において、データ取得を行った。図 6.6 に、積分ルミノシティに対する SEU カウント数を示す。12.6 fb<sup>-1</sup>で、16 回の SBE を観測し、MBE は一度も観測されなかった。また、全ての SBE の観測後に、訂正不能状態への移行はなく、監視状態の維持を確認した。このことは、SEM による自動修正が成功したことを示す。SEU が発生したタイミングの LHC の運転状況について調べた。図 6.7 に、SEU の発生時刻におけるフィル番号と瞬間ルミノシティを示す。フィル番号は LHC に入射された何番目の陽子ビームなのかを示す。このようにして、全 16 回の SEU の発生時刻とその時の LHC のフィル番号および瞬間ルミノシティを調べた。表 6.3 に、その結果を示す。結果から、発生した SEU の全てが、陽子が衝突している際に生じたことがわかった。

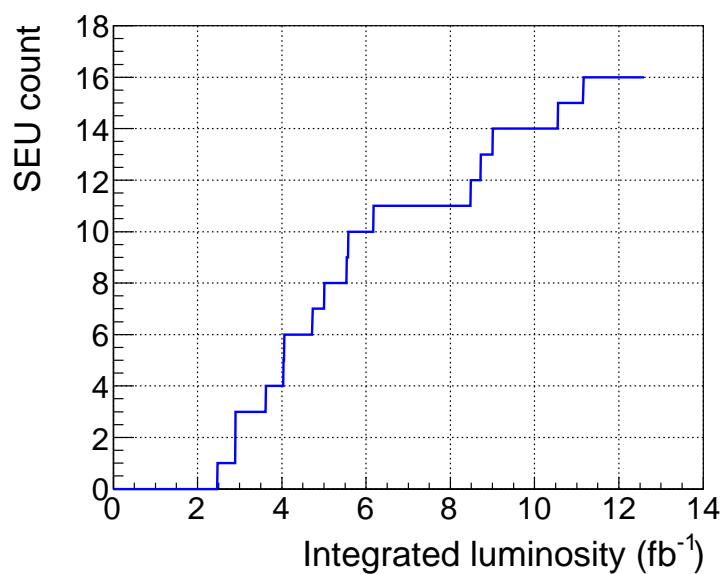


図 6.6 重心系エネルギー 13 TeV の陽子陽子衝突運転における積分ルミノシティに対する SEU のカウント数。

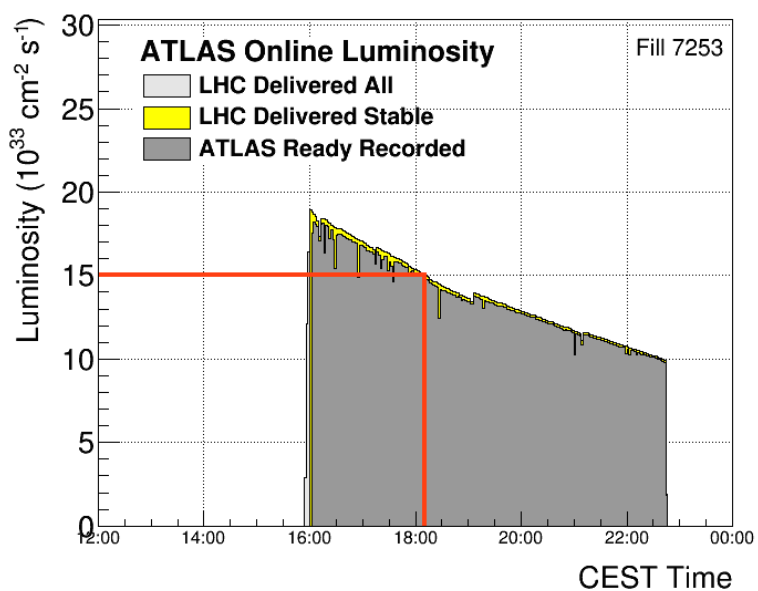


図 6.7 フィル番号 7253 の中央ヨーロッパ夏時間 (CEST Time) に対する瞬間ルミノシティ。赤線は SEU を観測した時刻とその瞬間ルミノシティを示す。

表 6.3 SEU の発生時刻とフィル番号と瞬間ルミノシティ。

日にち	時間	フィル番号	瞬間ルミノシティ $[\text{cm}^{-2}\text{s}^{-1}]$
9 月 30 日	14:39	7239	$1.70 \times 10^{34}$
10 月 1 日	1:23	7240	$1.35 \times 10^{34}$
10 月 1 日	1:23	7240	$1.35 \times 10^{34}$
10 月 2 日	6:23	7245	$1.15 \times 10^{34}$
10 月 3 日	11:11	7252	$0.90 \times 10^{34}$
10 月 3 日	11:44	7252	$0.90 \times 10^{34}$
10 月 3 日	18:10	7253	$1.50 \times 10^{34}$
10 月 5 日	3:24	7259	$1.50 \times 10^{34}$
10 月 7 日	6:39	7264	$1.20 \times 10^{34}$
10 月 8 日	10:32	7266	$0.95 \times 10^{34}$
10 月 18 日	7:01	7314	$1.00 \times 10^{34}$
10 月 18 日	19:23	7315	$1.45 \times 10^{34}$
10 月 21 日	6:42	7324	$1.75 \times 10^{34}$
10 月 22 日	1:42	7328	$1.50 \times 10^{34}$

34 日間の積分ルミノシティが  $12.6 \text{ fb}^{-1}$  であることから、20 MeV 以上のハドロンの積算流量は、FLUGG シミュレーションを用い、 $1.6 \times 10^8 \text{ cm}^{-2}$  と見積もられる。第 6.2.1 節の SEU レートの見積もりで用いた断面積と CRAM の容量から、SEU の回数  $\text{SEU}_{\text{count}}$  は、

$$\text{SEU}_{\text{count}} \approx (1.6 \times 10^8) \times (1 \times 10^{-15}) \times 91,548,896 \approx 15$$

となる。見積もりから得られた SEU カウント数と結果は、良い一致を示した。高輝度 LHC における SEU レートの計算の妥当性を示した。

## 6.3 回路素子のガンマ線照射試験

第 6.1 節にて示したように、PS ボードに搭載する回路素子に対する TID の要求値は、ASIC において 27 Gy で、民生品の回路素子において 180 Gy である。要求値を満たす TID 耐性があるか検証するために、ガンマ線照射試験を行った。

### 6.3.1 試験の方針

ガンマ線照射試験は、名古屋大学コバルト 60 照射室で行った。コバルト 60 (半減期 5.27 年) は  $\beta$  崩壊でニッケル 60 になり、その後ニッケル 60 が基底状態になるまでに 1.17 MeV と 1.33 MeV のガンマ線を放出する。今回の照射試験で使用したボードと、そのボードで試験した回路素子について以下に示す。

- PP ASIC 動作試験用ボード : PP ASIC
- DAC 評価ボード (DAC7678EVM) : DAC7678、REF5040
- ADC 評価ボード (ADS7953EVM-PDK) : ADS7953、REF5025
- LDO (Low Drop-Out) レギュレータ評価ボード (TPS7A85EVM-754) : TPS7A85
- DC/DC コンバータ評価ボード (TPS60500EVM-193) : TPS60500

DAC, ADC 評価ボードには DAC, ADC の他に基準電圧を出力する素子 (REF5040, REF5025) が搭載している。これらの REF は、PS ボードで予定しているものと電圧レベルが異なるものの放射線耐性の評価において参考になるので試験した。本試験では、PP ASIC に対して 4 チップ、その他の素子に対して 1 チップのみを照射した。どれくらいの照射量で回路素子の劣化が始まるかわからないので、段階的に照射した。

### 6.3.2 ガンマ線照射試験セットアップ

図 6.8 に、名古屋大学コバルト 60 照射室の写真と断面図を示す。直径 8 mm・高さ約 200 mm の棒状の線源が、円筒型の容器にドーナツ状に 36 本並べられて、地下の貯蔵庫に格納されている。照射する際は、線源が写真の矢印が示す円筒の容器の内部に設置される。この円筒容器の外径は、140 mm であるため、被照射ボードは円筒の中心から 7 cm 以上の位置で照射される。名古屋大学コバルト 60 照射室では、2004 年にフリッケ線量計にて吸収線量が測定されており、その値から半減期を加味し様々な物質に対する吸収線量を得ることができる。今回、線源と被照射ボードの距離を調節し、その距離におけるシリコンに対する吸収線量率を参照し、照射レートを設定した。被照射ボードの設置において、 $\pm 5$  mm 程の誤差が生じることを想定すると、距離 10 cm での照射量には、約 10% の不確かさが存在する。図 6.9 に、照射室の間取りとセットアップの概略図を示す。照射中、照射室外に設置した直流安定電源などの機器から長さ約 6 m のケーブルを用いて被照射ボードへ電源電圧やクロックを供給した。ケーブルは、操作タッチパネル横に作られたコンクリートの隙間を通した。照射後は、照射室からボードを取り出して、管理区域外の部屋で測定を行った。

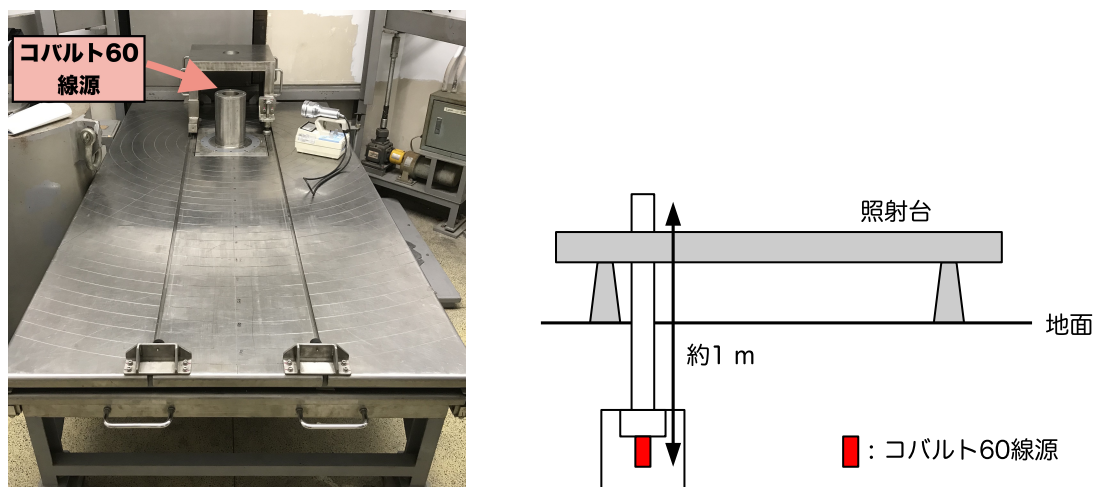


図 6.8 名古屋大学コバルト 60 照射室の写真 (左) と断面図 (右)。線源は、地下の貯蔵庫に格納されており、照射時に地上へ持ち上げられる。

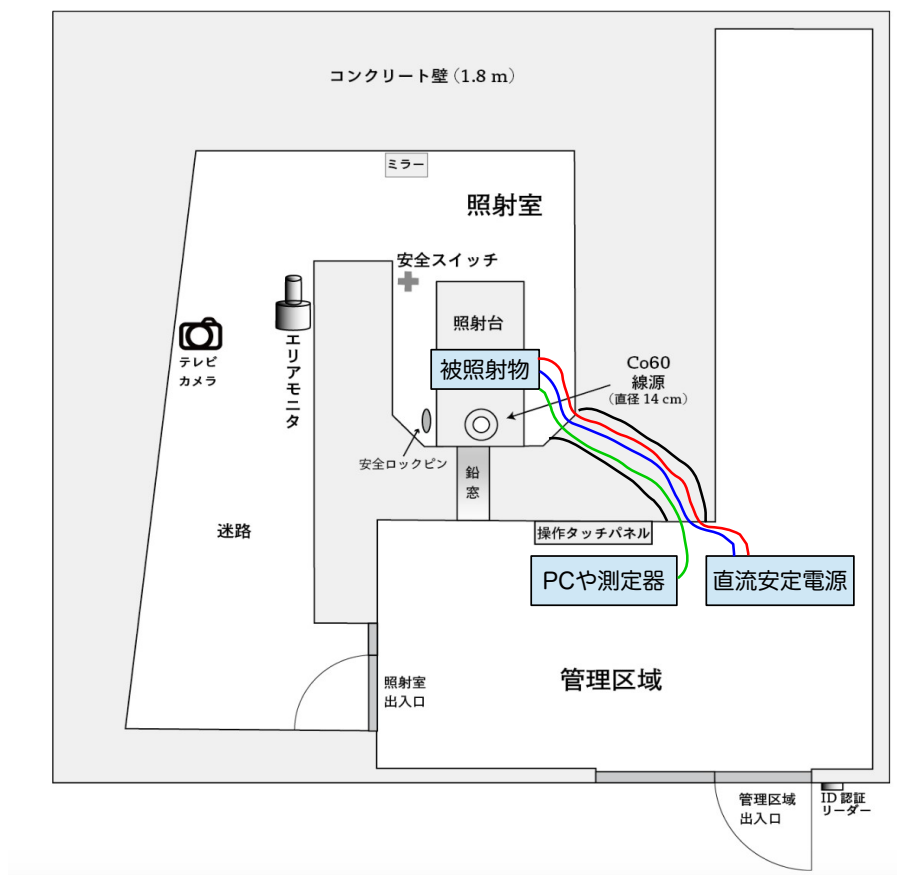


図 6.9 照射室の間取りとセットアップの概略図。



以下で、各ボードの測定項目と、照射中および照射後の測定セットアップについて述べる。実機の使用において、照射中つまり加速器運転中は電源を入れておくので、本試験においても照射中は電源を入れておく。絶縁層で生成されるホールの移動に電源に由来する電場が寄与するため、できるだけ実機運用に合わせる。

### PP ASIC 動作試験用ボード

表 6.4 に、PP ASIC の照射中の測定項目と照射後の測定項目を示す。図 6.10 に、PP ASIC 照射中のセットアップを示す。本セットアップでは、電流値を電圧でモニター可能な直流安定電源 (PA36-2B) を用いた。データロガーでその電圧を記録することで、1.8 V と 3.3 V に対する出力電流値を測定した。クロック生成器から 40 MHz のクロックを PP ASIC に供給し、PLL をロックさせた。照射後の各測定のセットアップは、第 4.4 節と同様である。

表 6.4 PP ASIC の測定項目。

照射中の測定項目	電源の電流値
照射後の測定項目	V <sub>CON</sub> に対する 1 個の遅延セルの伝搬遅延
	遅延セルの段数に対する伝搬遅延 (PLL STEP 28)
	PLL がロックを維持するクロック周波数の上限と下限および 40 MHz での V <sub>CON</sub> (PLL STEP 32)
	テストパルス回路の出力パルスの振幅

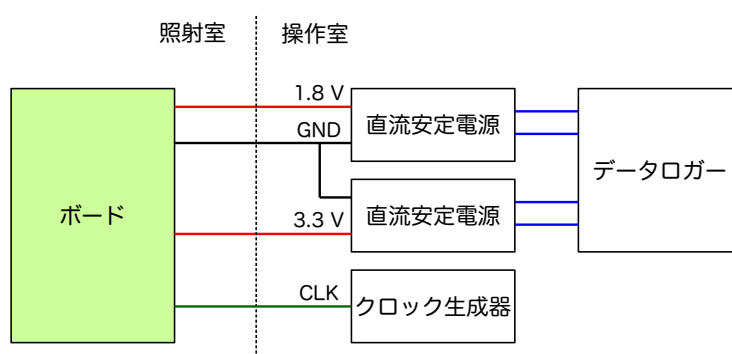


図 6.10 PP ASIC に対するガンマ線照射のセットアップ。

### DAC 評価ボード

図 6.11 に、DAC7678 評価ボードの写真を示す。表 6.5 に、DAC7678 の主な特徴を示す。DAC7678 は、I<sup>2</sup>C インターフェースで制御される。加えて、チップ内部に 2.5 V の基準電圧を持つ。REF5040 は、4.096 V



の基準電圧を出力する基準電圧素子である。DAC7678 の基準電圧をボード外から供給させることによって、DAC7678、チップ内部の基準電圧、REF5040 を独立に試験することが可能になる。

表 6.6 に、DAC 評価ボードの測定項目を示す。図 6.12 に、DAC 評価ボード照射中のセットアップを示す。DAC7678 に電源電圧と基準電圧を供給し、REF5040 にも電源電圧を供給した。図 6.13 に、DAC 評価ボード測定のセットアップを示す。DAC7678 と REF5040 に、それぞれ独立した電源電圧を供給した。I<sup>2</sup>C や SPI のマスタ・スレーブ機能を持ち、PC からのデバイス制御を可能にする Aardvark<sup>[28]</sup> を用いて I<sup>2</sup>C コントロールを行い、出力電圧を設定した。デジタルマルチメータを用いて、DAC の出力電圧、内部基準電圧、REF5040 の出力電圧を測定した。

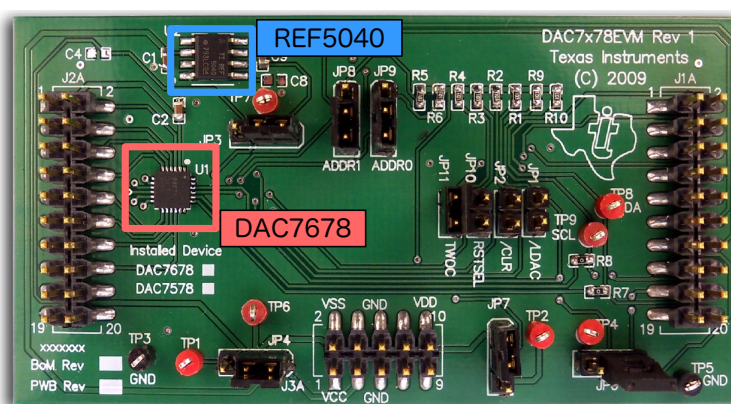


図 6.11 DAC7678 評価ボードの写真。

表 6.5 DAC7678 の主な特徴。12 ビットの分解能は、出力電圧を 4096 段階で設定可能であることに対応する。

パラメータ	値
チャンネル数	8
分解能	12 ビット
電源電圧 ( $AV_{DD}$ )	2.7–5.5 V
基準電圧 ( $V_{REF}$ ) 上限	$AV_{DD}$

表 6.6 DAC 評価ボードの測定項目。

照射中の測定項目	なし
照射後の測定項目	DAC7678 の複数の入力値に対する出力電圧
	DAC7678 内部基準電圧の出力電圧
	REF5040 の出力電圧

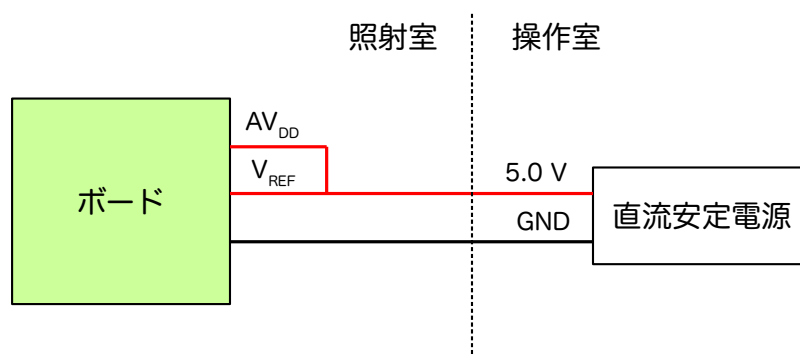


図 6.12 DAC 評価ボードに対するガンマ線照射のセットアップ。DAC7678 に電源電圧と基準電圧を供給し、REF5040 にも電源電圧を供給した。

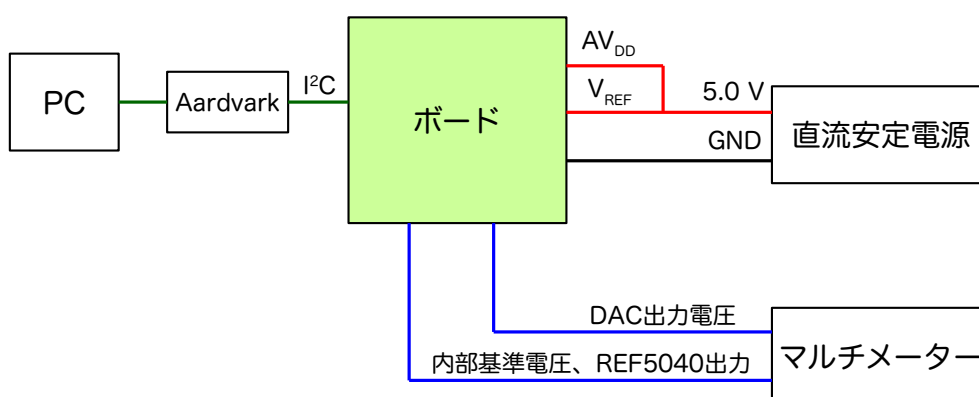


図 6.13 DAC 評価ボード測定のセットアップ。Aardvark<sup>[28]</sup> は、I<sup>2</sup>C や SPI のマスタ・スレーブ機能を持ち、PC からのデバイス制御を可能にする。

## ADC 評価ボード

図 6.14 に、ADC 評価ボードの写真を示す。ADC 評価ボードには、親ボードと子ボードが存在する。放射線影響の切り分けのために、子ボードのみにガンマ線を照射する。図 6.15 に、子ボードの写真を示す。子ボードには、ADC (ADS7953)、基準電圧素子 (REF5025)、オペアンプ (OPA192)、EEPROM (24LC256T-I/SN) が搭載されている。表 6.7 に、ADS7953 の主な特徴を示す。ADS7953 は、SPI インターフェースで制御される。REF5025 は、2.5 V の基準電圧を出力する基準電圧素子である。ADS7953 の V<sub>REF</sub> をボード外から入力することで、REF5025 の TID 耐性も独立に試験できる。オペアンプは、ADS7953 のチャンネル 0 の入力部に接続している。オペアンプは試験の対象外であるので、ADS7953 の測定ではチャンネル 0 以外を用いた。EEPROM は、PC から親ボード経由で ADS7953 を評価する際に使用される。EEPROM も試験

の対象外であるものの、子ボードの識別情報などを保存しているため、EEPROM に放射線損傷が生じると、ADS7953 の評価が行えなくなる可能性がある。

表 6.8 に、ADC 評価ボードの測定項目を示す。図 6.16 に、ADC 評価ボード照射中のセットアップを示す。ADC に電源電圧と基準電圧を供給し、その他の素子にも電源電圧を供給した。図 6.17 に、ADC 評価ボード測定のセットアップを示す。PC を用いた ADC との通信のために親ボードと子ボードを接続させた。直流安定電源を用いて ADS7953 の各チャンネルに電圧を入力し、出力値を PC で記録した。また、REF5025 の出力電圧をデジタルマルチメータで測定した。ボード電源の電流値を、直流安定電源の電流計で測定した。

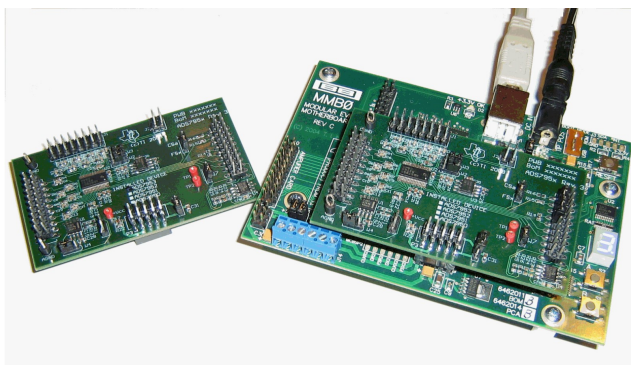


図 6.14 ADC 評価ボードの写真。左側は ADC7953 や REF5035 などが搭載されている子ボードを示し、右側は、レギュレータやデジタル信号プロセッサなどが搭載されている親ボードに子ボードが接続されている状態を示す。

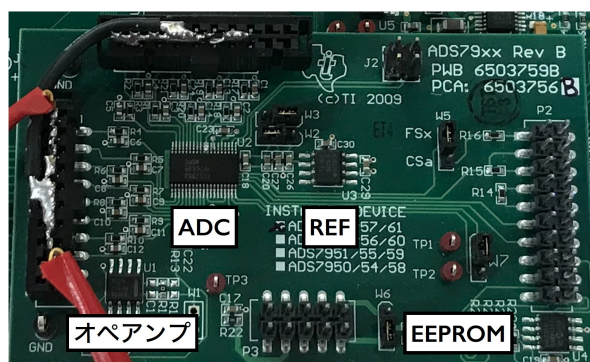


図 6.15 子ボードの写真。ADC, 基準電圧素子 (REF), オペアンプ, EEPROM が搭載されている。

表 6.7 ADS7953 の主な特徴。12 ビットの分解能は、入力電圧を 4096 段階で分割したデジタル値に変換することを意味する。

パラメータ	値
チャンネル数	16
分解能	12 ビット
デジタル部電源 ( $V_D$ )	2.7–5.25 V
アナログ部電源 ( $V_A$ )	1.7–5.25 V
基準電圧 ( $V_{REF}$ )	2–3 V
入力電圧上限	$V_{REF}$ (条件により $2V_{REF}$ まで)

表 6.8 ADC 評価ボードの測定項目。

照射中の測定項目	なし
照射後の測定項目	ADS7953 の入力電圧に対する出力値
	REF5025 の出力電圧
	ボード電源の電流値

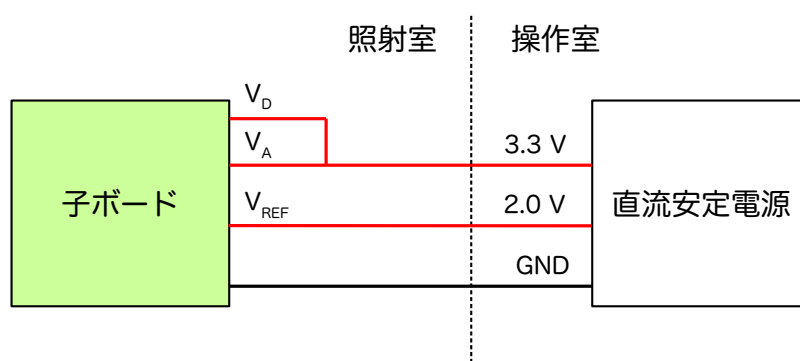


図 6.16 ADC 評価ボードに対する照射のセットアップ。ADC に電源電圧と基準電圧を供給し、その他の素子にも電源電圧を供給した。

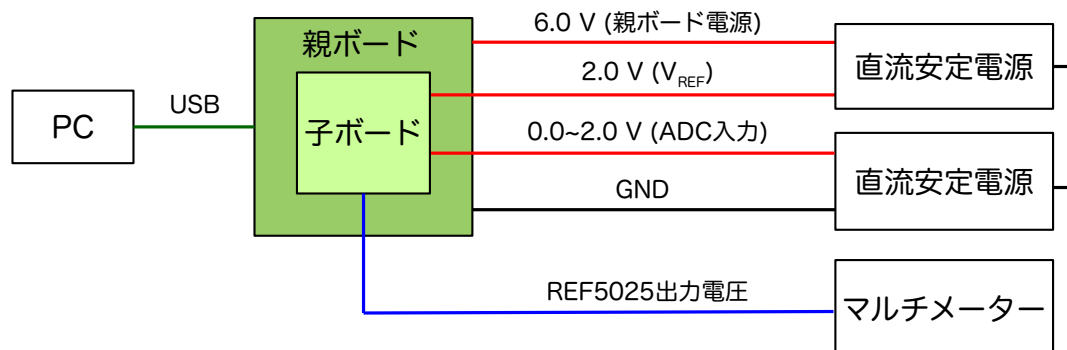


図 6.17 ADC 評価ボード測定のセットアップ。親ボードと子ボードを接続し、PC で ADC の出力値を読み出した。

### LDO レギュレータと DC/DC コンバータ評価ボード

図 6.18 に、LDO レギュレータ評価ボードと DC/CD コンバータ評価ボードの写真を示す。LDO レギュレータとして Texas Instruments 社の TPS7A85 を使い、DC/DC コンバータとして同社の TPS60500 を用いた。表 6.9 に、TPS7A85 と TPS60500 の主な特徴を示す。LDO 評価ボードでは、ボード上のジャンパーピンで出力電圧を調整できる。DC/CD コンバータ評価ボードは、ボード上に実装された抵抗によって出力電圧が 1.5 V に固定されている。

表 6.10 に、測定項目を示す。照射試験では、両ボードとも同じ測定項目で行った。図 6.10 に、LDO レギュレータ評価ボードと DC/CD コンバータ評価ボードの照射中のセットアップを示す。入力電圧は、PS ボードでの運用を想定して 3.3 V にした。LD レギュレータの出力電圧は、1.8 V に設定した。出力電流が LDO レギュレータで 1 A、DC/DC コンバータで 150 mA になるように、出力部の抵抗を設定した。図 6.20 に、LDO レギュレータ評価ボードと DC/CD コンバータ評価ボードの測定のセットアップを示す。直流安定電源の電圧計と電流計で、入力電圧と入力電流を測定し、デジタルマルチメータの電圧計と電流計で、出力電圧と出力電流を測定した。

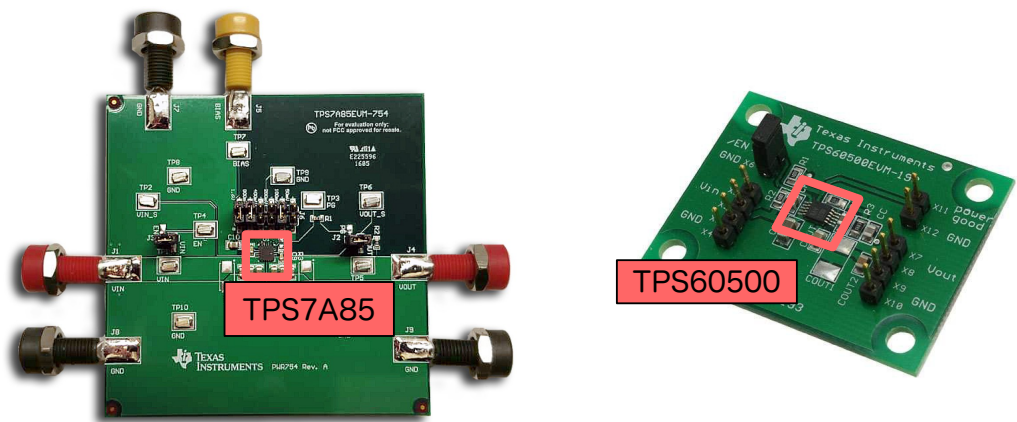


図 6.18 LDO レギュレータ評価ボード (左) と DC/CD コンバータ評価ボード (右) の写真。

表 6.9 TPS7A85 と TPS60500 の主な特徴。

パラメータ	値 (TPS7A85)	値 (TPS60500)
出力チャンネル数	1	1
入力電圧 $V_{IN}$	1.1–5.25 V	1.8–6.5 V
出力電圧 $V_{OUT}$	0.8–5.0 V	0.8–3.3 V
出力電流 $I_{OUT}$	0–4 A	0–250 mA

表 6.10 LDO レギュレータ評価ボードと DC/CD コンバータ評価ボードの測定項目。

照射中の測定項目	なし
照射後の測定項目	入力電圧値と電流値
	出力電圧値と電流値

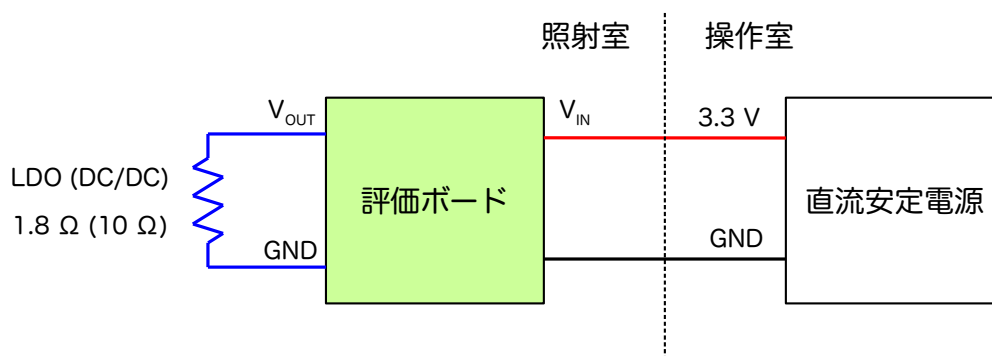


図 6.19 LDO レギュレータ評価ボードと DC/CD コンバータ評価ボードのガンマ線照射のセットアップ。それぞれ 3.3 V の電圧を入力した。

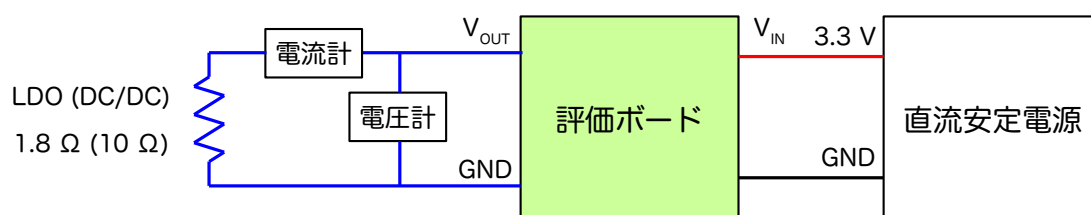


図 6.20 LDO レギュレータ評価ボードと DC/CD コンバータ評価ボードの測定のセットアップ。デジタルマルチメータの電圧計と電流計で出力電圧と出力電流を測定した。

### 6.3.3 PP ASIC の試験結果

照射した 4 つの PP ASIC に対して、Chip0-3 と番号を付けた。本試験では、まず Chip0 に対して比較的低い照射率で段階的に照射を行った。表 6.11 に、Chip0 の照射経過を示す。1 kGy までの照射で、いずれの測定項目においても有意な変化は見られなかった。

次に、Chip1-3 を 1 kGy まで照射し、さらに Chip3 のみ 20 kGy まで照射した。表 6.12 に、Chip1-3 の照射経過を示す。図 6.21 に、Chip3 における照射量に対する消費電力の測定結果を示す。照射中に測定した電流値から消費電力を計算した。図 6.22 に、Chip3 における  $V_{CON}$  に対する 1 個の遅延セルの伝搬遅延の測定結果を示す。図 6.23 に、Chip3 における PLL STEP 28 での遅延セルの段数に対する伝搬遅延の測定結果を示す。図 6.24 に、照射量に対する 40 MHz クロックで PLL がロックした状態における  $V_{CON}$  の

測定結果を示す。いずれの測定においても、有意な変化は観測されなかった。1 kGy まで照射した4チップとも、28–31 MHz から 57–58 MHz のクロック周波数の範囲でロックを維持した。PLL は、40 MHz クロックに対し十分なマージンを確保していることがわかる。図 6.25 に、Chip3 におけるテストパルス回路の出力パルスの振幅の測定結果を示す。線形性の変化は観測されなかった。

以上の結果から、PP ASIC 試作機が高輝度 LHC の TID 耐性の要求 (27 Gy) を満たすことがわかった。本測定では、チップごとに最大 20 kGy までガンマ線を照射し、動作を検証した。全てのチップのすべての測定に対し、有意な変化が見られず、Silterra Malaysia 社の当該プロセス (0.18  $\mu\text{m}$  CMOS) が高い TID 耐性を持つことが明らかになった。これは、微細な MOS のプロセスにおける絶縁層の体積が小さいことによると考えられる。

表 6.11 Chip0 の照射経過。1 kGy まで段階的に照射した。

設置位置 [cm]	照射時間	照射率 [Gy/min]	積算照射量 [Gy]
20	48 分 39 秒	2.1	100
20	48 分 40 秒	2.1	200
20	48 分 40 秒	2.1	300
10	42 分 32 秒	8.2	650
10	42 分 32 秒	8.2	1000

表 6.12 Chip1–3 の照射経過。Chip1 と Chip2 を積算照射量 1 kGy まで照射し、Chip3 を積算照射量 20 kGy まで照射した。

設置位置 [cm]	照射時間	照射率 [Gy/min]	積算照射量 [kGy]
10	122 分 50 秒	8.2	1
10	492 分 49 秒	8.2	5
10	616 分 22 秒	8.2	10
8	394 分 53 秒	12.7	15
8	395 分 2 秒	12.7	20



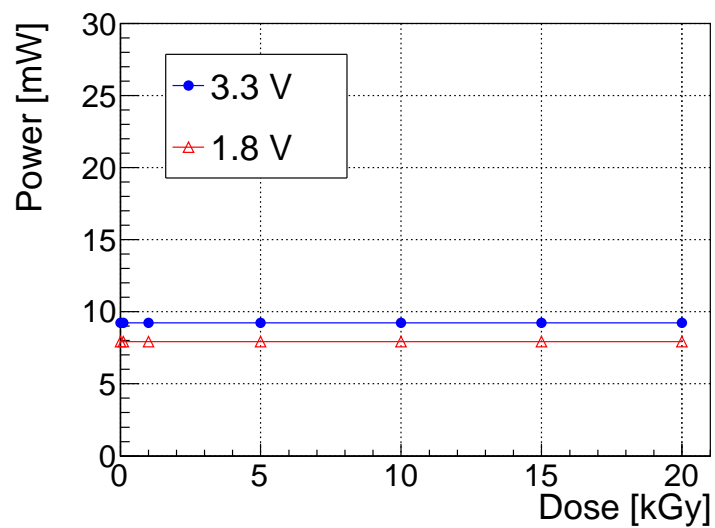


図 6.21 照射量に対する消費電力の測定結果。赤は、1.8 V の電源電圧に対する結果を示し、青は、3.3 V の電源電圧に対する結果を示す。Chip3 の測定結果を示す。

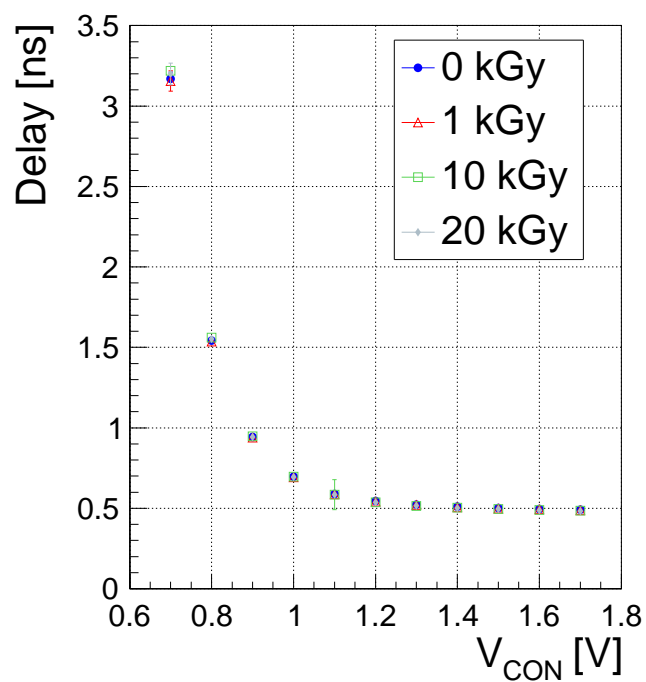


図 6.22  $V_{CON}$  に対する 1 個の遅延セルの伝搬遅延の測定結果。Chip3 に対して積算照射量 0 kGy, 1 kGy, 10 kGy, 20 kGy の結果を示す。

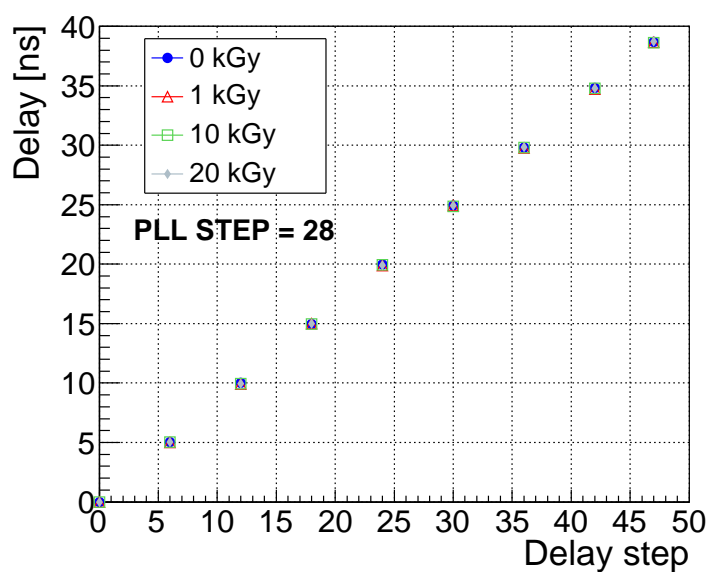


図 6.23 PLL STEP 28 でのディレイセルの段数に対する伝搬遅延の測定結果。Chip3 に対して積算照射量 0 kGy, 1 kGy, 10 kGy, 20 kGy の結果を示す。

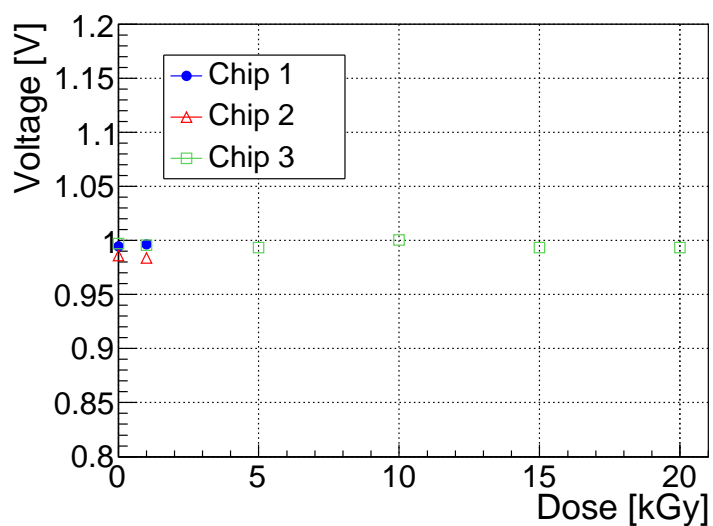


図 6.24 照射量に対する 40 MHz クロックで PLL がロックした状態での  $V_{CON}$  の測定結果。Chip1, 2 は 1 kGy まで、Chip3 は 20 kGy までの結果を示す。

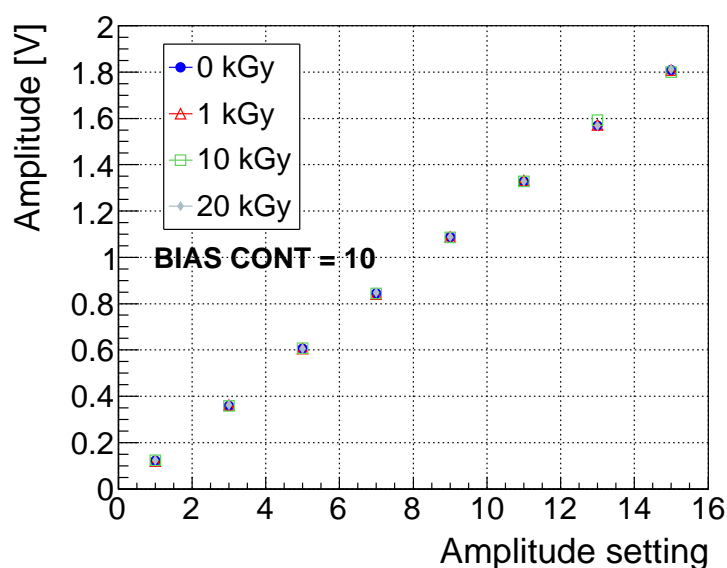


図 6.25 Chip3 におけるテストパルス回路の出力パルスの振幅の測定結果。Chip3 の積算照射量 0 kGy, 1 kGy, 10 kGy, 20 kGy の結果を示す。

#### 6.3.4 民生回路素子の試験結果

表 6.13 に、PP ASIC 以外の素子の照射経過を示す。民生品の素子に対する要求値 180 Gy まで段階的に照射した。また、180 Gy までに壊れなかった素子に対して段階的に約 1000 Gy まで照射した。

図 6.26 に、DAC7678 の 1 つのチャンネルにおける入力値に対する出力電圧の測定結果を示す。180 Gy までは、照射前との有意な違いは観測されず、DAC7678 が TGC システムの要求を満たすことがわかった。213 Gy において、全てのチャンネルで設定電圧 0 V に対する出力電圧が 0.1 V 程度大きくなった。また、他の設定値で最大 0.9 V 程度のずれが観測された。213 Gy 照射後の性能は、TGC システムが要求する出力電圧の分解能 0.01 V 以下を満たさない。

図 6.27 に、ADS7953 の 1 つのチャンネルにおける入力電圧に対する出力値の測定結果を示す。246 Gy までは照射前との有意な違いが観測されず、ADS7953 が TGC システムの要求を満たすことがわかった。279 Gy の照射後、PC と評価ボードの通信でエラーが発生し、データが取得不能となった。EEPROM の損傷が原因であると考えられる。ボード電源の電流値の測定において、379 Gy まで有意な変化は観測されず、679 Gy の照射後に 40 mA ほど増加し、979 Gy の照射後にはさらに 40 mA ほど増加した。このことは、トランジスタのリーク電流が増えたことを示唆する。

図 6.28 と図 6.29 に、LDO レギュレータと DC/DC コンバータの出力電圧の測定結果を示す。LDO レギュレータでは、379 Gy までは照射前との有意な違いが観測されなかった。つまり、TGC システムの要求を満たすことがわかった。679 Gy 照射後、出力電圧を 1.8 V に設定した時の測定において、出力電圧が大幅に増加した。DC/DC コンバータでは、80 Gy までは照射前との有意な違いが観測されなかった。120 Gy

照射後で出力電圧が 0 V となった。DC/DC コンバータは、電圧を調整する上でトランジスタのスイッチングが必要であり、トランジスタの電流・電圧特性変化の影響をより大きく受けると考えられる。

図 6.30 と図 6.31 に、REF5040 と REF5025 の照射試験の結果を示す。REF5040 に関して、279 Gy までは照射前との有意な違いが観測されなかった。579 Gy 照射後に出力電圧が 200 mV 増加した。REF5025 に関して、279 Gy までは照射前との有意な違いは観測されなかった。379 Gy 照射以降、入力電圧の低下と出力電圧の増加が観測された。結果として、REF5040 と REF5025 ともに要求値を満たすことがわかった。

表 6.13 DAC, ADC, LDO レギュレータ, DC/DC コンバータ評価ボードの照射経過。

設置位置 [cm]	照射時間	照射率 [Gy/min]	積算照射量 [Gy]
35	14 分 35 秒	0.7	10
35	14 分 35 秒	0.7	20
35	29 分 37 秒	0.7	40
35	59 分 40 秒	0.7	80
35	59 分 40 秒	0.7	120
35	89 分 45 秒	0.7	180
35	48 分 39 秒	0.7	213
35	48 分 40 秒	0.7	246
35	48 分 40 秒	0.7	279
10	11 分 51 秒	8.2	379
10	36 分 24 秒	8.2	679
10	36 分 24 秒	8.2	979

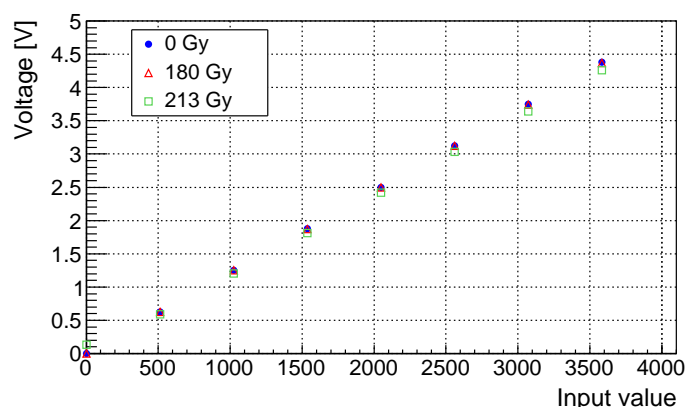


図 6.26 DAC7678 の 1 つのチャンネルにおける入力値に対する出力電圧の測定結果。積算照射量 0 Gy , 180 Gy, 213 Gy の結果を示す。

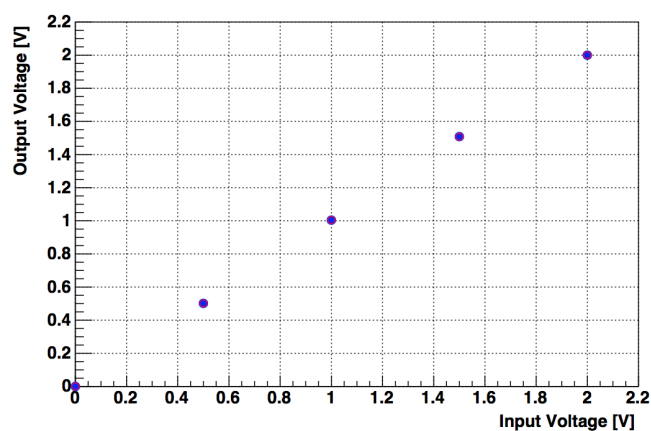


図 6.27 ADS7953 の 1 つのチャンネルにおける入力電圧に対する出力値の測定結果。青は積算照射量 0 Gy、赤は 246 Gy の結果を示す。

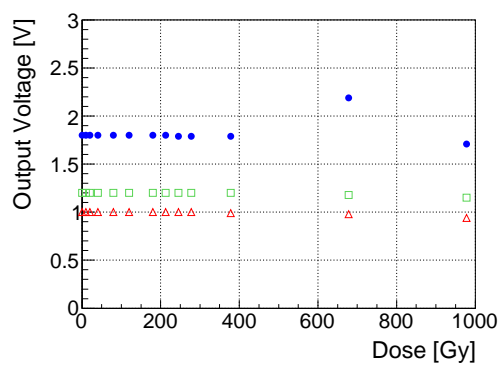


図 6.28 LDO レギュレータの出力電圧の測定結果。青は出力電圧を 1.8 V に設定した時の結果、緑は 1.2 V に設定した時の結果、赤は 1.0 V に設定した時の結果を示す。

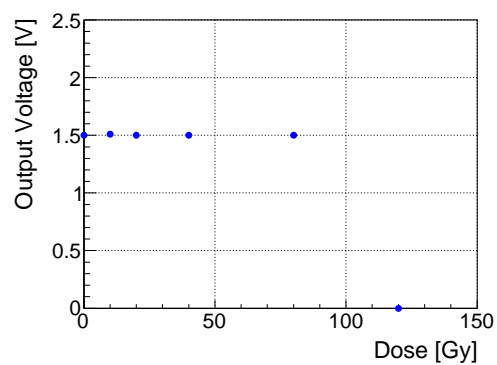


図 6.29 DC/DC コンバータの出力電圧の測定結果。出力設定値はボード上で 1.5 V に固定されている。

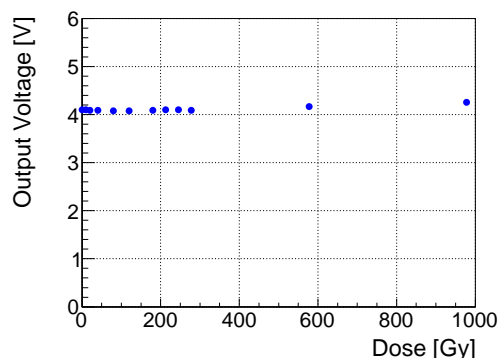


図 6.30 REF5040 の照射量に対する出力電圧の測定結果。

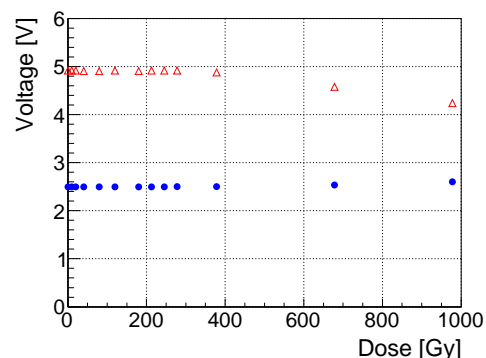


図 6.31 REF5025 の照射量に対するチップ入力電圧 (赤) と出力電圧 (青) の測定結果。378 Gy 以降では、電流が増加しチップ入力以前の電圧降下が生じた。

## 6.4 まとめと今後の展望

本研究では、TID 耐性は十分だが SEU 対策が求められる FPGA の SEU 対策手法を確立した。また、より積分的影響に対する耐性が重要な PP ASIC, 民生素子 (DAC, ADC, REF, 電源素子) の TID 耐性をガンマ線照射により検証した。

FPGA の SEU 対策として、ソフトウェアの自動検出および修正を行う SEM Controller の運用可能性を示した (第 6.2 節)。本研究は、1 ビット及び隣接する 2 ビットのエラーへの対処方法が確立した。ATLAS 実験の検出器エリアに PS ボード試作機を設置し、 $12.6 \text{ fb}^{-1}$  で 16 回 SEU を検出し、すべてが 1 ビットエラーであることがわかった。本研究で確立した自動修正は、それら全てに対応できるものであるが、実機でより安定的な運転を実現するためには、自動訂正不能なエラーが発生しファームウェアの再書き込みが必要な場合の対処方法を確立することが望まれる。

PP ASIC, DAC, ADC, 電源素子, REF のガンマ線照射試験を行い、TID 耐性を検証した (第 6.3 節)。表 6.14 に、試験結果をまとめた。電源素子の一種である DC/DC コンバータ以外に対して要求を満たす結果が得られた。実機の電源素子として本試験で要求を満たす結果が得られた LDO レギュレータを用いることで、要求を満たすシステムを構築できる。PP ASIC 以外は、1 チップしか試験していないので、より堅実なシステムを構築するために、今後、チップ数を増やして試験することが望まれる。

表 6.14 ガンマ線照射試験結果のまとめ。

素子名	動作可能線量	要求
PP ASIC	20 kGy	27 Gy
DAC	180 Gy	180 Gy
ADC	246 Gy	180 Gy
LDO	379 Gy	180 Gy
DC/DC コンバータ	80 Gy	180 Gy
REF5040	279 Gy	180 Gy
REF5025	279 Gy	180 Gy

## 第7章 ASD ボードの放射線耐性の評価

ATLAS 実験開始当初から運用されている ASD ボードを継続的に運用できることを検証するために、放射線耐性の評価を行った。本章では、要求される耐性、評価方法、結果を示す。

### 7.1 要求される放射線耐性

ASD チップの中で放射線レベルが最も高い場所に設置されるチップに要求される総吸収線量 (Total Ionising Dose, TID) を、表 7.1 に示す。高輝度 LHC における最大積分ルミノシティ  $4000 \text{ fb}^{-1}$  での要求値は、140 Gy である。LHC 開始以前に行われたガンマ線照射試験にて、 $6.7 \text{ kGy/h}$  の高照射レートで 3 kGy まで調べられている。図 7.1 に、吸収線量に対するプリアンプのゲインと 165 pF の入力容量における等価雑音電荷 (Equivalent Noise Charge, ENC) を示す。1 kGy までの照射で重大な変化は観測されていない。

ASD チップは、バイポーラトランジスタで構成されている。バイポーラトランジスタにおいて、高レートの照射に比べて、低レートの照射では、放射線劣化が始まる総吸収線量が低くなる、つまり劣化が早まることが実験的にわかっている<sup>[29]</sup>。この現象は、Enhanced Low Dose Rate Sensitivity (ELDRS) と呼ばれる。TID の要求値を設定する際に、低レート照射の影響を加味する安全係数をかけるものの、低レート照射の影響を直接的に調べることは確度の高いシステムを構築する上で非常に有益である。

表 7.1 ASD ボードの設置箇所の中で最も放射線レベルが高い、TGC M1 のビーム軸から 1.7 m に位置する ASD チップの TID のシミュレーション値と安全係数 ( $SF_{\text{sim}}$ ,  $SF_{\text{ldr}}$ ,  $SF_{\text{lot}}$ )、 $4000 \text{ fb}^{-1}$  での TID 要求値を表す。

4000 $\text{fb}^{-1}$ での TID 見積もり	31 Gy
安全係数 $SF_{\text{sim}}$	1.5
安全係数 $SF_{\text{ldr}}$	1.5
安全係数 $SF_{\text{lot}}$	2
4000 $\text{fb}^{-1}$ での TID 要求値	140 Gy



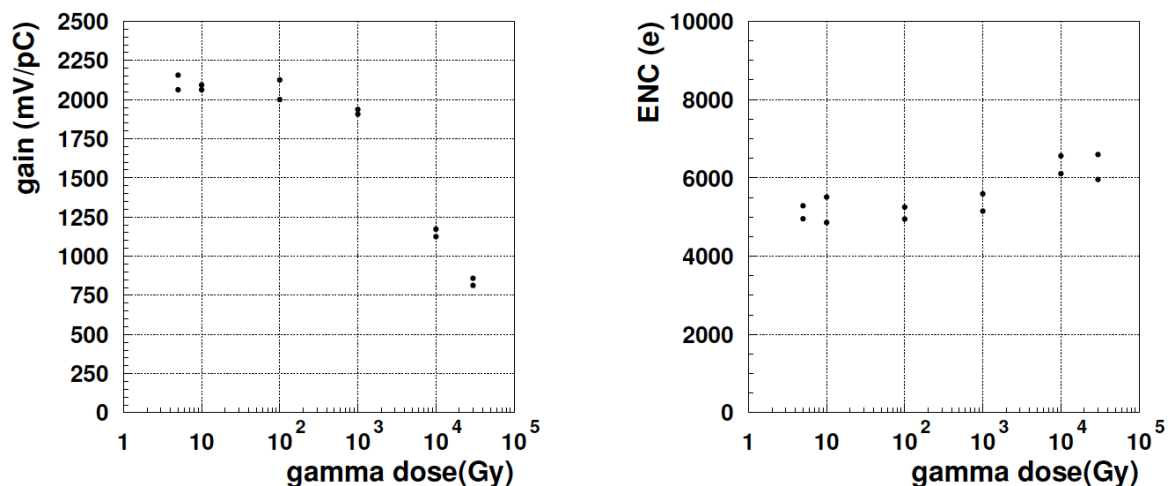


図 7.1 30 kGy までの照射での吸収線量に対するプリアンプのゲインと 165 pF の入力容量における ENC の測定結果<sup>[16]</sup>。

## 7.2 放射線耐性の評価

低レートでの照射の影響を調べるために、2016 年末まで実験で使用した ASD ボードと未使用の ASD ボードのプリアンプのゲインと ENC 値を比較し評価を行った。実験で使用された ASD ボードは、M3 の  $|\eta| \sim 2$  の位置に設置されていたものである。2016 年末までの積分ルミノシティは、約  $70 \text{ fb}^{-1}$  であり、シミュレーションによる見積もりから、線量は、約 0.5 Gy である。照射レートは、年平均で 0.1 Gy ほどとなる。

### 7.2.1 プリアンプのゲインの比較

まず、プリアンプのゲイン測定の方針を述べる。図 7.2 は、ASD ボードのブロック図を示す。ASD ボードへテストパルスを入力する。テストパルスは、Video amp (TL592B) と 1 pF のコンデンサー C (図中の緑丸) を通過し、ASD チップに入力する。ASD チップ内部でテストパルスを受けたプリアンプが出力するアナログ信号は、メインアンプと出力バッファーに入力する。出力バッファーを通ったアナログ信号は、同軸コネクタに出力される。そこで、Video amp 出力の波高  $V_{in}$  と同軸コネクタの出力の波高  $V_{out}$  を測定し、以下の式からプリアンプのゲイン  $g$  (V/pC) に比例する値  $R$  を求める。

$$g \propto R = \frac{V_{out}}{V_{in} \cdot 1 \text{ (pF)}} \quad (7.1)$$

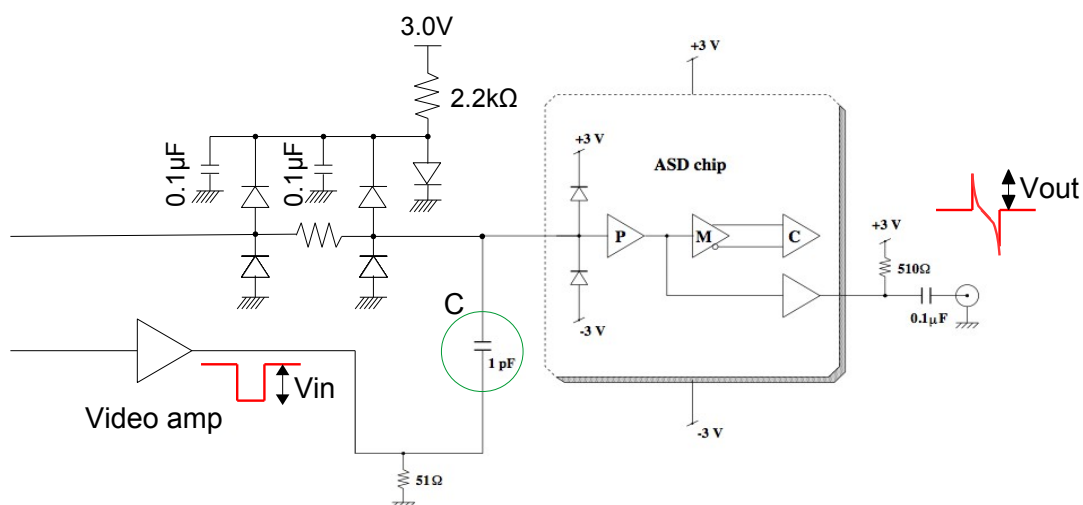


図 7.2 ASD ボードのブロック図。黒矢印は、テストパルスの流れを示す。

続いて、測定方法を説明する。図 7.3 に、測定のセットアップを示す。パルス生成器 (Agilent Technologies, 81150A) で、周波数 100 kHz、幅  $10\ \mu\text{s}$  のパルス生成する。生成したパルスを NIM モジュールの Fan-out に入力し、1つの出力をオシロスコープへ、もう一つを ASD バッファードボードへ入力する。図 7.4 に示す ASD バッファードボードは、ASD チップのモニター用として開発されたものである。ASD バッファードボードと ASD ボードをツイストペアケーブルで接続し、ASD ボードへパルスを入力する。オシロスコープを用い、図 7.5 のようにして、 $V_{in}$  と  $V_{out}$  を測定する。図 7.6 に、オシロスコープで得られた波形を示す。

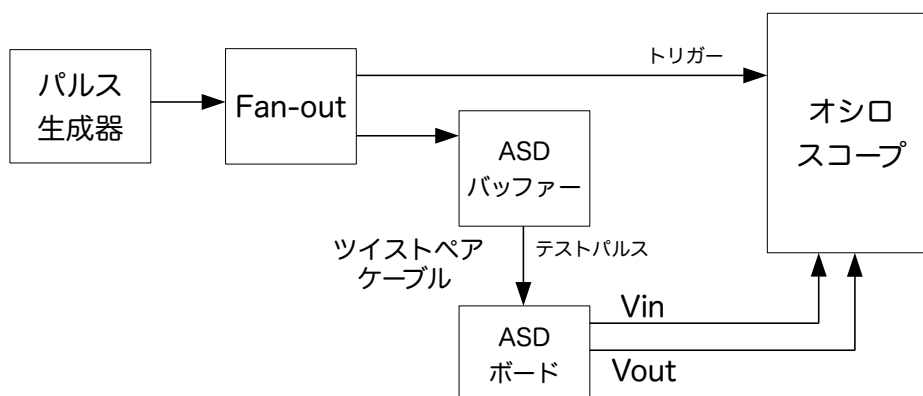


図 7.3 ASD プリアンプゲイン測定のセットアップ。

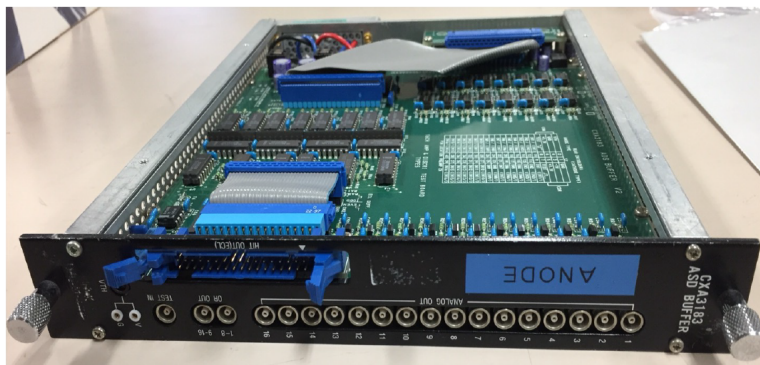


図 7.4 NIM CXA3183 ASD バッファードの写真。ASD ボードからの LVDS 信号の ECL 信号への変換、ASD ボードへの電源、テストパルス、閾値電圧の供給が可能である。

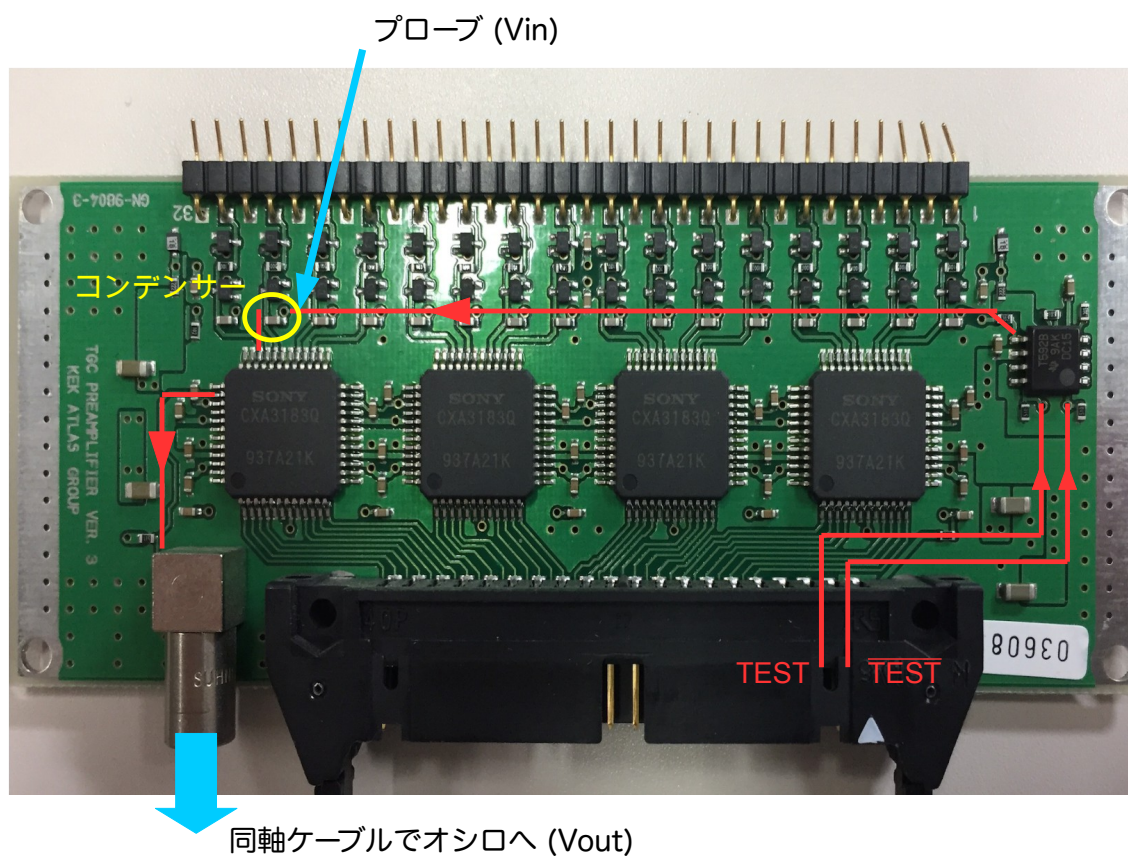


図 7.5 ASD ボード上のテストパルスの流れ (赤矢印)、 $V_{IN}$  と  $V_{OUT}$  の測定位置 (青矢印)。

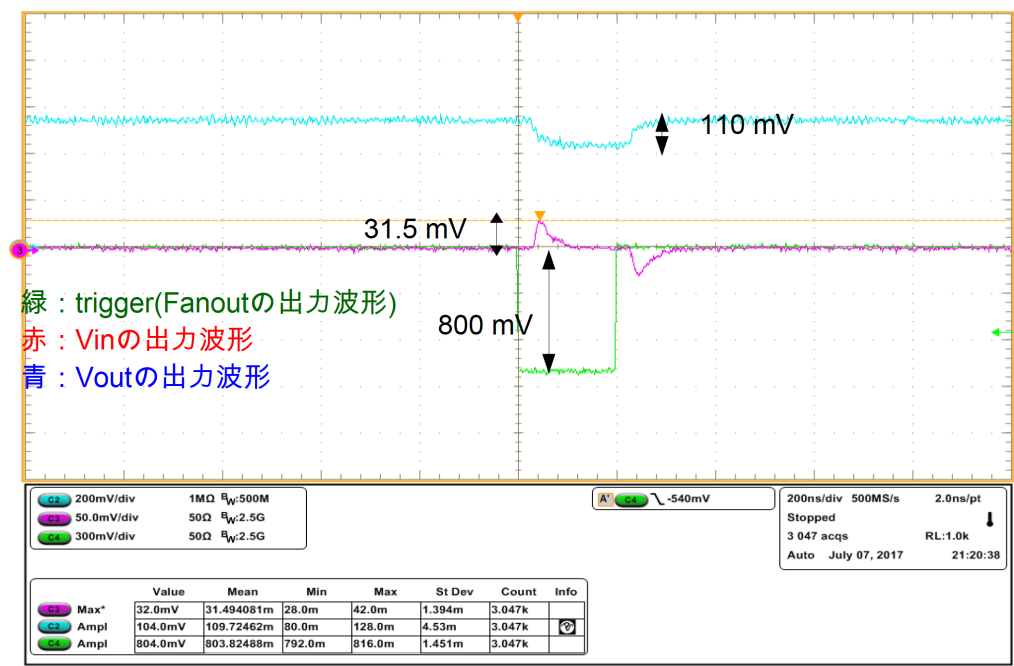


図 7.6 コンデンサー入力部 ( $V_{in}$ ) の波形、同軸コネクタの出力部 ( $V_{out}$ )、および Fan-out 出力 (トリガー用) の波形。

今回、2016 年末まで実験で使用した ASD ボード 2 枚、未使用の ASD ボード 4 枚に測定を行った。表 7.2 に、結果を示す。図 7.7 に、6 枚の ASD ボードの測定値  $R$  を示す。それぞれの ASD ボードの測定値に有意な違いは見られなかった。得られた  $R$  値が、 $0.8 \text{ V/pC}$  のゲインと無矛盾か評価を行った。

表 7.2 実験で使用した 2 枚の ASD ボードと未使用の 4 枚の ASD ボードの ID と  $V_{in}$  (mV) と  $V_{out}$  (mV) の測定値と  $R$  (V/pC)。

ASD No.	ASD ID	$V_{in}$ (mV)	標準偏差 (mV)	$V_{out}$ (mV)	標準偏差 (mV)	$R$ (V/pC)	標準偏差 (V/pC)	備考
1	3572	111.3	5.3	32.7	1.4	0.29	0.02	実験で使用
2	3608	107.8	5.4	32.3	1.4	0.30	0.02	実験で使用
3	6824	114.1	5.7	34.1	1.4	0.30	0.02	実験で未使用
4	6894	104.2	5.4	32.5	1.6	0.31	0.02	実験で未使用
5	3028	109.7	4.5	31.5	1.4	0.29	0.02	実験で未使用
6	2860	104.8	5.0	30.2	1.4	0.29	0.02	実験で未使用

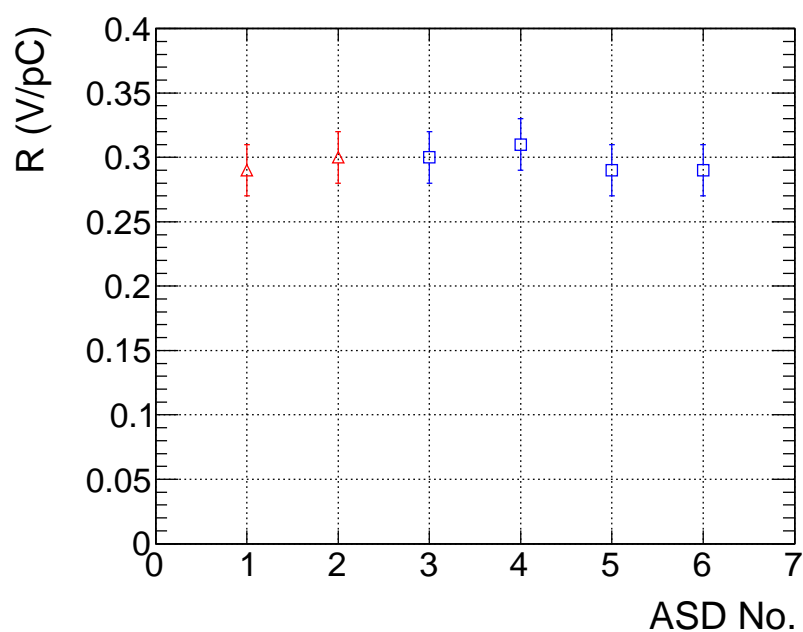


図 7.7 6 枚の ASD ボードの測定値 R。赤は、実験で使用した ASD ボードの結果、青は、実験で未使用の ASD ボードの結果を示す。

今回の測定方法では、以下の 2 つが観測する出力波形に影響を与える。

- プリアンプの後段に存在するバッファの出力インピーダンスの影響。
- 1 pF のコンデンサーへの入力波形の立ち下がり時間の影響。

まず、前者において、出力インピーダンスとオシロスコープの入力インピーダンスの関係について調べた。

図 7.8 から、バッファの出力電圧  $V$  とオシロスコープで観測される電圧  $v$  の比は、

$$\frac{v}{V} = \frac{R}{R+r} = \frac{1}{2}$$

となる。つまり、プリアンプの出力波形の波高は、オシロスコープで観測する波形の 2 倍程度である。

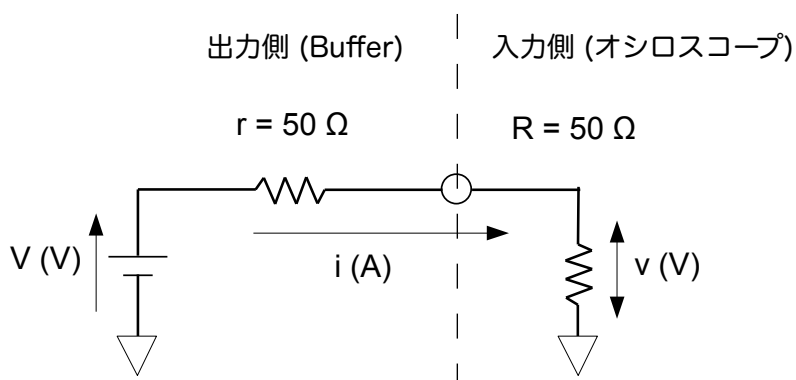


図 7.8 プリアンプの出力部とオシロスコープの入力部の概念的ブロック図。バッファの出力インピーダンスは、 $50\ \Omega$  で、オシロスコープのインピーダンスも、 $50\ \Omega$  である。

続いて、後者において、コンデンサーへの入力信号の立ち下がり時間に対するプリアンプの出力波形の依存性を調べた。プリアンプの入力信号の立ち下がりが、図 7.9 のよう直線であると仮定した。この際、プリアンプの電流値  $I(t)$  (pC/s) は、

$$I(t) = \begin{cases} 1.1 \times 10^{-7} & (10 < t < 20) \\ 0 & (t \leq 10, 20 \leq t) \end{cases}$$

となる。ここから、時刻  $t$  (ns) におけるプリアンプの出力電圧  $V(t)$  (V) は、gain (V/pC) と時定数  $\tau$  を用い、畳み込み積分から、

$$V(t) = \int_{-\infty}^{\infty} \text{gain} \cdot I(t') \cdot f(t' - t) dt'$$

$$f(t' - t) = \begin{cases} \exp\left(-\frac{t' - t}{\tau}\right) & (t' \geq t) \\ 0 & (t' < t) \end{cases}$$

となる。 $dt'$  を  $0.001\ \text{ns}$  でビン切りし、 $0\ \text{ns}$  から  $100\ \text{ns}$  の  $t$  の範囲での  $V(t)$  を求めた。図 7.10 に入力パルスの立ち下がり時間が  $0.2\ \text{ns}$  と  $10\ \text{ns}$  の時のプリアンプの出力波形を示す。この結果から、立ち下がりが  $10\ \text{ns}$  の時のプリアンプの出力の波高は、立ち下がりが鋭い時に比べて、 $66/88 = 0.75$  倍程度になることがわかる。

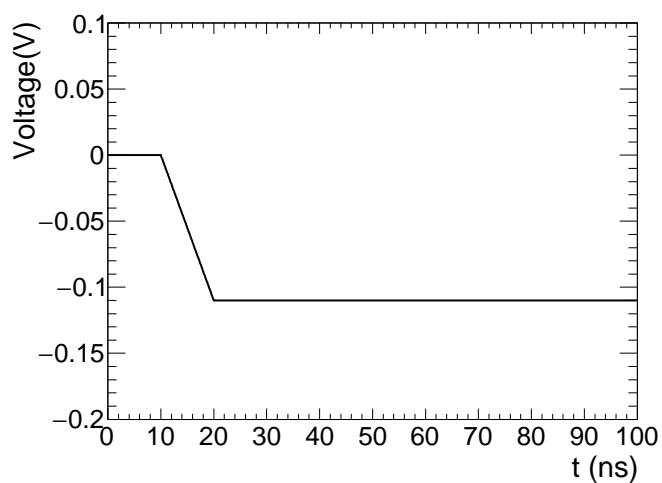


図 7.9 10 ns で波高が 110 mV まで線形で立ち下がる波形。

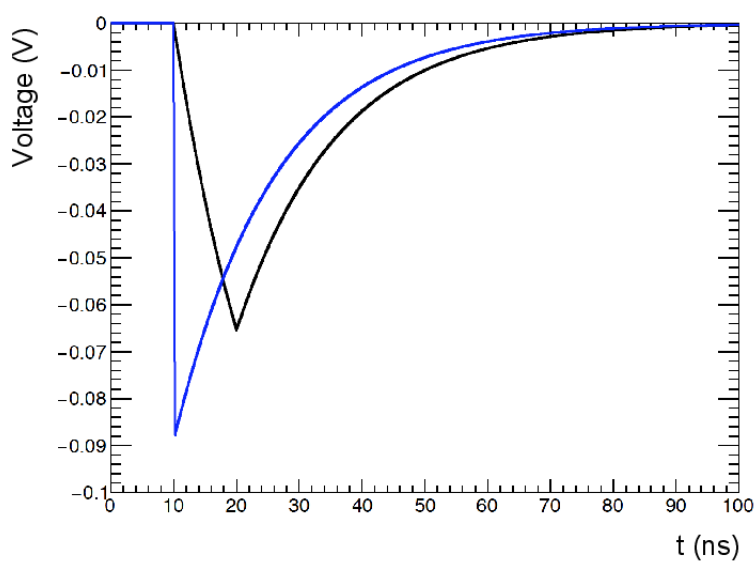


図 7.10 プリアンプの出力波形。黒は、立ち下がり時間が 10 ns の時の波形で、青は、立ち下がり時間が 0.2 ns の時の波形を示す。

以上の議論から、 $R \sim 0.3$  に対し、出力インピーダンスの補正値 2 と立ち下がり時間による補正値 1.3 (0.75 の逆数) をかけることで、デザイン値の  $0.8 \text{ V/pC}$  を得ることができた。今回の測定で求めた  $R$  は、プリアンプのゲイン  $0.8 \text{ V/pC}$  と無矛盾である。

### 7.2.2 プリアンプの ENC 値の比較

まず、ENC の測定方針を述べる。ENC(e) は、入力部のノイズを素電荷の数で表したものである。図 7.11 は、プリアンプ周りの回路の概略図を示す。アナログ出力波形の標準偏差  $\sigma_{\text{out}}$  (V) を測定し、以下の式から ENC(e) を求める。ある検出器容量  $C_D$  (pF) における実験で使用した ASD ボードと未使用の ASD ボードの  $\sigma_{\text{out}}$  (V) を測定し、それぞれの ENC(e) を求めて比較する。

$$\text{ENC(e)} = \frac{\sigma_{\text{out}} \text{ (V)}}{0.8 \text{ (V/pC)}} \cdot \frac{1}{1.6 \times 10^{-7} \text{ (pC/e)}}$$

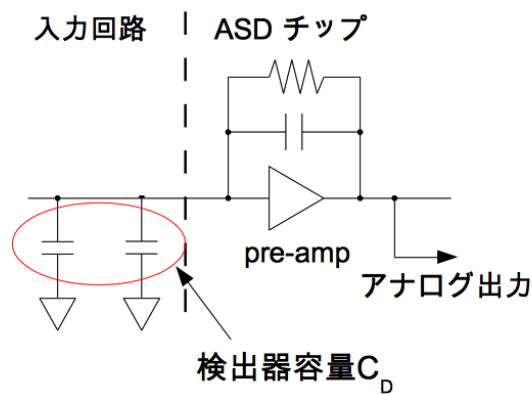


図 7.11 プリアンプ周りの回路の概略図。検出器容量  $C_D$  に対するプリアンプのアナログ出力のノイズを測定する。

図 7.12 に測定のセットアップを示す。信号入力部を浮かせた状態で、入力容量  $\sim 1$  pF で  $\sigma_{\text{out}}$  (V) を測定した。本測定では、実験で使用した 2 枚の ASD ボードと未使用の 9 枚の ASD ボードを測定し、プリアンプゲインの逆数を乗じることで、入力部のノイズを評価する。



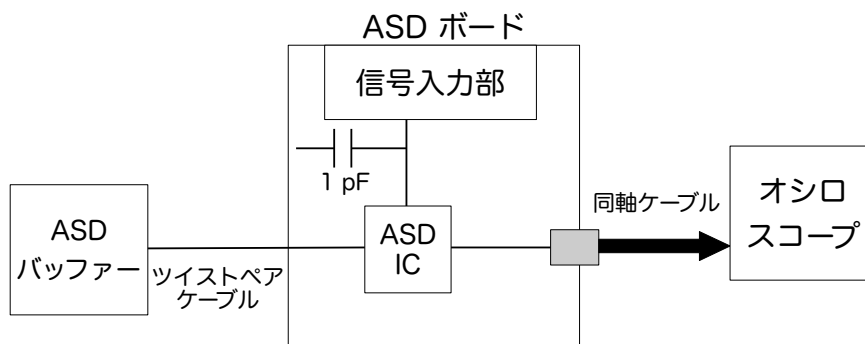


図 7.12 アナログ出力波形の標準偏差の測定セットアップ。ASD バッファードと ASD ボードをツイストペアケーブルで接続し、ASD ボードへ電源を供給した。プリアンプのアナログ出力は、同軸ケーブルでオシロスコープに接続させた。

$\sigma_{\text{out}}$  の導出方法について説明する。図 7.13 にアナログ出力の波形を示す。電圧値の標準偏差を  $\sigma_{\text{out}}$  とした。測定のふらつきを抑えるために、各 ASD ボードに対し波形の記録を 20 回行い、20 回における  $\sigma_{\text{out}}$  の平均値と標準偏差を図 7.14 のようなヒストグラムから求めた。

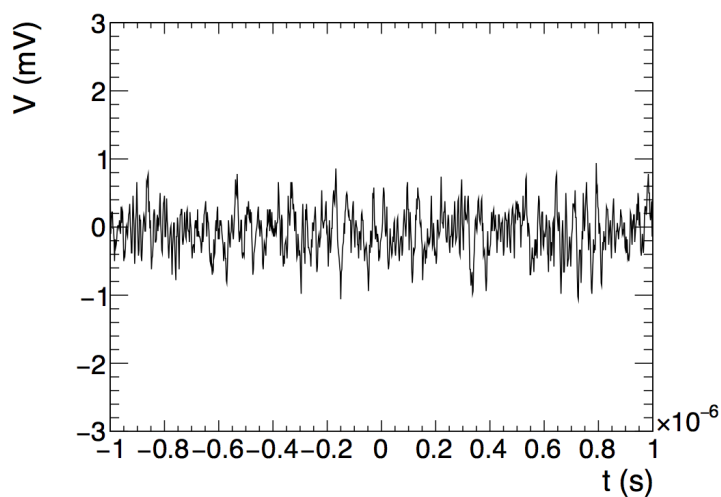


図 7.13 アナログ出力の波形。電圧値の標準偏差を  $\sigma_{\text{out}}$  とした。

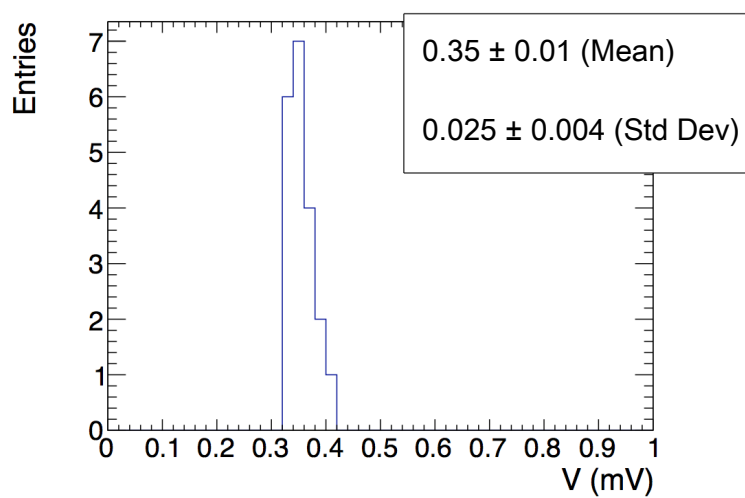


図 7.14 20 回測定した時の  $\sigma_{out}$  のヒストグラム。ヒストグラムから  $\sigma_{out}$  の平均値と標準偏差を導出した。

図 7.15 に、実験に使用した 2 枚の ASD ボードと未使用の 9 枚の ASD ボードの ENC(e) の測定結果を示す。実験に使用した ASD ボードと未使用の ASD ボードに有意な違いは見られなかった。

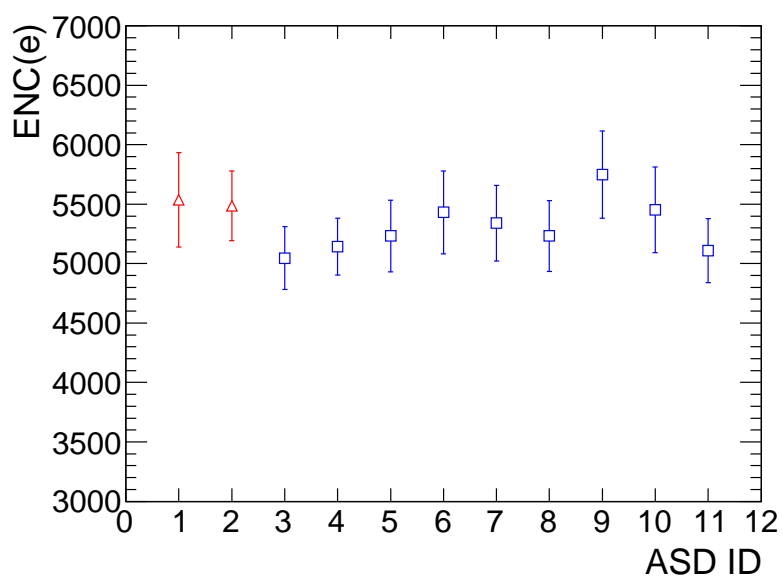


図 7.15 ENC(e) の測定結果。赤は、実験に使用した ASD ボードの結果、青は、未使用の ASD ボードの結果を示す。

### 7.3 まとめ

2016 年末まで実験で 0.5 Gy ほど照射された ASD ボードのプリアンプのゲイン・ノイズの評価を行った。ゲイン・ノイズともに、未使用の ASD ボードに対し有意な違いはみられなかった。加速試験での 0.5 Gy の結果と一致しており、ASD ボードが低い照射レートで重大なダメージを受けないことがわかった。結果として、高輝度 LHC での運用可能性を示せた。

## 第8章 まとめ

本研究では、高輝度 LHC-ATLAS 実験におけるより効率的な事象選別を実現に向けて、TGC の約 30 万チャンネルの信号を検出器エリアから約 100 m の光ファイバーを経由して後段回路に高速転送するシステムを構築するために、信号のタイミングを調整し後段回路に高速転送する前段回路の機能の確立や前段回路に搭載予定の素子の放射線環境下での運用手法の確立および総吸収線量耐性の検証を行った。以下にそのまとめを示す。

まず、PS ボードにおいて信号タイミング調整を担う PP ASIC を試作し、高輝度 LHC に対する全ての要求を満たすことを実証した。PP ASIC は、ASD ボードから信号を受信し、 $\mu$  粒子飛行時間やケーブル長のばらつきに起因するチャンネル間の遅延時間を調節する。また、入力信号がどの陽子陽子衝突に由来するものか識別する。本研究では、 $0.18\ \mu\text{m}$  プロセスで試作 ASIC を製作した。 $1\ \text{ns}$  以下の刻み幅で遅延調節が可能であること、 $49\ \text{ns}$  まで可変なゲート幅を持つこと、 $0$  度から  $80$  度の温度範囲と  $10\%$  の電圧範囲を許容することを、実証した。

また、PS ボードの高速転送機能を担う基準クロックを光通信で分配する手法を確立した。この手法の導入によって、PS ボードへのより安定したクロック分配を実現し、高速通信の安定性を確保できる。PS ボードに搭載する FPGA の受信機で生成されたリカバリークロックを  $40\ \text{MHz}$  に変換させるファームウェアを開発し、PS ボードが光通信によって後段回路からクロック情報を受信できることを確認した。この手法によって分配された基準クロックを用いた通信のビットエラーレートの上限值は  $4.81 \times 10^{-16}$  であった。

PS ボード試作機を ATLAS 検出器エリアに実装することで、SEU 頻度を測定し、自動エラー修復機能を検証した。瞬間ルミノシティ  $7.5 \times 10^{34}\ \text{cm}^{-2}\text{s}^{-1}$  で、SEU を引き起こすハドロン ( $> 20\ \text{MeV}$ ) のフラックスの見積もりは、 $9.8 \times 10^2\ \text{cm}^{-2}\text{s}^{-1}$  である。入射したハドロンは FPGA 上の回路情報が記述されたメモリでビットエラーを引き起こすことで、ファームウェアを破損させる恐れがある。そこで、ファームウェアに SEM Controller というビットエラーを自動検知・修正する機能を実装した。ATLAS 検出器エリアに PS ボード試作機を設置し、 $12.6\ \text{fb}^{-1}$  分の加速器運転において、16 回の SEU を観測し、全ての SEU に対して自動修正に成功した。結果、SEM Controller が FPGA のソフトウェアに対して有効な対策手段であることを示した。

さらに、PS ボードで使用する主要素子の総吸収線量耐性を測定し、高輝度 LHC の要求を満たすことを実証した。高輝度 LHC の 10 年間の運転で、総吸収線量  $6\ \text{Gy}$  が想定される。放射線シミュレーションの不確かさ等の安全係数を考慮し、要求値として ASIC に対して  $27\ \text{Gy}$ 、民生品の回路素子に対して  $180\ \text{Gy}$  を設定している。PP ASIC、電源素子、DAC、ADC、REF に対して、名古屋大学コバルト  $60$  照射室で、ガンマ線照射試験を行った。その結果、PP ASIC は、 $20\ \text{kGy}$  までの照射で性能に有意な変化が見られず、高輝度 LHC に対して十分な放射線耐性を持つことがわかった。また、その他の素子に対して、高輝度 LHC の要求値を満たすことを確認した。

現行システムの ASD ボードに対して、低レートでの照射における放射線耐性の評価を行うことで、高輝度 LHC での使用可能性を示した。2016 年まで実験で使用され、年平均 0.1 Gy ほどの低照射レートでおよそ 0.5 Gy まで照射された ASD ボードのプリアンプのゲインとノイズの測定を行い、未使用の ASD ボードと有意な差が見られないことを確認した。

本研究によって、高輝度 LHC 環境下で TGC 前段回路が 10 年間安定的に運転するために必要不可欠な要素である PP ASIC の開発, クロック分配手法の開発, FPGA のソフトウェア対策手法の開発, 前段回路の素子の総吸収線量耐性の検証が完了し、実機の構成を明らかにした。この研究成果は、高輝度 LHC-ATLAS 実験の高い事象レートに対応し効率的なデータ取得を可能にするトリガー・読み出しシステムの実現、そして、その先にあるヒッグス粒子に纏わる物理の解明につながる。

今後、非常に稀であるが SEU が偶然 2 ビット以上で同時に発生しファームウェアの再書き込みが必要な場合の対処、総吸収線量の素子の個体差を追求することで、さらに確度の高いシステムを構築できると考える。

## 参考文献

- [1] ATLAS Collaboration, G. Aad et al., Observation of a new particle in the search for the Standard Model Higgs boson with the ATLAS detector at the LHC, Phys. Lett. B716 (2012) 1–29.
- [2] CMS Collaboration, S. Chatrchyan et al., Observation of a new boson at a mass of 125 GeV with the CMS experiment at the LHC, Phys. Lett. B716 (2012) 30–61.
- [3] M. Carena, C. Grojean, M. Kado, and V. Sharma, Status of Higgs boson physics, in Review of Particle Physics, Chin. Phys., Chin. Phys. C40 (2016) 100001.
- [4] LHC Higgs Cross Section Working Group Collaboration, D. de Florian et al., Handbook of LHC Higgs Cross Sections: 4. Deciphering the Nature of the Higgs Sector, FERMILAB-FN-1025-T, Oct. 2016.
- [5] CMS Collaboration, Combined measurements of Higgs boson production and decay using up to 80 fb<sup>-1</sup> of proton–proton collision data at  $\sqrt{s} = 13$  TeV collected with the ATLAS experiment, ATLAS-CONF-2018-31, July 2018.
- [6] Projections for measurements of Higgs boson signal strengths and coupling parameters with the ATLAS detector at a HL-LHC, ATL-PHYS-PUB-2014-016, CERN, Geneva, Oct. 2014.
- [7] ATLAS Collaboration, ATLAS photos, <http://atlasexperiment.org/photos/>.
- [8] ATLAS Collaboration, ATLAS Muon Spectrometer Technical Design Report, CERN/LHCC 97-22, June 1997.
- [9] 竹本享史, ATLAS 実験ミューオントリガーシステム用 LSI の開発と統合評価テスト, 修士論文, 2004
- [10] ATLAS Collaboration, Performance of the ATLAS Trigger System in 2015.
- [11] ATLAS Collaboration, Trigger Menu in 2017, ATL-DAQ-PUB-2018-002, 24, Jun, 2018
- [12] ATLAS Collaboration, G. Aad et al., The ATLAS Experiment at the CERN Large Hadron Collider, JINST 3 (2008) S08003.
- [13] 木戸将吾, ATLAS 実験 Run2 におけるレベル 1 ミューオントリガーの性能評価及び最適化の研究, 修士論文, 2016.
- [14] ATLAS Collaboration, Technical Design Report for the Phase-II Upgrade of the ATLAS TDAQ System, CERN-LHCC-2017-020, Sep. 2017.

- [15] ATLAS Collaboration, Technical Design Report for the Phase-II Upgrade of the ATLAS Muon Spectrometer, CERN-LHCC-2017-017, 23, Sep, 2017.
- [16] Osamu Sasaki, Amplifier-Shaper-Discriminator ICs and ASD boards, 1999.
- [17] 宿谷琴子, 高輝度 LHC-ATLAS 実験に向けたエンドキャップミューオントリガーのための高速データ転送回路の開発, 修士論文, 2017.
- [18] Vlad M. Placinta, Lucian N. Cojocariua, Radiation Hardness Studies and Evaluation of SRAM-Based FPGAs for High Energy Physics Experiments, in proceedings of 2017 Topical Workshop on Electronics for Particle Physics, 11–14, Sep, 2017.
- [19] SILICON LABS, SI5334M-B02080-GM data sheet, 2017, <https://www.silabs.com/documents/public/data-sheets/Si5334.pdf>.
- [20] XILINX, 7 Series FPGAs GTX/GTH Transceivers User Guide, 2016.
- [21] P. R. Sala and S. Vanini, FLUGG: FLUKA + Geant4 Geometry for Simulation in HEP, <http://www.fluka.org/content/tools/flugg/index.html>.
- [22] F. Vasey and D. Hall et al., The Versatile Link common project: feasibility report, JINST 7 (2012) C01075.
- [23] 中沢 遊, COMET 実験で用いる回路素子の放射線耐性の評価, 22pK205-13 第 73 回日本物理学会 年次大会, 2018 年 3 月 22 日.
- [24] M J Wirthlin, Soft error rate estimations of the Kintex-7 FPGA within the ATLAS Liquid Argon (LAr) Calorimeter, JINST 9 C01025, 2014.
- [25] XILINX, 7 Series FPGAs Configuration, 2018.
- [26] XILINX, Soft Error Mitigation Controller v4.1, 2018.
- [27] 赤塚駿一, LHC-ATLAS 実験 Run-3 に向けたミューオントリガーの改良, 修士論文, 2017 .
- [28] TOTAL PHASE, Aardvark I2C/SPI Host Adapter, <https://www.totalphase.com/products/aardvark-i2cspi/>.
- [29] Dakai Chen, Evaluation of Enhanced Low Dose Rate Sensitivity in Discrete Bipolar Junction Transistors, GSFC.CP.6775.2012, Dec. 2012.