

高輝度LHC-ATLAS 実験に向けた TGC検出器のタイミング調整用ASICの 量産品検査システム構築

名古屋大学 理学研究科

山田敏大^{A,B}

戸本誠^{A,B,C}、堀井泰之^{A,B}、加納勇也^{A,B}、
佐々木修^{B,C}、田中真伸^{B,C}、宮原正也^{B,C}、池野正弘^{B,C}、
他ATLAS日本トリガーグループ

名大理^A、Open-It^B、KEK 素核研^C

日本物理学会2020年秋季大会



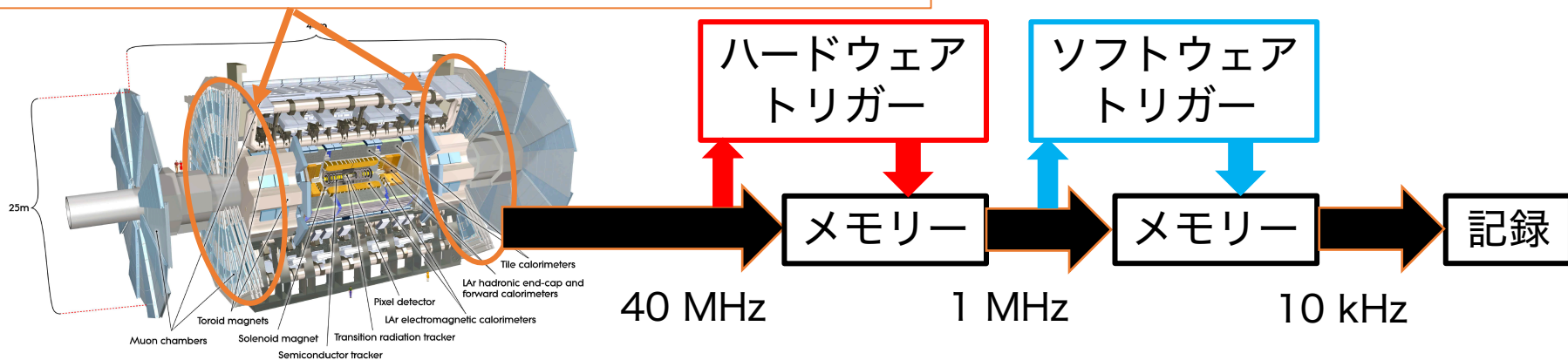
はじめに

高輝度LHC-ATLAS実験 2027年実験開始予定

- ・ 世界最高エネルギー(14 TeV)の陽子・陽子衝突で新物理の直接探索を行う
- ・ CERNの Large Hadron Collider(LHC)を高輝度化
- ・ 瞬間ルミノシティ： $5 - 7.5 \times 10^{34} \text{ cm}^{-2} \text{ s}^{-1}$
- ・ LHCの高輝度化に向けてATLAS実験のトリガー・読み出しを改良する

Thin Gap Chamber (TGC)

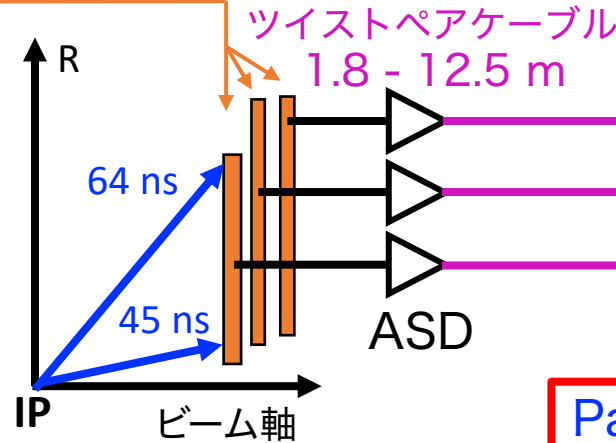
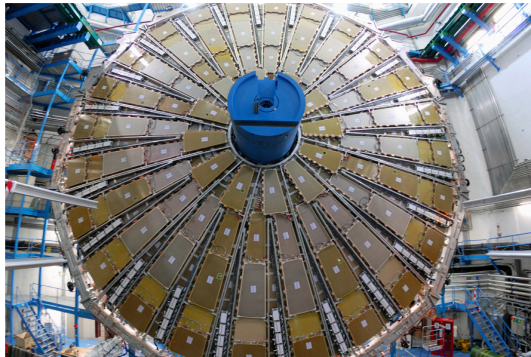
- ・ エンドキャップ部トリガー用ミュオン検出器
- ・ 回路を刷新する（本研究で着目）



TGC検出器回路の刷新

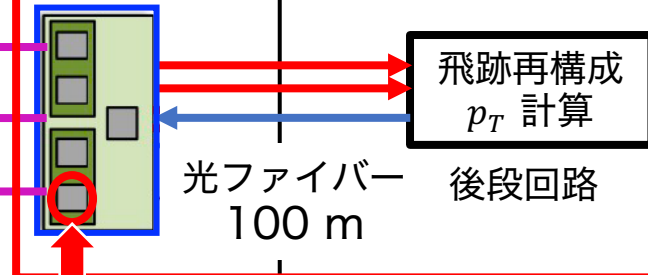
TGC

多線式比例計数管
7層からなる
読み出しは全32万 ch



高輝度LHCに向けての交換対象

on-detector | off-detector



Patch Panel ASIC (本研究)

- ・チャンネル間の時間差 (最大26 ns程度) を吸収
- ・信号を陽子交差にアサインする

ハードウェアトリガー発行条件の変更

現行

前段回路搭載のASICで1段目2/3,
2+3段目3/4のコインシデンスをとる



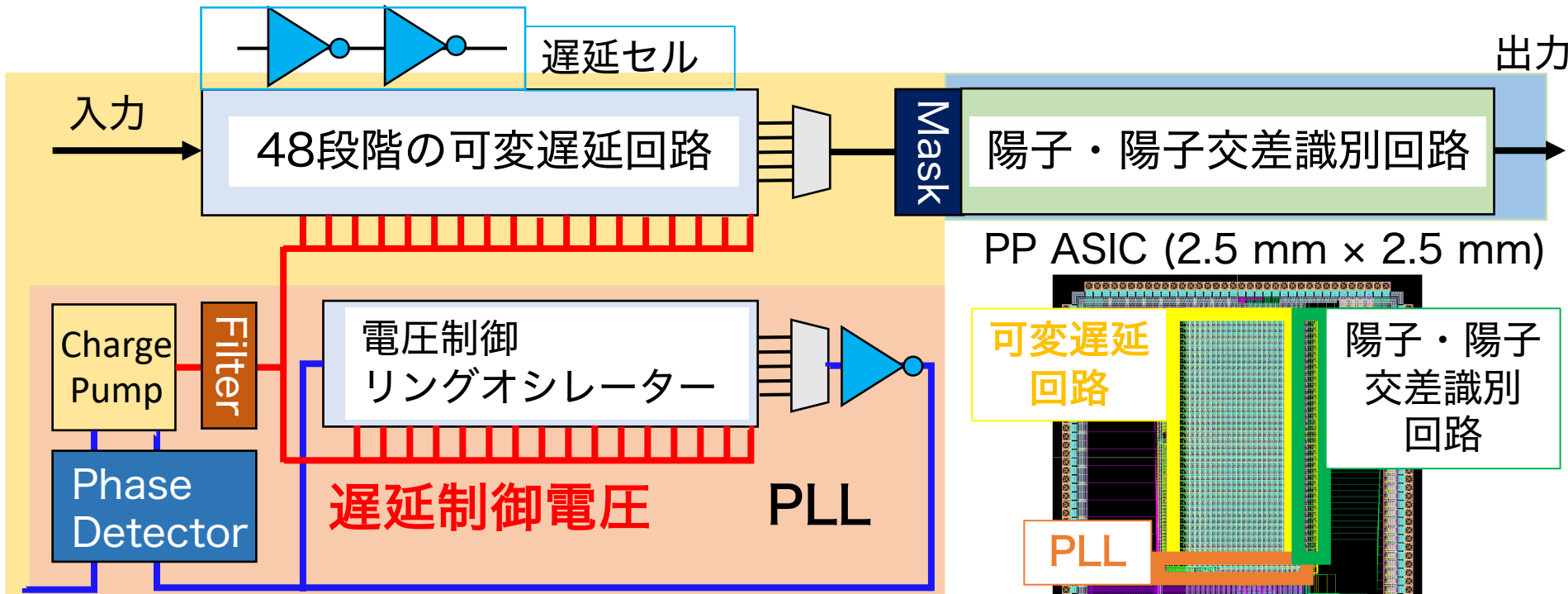
高輝度LHC

後段回路において
全7層で飛跡再構成

Patch Panel ASIC (PP ASIC)の概要

Phase Locked Loop(PLL)を用いた可変遅延回路を搭載し、
1 ns以下の安定した遅延調節を可能にする。

陽子・陽子交差識別回路では信号を陽子交差に割り当てる。

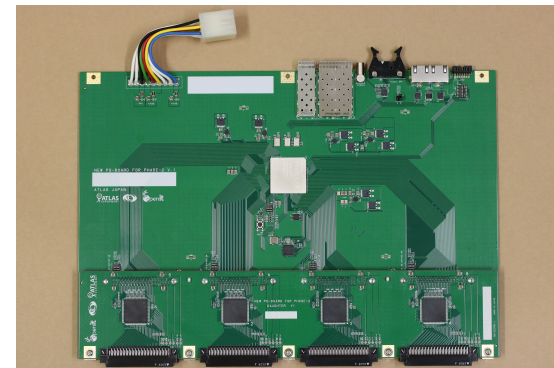


基準クロック
(20 MHz)

PLLは温度・電源電圧の変化に対し安定した遅延時間を実現する。

PP ASIC開発のタイムライン

- 2019/9：量産品全ウエハー(チップ25000個分)完成
1ウエハーに対するパッケージング（650チップほど）
1チップ全機能試験、200個品質試験
量産品が想定通りの性能を持つことを確かめた。
日本物理学会2020年3月山田 17pH32-10
- 2020/3：量産品全チップのパッケージング完了
- 2020/8-：量産品全チップの自動品質試験開始←本講演の内容
- 2020/9：量産品チップを搭載した前段回路試作機納品
- 2021年度：前段回路量産品ボード開発
- 2022年度-：前段回路量産（1500枚ほど）



自動品質試験の概要

25000個全てのPP ASICに対して、ウエハー特性やワイヤーボンディングなどによる不良品がないかを確認する。

現行実験で使用しているPP ASICの歩留まり率は7~8割であった。

2020年度に25000個のASICを試験する。

→ 2分以内で1個の試験を完了する。

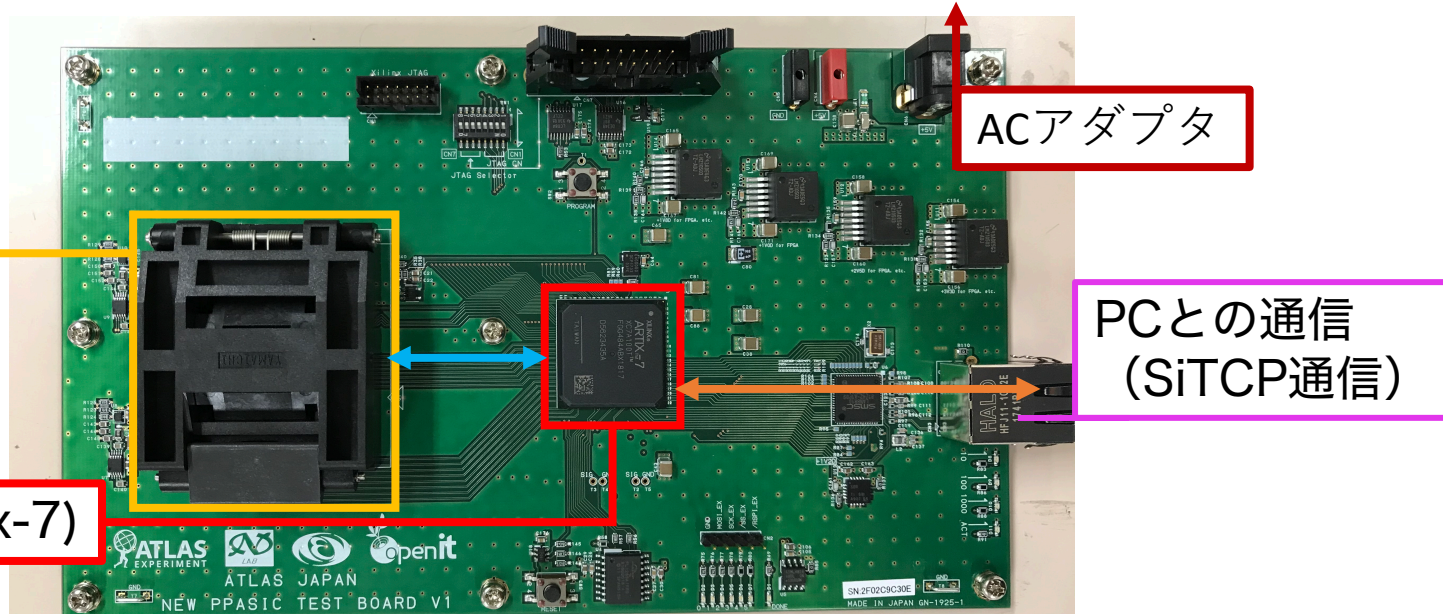
試験を外部に委託するため、簡単に操作できるようにする。

簡単に操作でき、詳細に、素早く試験できるシステムが必要。

自動品質試験のシステム

FPGAでPP ASICに対する信号送受信とPCに対するデータ送受信を行う。

- ・ PP ASICの入力信号 (LVDS) はFPGAが供給する。
- ・ PP ASICの出力信号 (1.8 V CMOS) はFPGAが検出する。
- ・ PP ASICのアナログ信号や消費電力はFPGA内部のADCを用いて測定する。

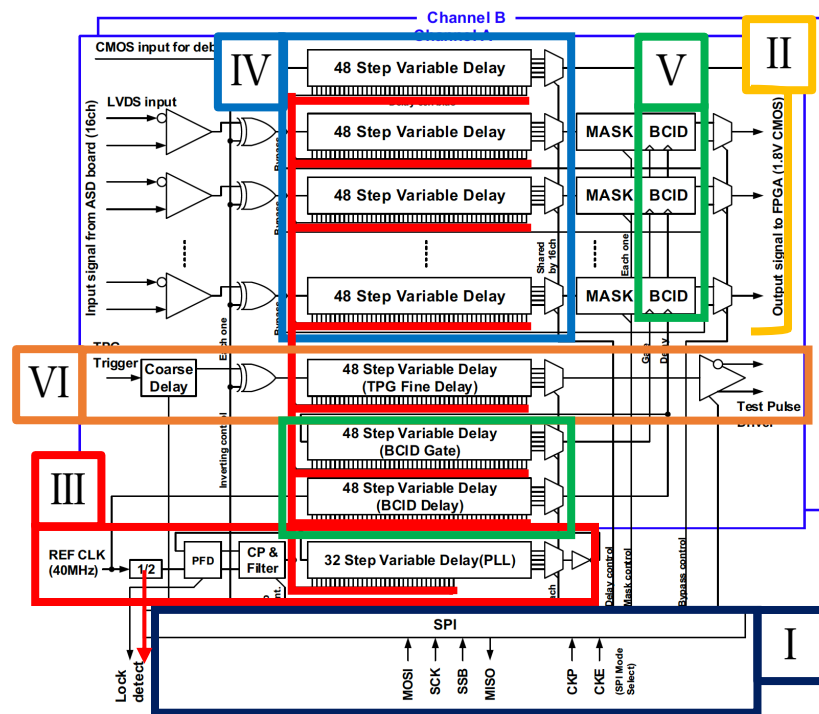


ACアダプタ (5 V) で家庭用コンセントと接続し、LANケーブルでPCと接続するだけで動作させられる。

自動品質試験の項目

FPGAを用いて、PP ASICの基本的な機能を網羅する試験を1枚あたり40秒～80秒で行う。

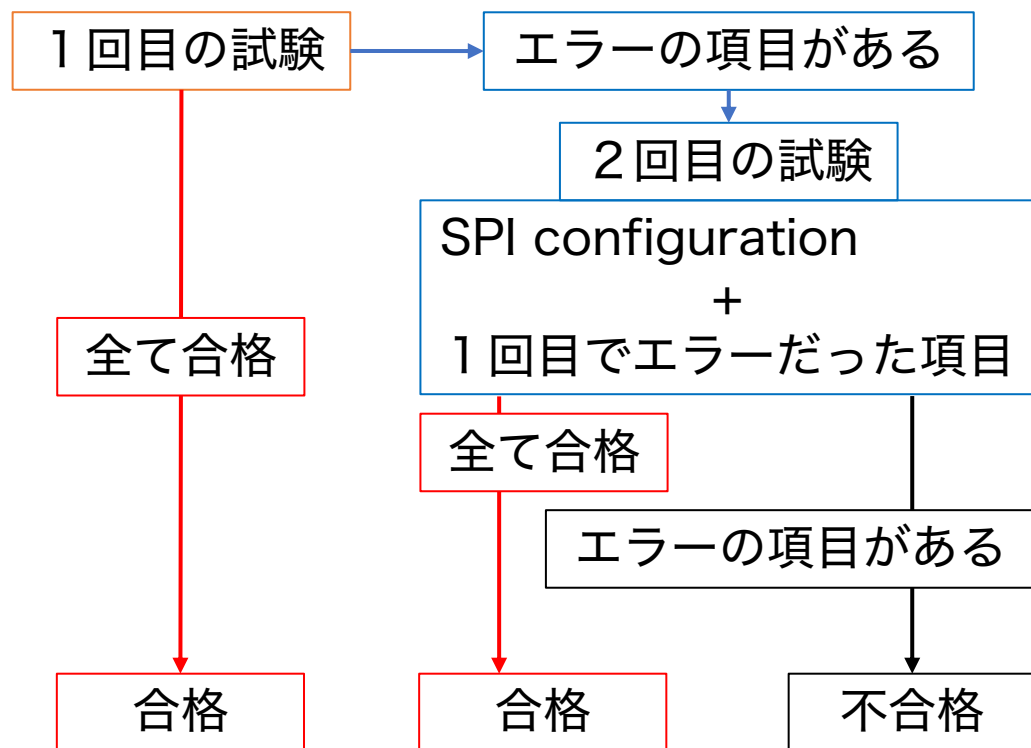
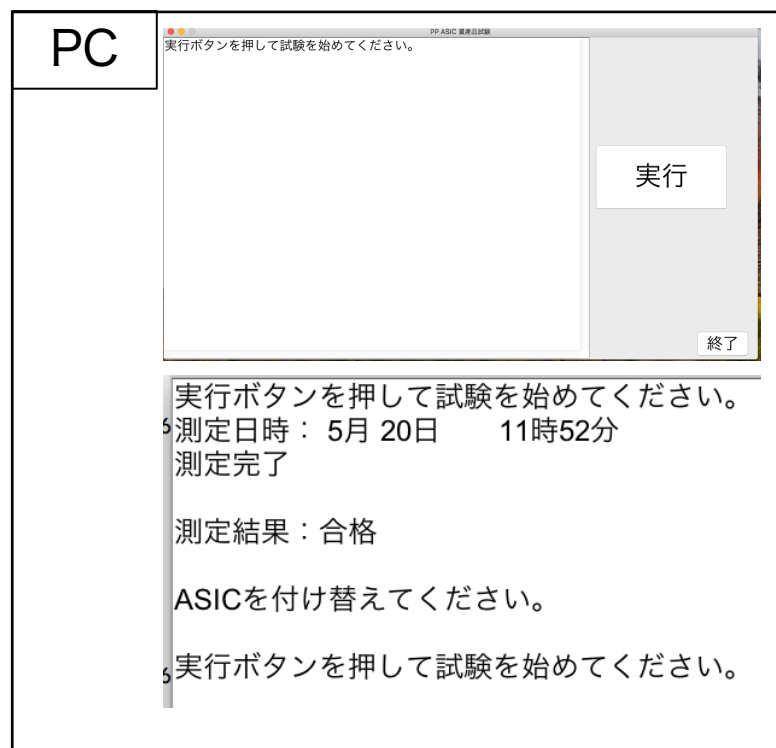
- I. チップ設定 (SPI)
- II. 全チャンネル出力
- III. 遅延制御電圧
- IV. 可変遅延
- V. 陽子・陽子交差識別
- VI. テストパルス出力
- VII. 消費電力 (3.3 V、1.8 V)



自動品質試験の流れ

Javaウィンドウからボタン1つで測定開始から結果表示まで行う。

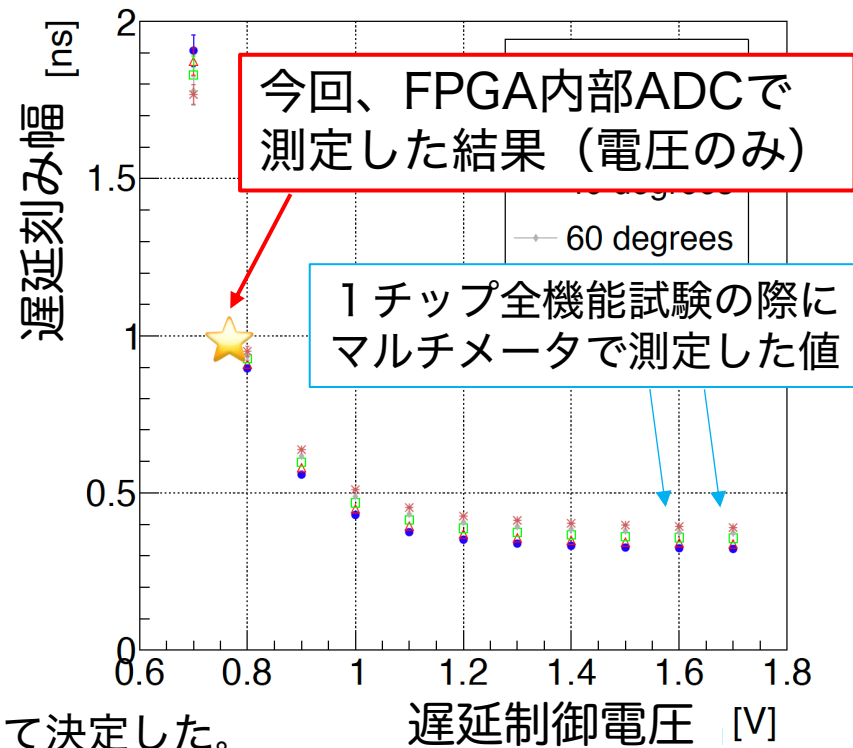
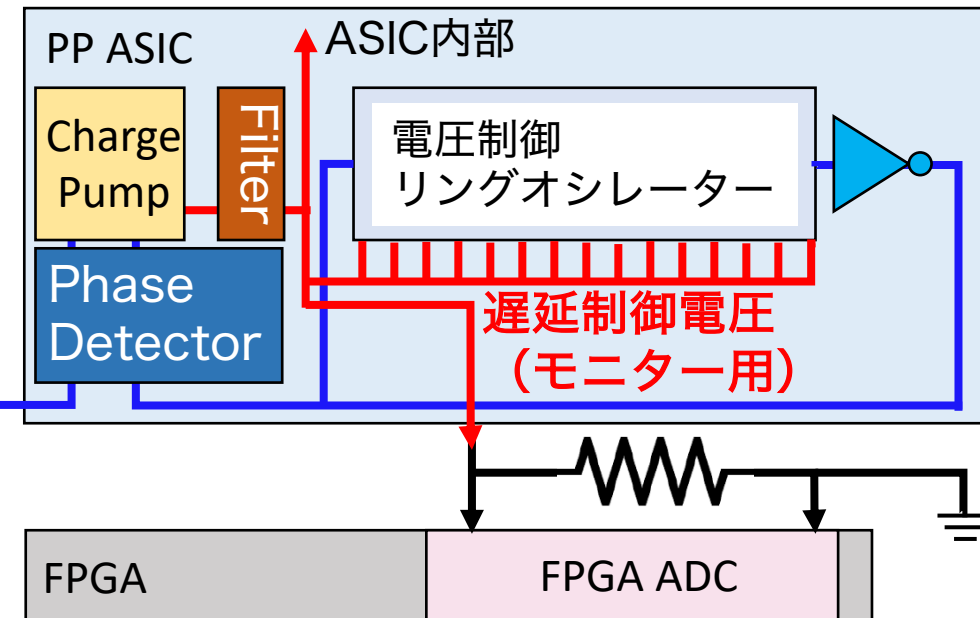
一連の試験を行い、不合格だった項目のみ2度目の試験を行う。



自動品質試験内容①：遅延制御電圧測定

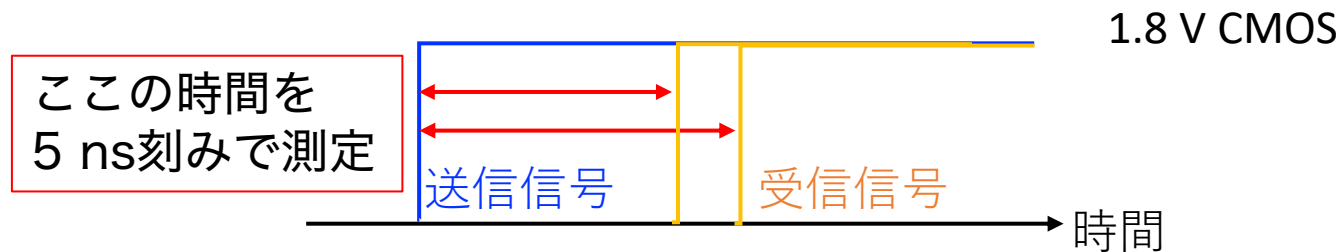
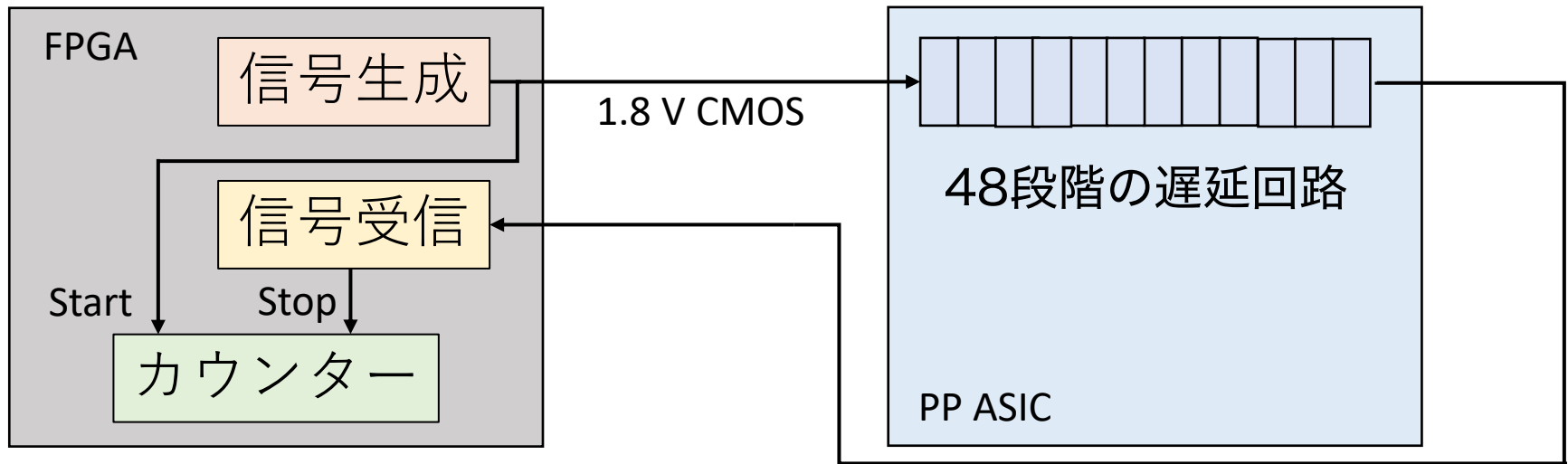
可変遅延の刻み幅を決定する遅延制御電圧をFPGAの内部ADCを用いて測定する。

FPGA内部ADCで測定した結果と1チップ全機能試験の際にマルチメータで測定した値で互いに矛盾しないことを確かめる。



※判定クリア基準の電圧範囲は、100チップを測定して決定した。

自動品質試験内容②：可変遅延



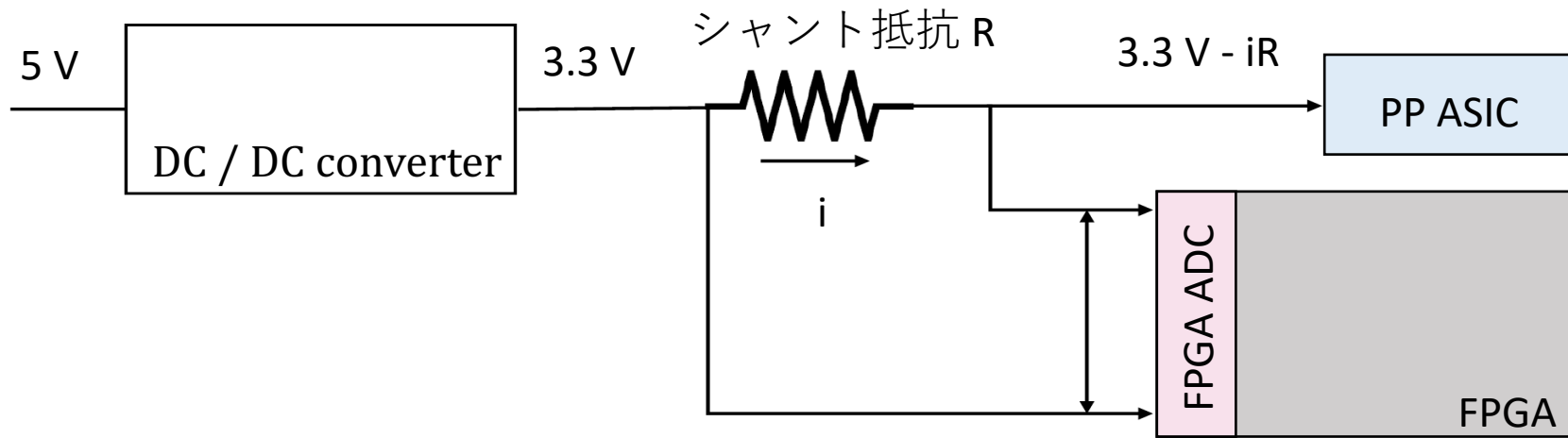
信号を送信してから受信するまでの時間を
遅延回路の個数を0, 10, 20, 30, 40, 47と6段階に変えて
5 ns刻みでカウントし、設定通りの遅延であることを確かめる。

自動品質試験内容③：消費電力

シャント抵抗とFPGAの内部ADCを用いて消費電力を測定する。
(1.8, 3.3 V 別)

ADCで得た電圧値からASICに流れる電流値を計算する。

例) 3.3V



典型的な消費電力は 1.8 V : 11 mW,
3.3 V : 8 ~ 125 mW (チップ設定によって変化)

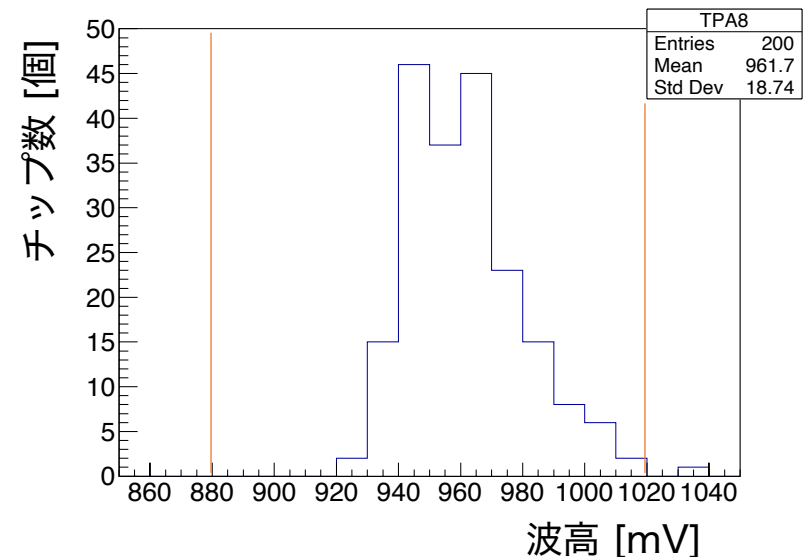
これまでの自動品質試験結果

- 2020年8月18日現在で200チップの自動品質試験が終了した。
- うち199チップが試験を合格し、これまでの歩留まり率は99.5%であった。
- 以前行った手動の200個品質試験でも歩留まり率は99.5%であった。(199/200)

日本物理学会2020年3月山田 17pH32-10

- 実機では約12500個使用予定で、十分な歩留まり率といえる。
- 現在はソケットの問題で一時試験をストップしている。

不合格が発生したテストパルス試験の分布

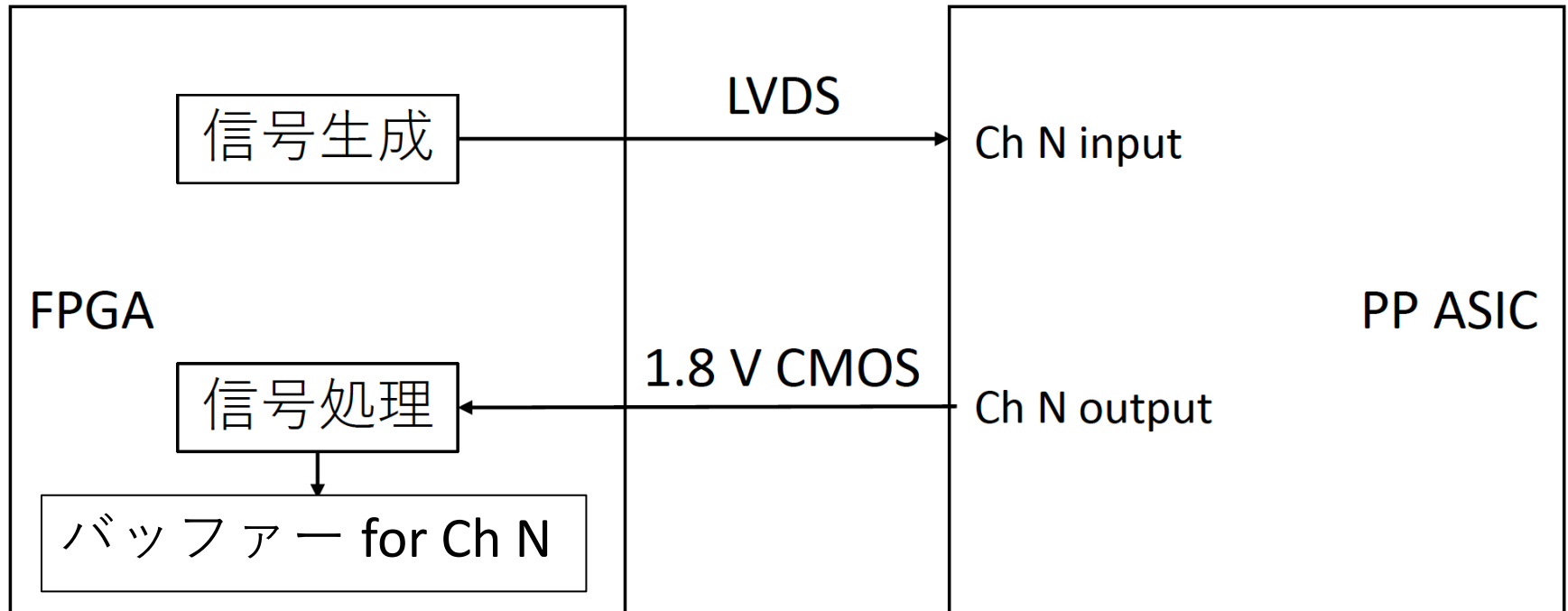


まとめ

- 高輝度LHC-ATLAS実験のTGC前段読み出し回路に搭載する新型Patch Panel ASICの自動品質試験を行っている。
- 自動品質試験システムを完成させ、試験を開始した。
 - PCとボードで構成されるコンパクトなシステム
 - 簡単に実行できる自動システム
 - ASICに必要な機能を網羅
- 2020年8月18日現在で歩留まり率は99.5%である。
- 2020年度中に25000個全てのチップの試験を終了させる予定。
(実機で必要な個数：12500個ほど)

Back up

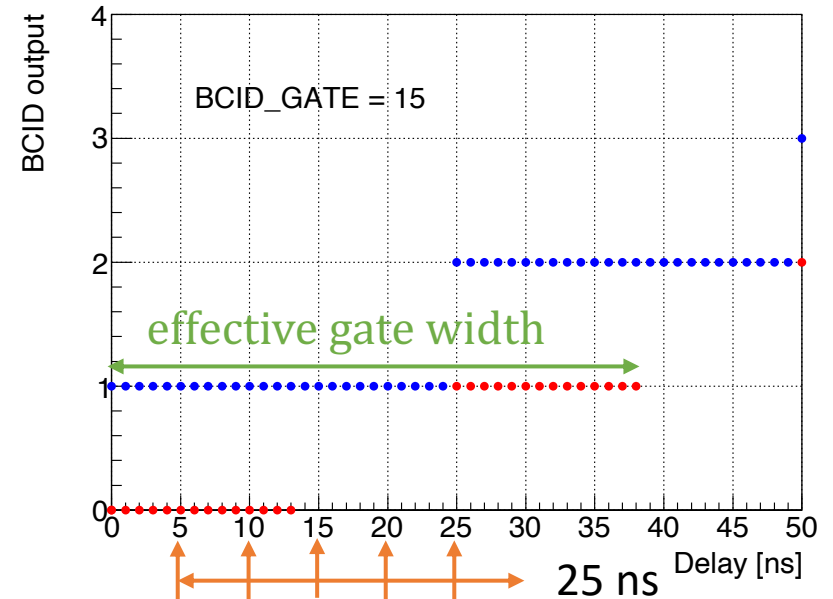
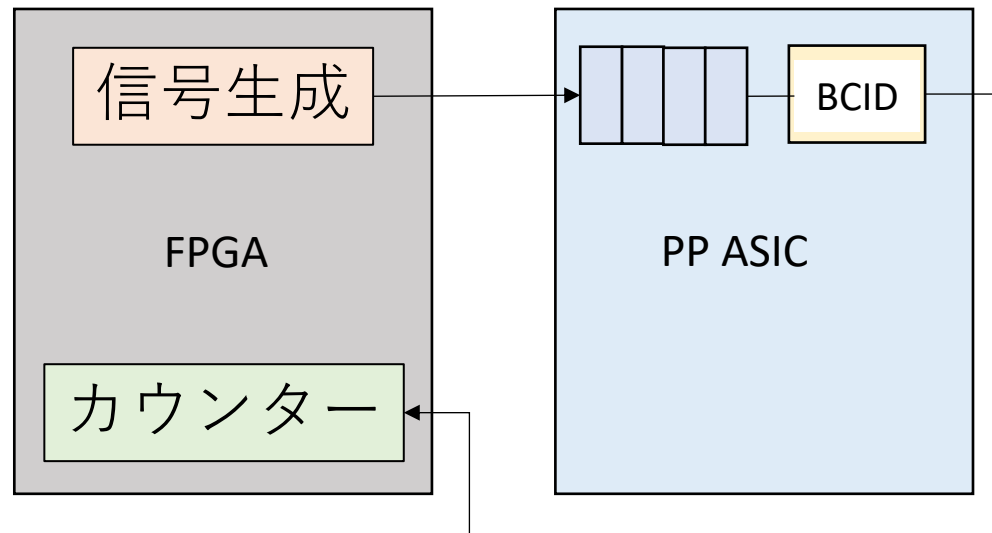
自動品質試験内容：全チャンネル出力



FPGAからPPASICに1チャンネルずつ信号を入力し、25 ns or 50 nsが期待される出力信号幅に対して5 ns刻みでカウントして出力信号幅を確認する。

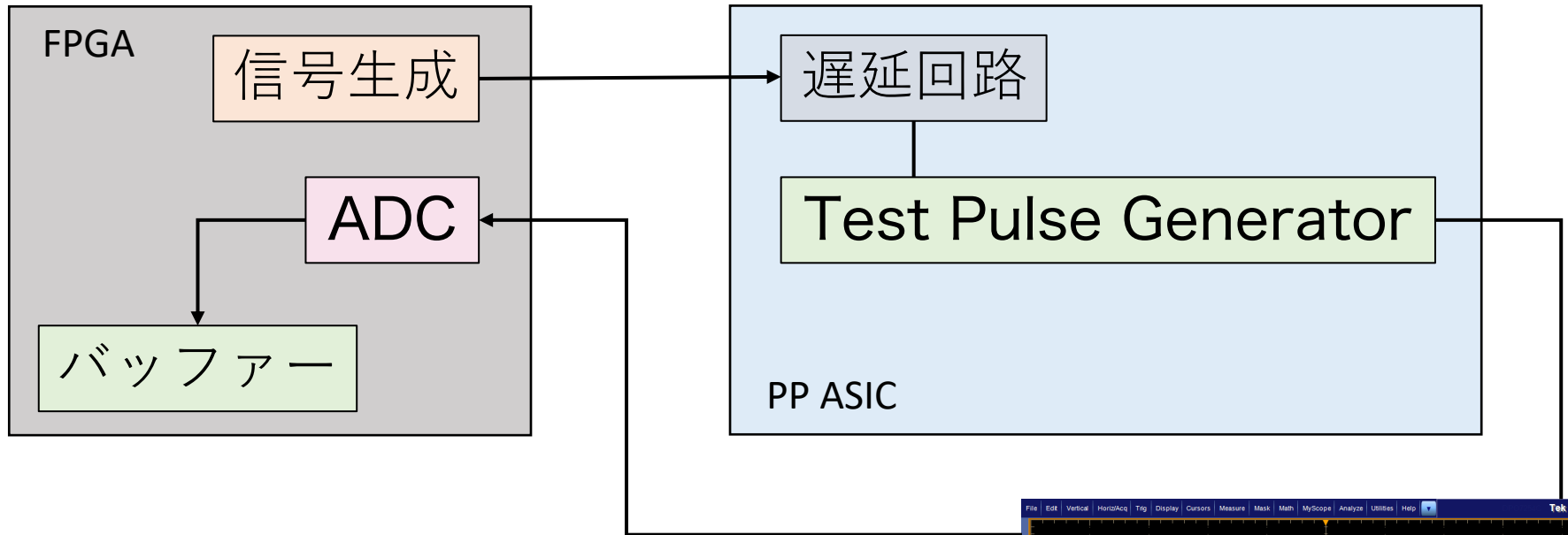
自動品質試験内容：BCID gate width

- BCID gate widthの設定で、1つまたは2つのバンチ交差にヒットを割り当てることができる。
(ドリフト時間と伝搬時間の変動を考慮)



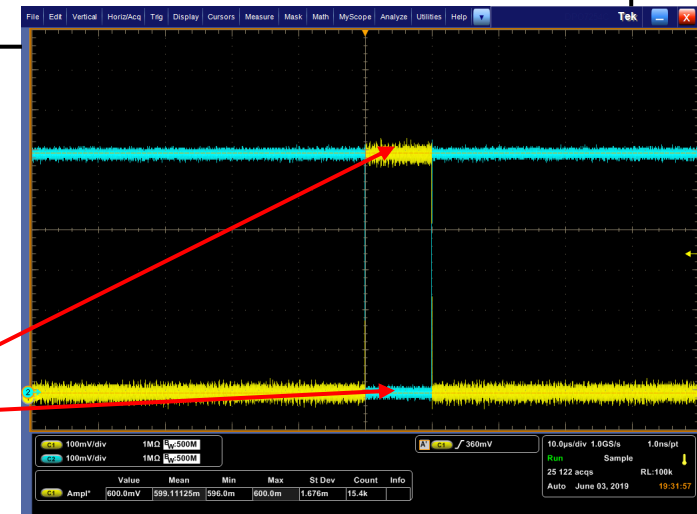
- PP ASICの32チャンネル中1チャンネルを対象に信号入力のタイミングをスキャンする。
- BCID gate width を $\sim 30, 35, 40, 45$ nsに設定し、それぞれに対して、信号入力のタイミングをスキャンし (5 ns置き)、出力パルス幅 (25 ns, 50 ns) を使ってBCID gate widthを導出する。Effective gate widthが大きい場合、出力パルス幅が50 nsの回数が大きくなる。

自動品質試験内容：テストパルス波高



FPGAからテストパルストリガーを入力し、出力されたテストパルス波高をFPGAの内部ADCで測定する。

テストパルスの出力とADC読み出しタイミングを合わせた。



全チャンネル出力結果

1チャンネルずつ信号を送受信できるもの (A) と
 一斉に全チャンネルに信号を送受信できる (B)
 バージョンの2種類を用意

25 ns or 50 nsが期待される出力信号幅に対して
 5 ns刻みでカウントした

A

同時に2チャンネルに入力

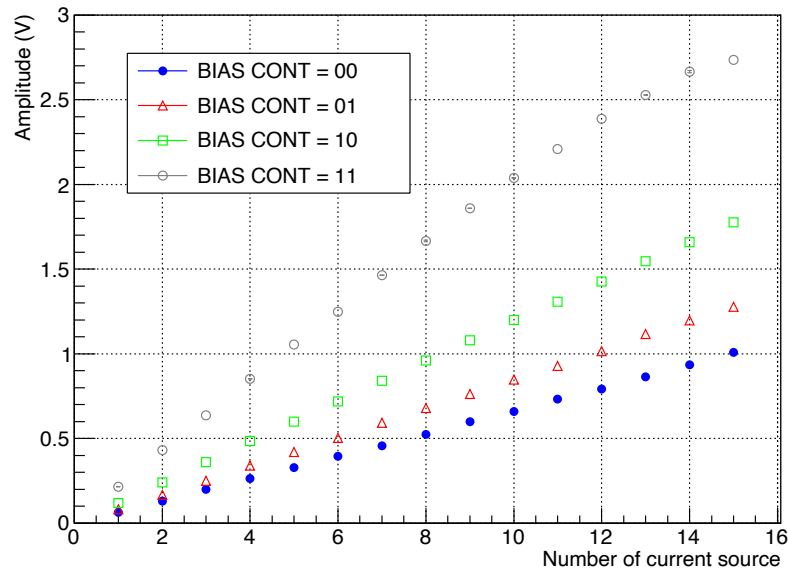
```
[0x00000022] 00 00 00 00 - 00 05 00 00
[0x0000002a] 00 00 00 00 - 00 00 00 00
[0x00000032] 00 00 00 00 - 00 00 00 00
[0x0000003a] 00 00 00 00 - 00 00 00 05
```

B

```
[0x00000022] 05 05 05 05 - 05 05 05 05
[0x0000002a] 05 05 05 05 - 05 05 05 05
[0x00000032] 05 05 05 05 - 05 05 05 05
[0x0000003a] 05 05 05 05 - 05 05 05 05
```

テストパルス測定結果

1 チップ全機能試験の際に得た結果
(オシロスコープを使用)



電流源数	全機能試験結果 (オシロスコープ)	全数試験結果 (FPGA ADC)
0	0 mV	6 mV
2	240 mV	240 mV
8	960 mV	946 mV
15	1776 mV	1773 mV

FPGA ADCを用いた測定においては、BIAS CONT = 10を用いた

数 %以内の誤差に収まった (抵抗誤差で説明できる)

クリア基準決定のための 100チップ測定

- ADCを用いる測定の判定クリア基準を決定するため、100チップを測定し、分布(24項目)を作成した。

FPGA内部ADCの設定

テストパルス波高、可変遅延のPLL制御電圧の測定に、
FPGA内部のADCを使用する

0 ~ 1Vを12ビットに分割し、電圧をデジタル変換

連続サンプリングモードを使用

→一定時間ごとに電圧を測定

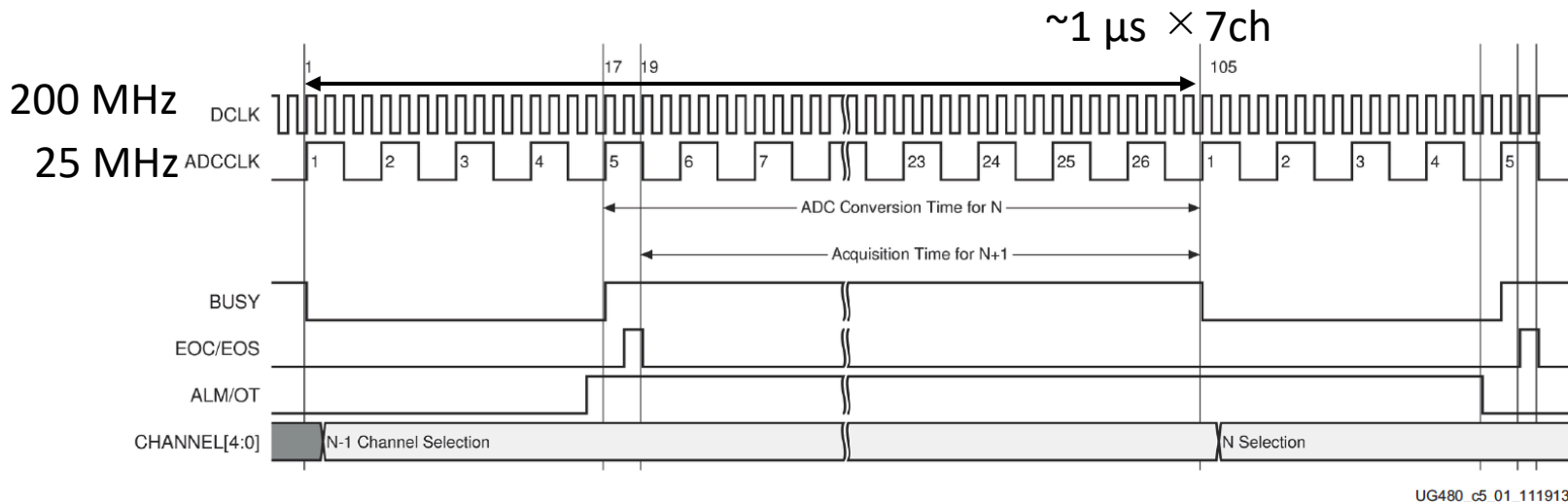
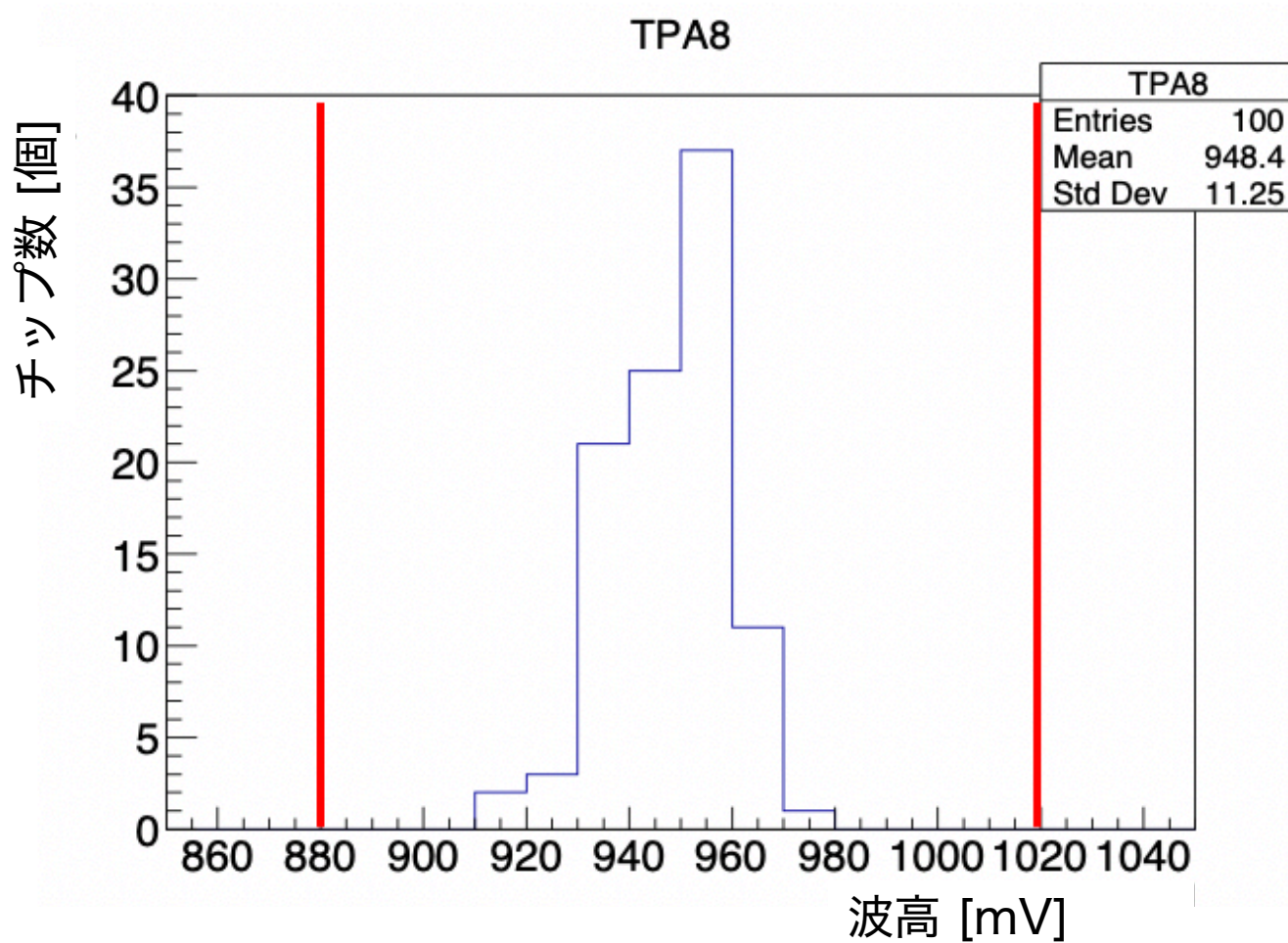
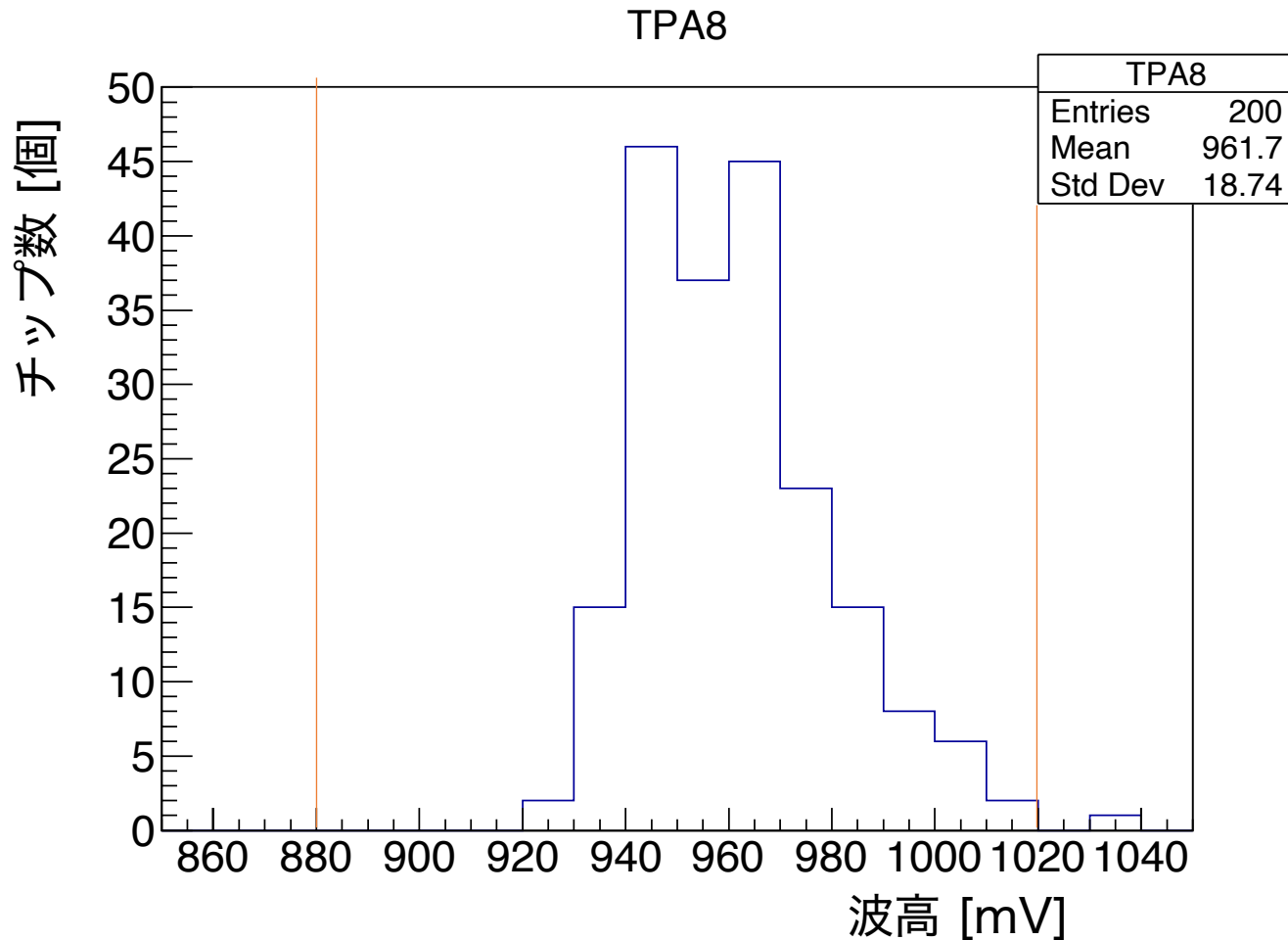


図 5-1 : 連続サンプリング モード

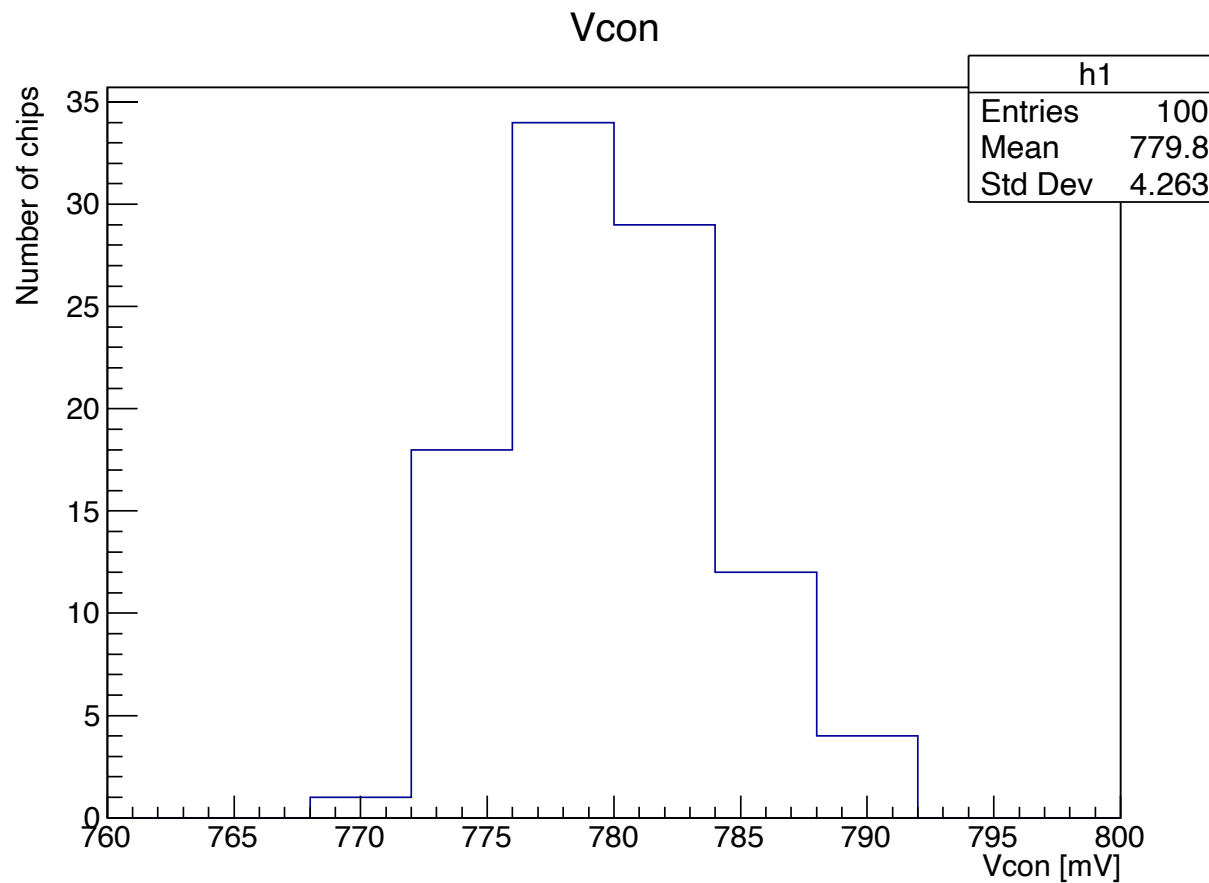
テストパルス波高分布



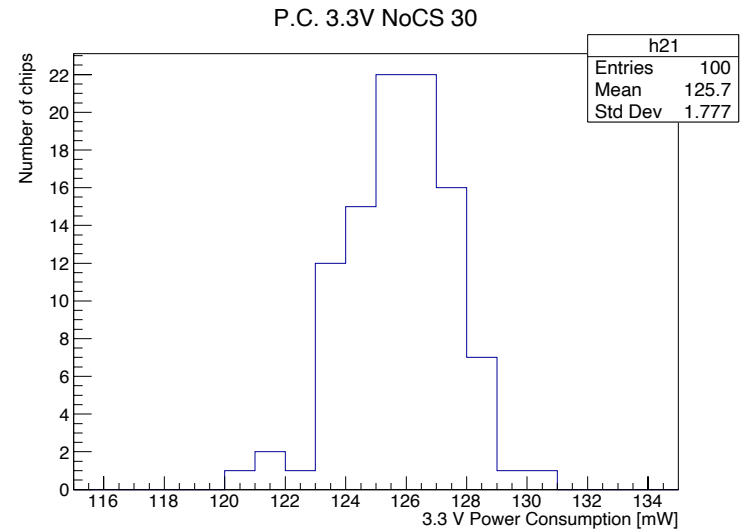
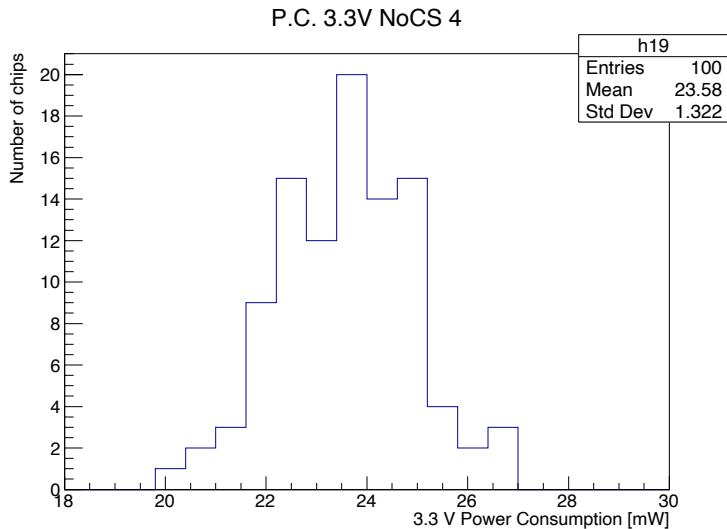
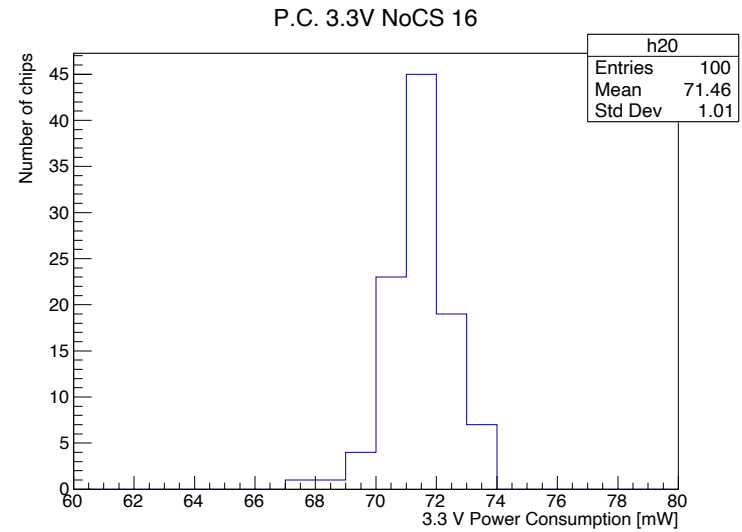
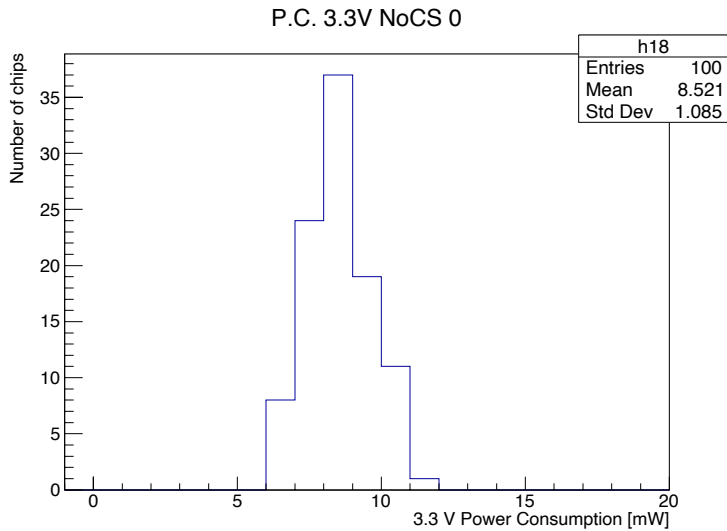
200チップ測定分布 (テストパルス波高)



Vcon 分布



消費電力分布 (3.3V)



消費電力分布 (1.8V)

