

PLL回路の最適化とTDCへの応用

名大理、KEK素核研^A、Open-It^B
臼井主紀、戸本誠、堀井泰之、小野木宏太、
佐々木修^{AB}、田中真伸^{AB}、田内一弥^{AB}

Time to Digital Converter(TDC)は、多くの物理実験で使用されている
要求時間刻み

- ・ドリフトチェンバー：~1ns
- ・粒子の飛行時間測定：~100ps

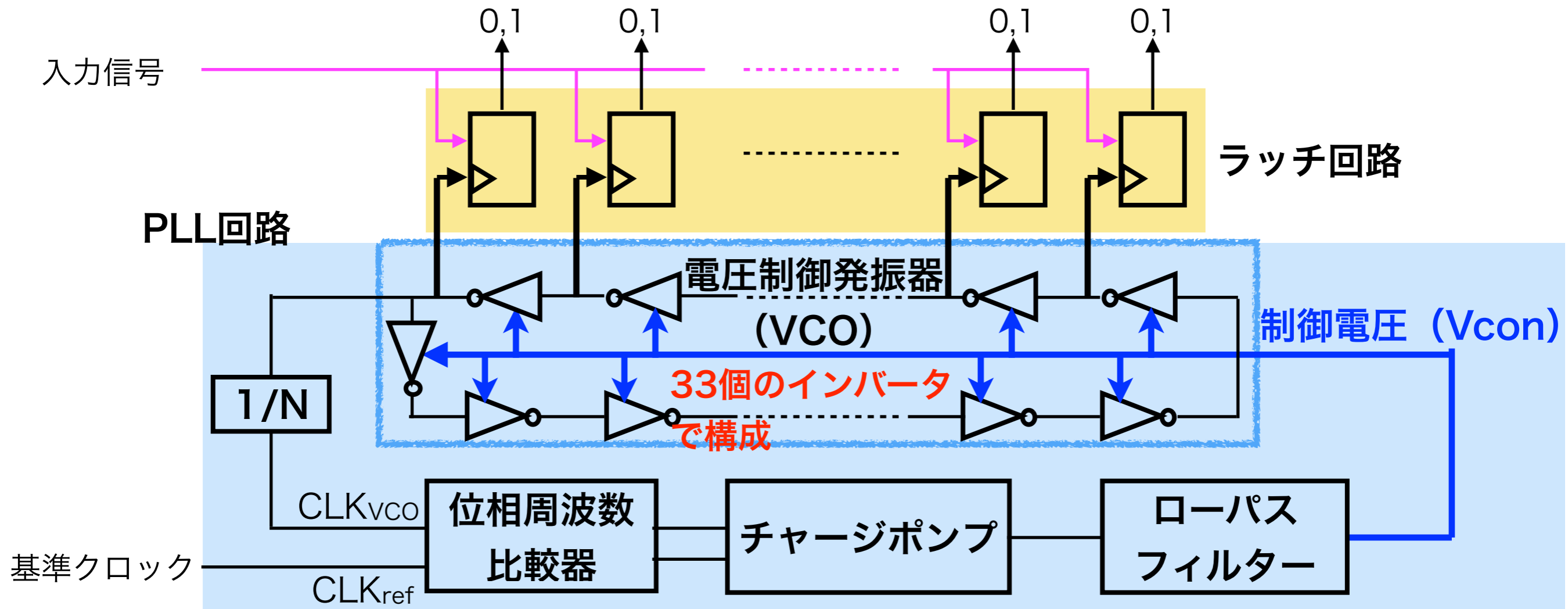
Phase Locked Loop (PLL)を用いたTDCの構成

(利点) 基準クロックの整数倍のクロックを生成できる
外乱要因に対して安定
ICプロセスの微細化に伴い、高速動作が可能

目標

- ・ PLL回路を用いて、100psの時間刻みを持つTDCをASICで開発する
- ・ プロセスによる高速化の限界を調べる
 - 仕様プロセス：Taiwan Semiconductor Manufacturing Co., Ltd(TSMC社)
180nm($L_{\min}=180\text{nm}$)

PLL回路を用いたTDC

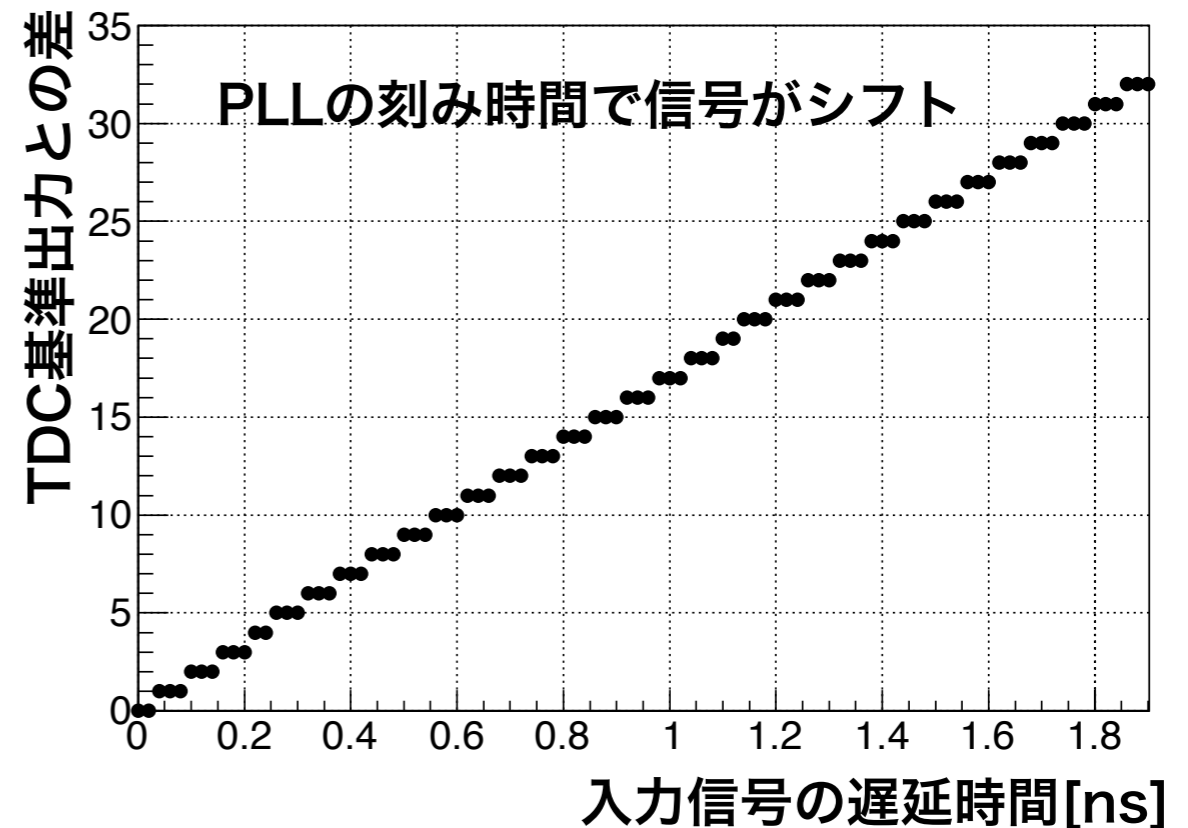
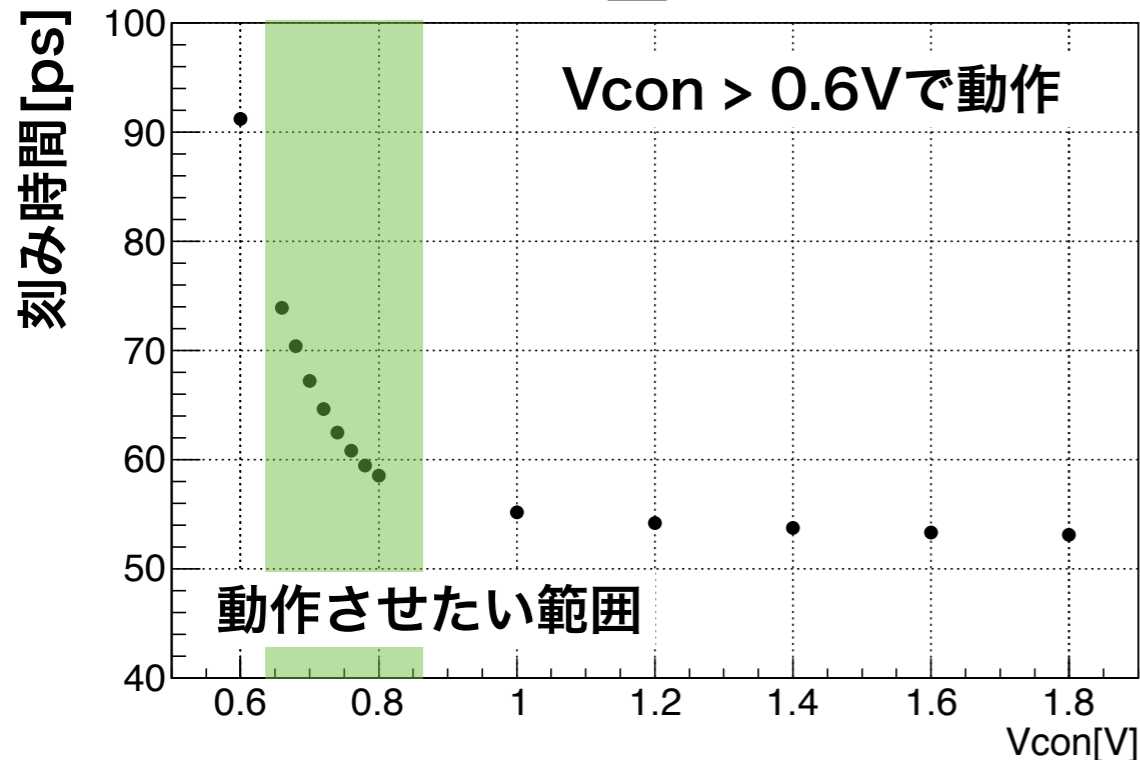
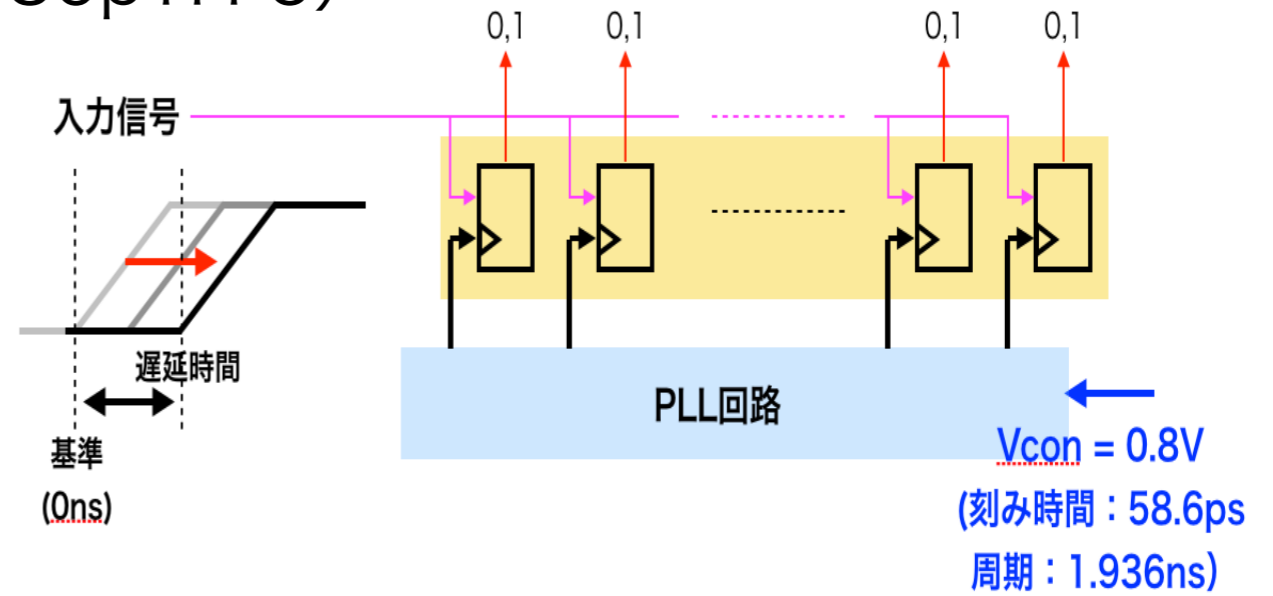
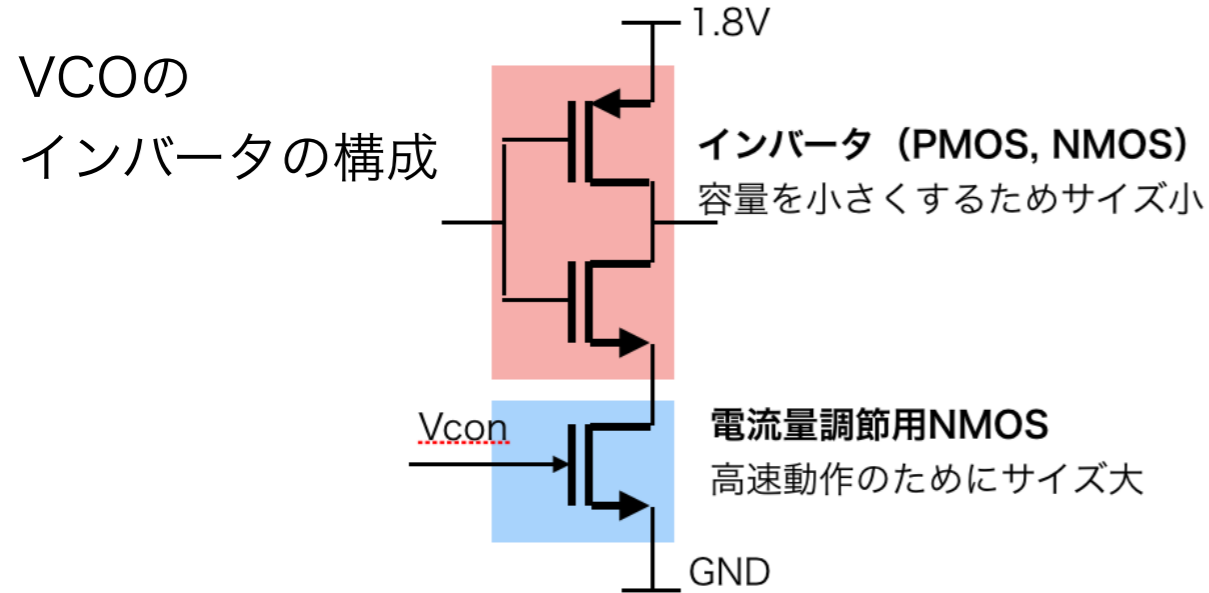


CLK_{ref}とCLK_{vco}の位相差を検出

位相差に応じて電圧(Vcon)をVCOにフィードバック

PLL回路で基準クロックのN倍のクロックを生成
TDCの時間刻みは、VCOの時間刻みに依存

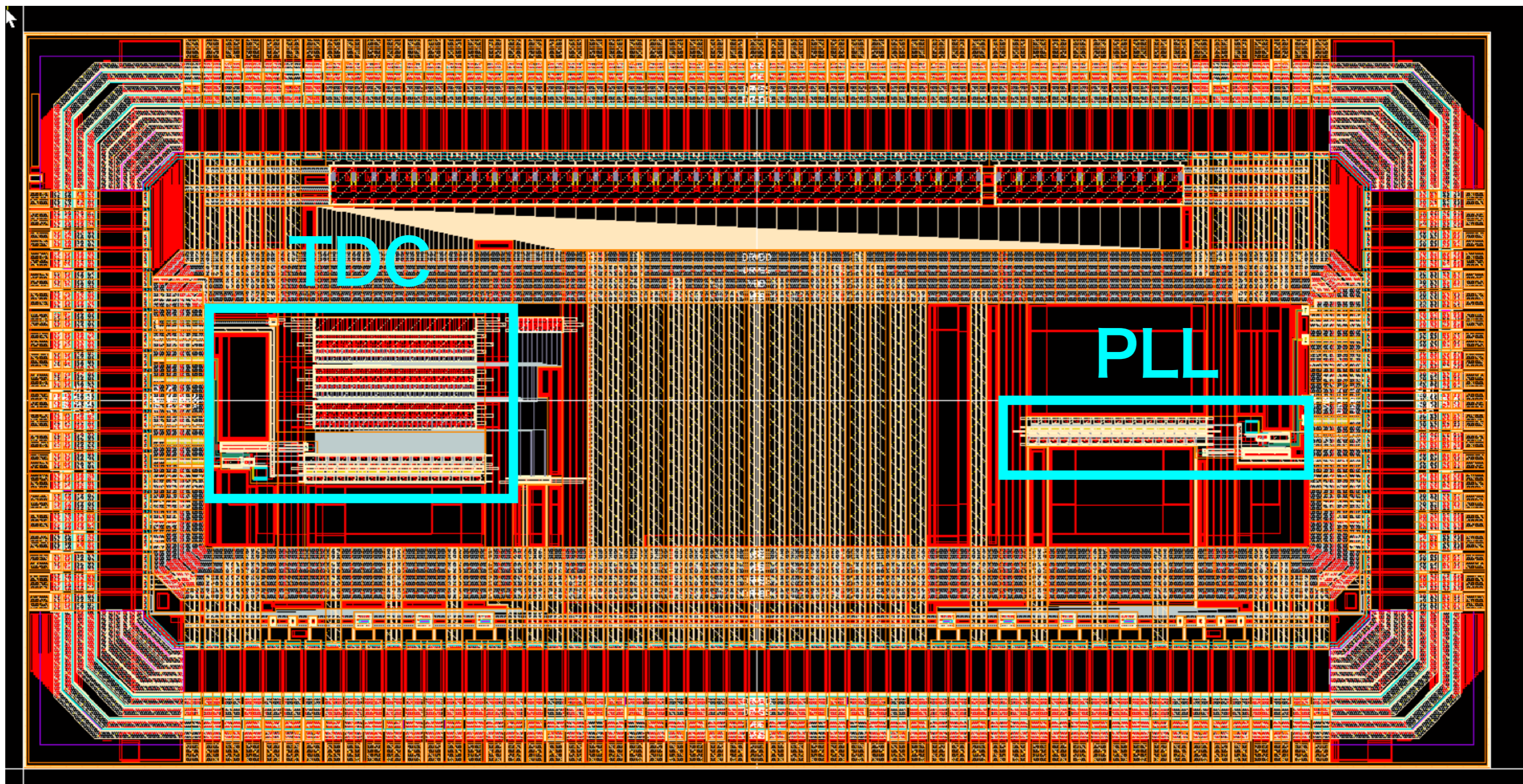
レイアウト前のシミュレーションについては前回の学会で報告している
(小野木宏太 名古屋大 2014年春期学会 30pTH-5)



今回はレイアウトとテストボードの測定結果を報告する

レイアウト (全体)

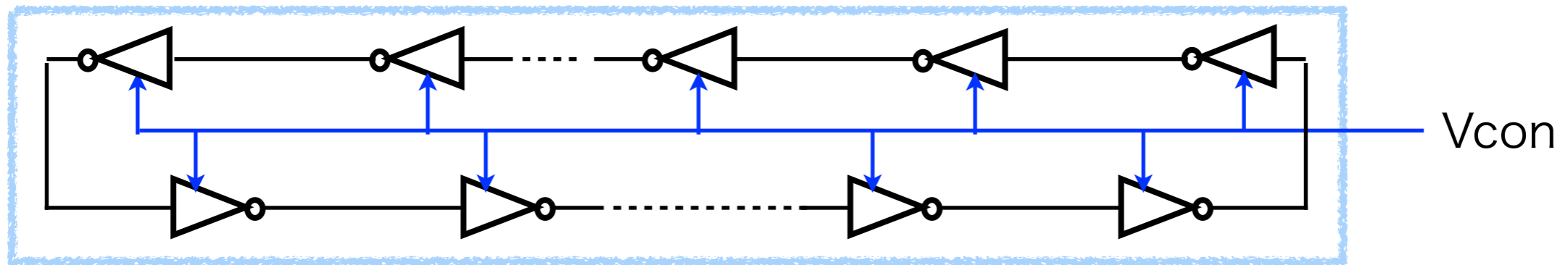
- ・ レイアウト作業は業者に依頼
- ・ チップはPLLとTDCの2種類で構成



2.5mm × 5.0mm

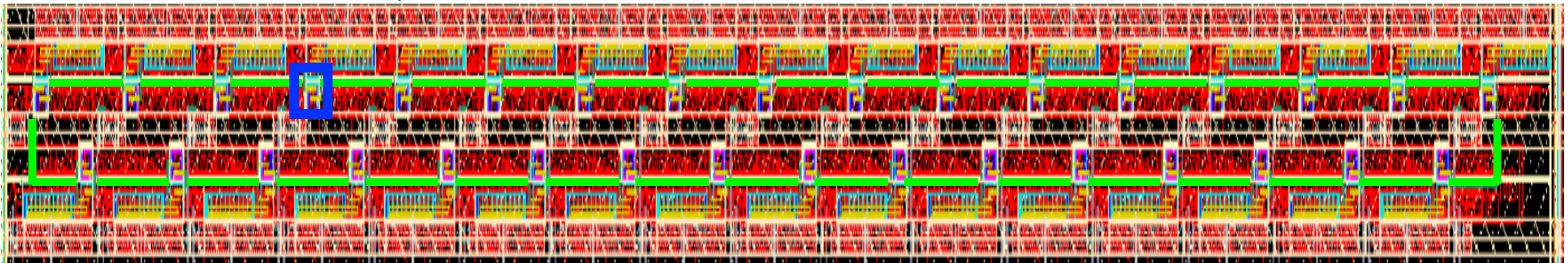
レイアウト (VCO)

- ・リング状に配置
- ・等長配線
- ・インバータ間距離を短く配線



||

インバータ

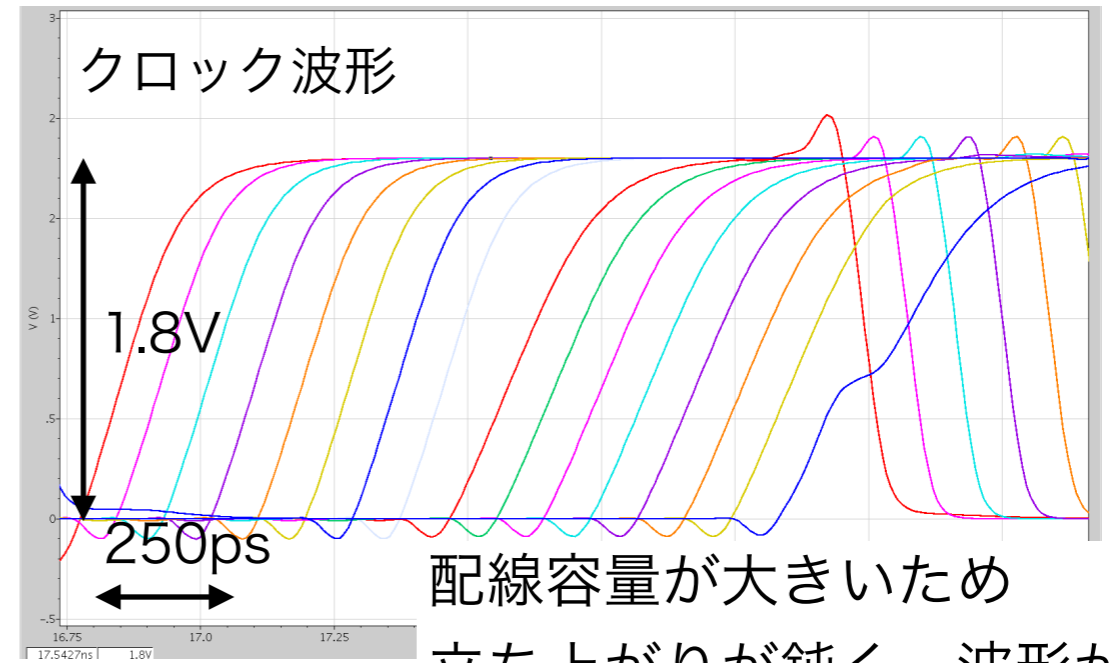
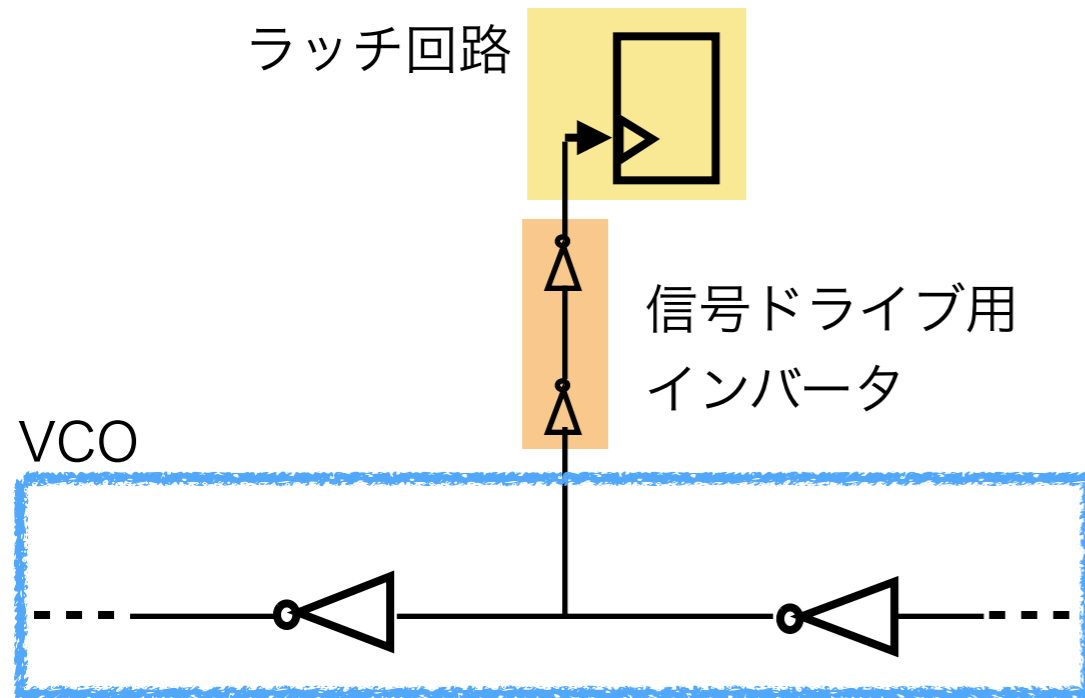


信号線

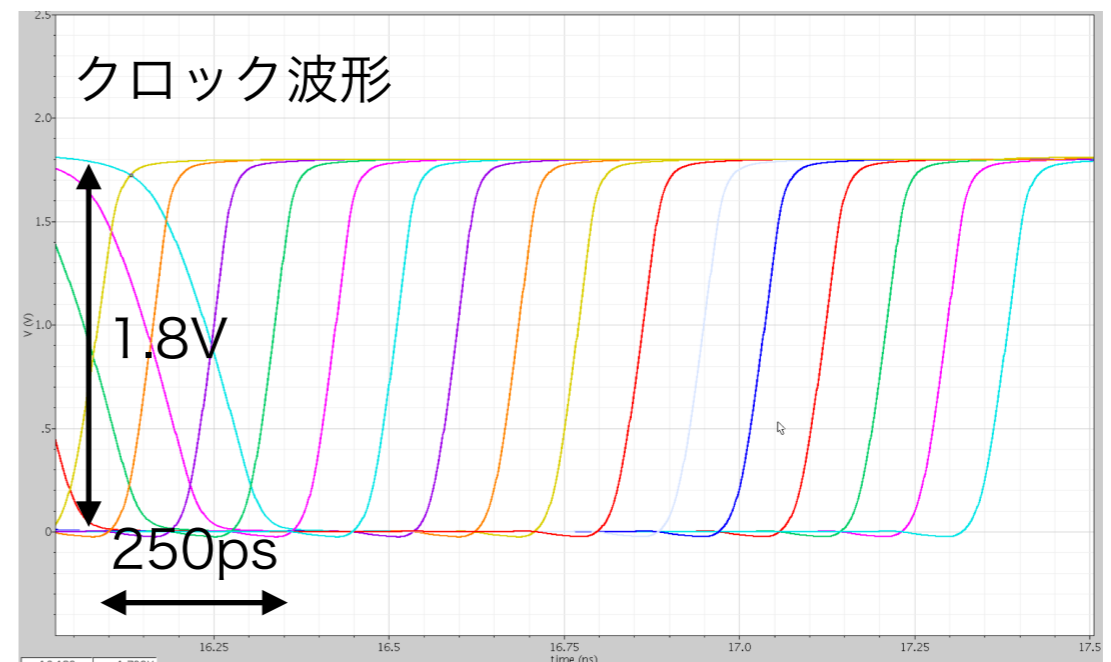
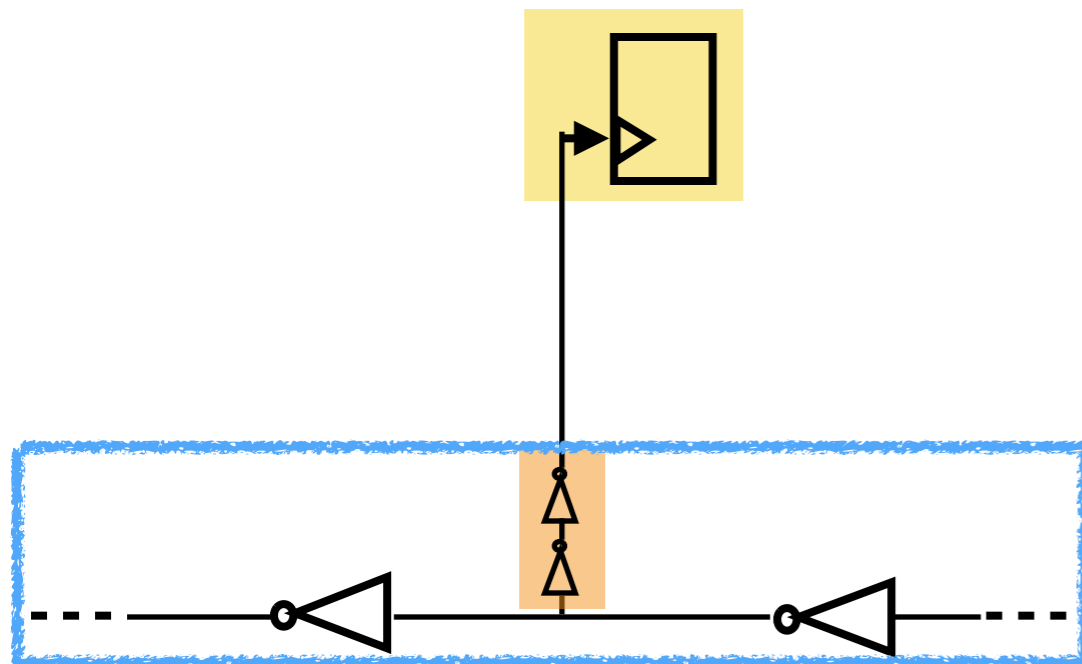
レイアウト (VCO)

インバータの信号をラッチ回路に送るまでに、信号をドライブする必要がある

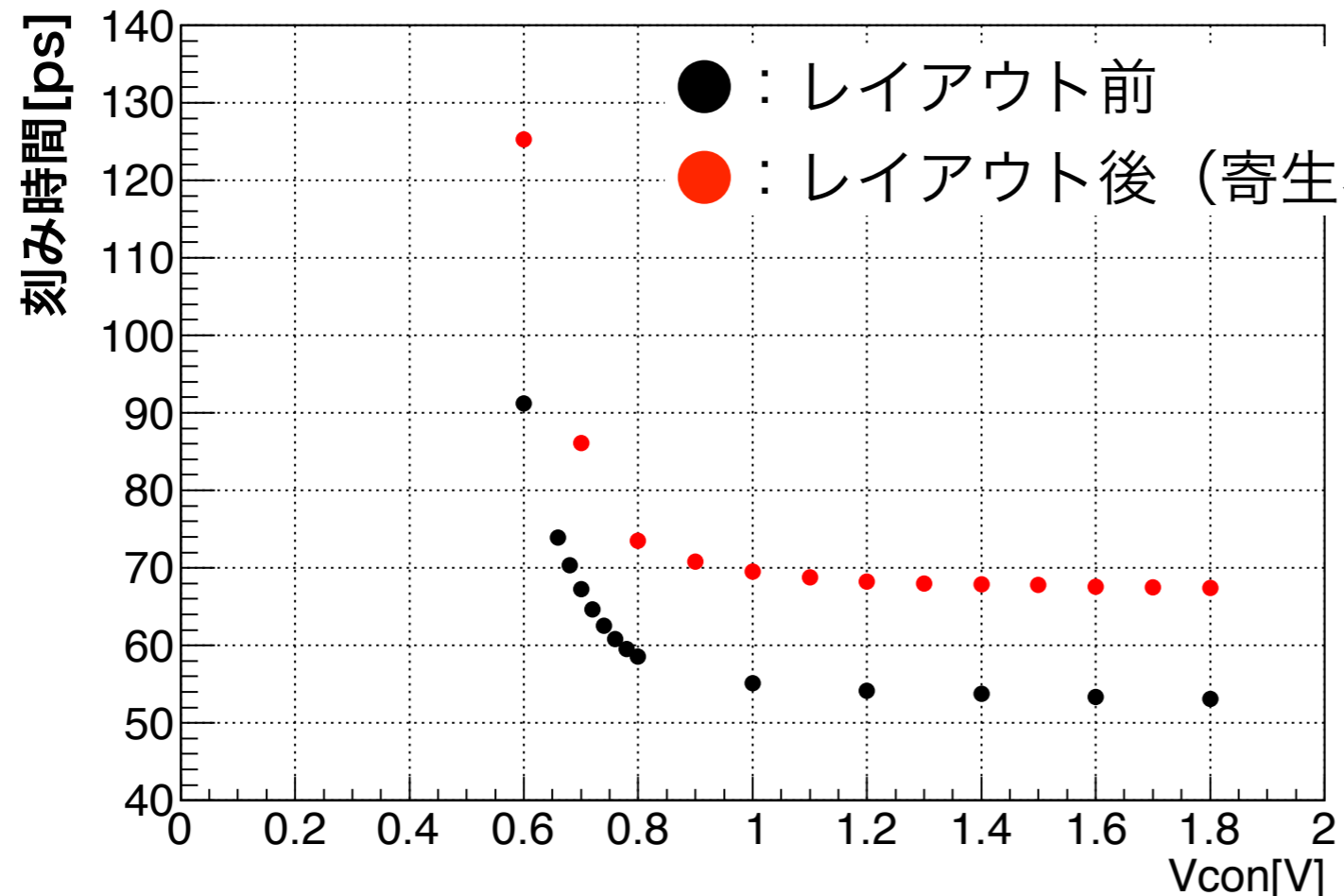
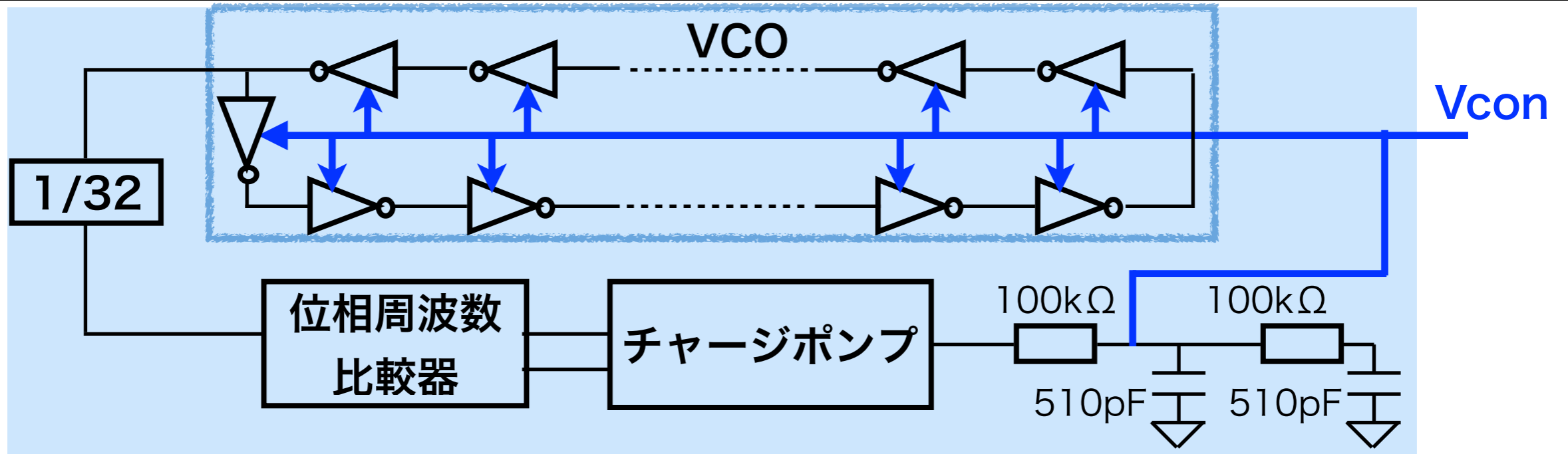
初期のレイアウト：リング外にインバータを配置



最終的なレイアウト：リング内にインバータを配置



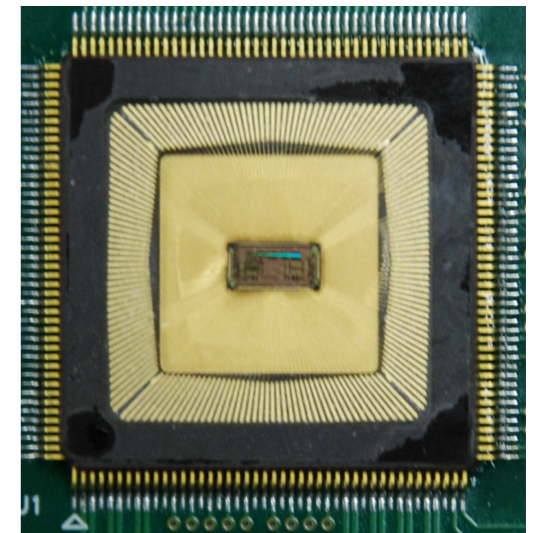
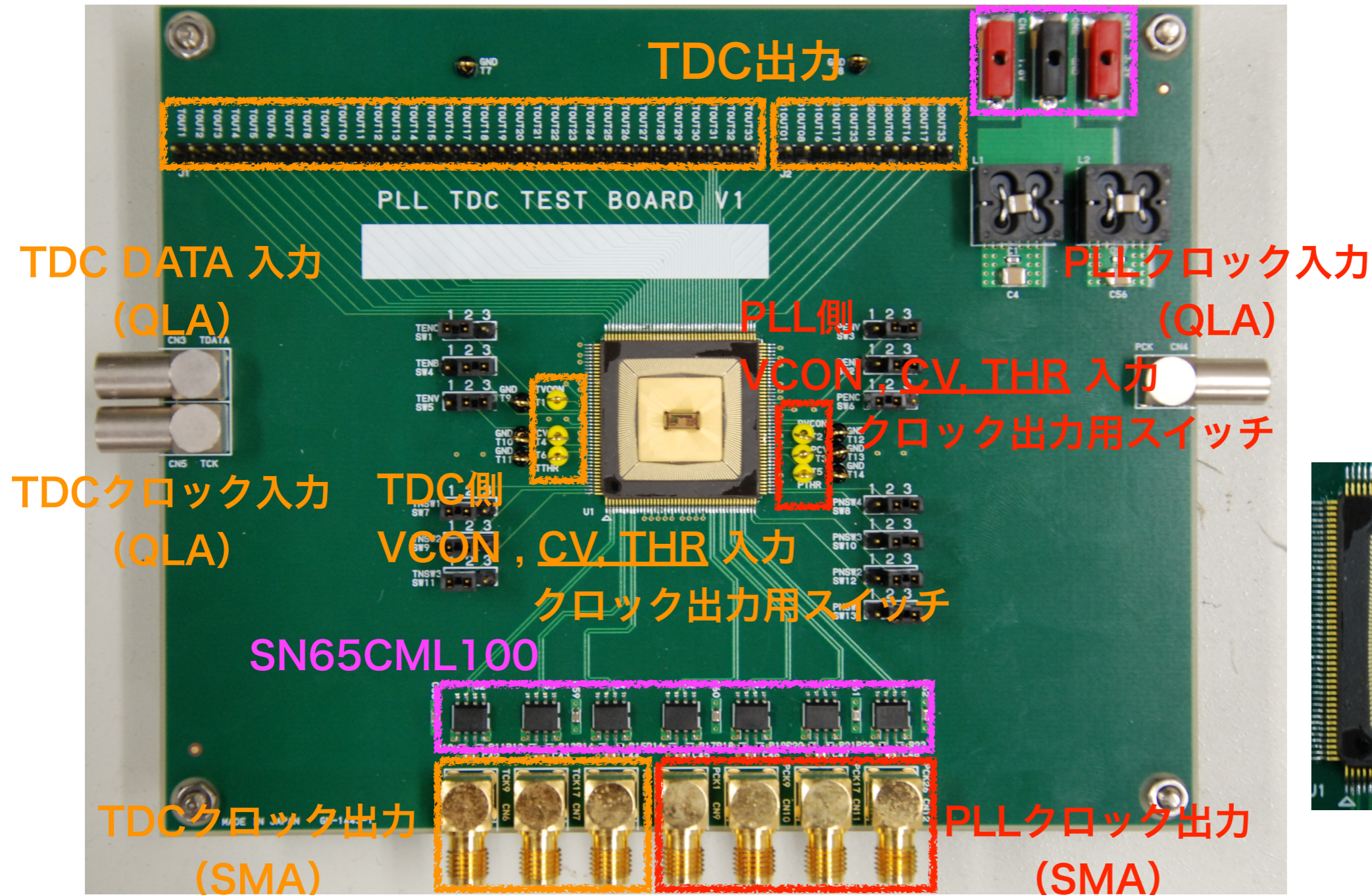
Vcon - 刻み時間 (レイアウト後)



レイアウト後でも100ps以下の時間刻みを満たしている

テストボードの製作

電源：1.8V(チップ用)、3.3V(SN65CML100用)

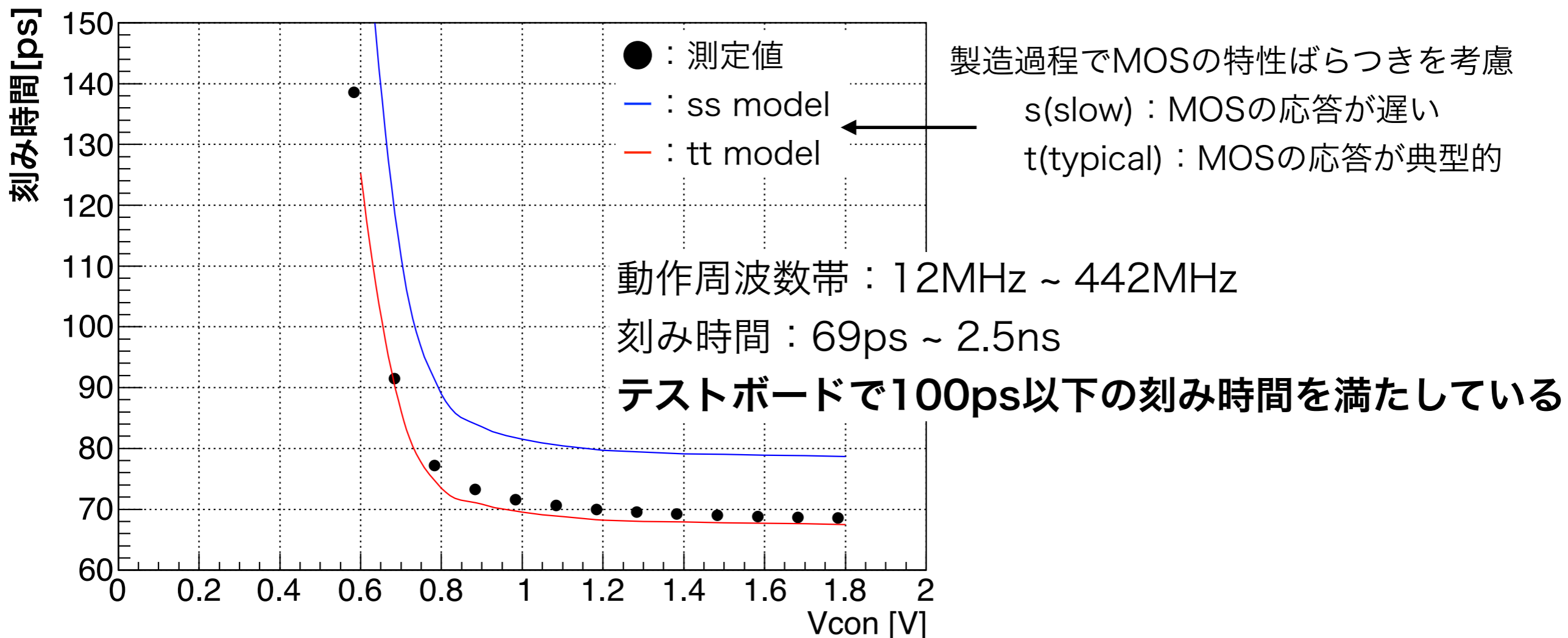
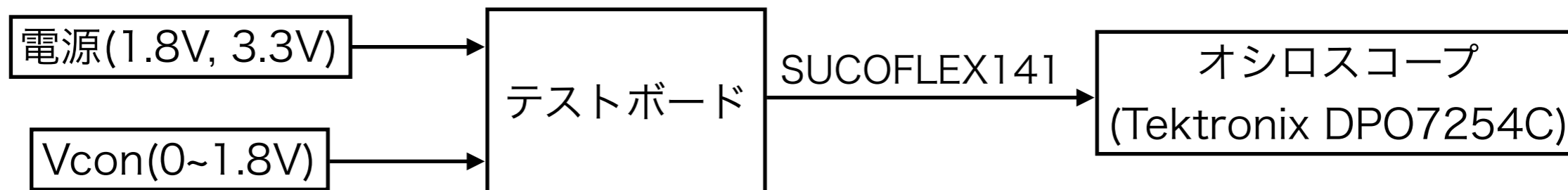


クロック出力方法を工夫

- ・ジッタ（時間方向への信号の揺らぎ）を小さくするために差動信号で出力
- ・SMAコネクタを使用（周波数帯域が大きい）

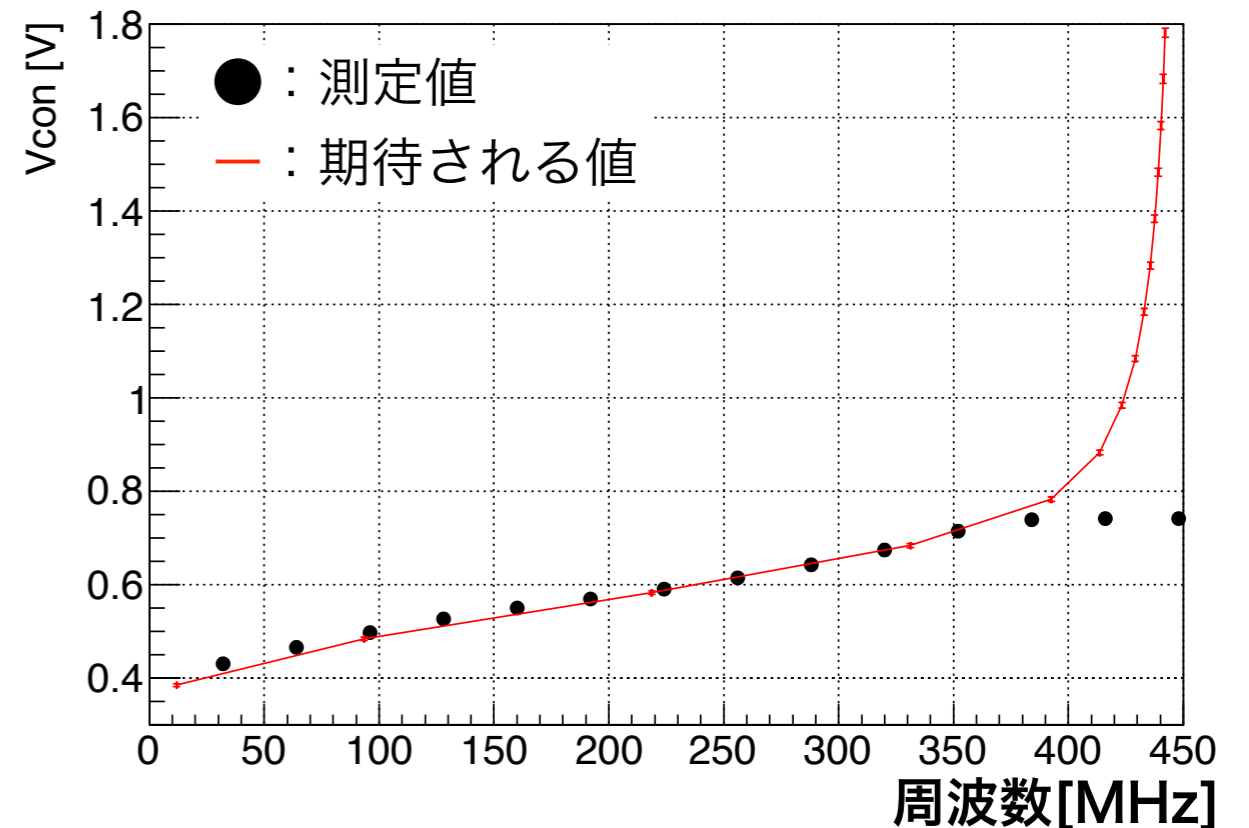
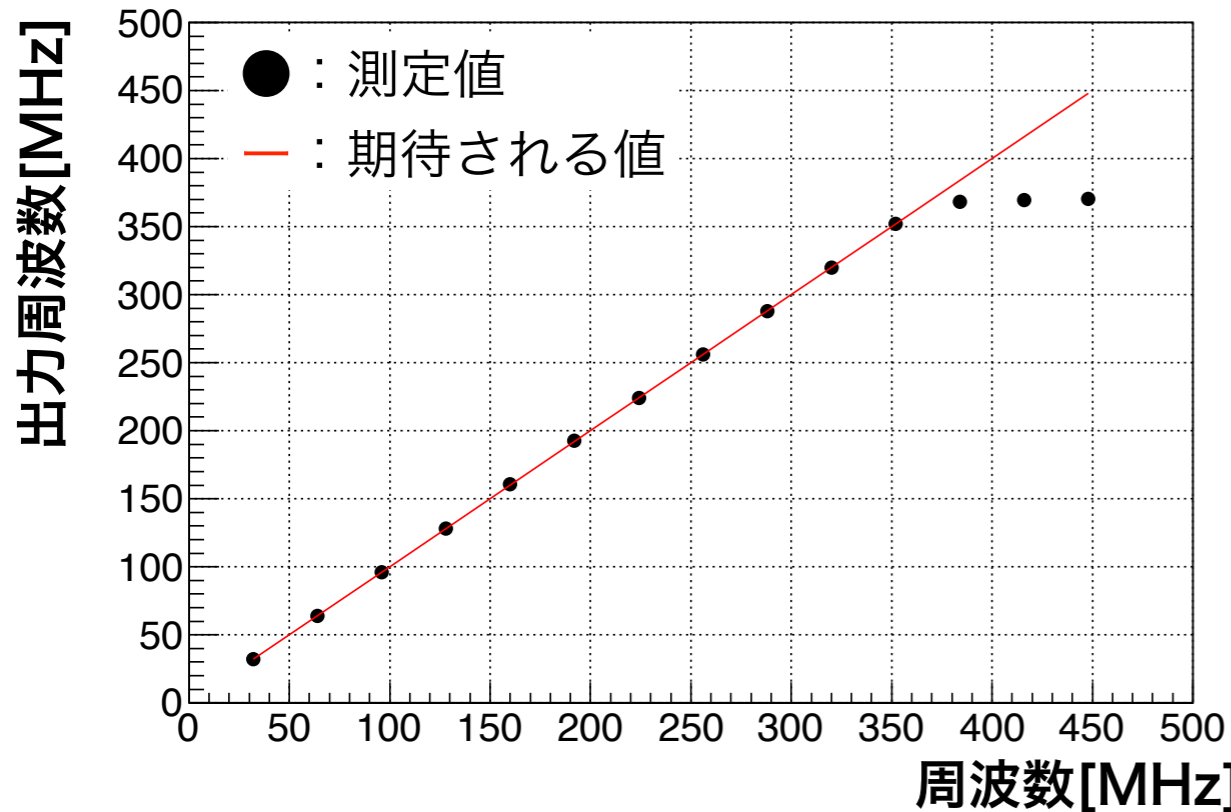
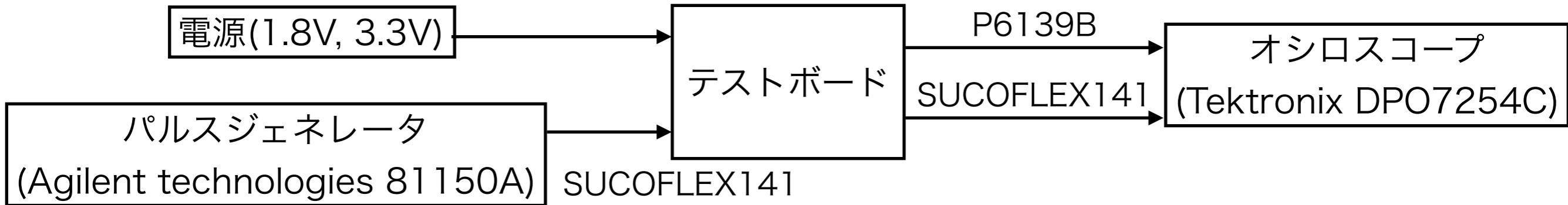
VCOの発振周波数

(セットアップ)



PLLの動作確認

(セットアップ)



370 MHz程までの範囲では、Ref Clkを入力した際にVconが期待通りの値になっている

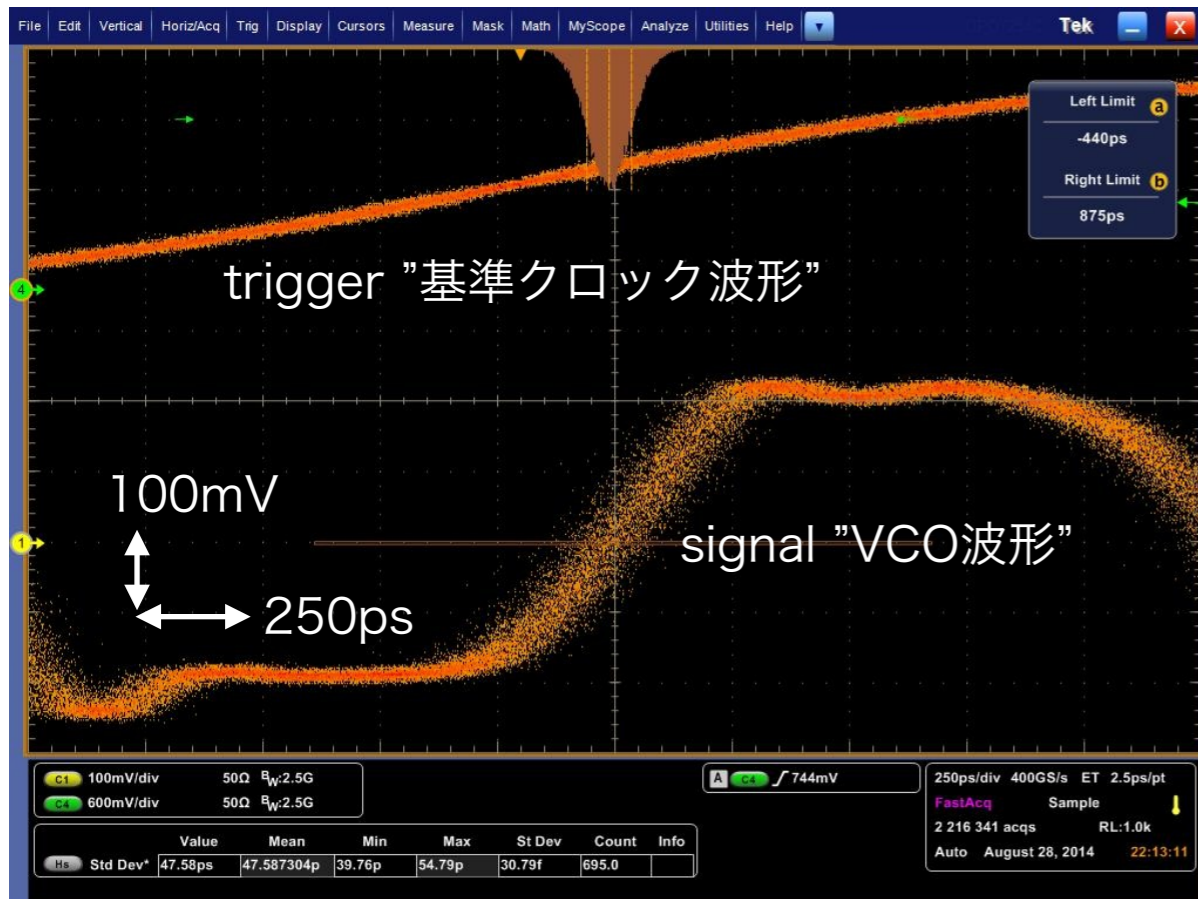
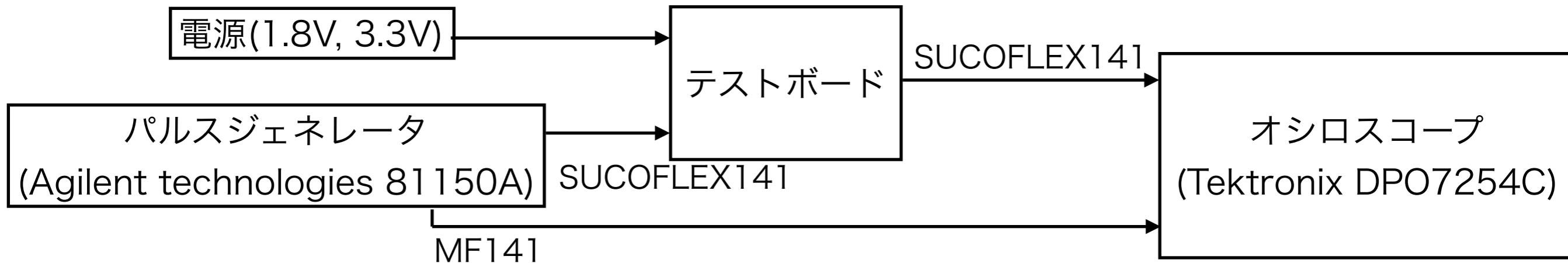
-> **VCOは正常に動作している**

それより大きな周波数の領域では、期待通りにポンプが働いていない可能性がある

-> **位相周波数比較器、チャージポンプ、LPFに原因があると推測**

ジッタ測定

368MHzで動作している時のジッタを測定
(セットアップ)



ジッタの測定値 ($\sigma_{\text{測定値}}$) : 43 ps

測定系のジッタの測定値 ($\sigma_{\text{測定系}}$) : 35 ps

チップとボードのジッタの計算値 ($\sigma_{\text{チップ・ボード}}$) : 25 ps

(測定系には他にSN65CML100からのジッタがある)

$$\sigma^2_{\text{チップ・ボード}} = \sigma^2_{\text{測定値}} - \sigma^2_{\text{測定系}}$$

$$\leq 43^2 - 35^2$$

- 100psの時間刻みを目標に、PLLを用いたTDCを設計した
配線容量を考慮してVCOのレイアウトを工夫

レイアウト後の時間刻み：68 ~ 125 ps

- テストボードを製作、動作確認を行った

VCOは正常に動作している

時間刻み：69 ~ 130ps

チップとボードのジッタは25ps未満

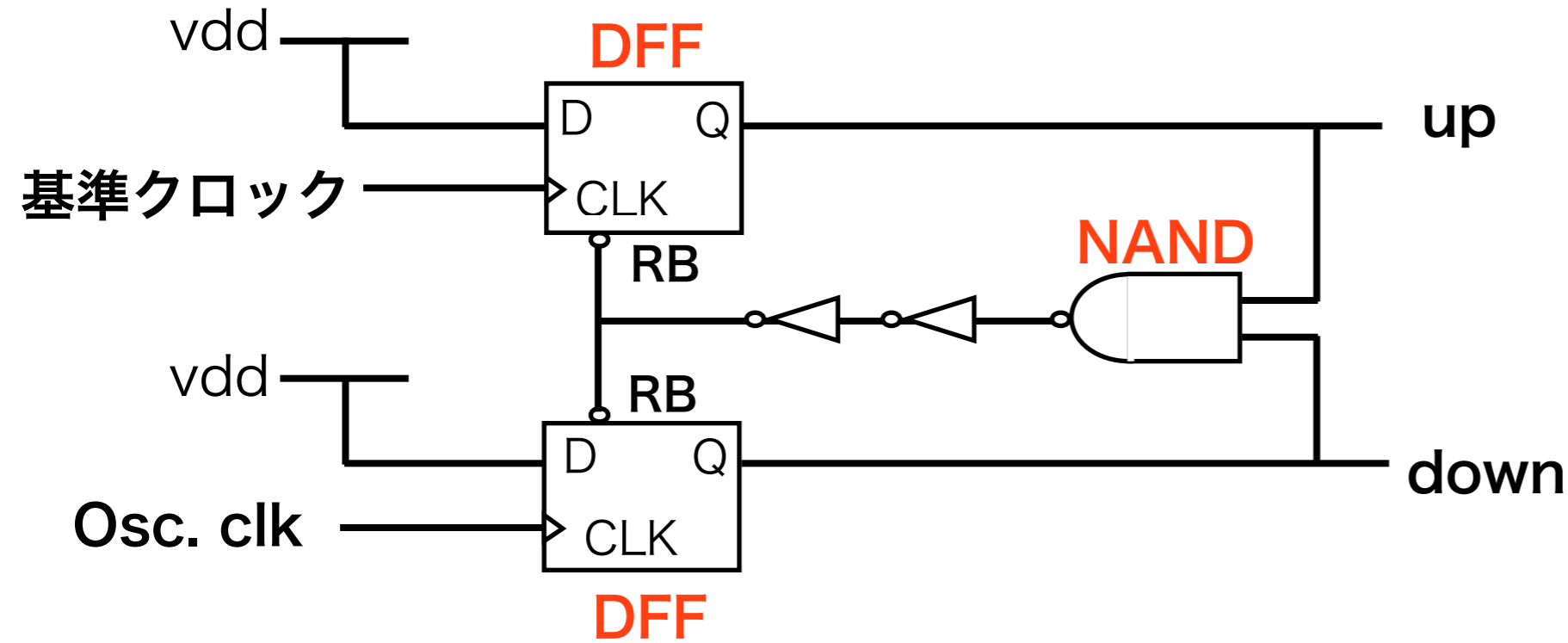
今後の予定

- 今回の構成のPLLでの時間刻みが、プロセスの限界値なのか調べる
- 動作周波数範囲が狭い原因追及
- TDC側の動作確認

バックアップ

位相比較器

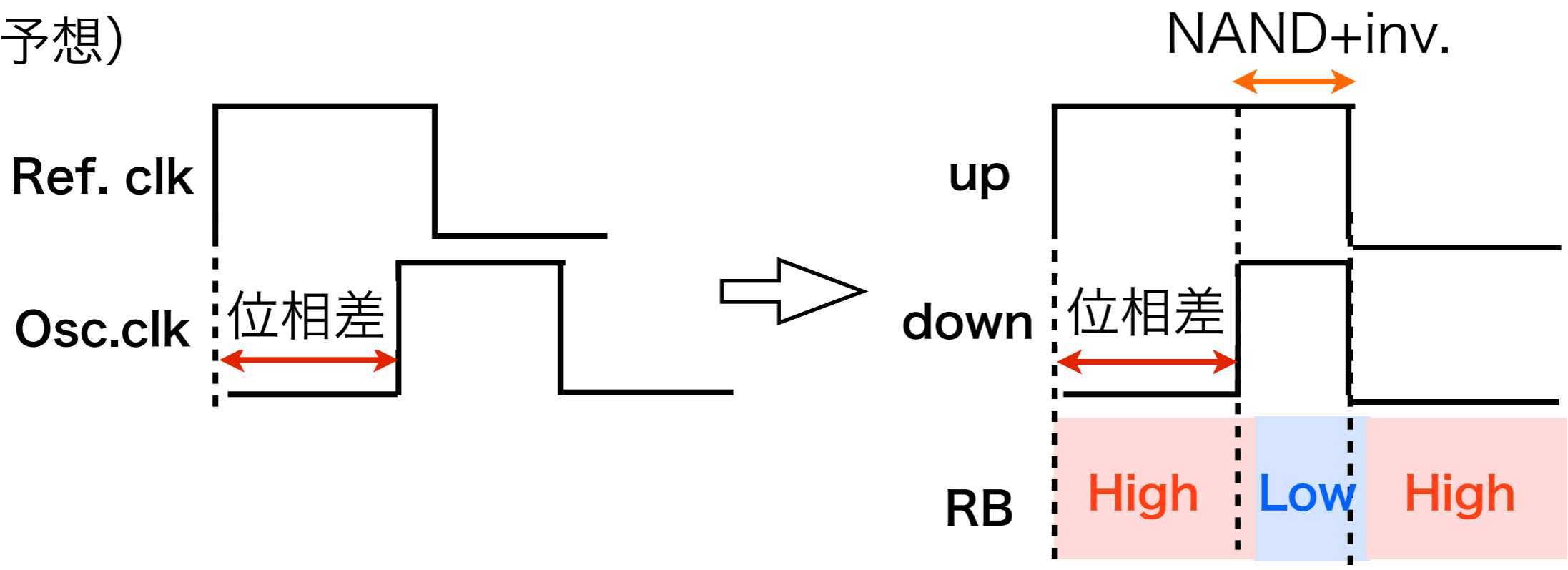
基準クロックとリングオシレータのクロックの位相差を検出



DFFの真理値表

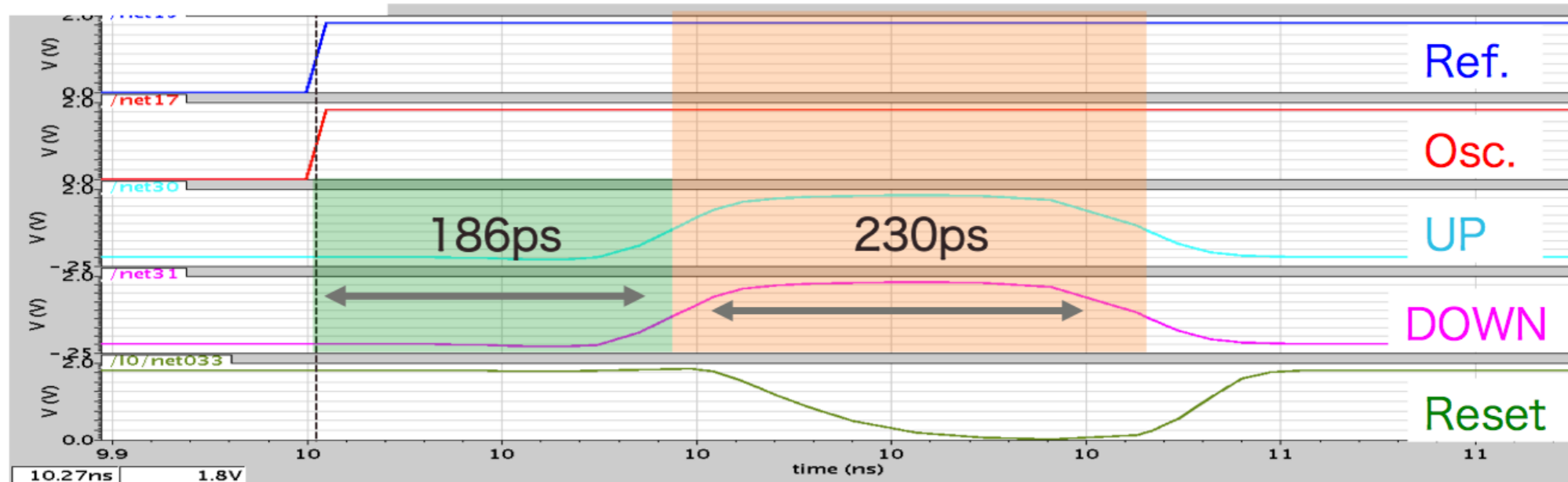
D	CK	Qn
0	↑	0
1	↑	1
0	↑以外	Q
1	↑以外	Q

(予想)

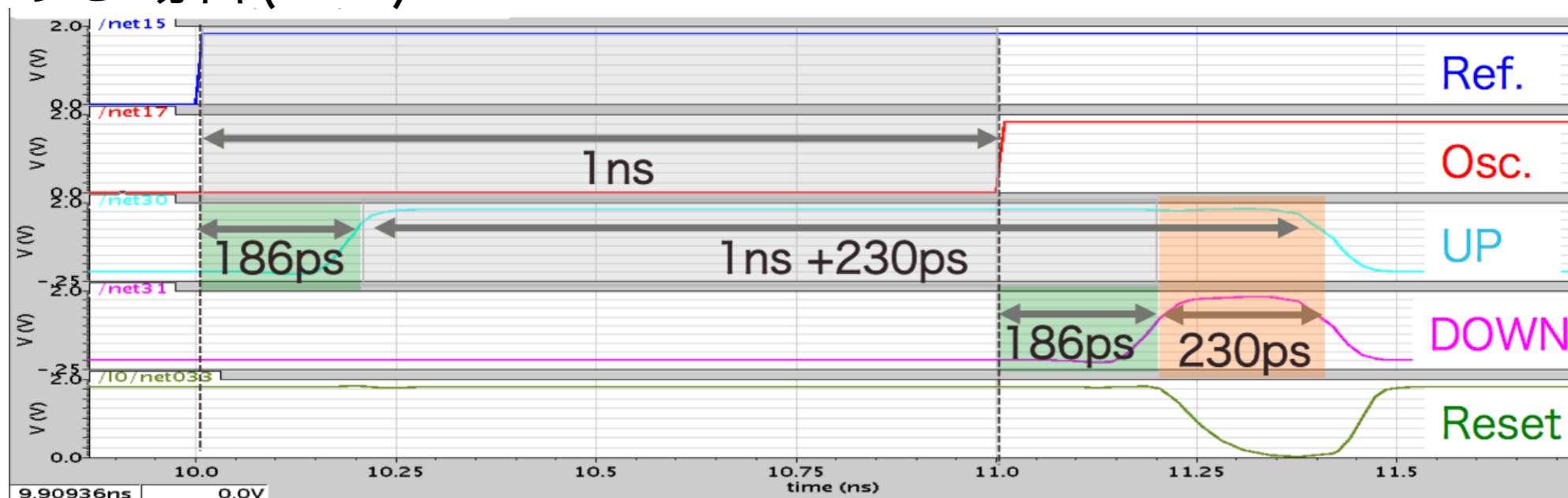


位相比較器 シミュレーション

位相差がない場合

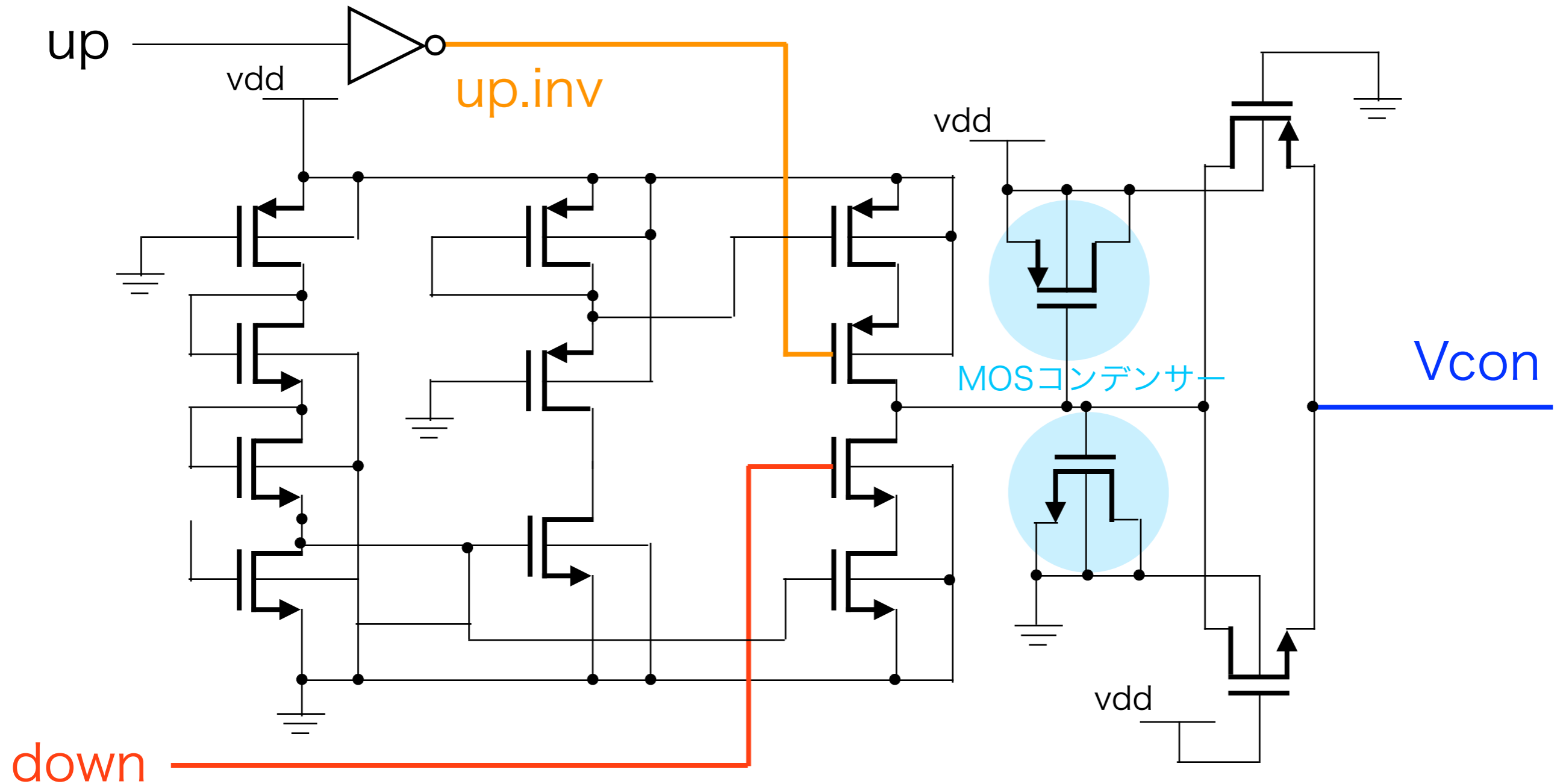


位相差がある場合(1ns)

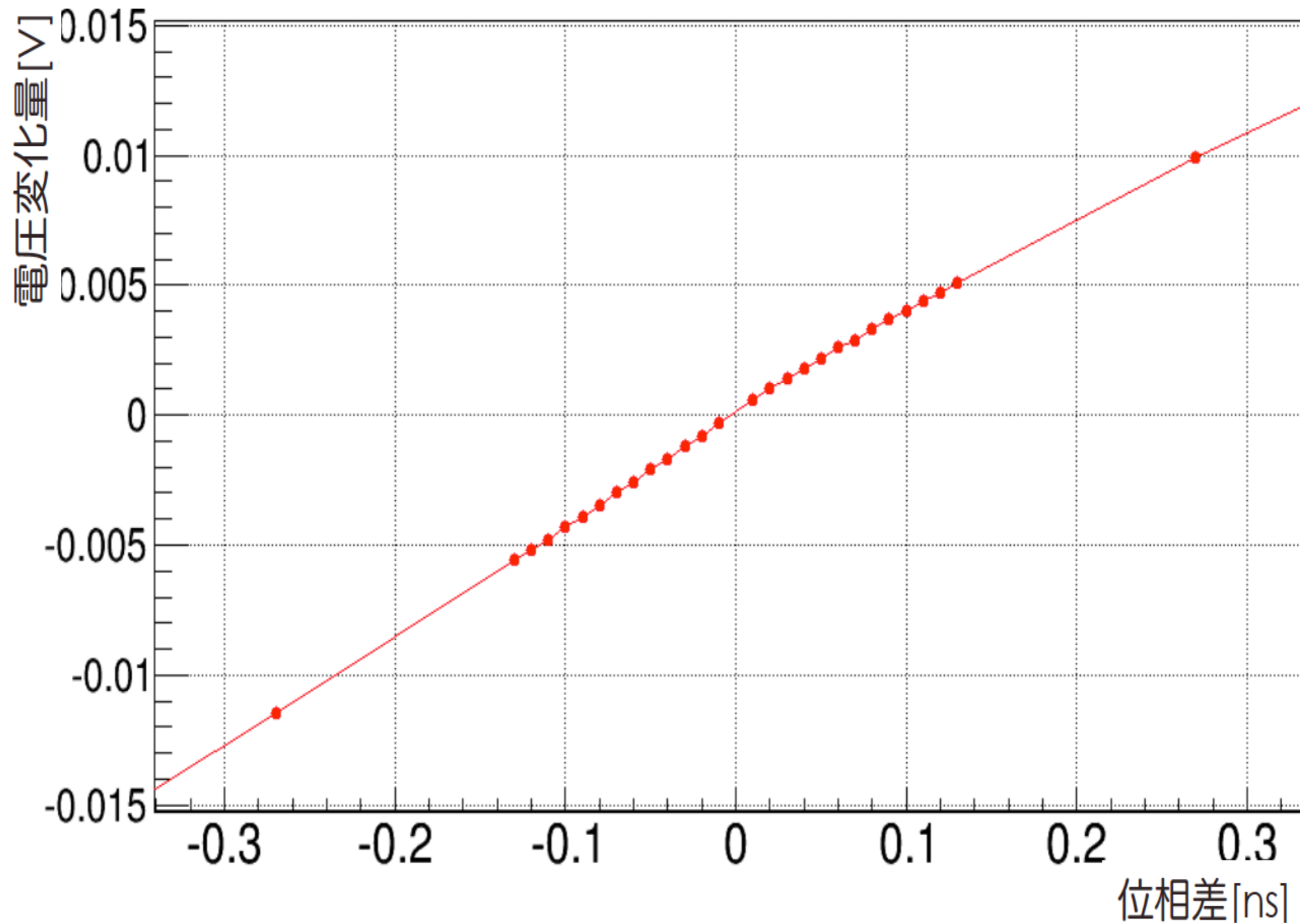


正常に動作している

位相比較器のup,downに応じて、Vconを調節

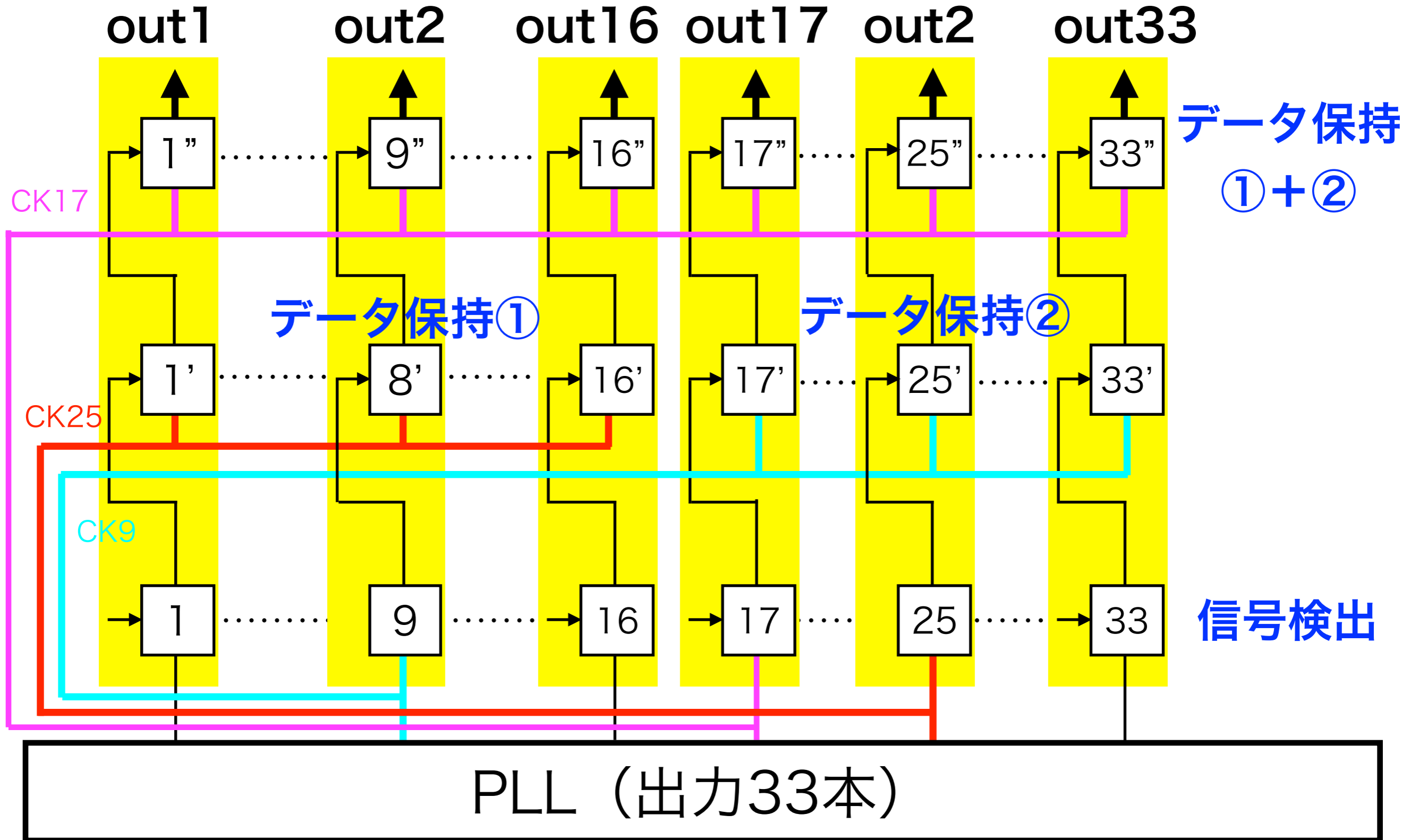


(予想) $V_{con} \nearrow$: up.inv=ON, down=OFF
 $V_{con} \searrow$: up.inv=OFF, down=ON

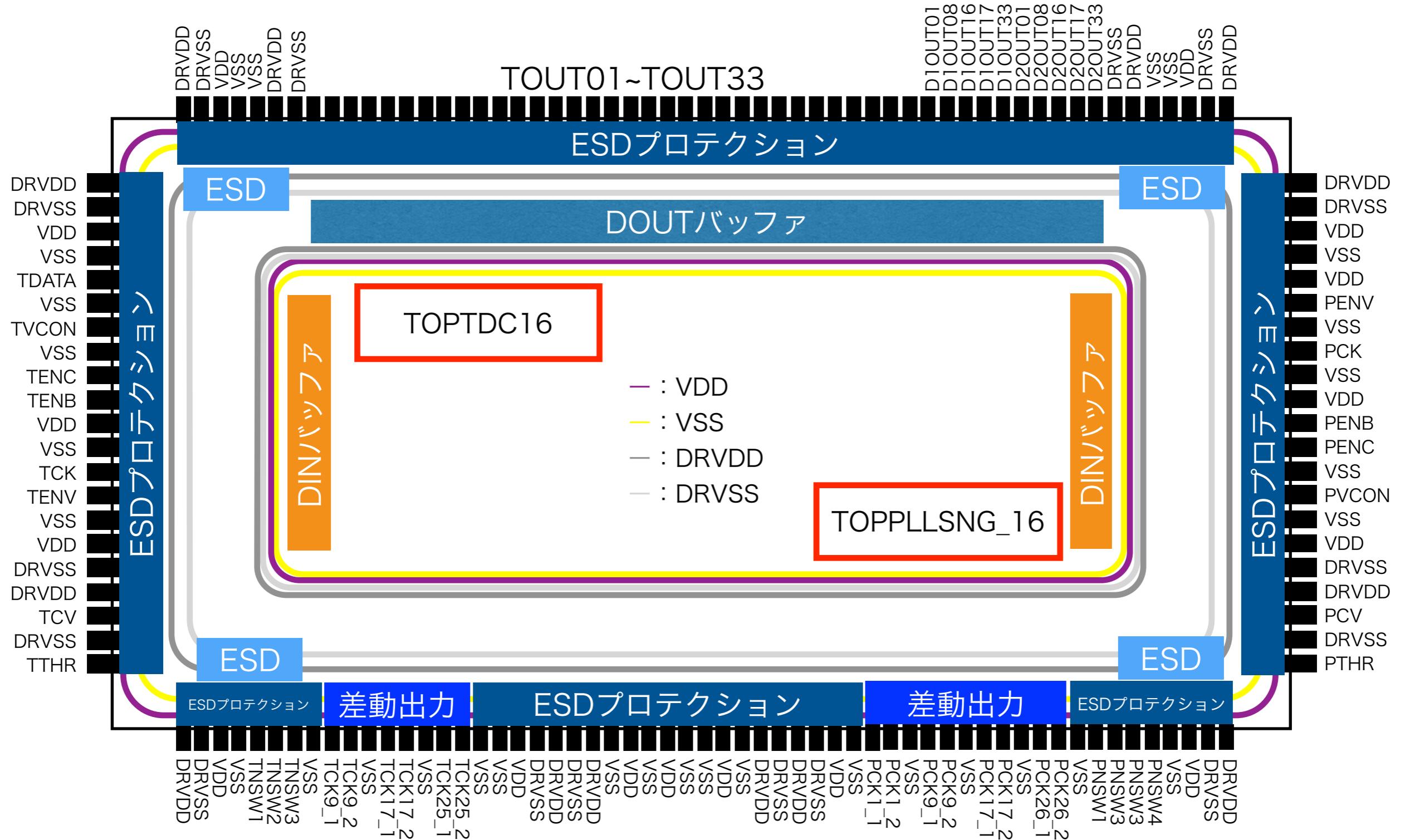


位相差に対して、ほぼ線形的に電圧を変化できている
位相差=0で、電圧変化=0

クロックの配り方

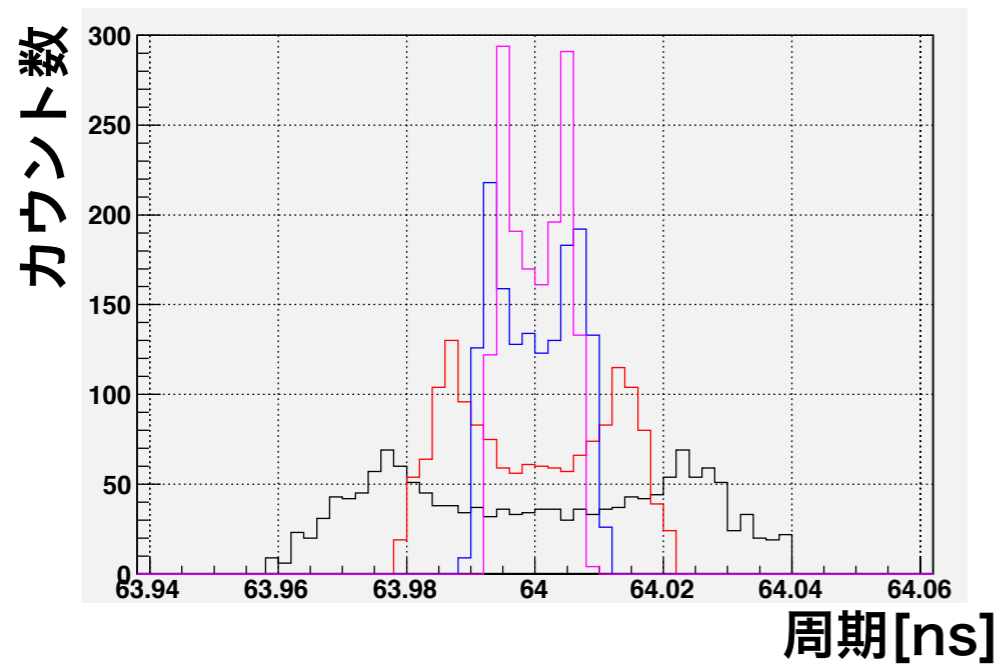
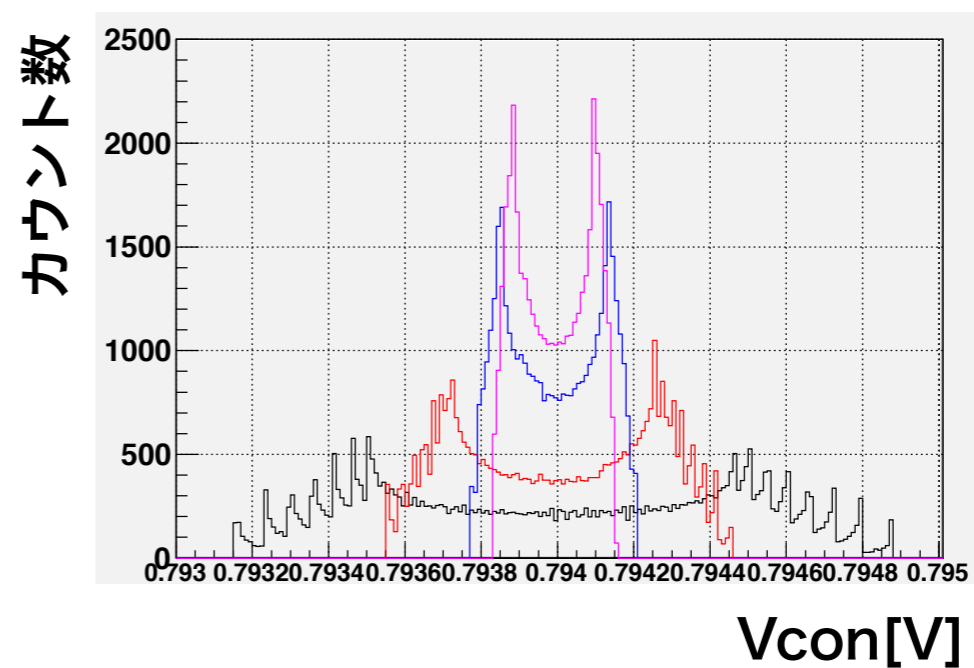
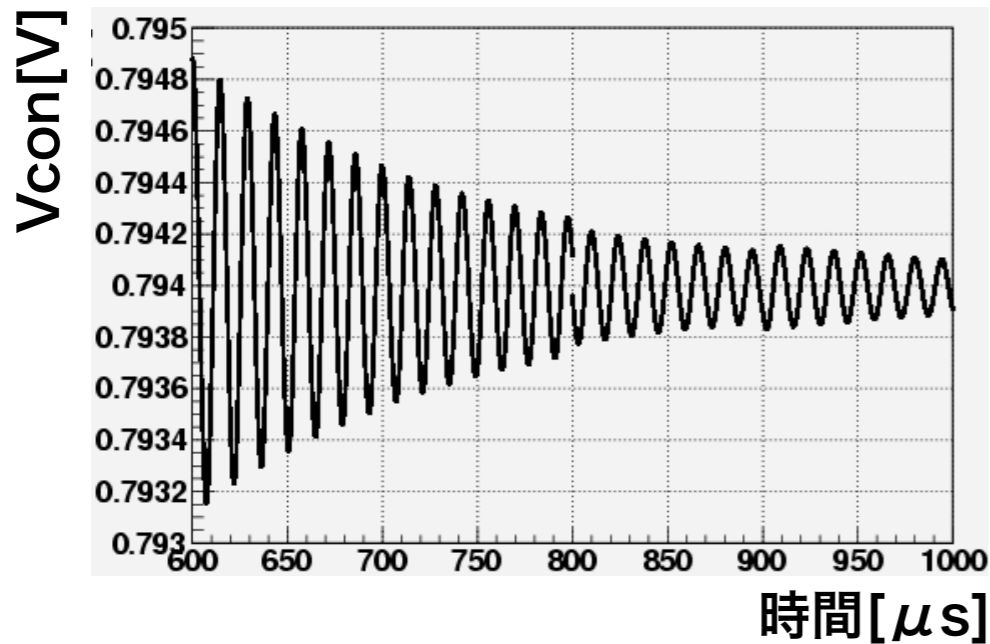
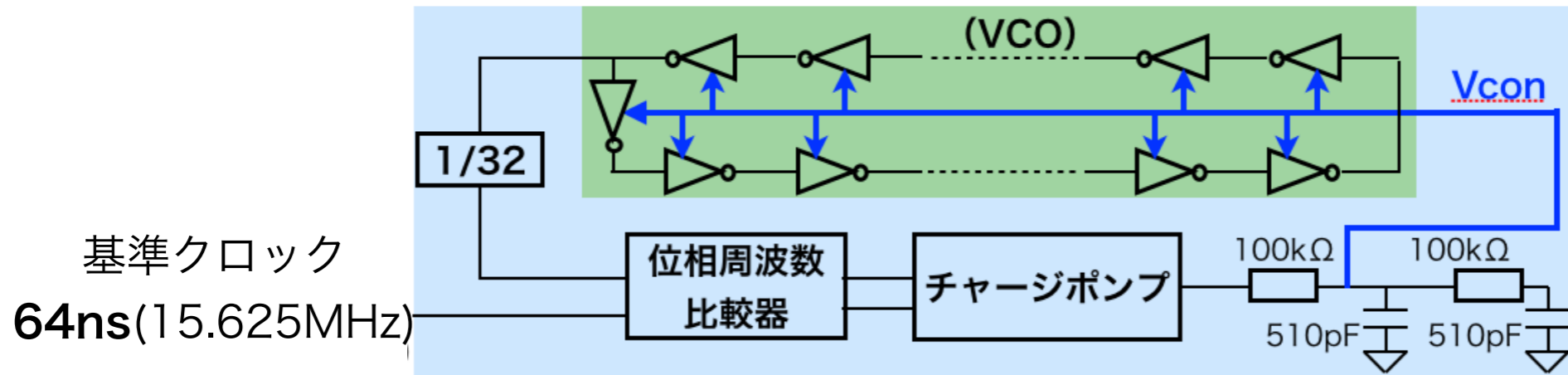


レイアウト図



※差動出力部分のVSSにはESDプロテクションあり

simulation : PLL回路の同期確認



- : 600us ~ 700us
- : 700us ~ 800us
- : 800us ~ 900us
- : 900us ~ 1ms

$V_{con} = 0.7940 \text{ V} \pm 0.1 \text{ mV}$

周期 : $64.000 \text{ ns} \pm 4 \text{ ps}$

PLLの設計が完了

消費電力

電源	1.8V, 67mA	→ 120.6mW
電源	3.3V, 173mA	→ 570.9mW
CV	1.8V, 22mA	→ 39.6mW
THR	1.3V, 14mA	→ 18.2mW

この設計ではだめ
抵抗値が小さすぎる

