

# 最適化した位相同期回路を組み込んだ タイムデジタイザの開発

名大理<sup>A</sup>、Open-It<sup>B</sup>、KEK素核研<sup>C</sup>  
臼井主紀<sup>AB</sup>、戸本誠<sup>AB</sup>、堀井泰之<sup>AB</sup>、小野木宏太<sup>AB</sup>、  
佐々木修<sup>BC</sup>、田中真伸<sup>BC</sup>、田内一弥<sup>BC</sup>

タイムデジタイザ (TDC) は、多くの物理実験で使用されている  
要求時間分解能

- ・ ATLAS MDT : 約250 ps
- ・ Belle II TOPカウンター : 50 ps

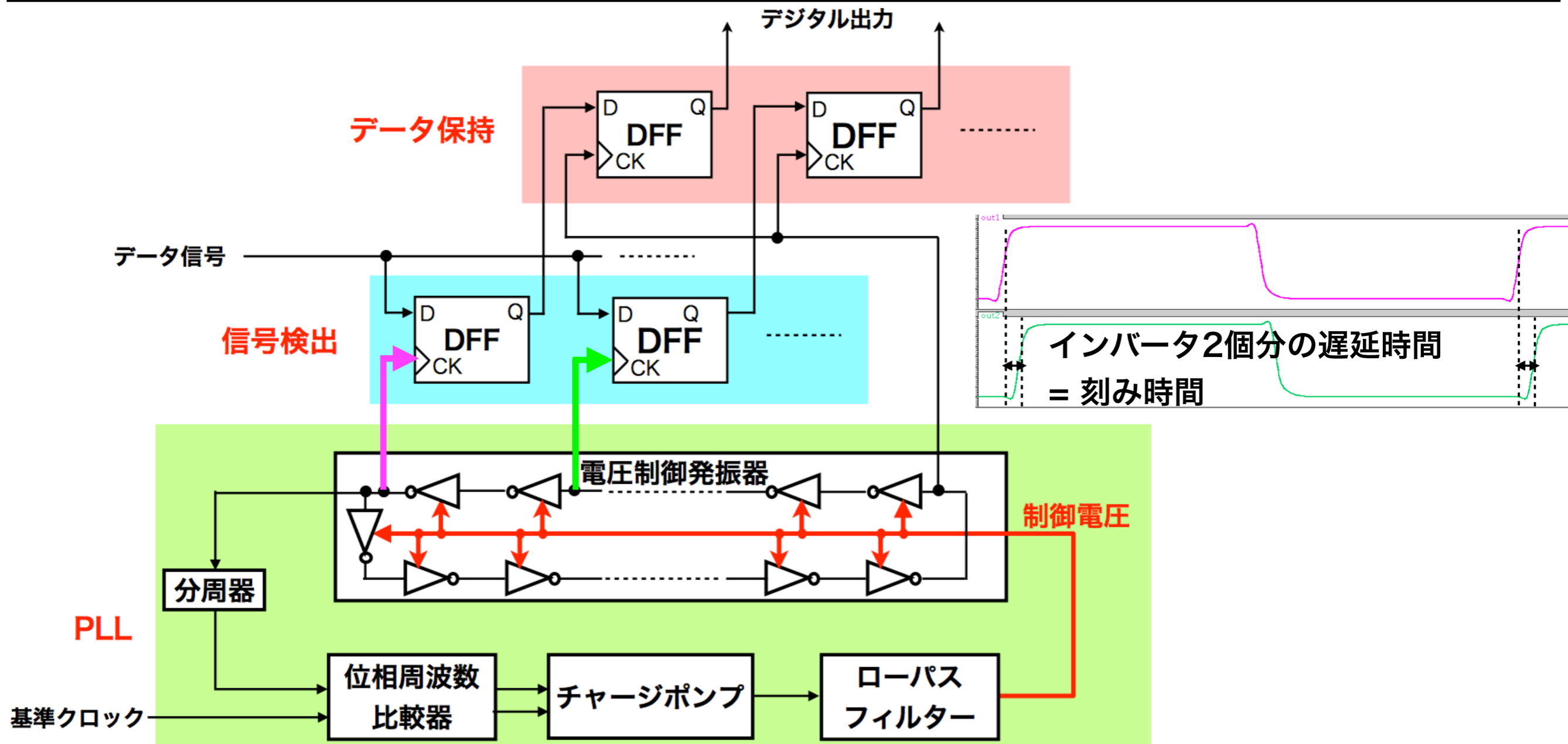
**位相同期回路 (Phase Locked Loop ; PLL) を用いたTDCの構成**

利点 : ICプロセスの微細化に伴い、高速動作が可能

## 目標

- ・ PLLを用いて、 $O(100)$  psの時間分解能を持つTDCをASICで開発する
- ・ プロセスによる高速化の限界を調べる
  - 使用プロセス : Taiwan Semiconductor Manufacturing Co., Ltd(TSMC社)  
180nm(  $L_{\min}=180\text{nm}$ )

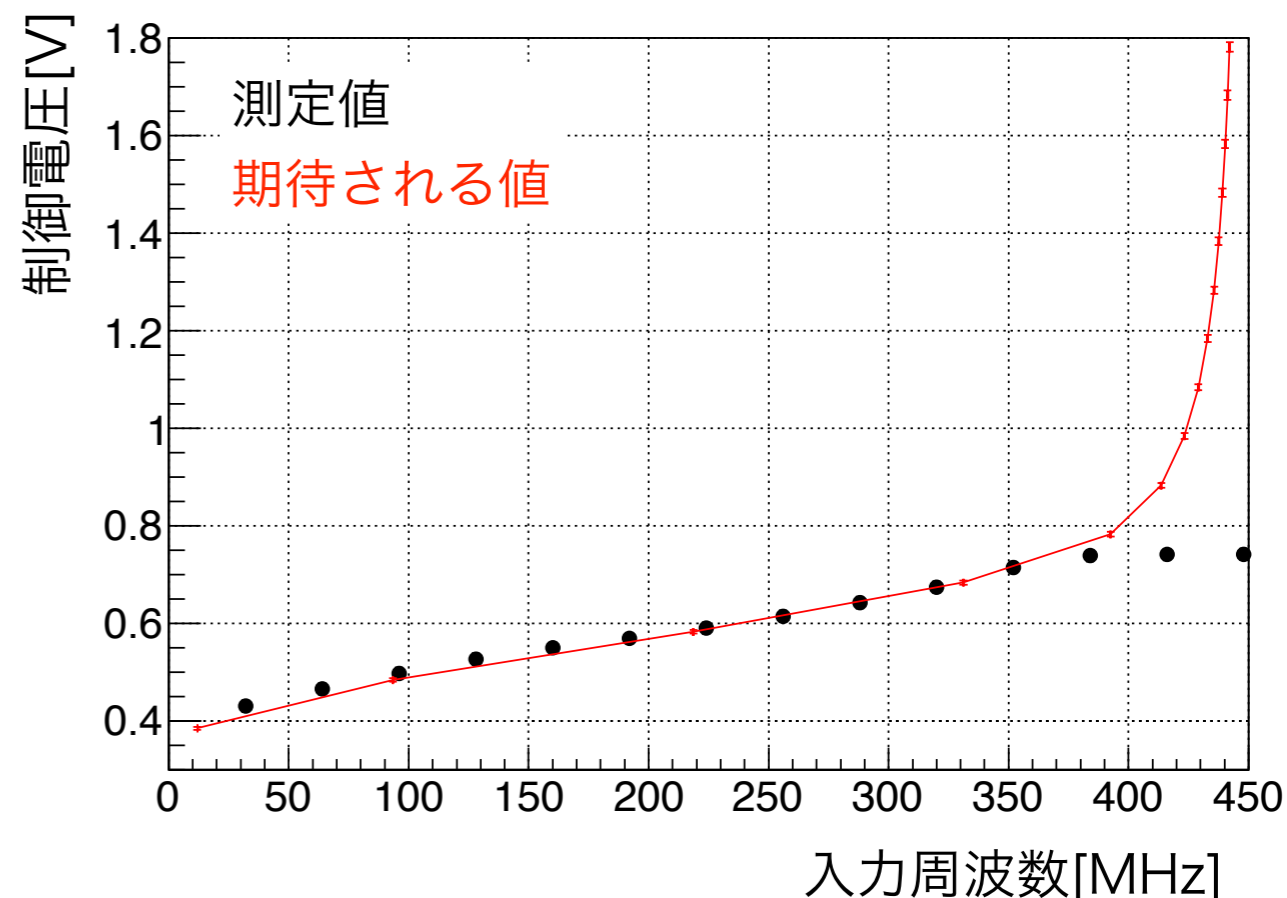
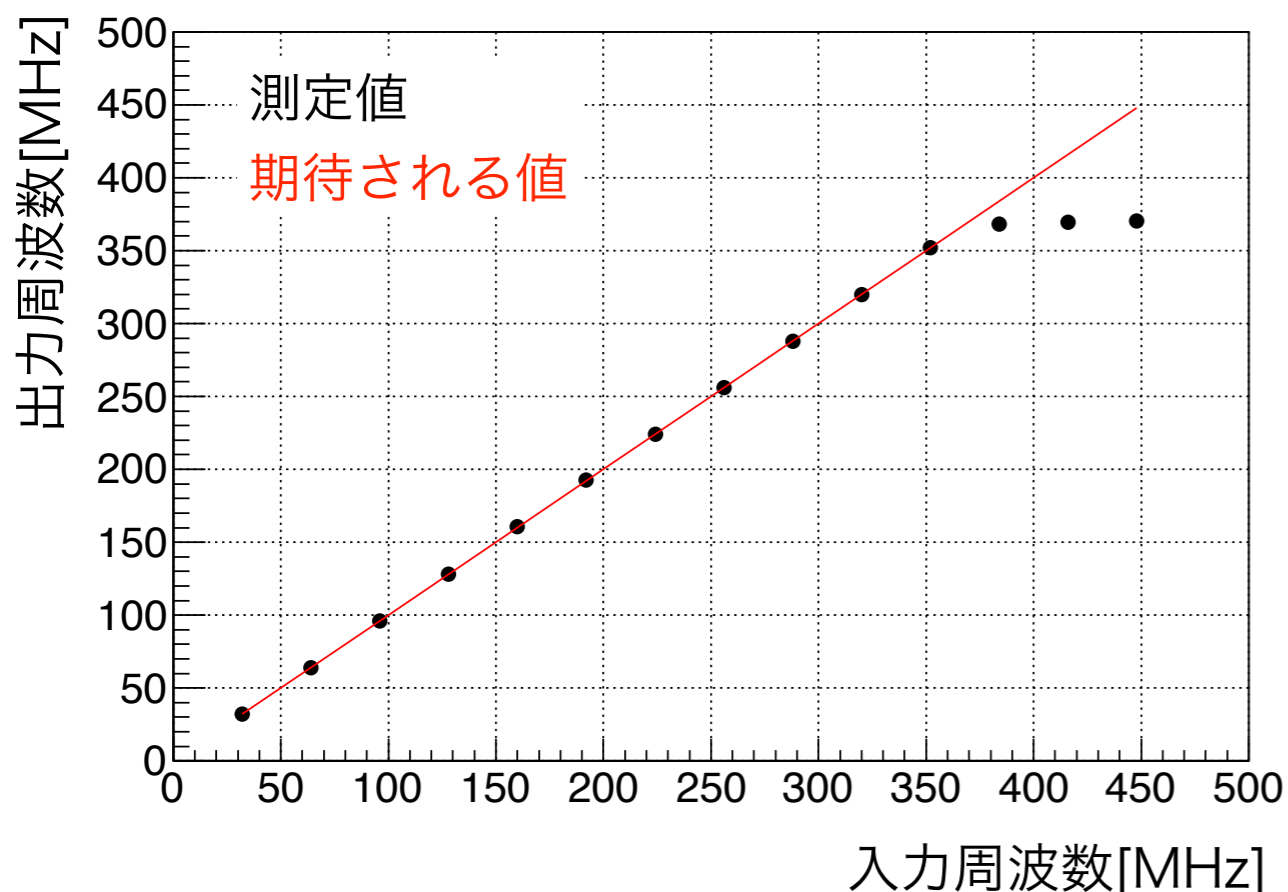
# PLLを用いたTDCの構成



- 利点：基準クロックに対して、周波数がN倍のクロック信号を生成できる
- 基準クロックで動作をモニターでき、温度変化や電源電圧変化に強い
- 校正が簡単
- 多チャンネル化が容易

TDCの時間分解能には、電圧制御発振器のインバータの性能が大きく寄与する

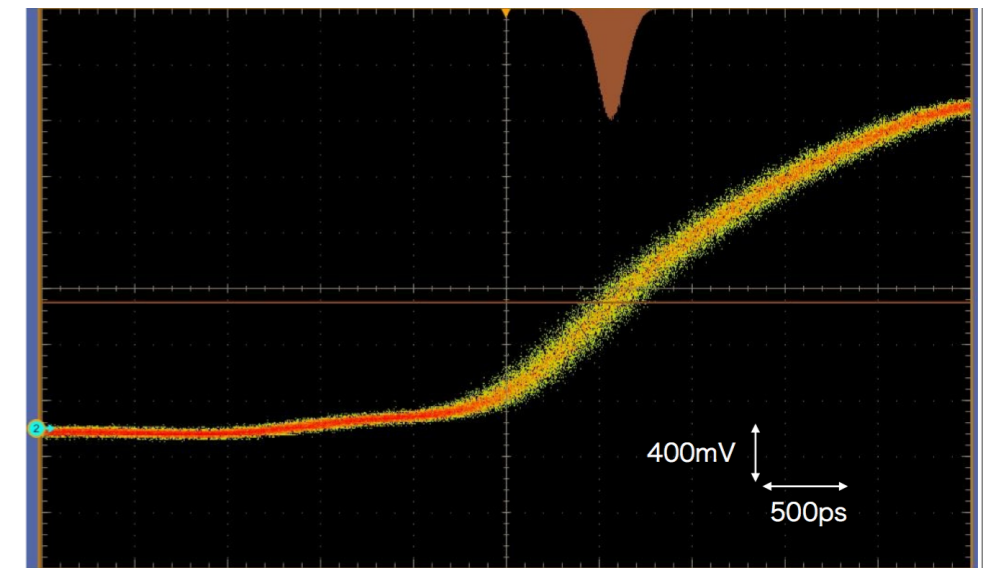
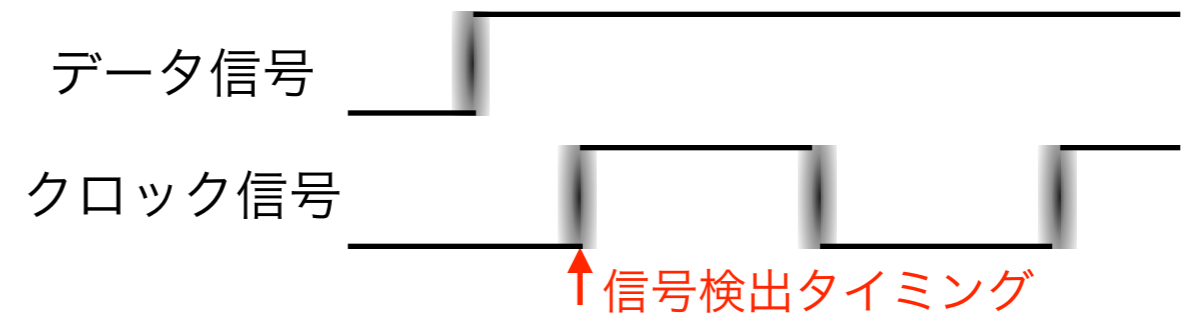
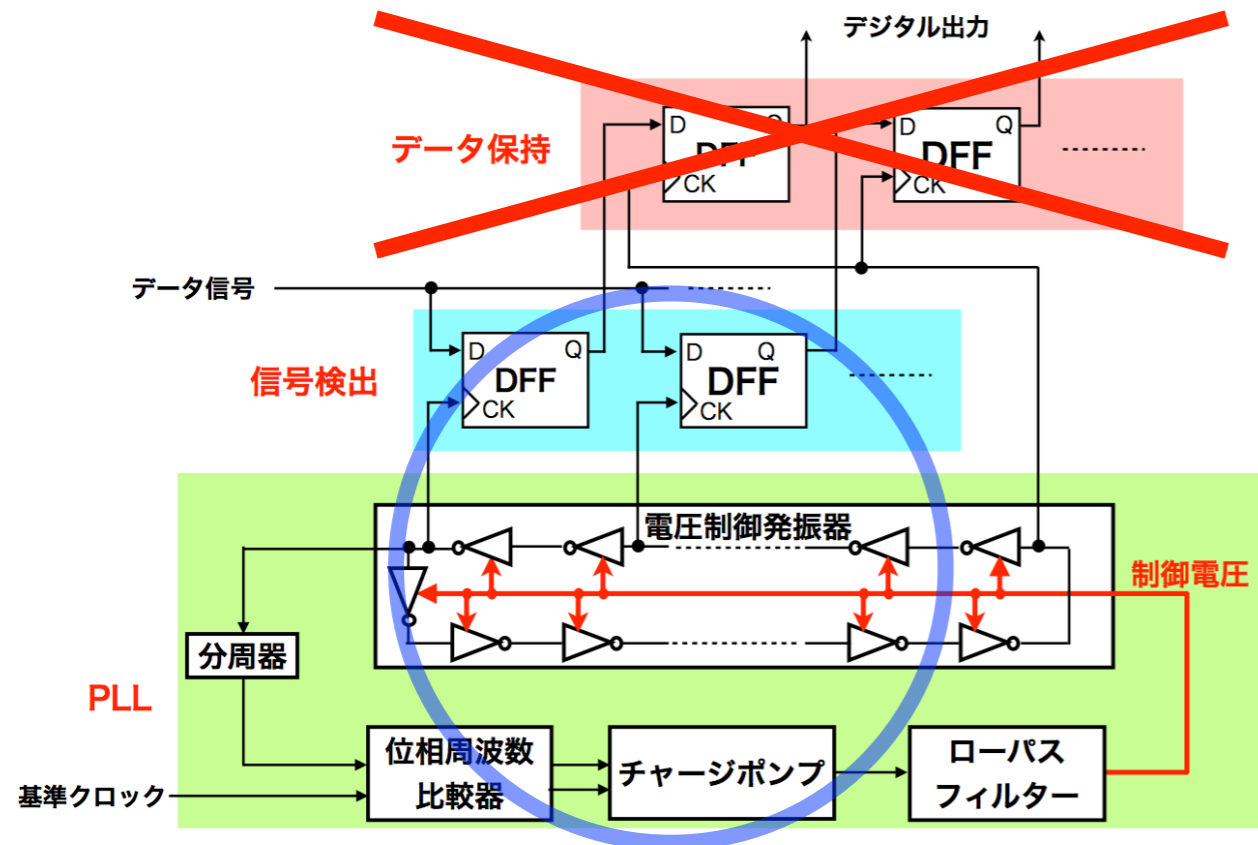
前回の学会で報告した (2014年秋期学会 21aSG04)



- 最小刻み時間 約83 ps (基準クロック11.5 MHz入力時)
- ジッタ 19 ps - 25 ps (基準クロック11.5 MHz入力時)

※約370 MHz以上 (制御電圧：約0.72 V) で動作しない原因はレイアウト時の寄生容量

## 信号検出部分は期待通りの出力波形を確認できた



## 問題点

デジタル出力が測定できない

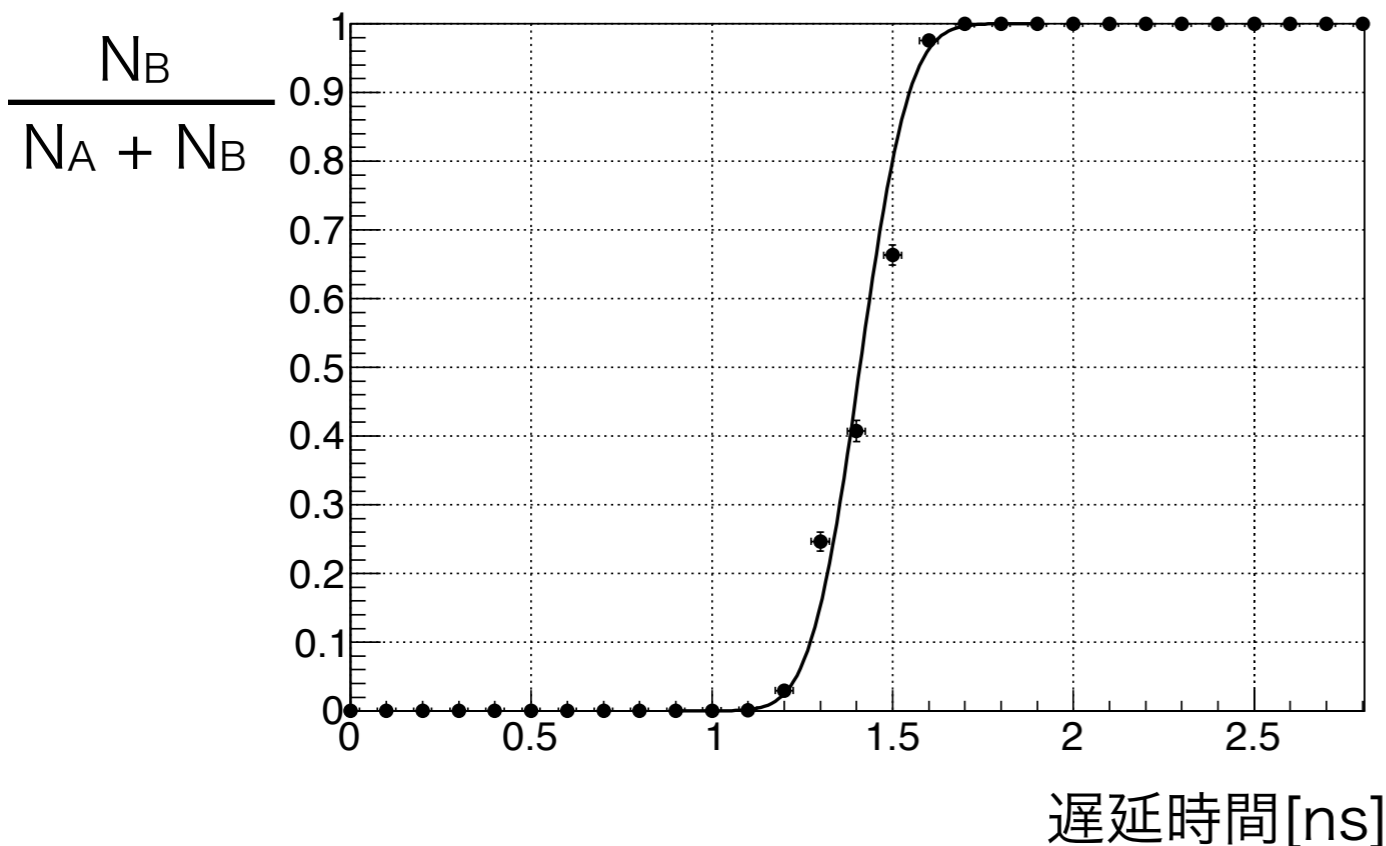
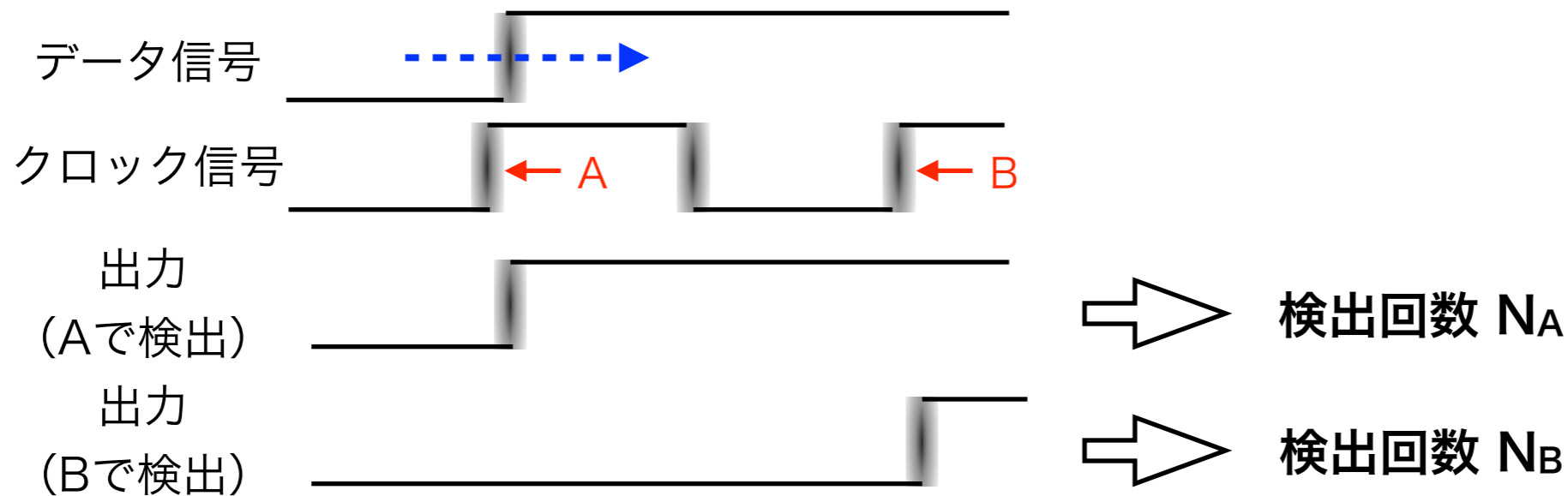
## 原因

MOSFETのサイズを誤ったため、クロック信号がDFFに入力できていない

→ 信号検出部分の出力から時間分解能を導出する

## 導出方法

データ信号をあるクロック信号の立ち上がり (A) まわりでスキャンして、検出するかどうか調べる



誤差関数をフィッティング

$$f(x) = 0.5 \times \operatorname{erf} \left( \frac{x - a}{\sqrt{2b}} \right) + 0.5$$

bが時間分解能

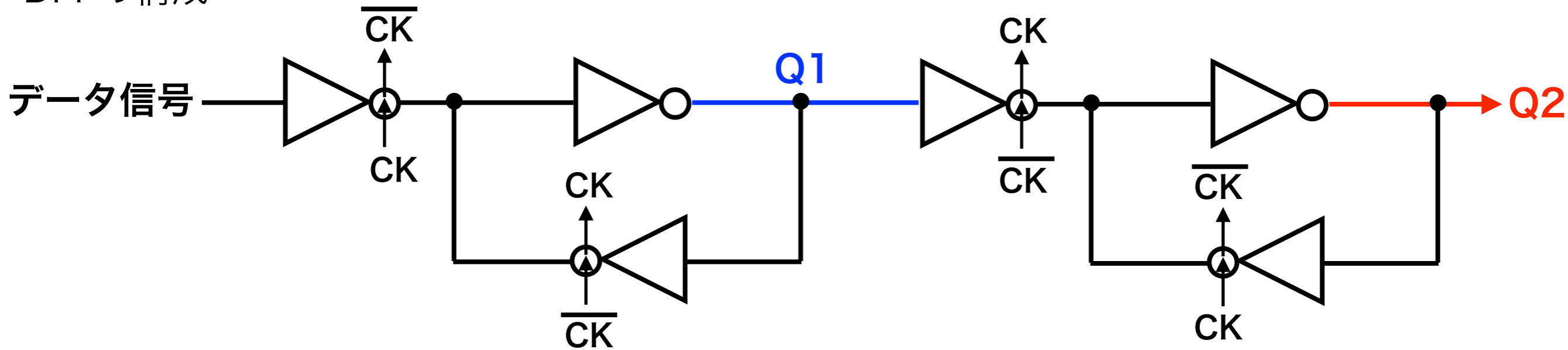
→  $134 \pm 4$  ps

刻み時間 (約83 ps) とジッタ (約20 ps)

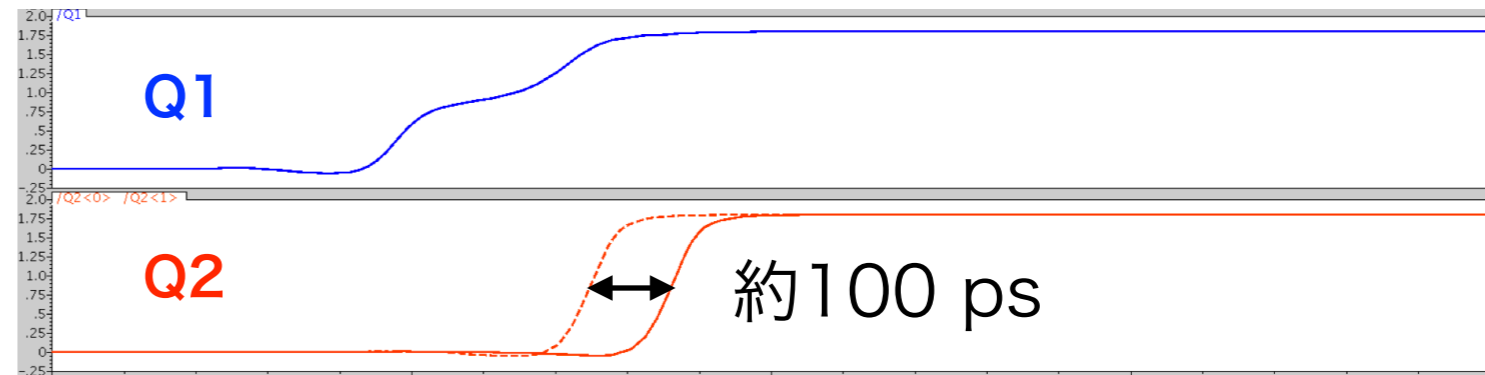
に対して大きい

時間分解能悪化の一因として、DFFのアナログ特性が考えられる

DFFの構成

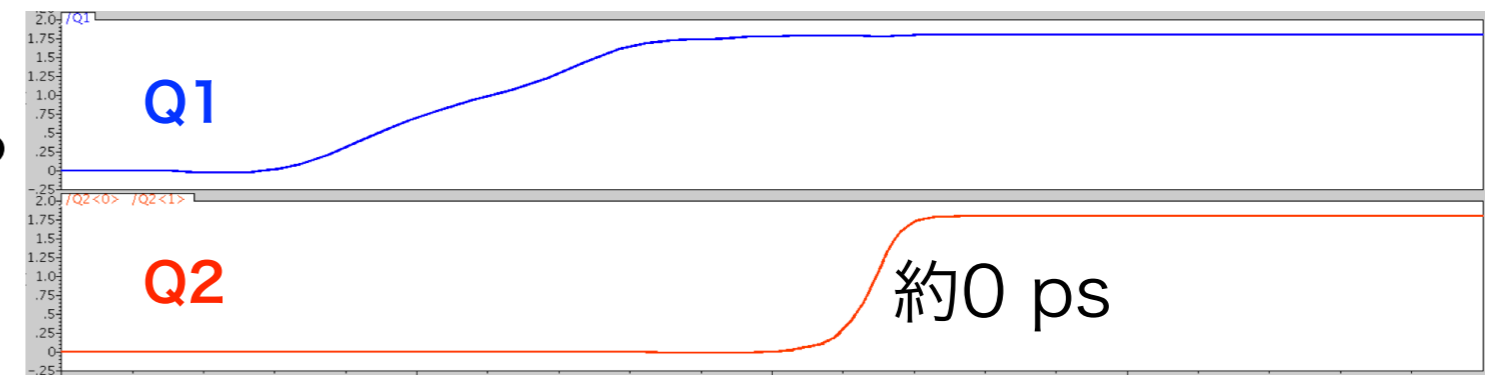


データ信号のゆらぎ (10ps) が、約100psのずれとして出力される場合がある



改善策：

クロックドインバータの応答速度を早くすれば、出力のずれを解消できる



注意点

消費電力、サイズ、レイアウト

さらに高時間分解能にするため、PLLの刻み時間を向上させる

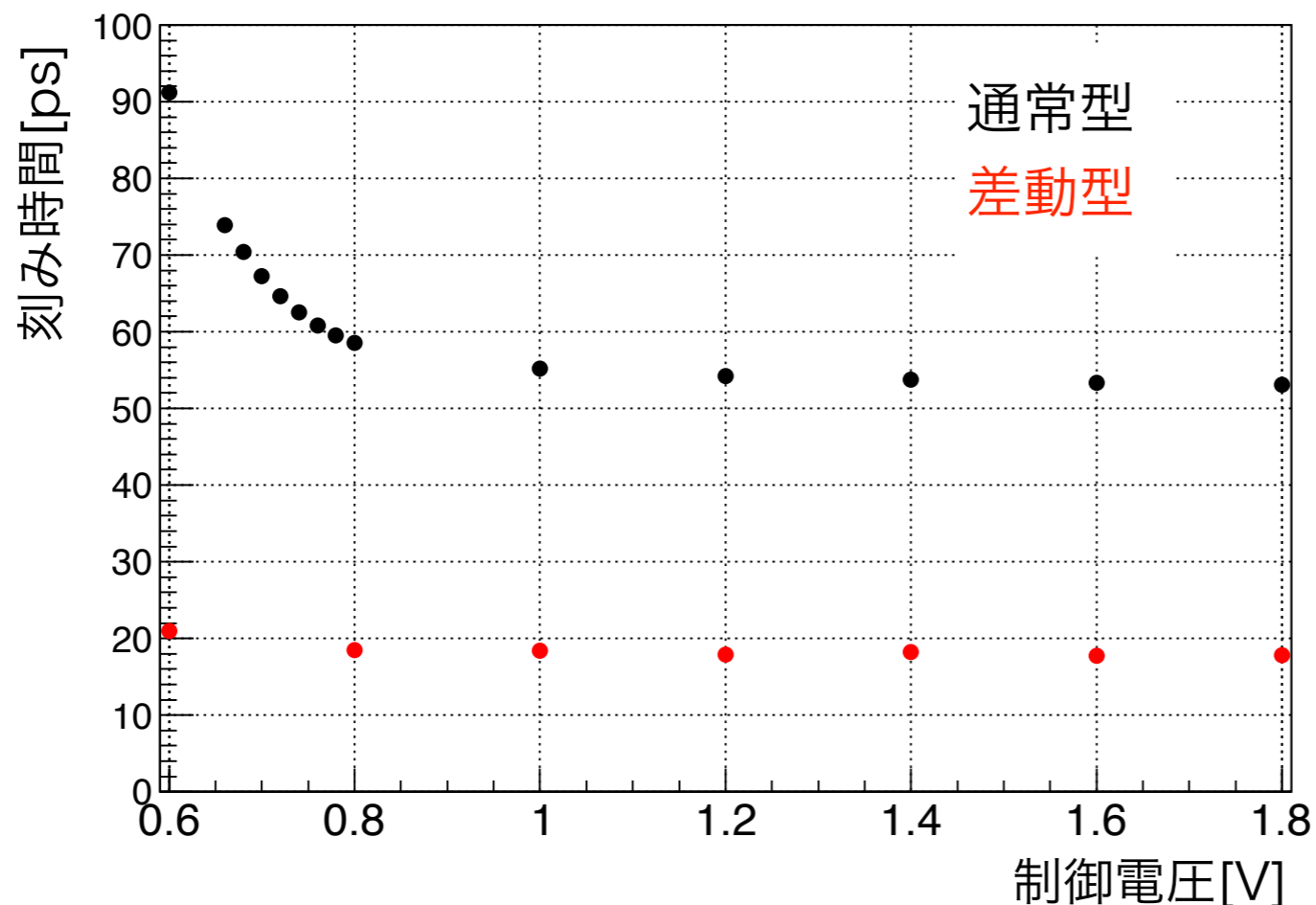
## 1. 差動型電圧制御発振器

### 利点

- ・ コモンモードノイズを打ち消せる
- ・ 偶数個のインバータで構成できるので、出力を8bitや16bitにしやすい

### 注意点

- ・ 信号線のレイアウト
- ・ 消費電力



最小刻み時間  
53 ps → 18 ps



## 2. 抵抗挿入型電圧制御発振器

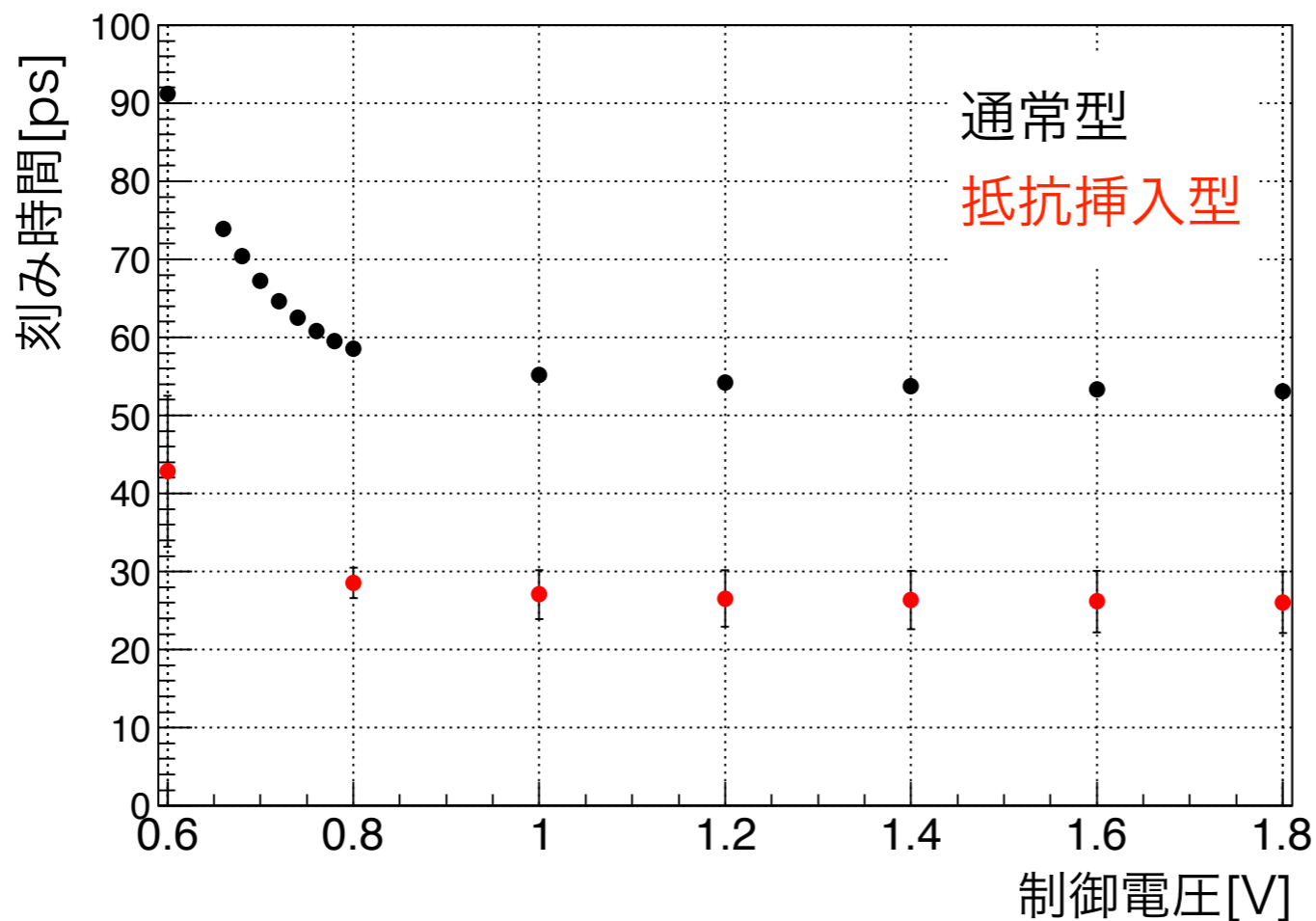
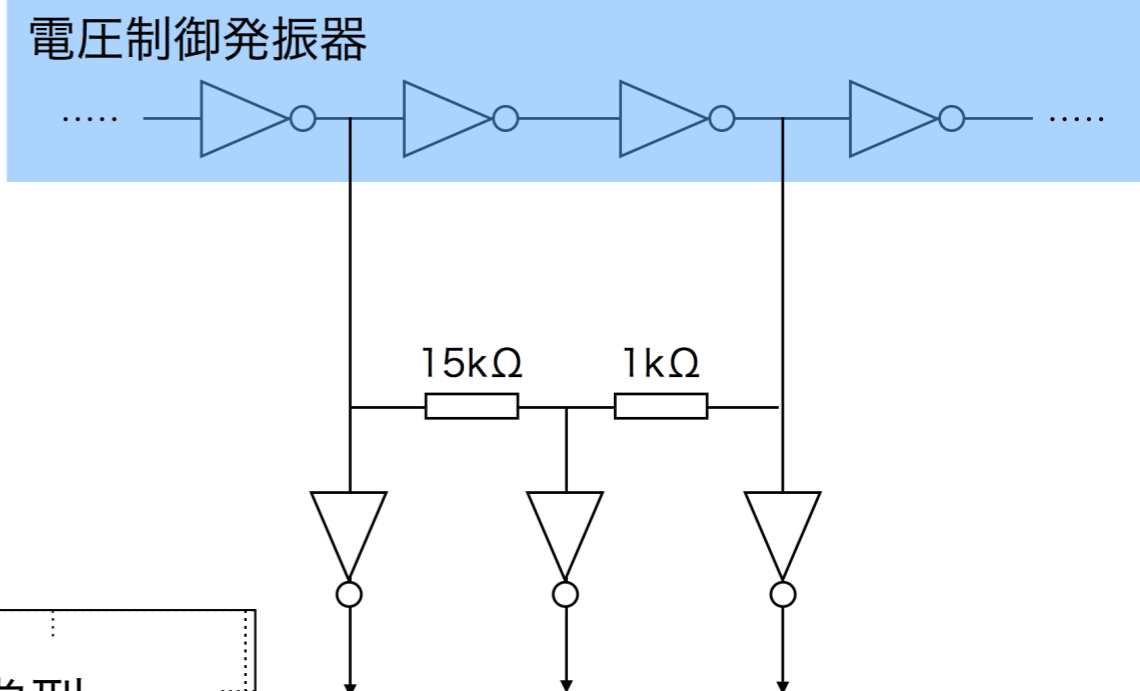
(L Perktold and J Christiansen 2014 JINST 9 C01060)

### 利点

- ・ 刻み時間の分割数を抵抗の数で決められる

### 注意点

- ・ 抵抗のサイズ
- ・ レイアウト



最小刻み時間  
53 ps → 26 ps

## 位相同期回路を用いて汎用タイムデジタイザの開発を行なった

- ・ 位相同期回路

最小刻み時間：83 ps

ジッタ：19 ps - 25 ps

- ・ タイムデジタイザ

時間分解能：134 ± 4 ps

→ **様々な高エネルギー実験に使用できる可能性を示した**

## 次期チップ製作に向けた提案

- ・ Dフリップフロップのアナログ特性を考慮した設計
- ・ 電圧制御発振器の改良

- 差動型

最小刻み時間：18 ps

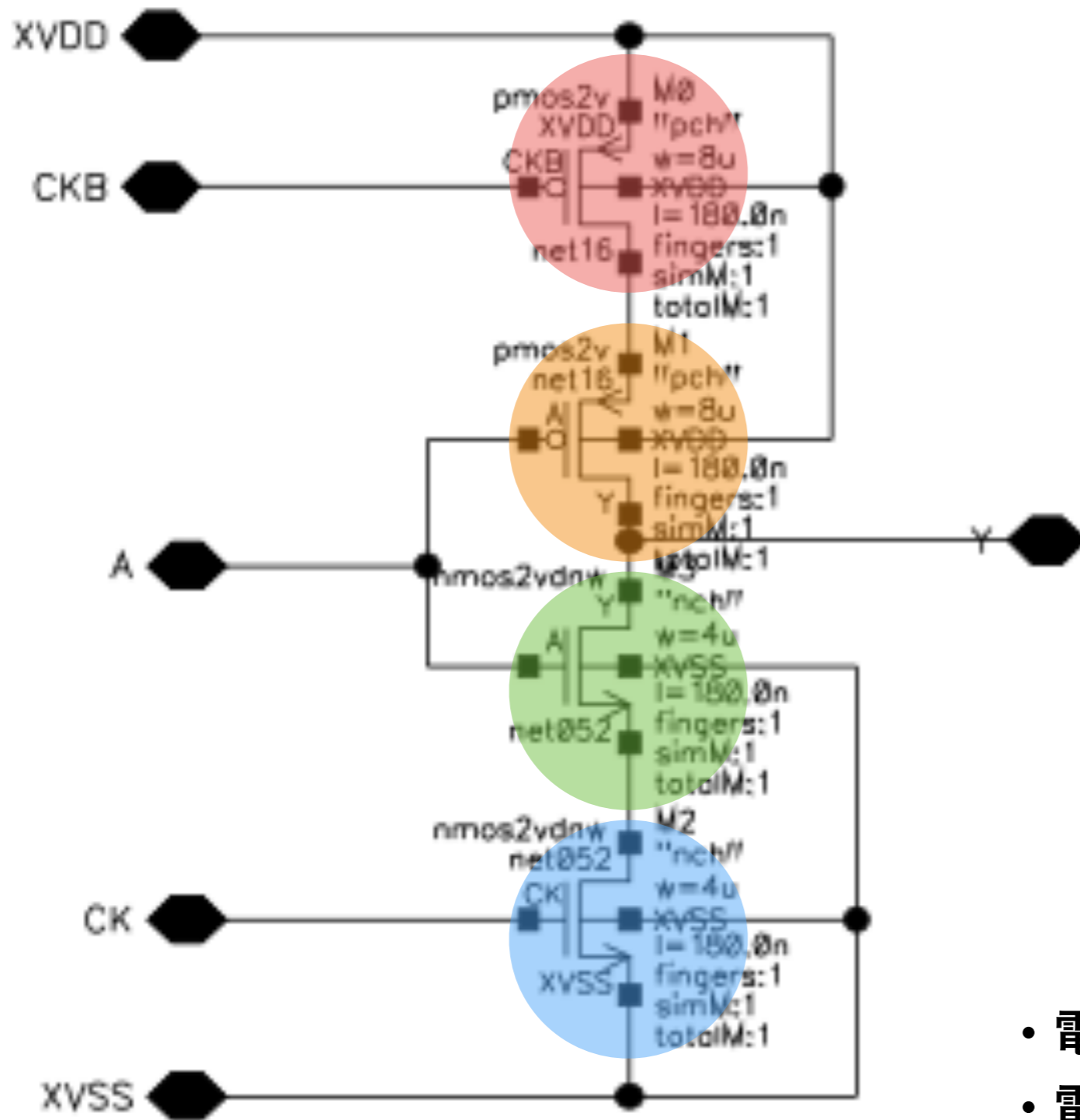
- 抵抗挿入型

最小刻み時間：26 ps

**本研究を基礎とすれば、約20psの時間分解能をもつ汎用タイムデジタイザが開発可能であることを明らかにした**

backup

# クロックドインバータ



パラメータ (上のMOSから順に)

改良前

L=180nm  
W=8um



改良後

L=240nm  
W=60um

L=180nm  
W=8um



変更なし

L=180nm  
W=4um



変更なし

L=180nm  
W=4um



L=240nm  
W=30um

- 電流量を増やすようにWを変更
- 電源ノイズを考慮して、Lは最小値を避ける  
240 nmは、電圧制御発振器のインバータを参考にした