

位相同期回路を用いた 汎用タイムデジタイザの開発

高エネルギー物理学研究室 (N研)

臼井主紀

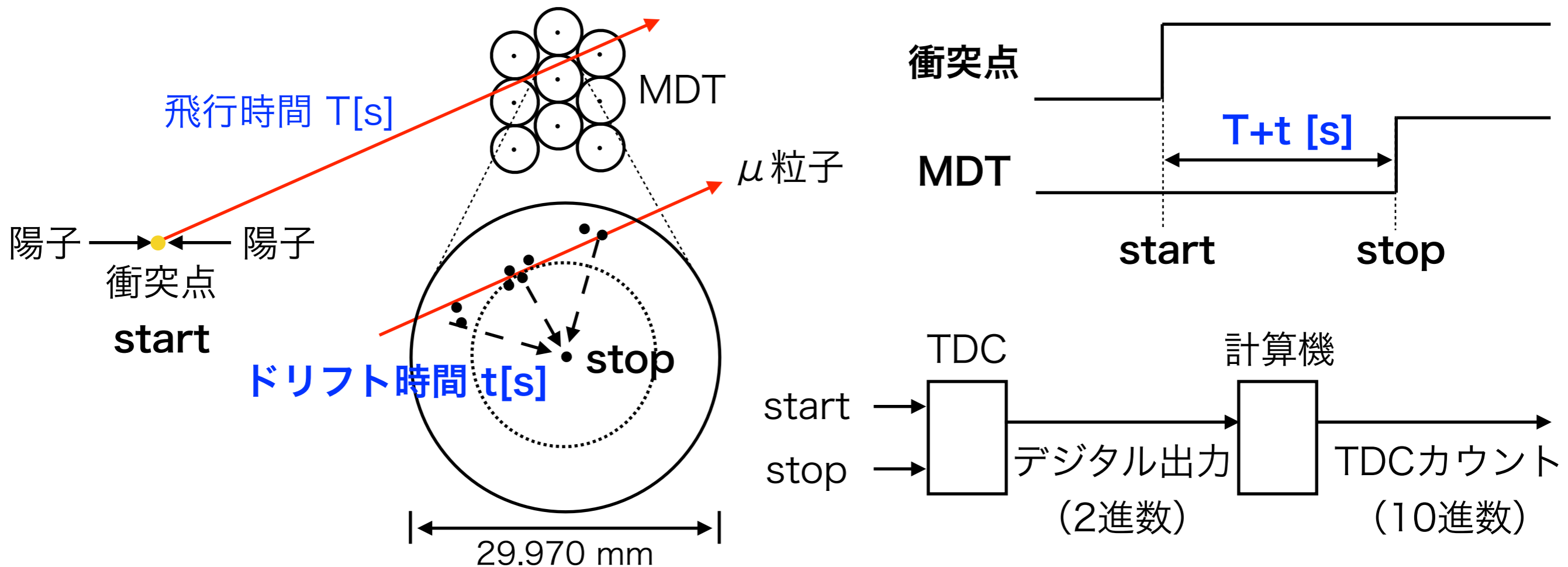
2015.2.12

Introduction

タイムデジタイザ (TDC) は多くの高エネルギー実験で使用される時間計測器

使用例：ATLAS MDT (飛跡検出器)

総チャンネル数 約370,000



要求される位置分解能 $80\mu\text{m}$ を実現するには、ドリフト時間を高精度に測定する必要がある

→ 約780 ps/カウント のTDCを使用している

本研究では、高エネルギー実験で使用することを想定して、汎用的なTDCを開発することを目的とする

「汎用的」

- ・ $O(100)$ psの時間分解能
- ・ 多チャンネル化可能
- ・ 校正が簡単

開発手段

MOSFETを用いて集積回路上で開発する

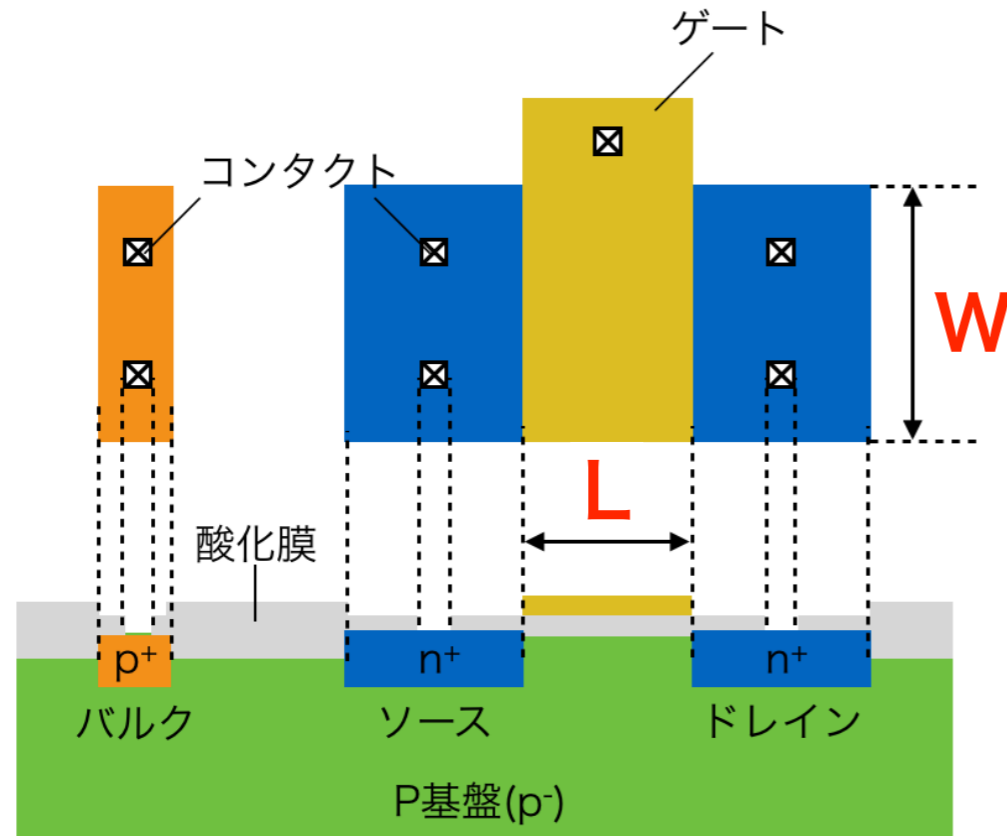
利点

- ・ 微細化に伴って高速化が期待できる
- ・ 小面積

各回路の最小構成要素

NMOSとPMOSの2種類

4つの端子に印加する電圧で、電流を制御するトランジスタ



NMOSの表面図と断面図

相互コンダクタンス

$$g_m \propto W/L$$

容量

$$C \propto W \times L$$

両者を考慮して、パラメータを決定する

使用した製造プロセス

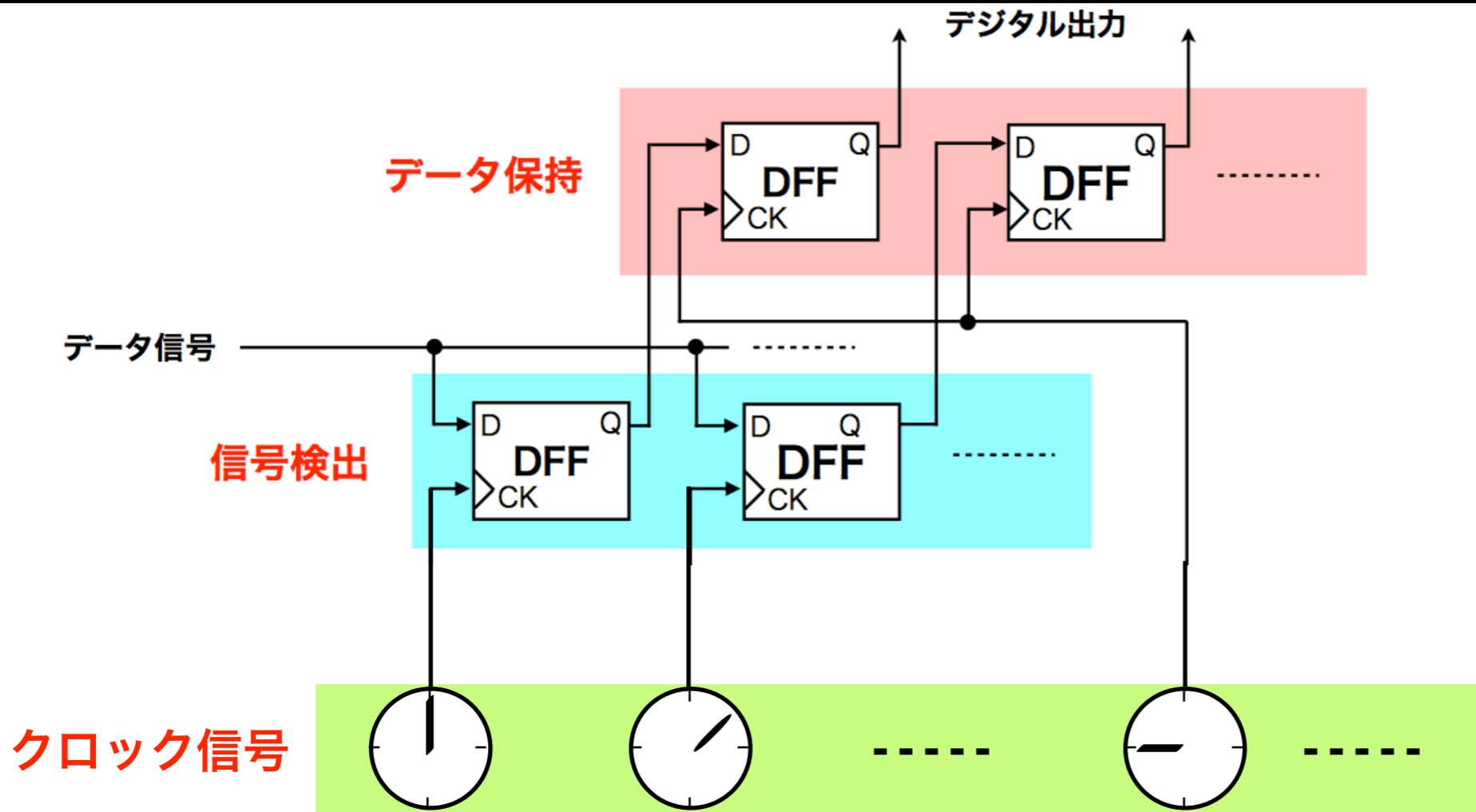
Taiwan Semiconductor Manufacturing Co., Ltd (TSMC) 180 nm

(最小L値：180 nm、動作電圧：0 V - 1.8 V)

使用したシミュレータ

Cadence Design Systems, Inc Virtuoso

TDCの構成



DFFの真理値表

D	CK	Q
0	↑	0
1	↑	1
0	↑以外	保持
1	↑以外	保持

少しずつ遅延したクロック信号を入力

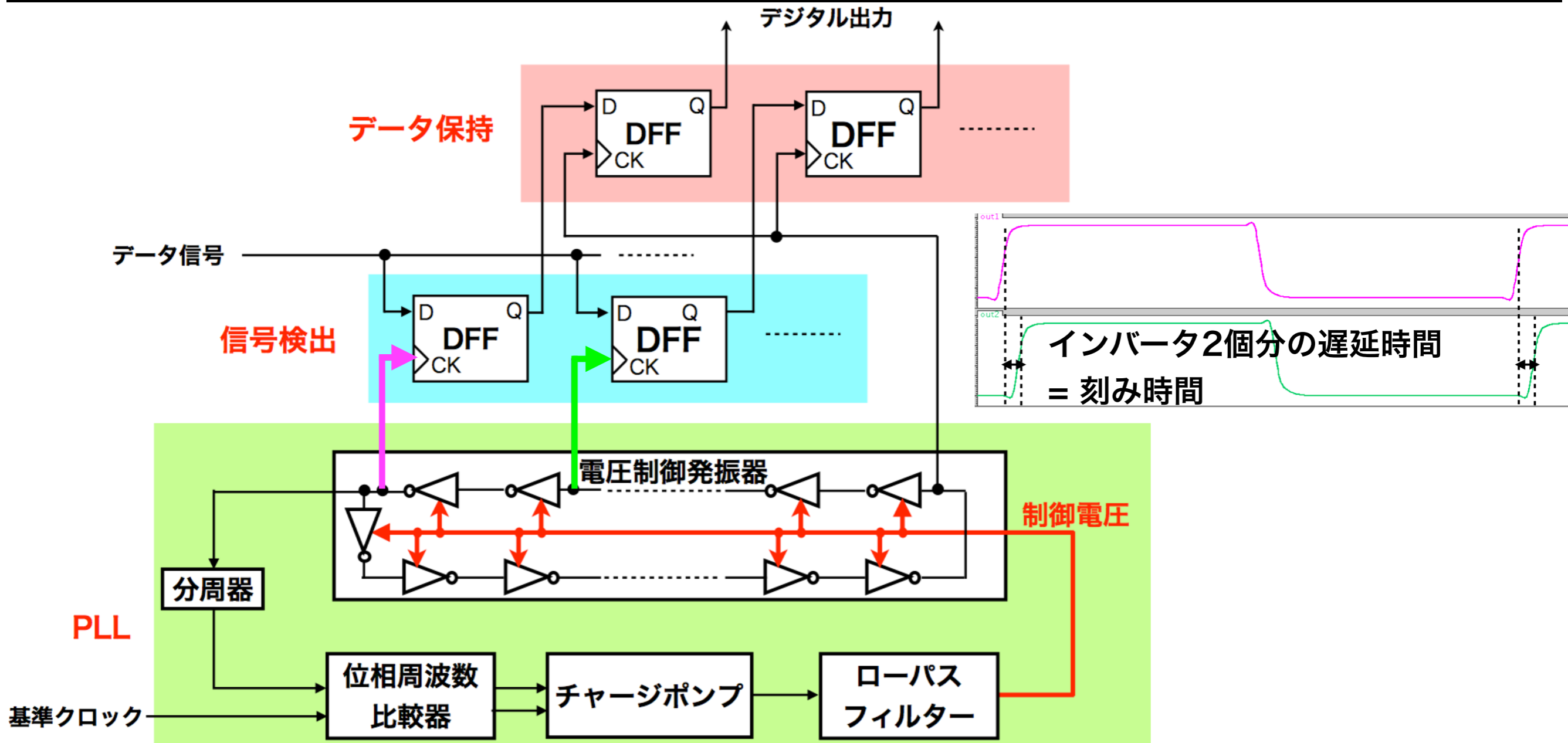
遅延時間（刻み時間）がTDCの時間分解能に大きく寄与する

→ クロック信号に求められること

- ・ 安定
- ・ 刻み時間が小さい

→ **位相同期回路（PLL）に着目した**

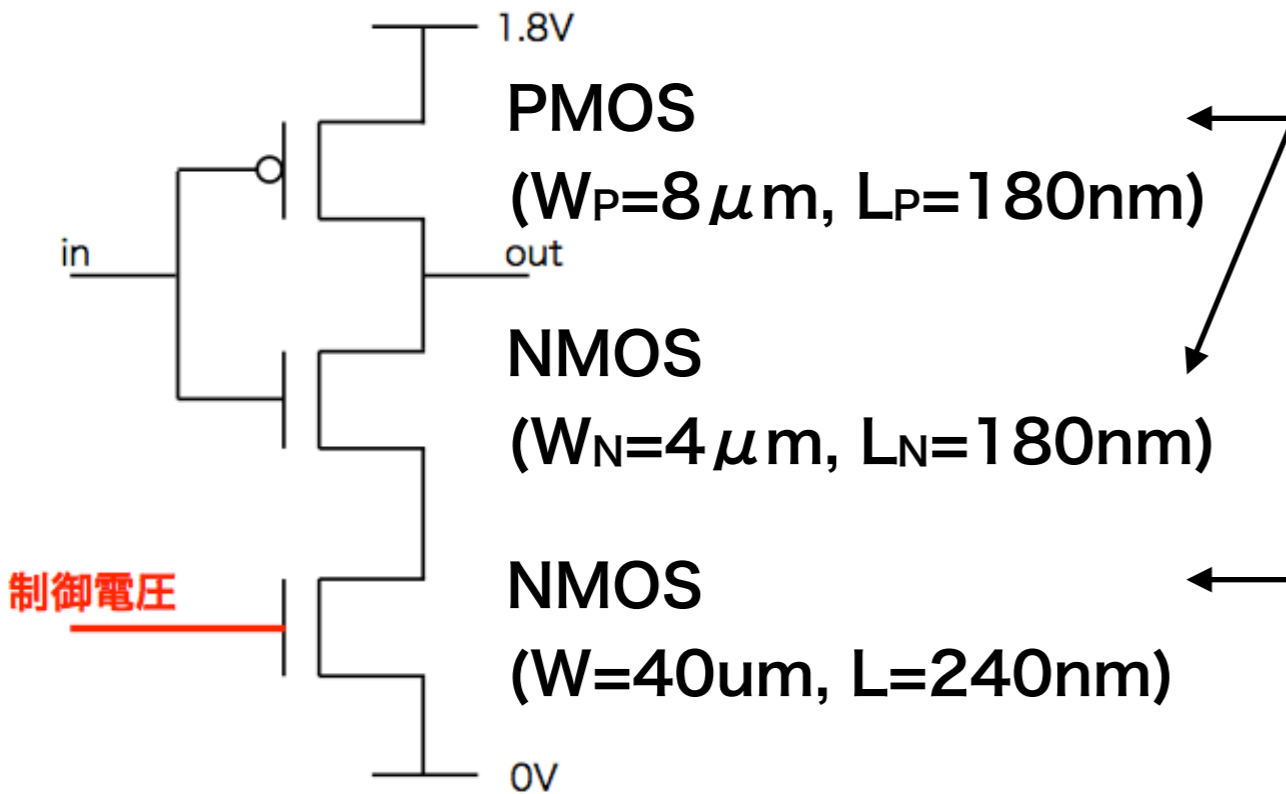
PLLを用いたTDCの構成



- 利点：基準クロックに対して、周波数がN倍のクロック信号を生成できる
- 基準クロックで動作をモニターでき、温度変化や電源電圧変化に強い
- 校正が簡単
- 多チャンネル化が容易

TDCの時間分解能には、電圧制御発振器のインバータの性能が大きく寄与する

電圧制御発振器

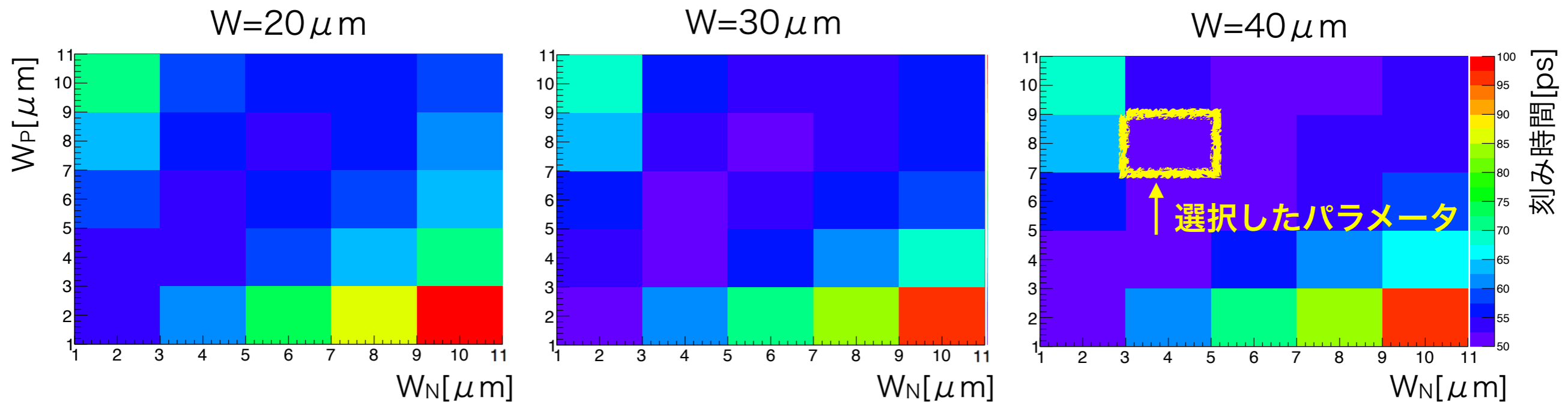


入力論理を反転する

- ・ 刻み時間が小さく、立ち上がり時間と立ち下がり時間が同等になるように W_P と W_N を設定
- ・ L_P と L_N は最小値に設定

電流を制御する

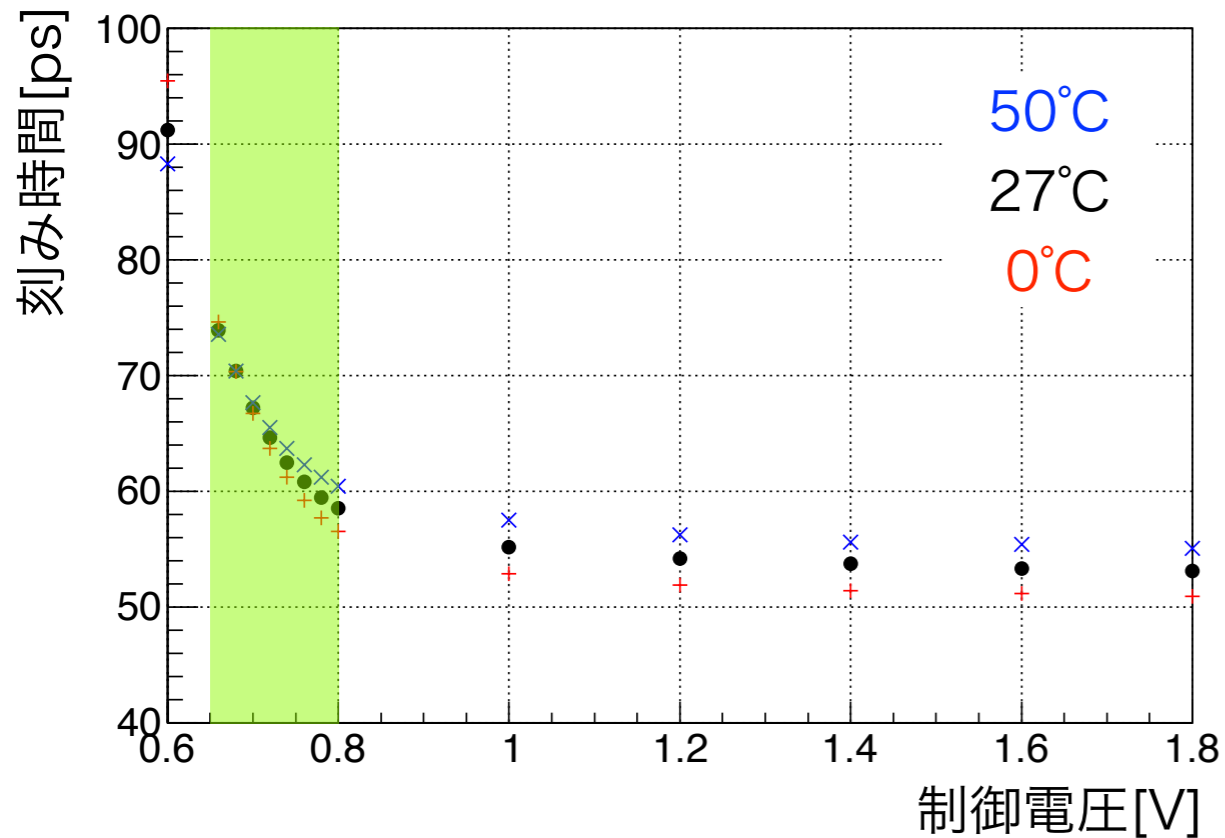
- ・ W/L と $W\times L$ を考慮して設定
- ・ 電源ノイズを考慮して、 L は最小値にはしない



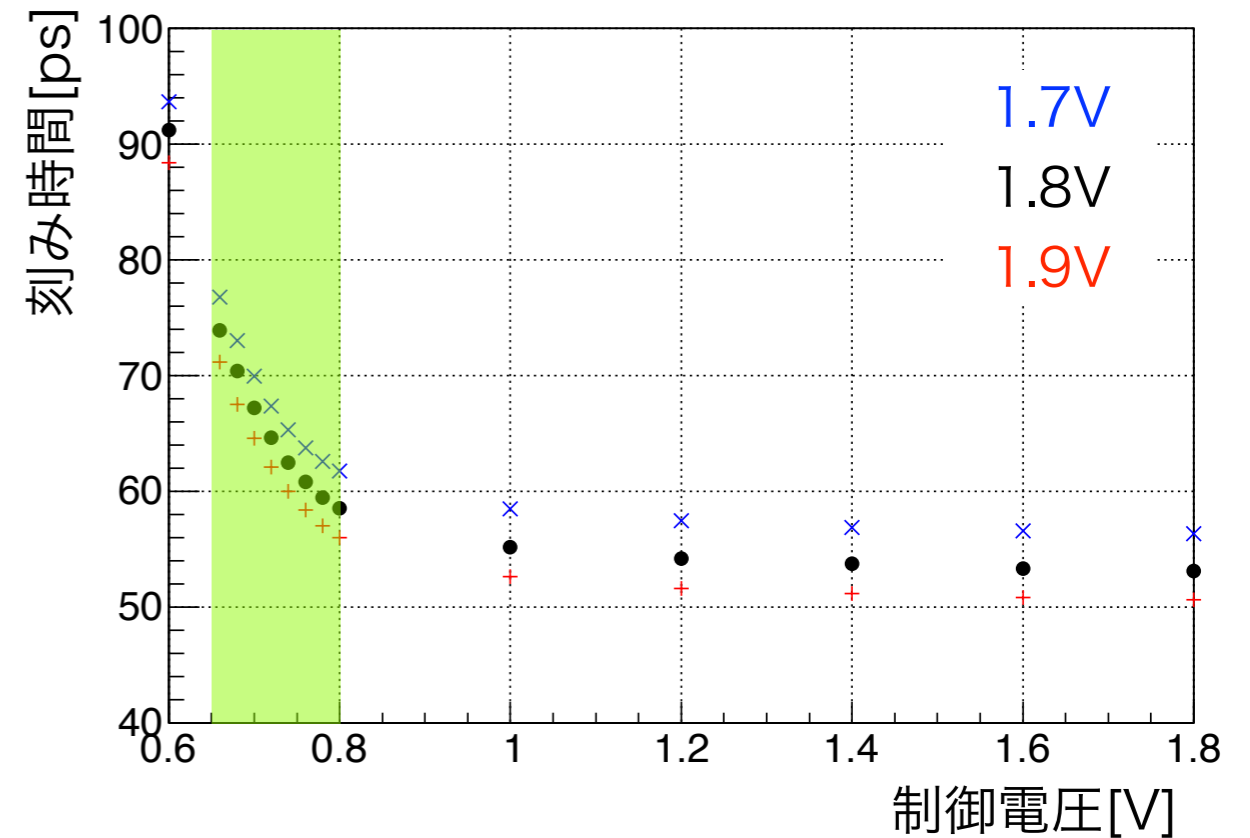
W を大きくしても、容量が大きくなるため刻み時間は収束していく
選択したパラメータでの立ち上がりと立ち下がりとの時間差 = 5 ps

温度変化や電源電圧変化に対して、制御電圧で刻み時間を一定に保てる範囲
= 動作させるべき範囲

温度変化



電源電圧変化

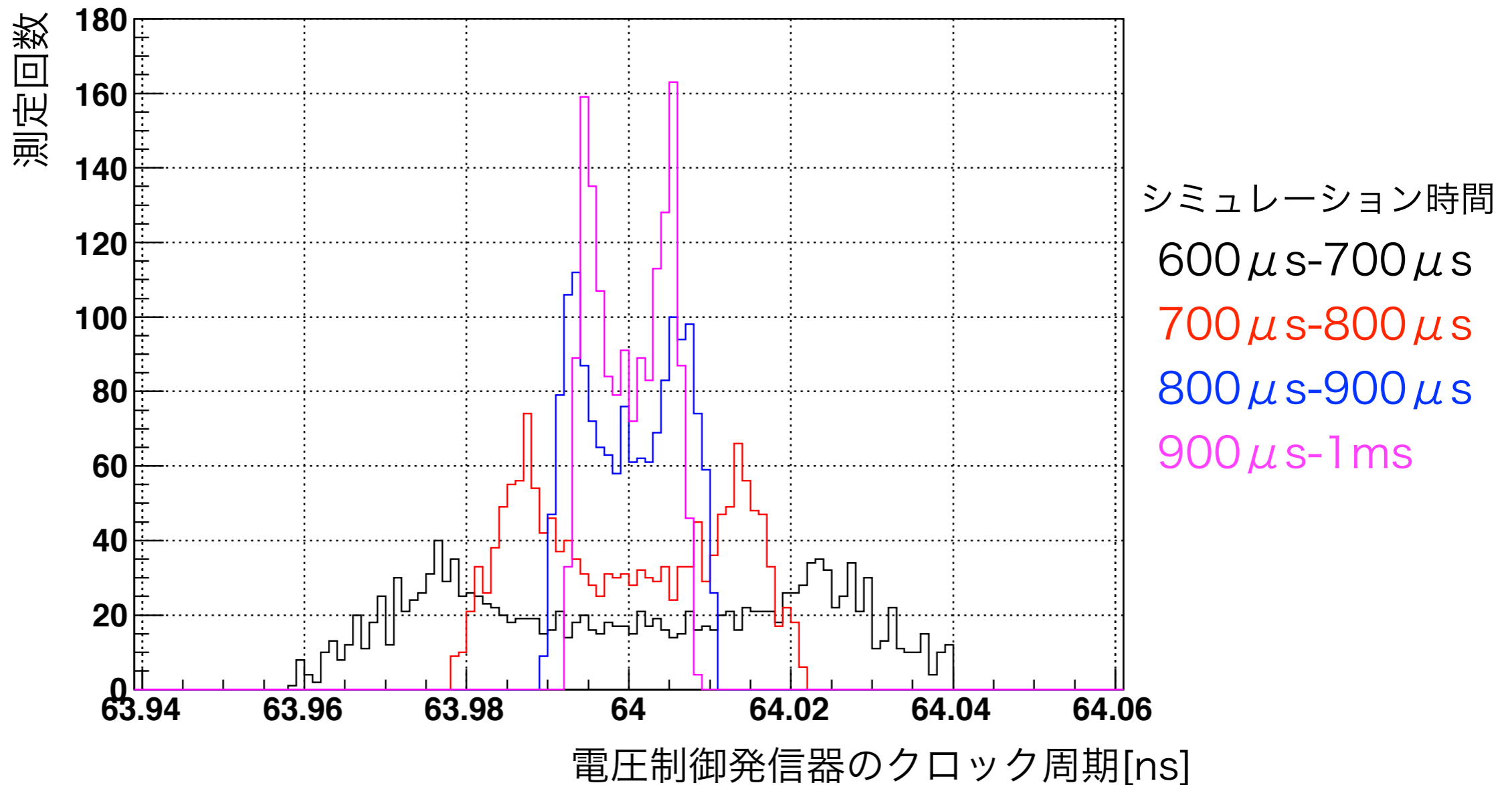


制御電圧による刻み時間の変化が大きい0.65 V - 0.8 Vが動作範囲

刻み時間：60 ps-80 ps

PLLシミュレーション

基準クロックに同期したクロックを生成できているかを過渡解析シミュレーション
基準クロック 64nsを入力した場合



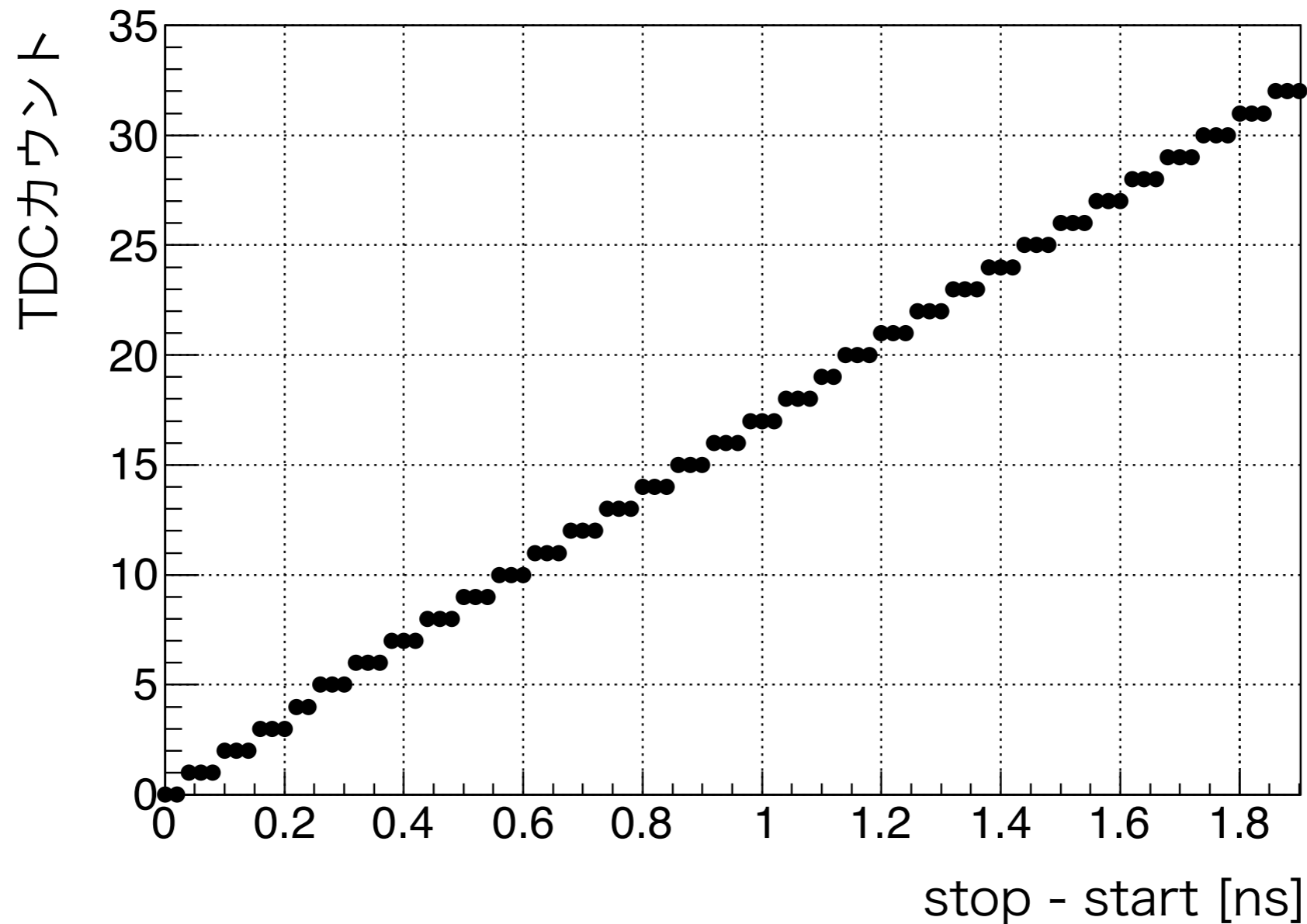
時間の経過と共に、クロック信号の周期は収束していく

900 μ s-1msでの周期 = 64.000 \pm 0.004 ns

予想される値に一致しているため、PLLは正常に設計できている

デジタル出力から、時間差を測定

PLLの刻み時間が58.6 psの場合

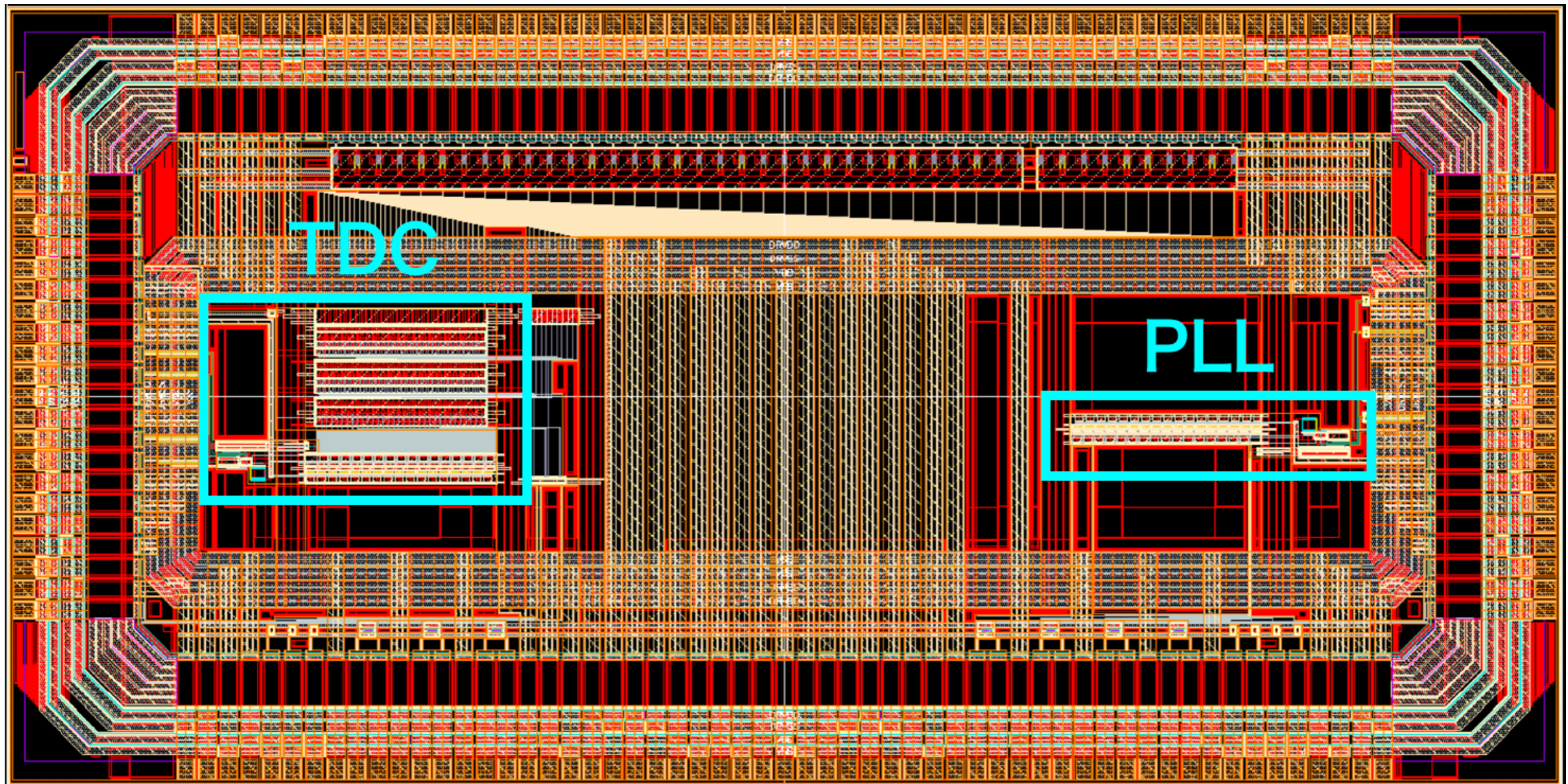


傾き : 17.03 ± 0.05

→ PLLの刻み時間あたり、 1.00 ± 0.03 カウント

TDCは正常に設計できている

PLLとTDCの2種類をのせた
チップサイズ：2.5mm × 5.0mm



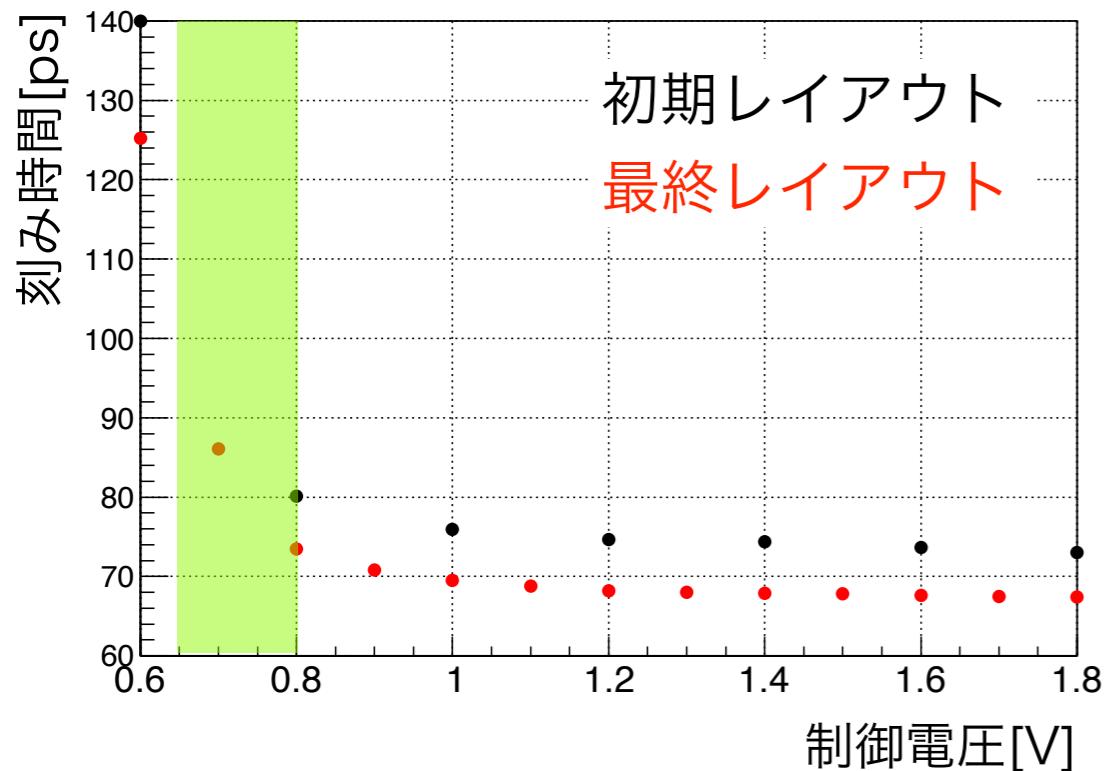
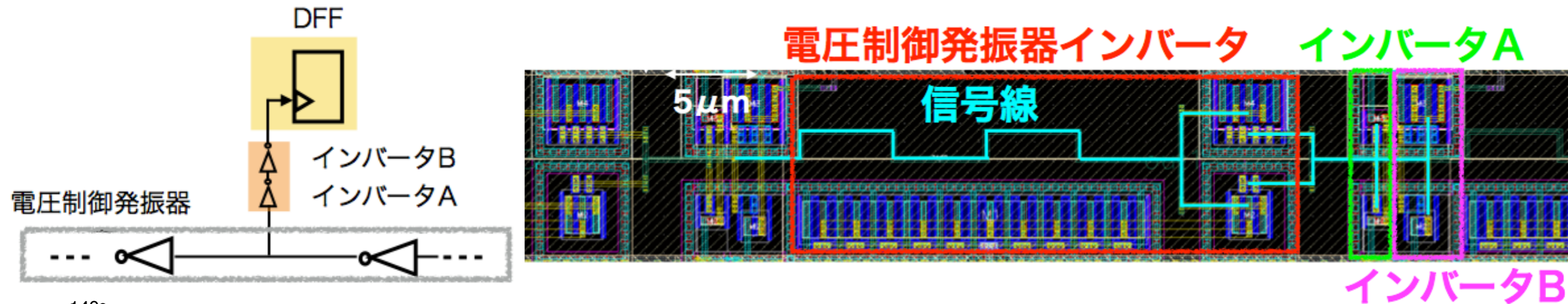
寄生容量を考慮してレイアウトする必要がある

特に、刻み時間への影響が大きい電圧制御発振器に対して配線方法を工夫した

工夫点

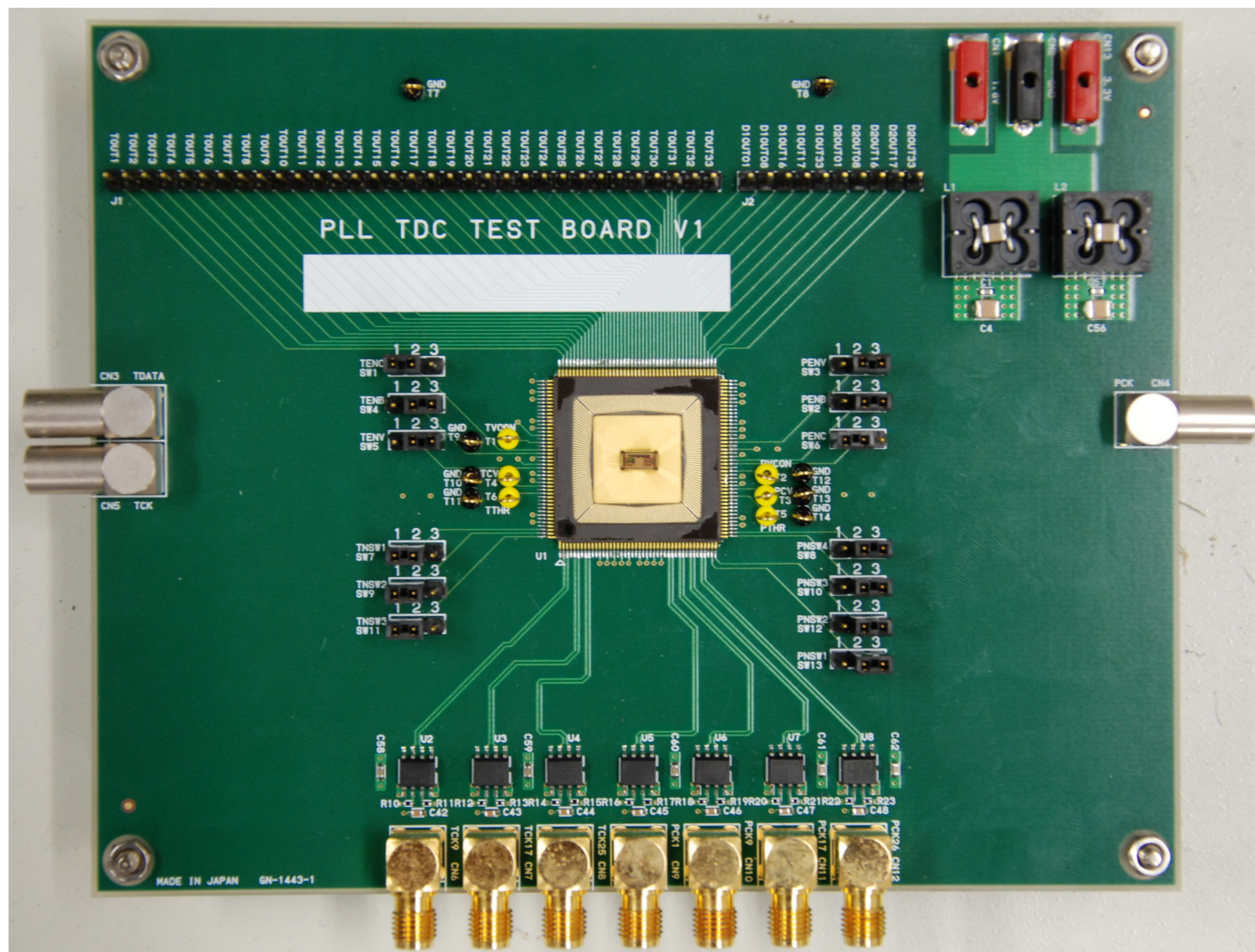
- 信号線の等長配線
- 信号強化用インバータの挿入位置の最適化

電圧制御発振器からDFFにクロックを入力するとき、電流を大きくして信号を強くするためにインバータを挿入する必要がある



インバータを電圧制御発振器の直近に挿入することで、信号線に寄与する寄生容量を小さく抑えた (初期：約10 fF → 最終：約5 fF)

レイアウト後の刻み時間：75 ps - 100 ps

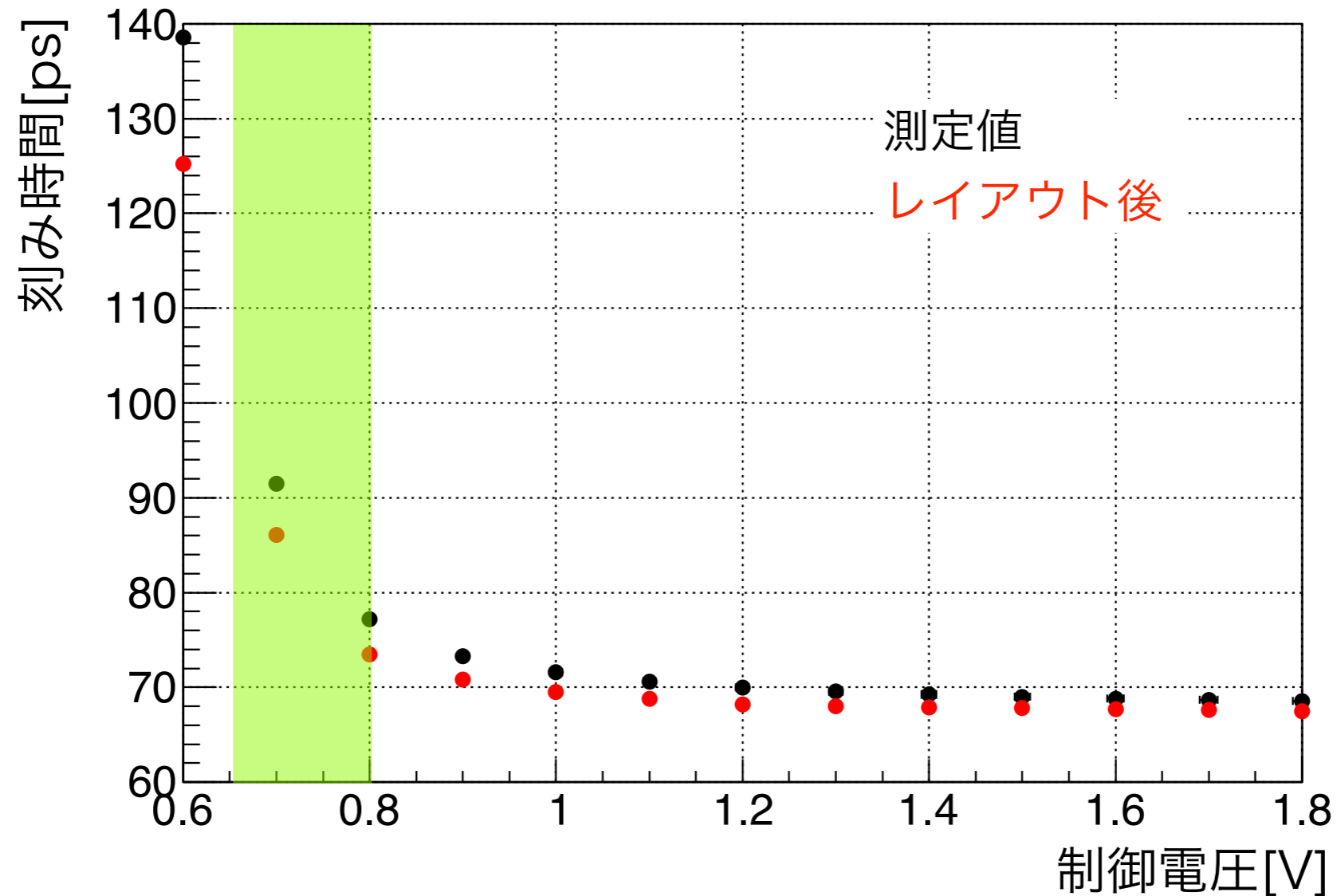


測定項目

- PLLのクロック信号 ← 高精度に測定するため、差動信号で出力
- TDCのデジタル出力

電圧制御発振器の測定結果

外部から制御電圧を入力して、電圧制御発振器のみを動作させる

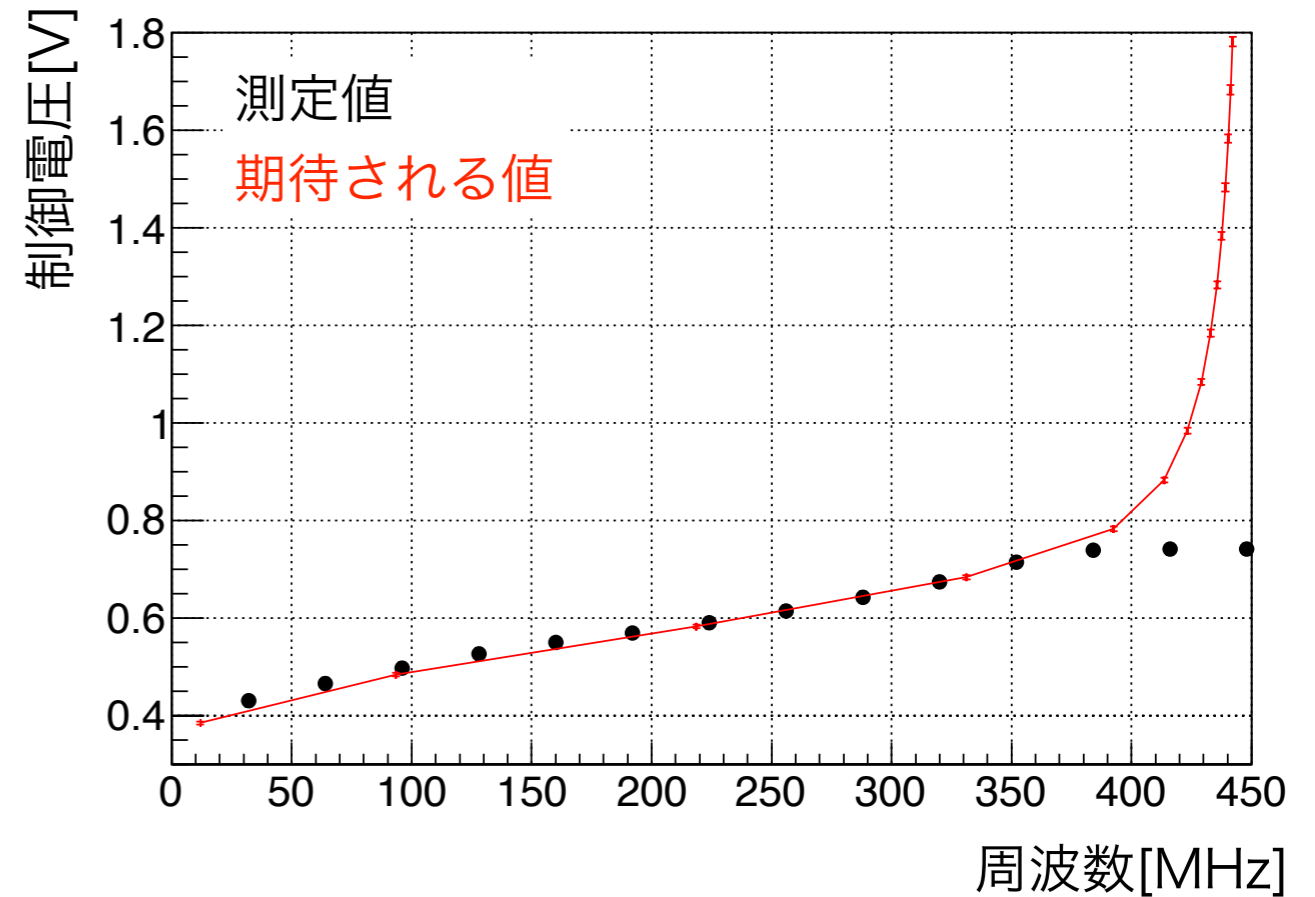
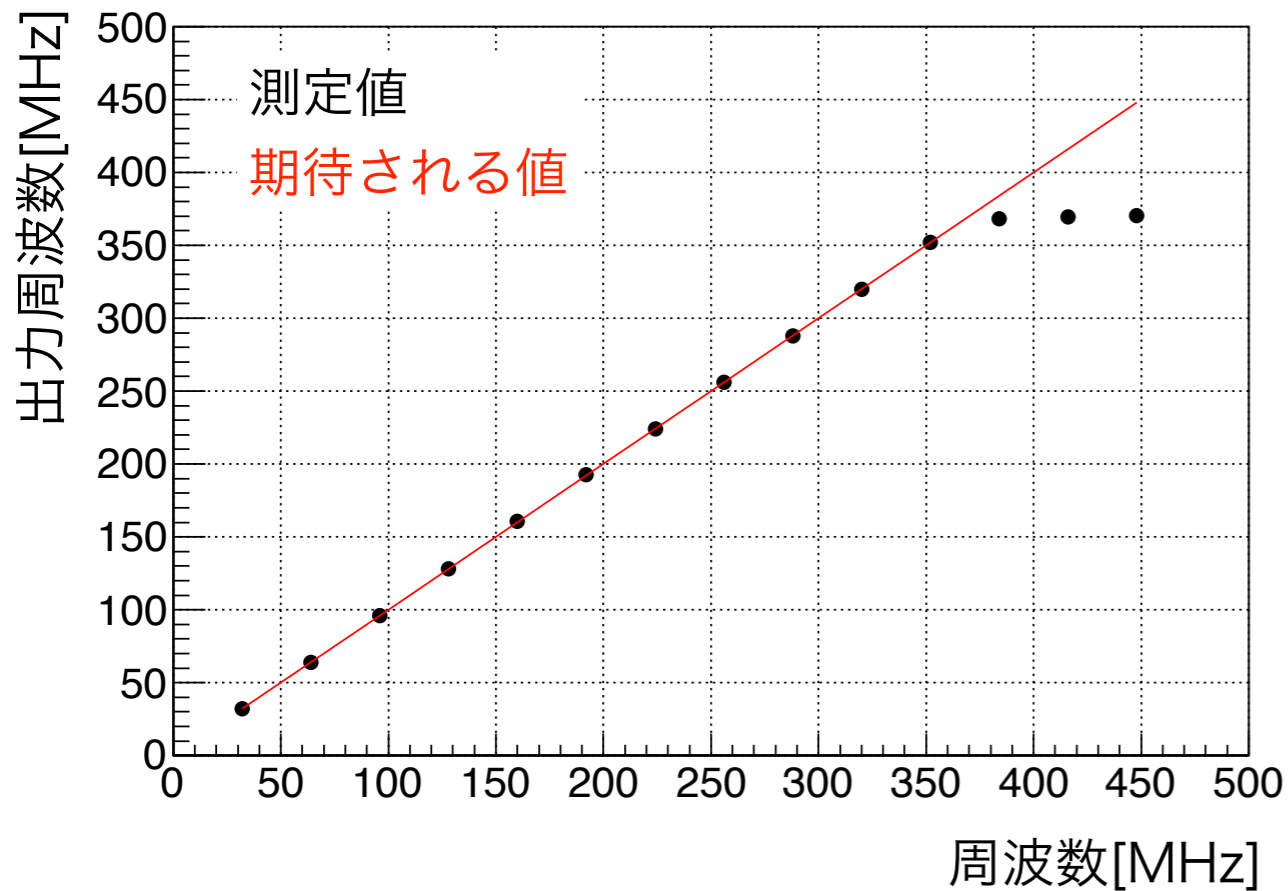


刻み時間：78 ps - 120 ps

レイアウト後のシミュレーション結果とほぼ同じ

PLLの測定結果

基準クロックを入力して、出力周波数・制御電圧・ジッタを測定

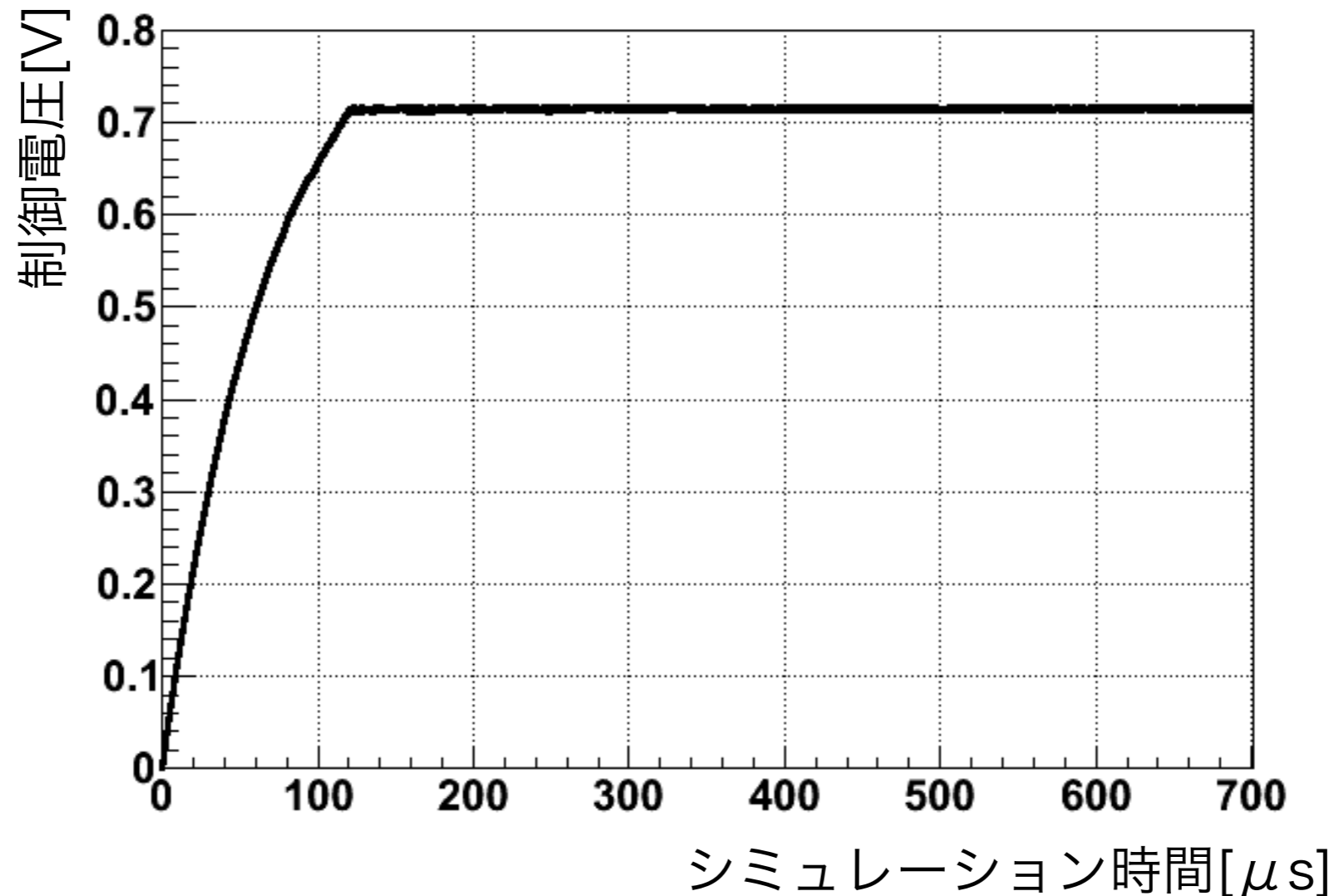


- 最小刻み時間 約83 ps (基準クロック11.5 MHz入力時)
- ジッタ 19 ps - 25 ps (基準クロック11.5 MHz入力時)

問題点

- 約370 MHz以上 (制御電圧：約0.72 V) で動作しない
→ レイアウト後のPLLを詳細にシミュレーションした

制御電圧が約1.8 Vになるようなセットアップでシミュレーション



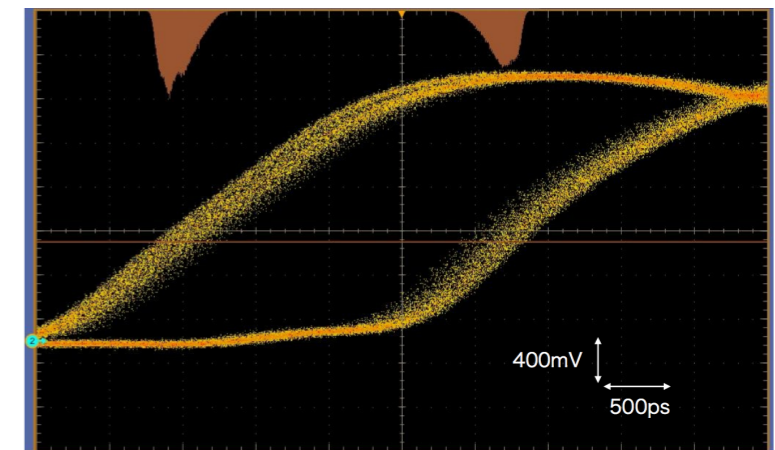
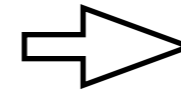
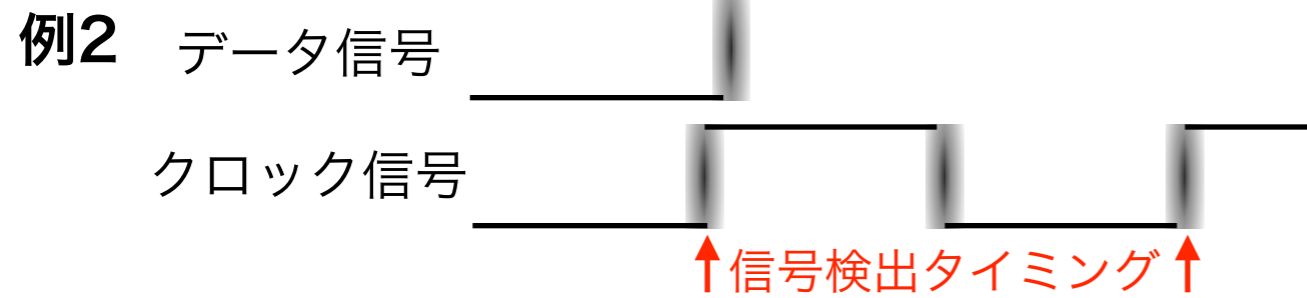
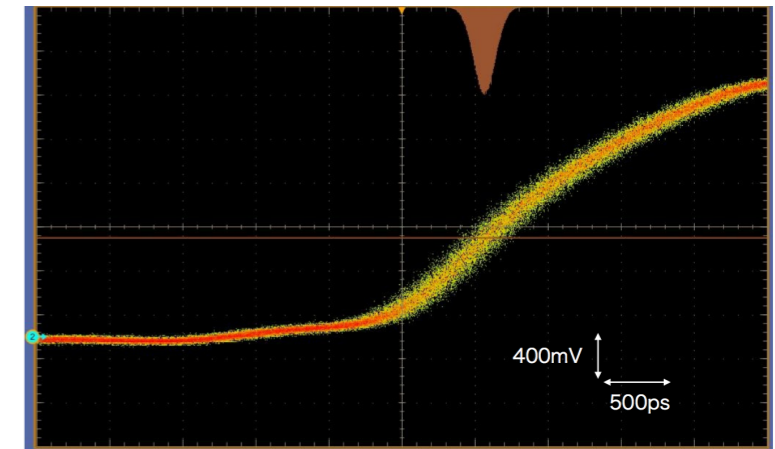
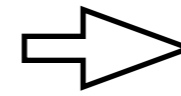
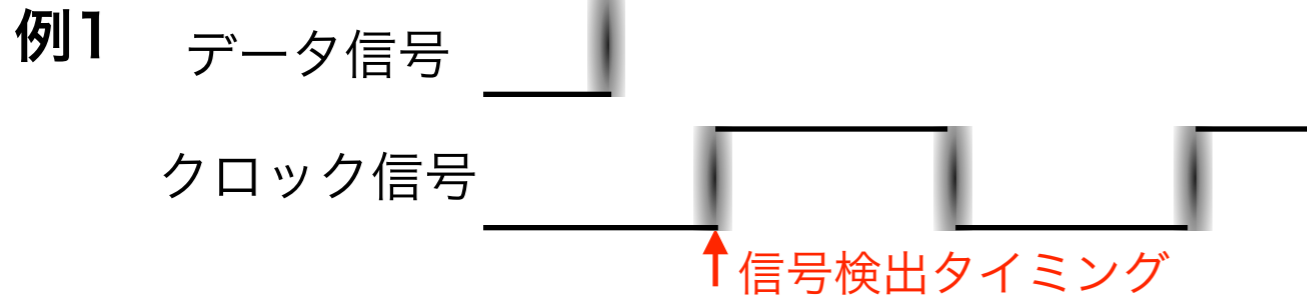
測定値と同様に、制御電圧は約0.72 Vまでしか上がらない

→ 原因はレイアウト時の寄生容量

電圧制御発振器に十分な電流の制御電圧を供給できていない可能性があるため、次期レイアウトでは、チャージポンプの出力電流量に注意してレイアウトを行なう必要がある

TDCの測定結果

期待通りの信号検出部分の出力波形を確認できた



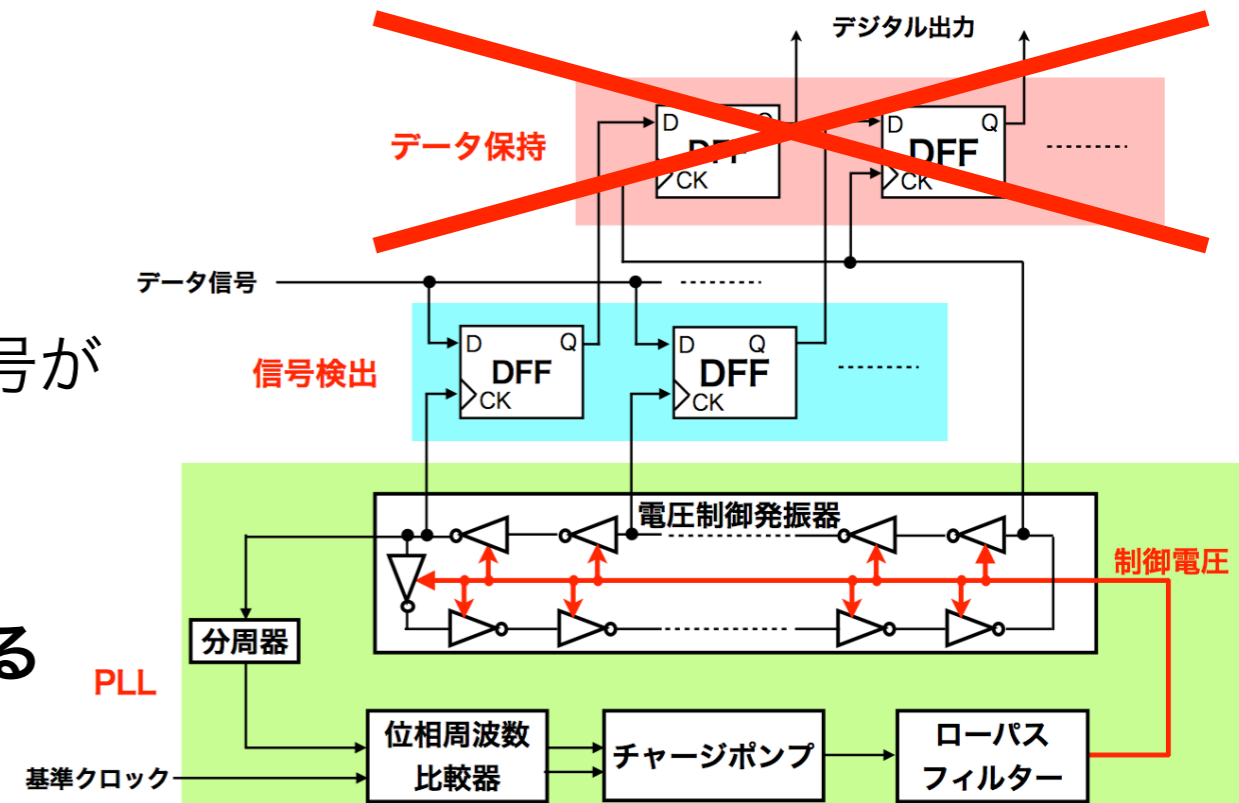
問題点

デジタル出力が測定できない

原因

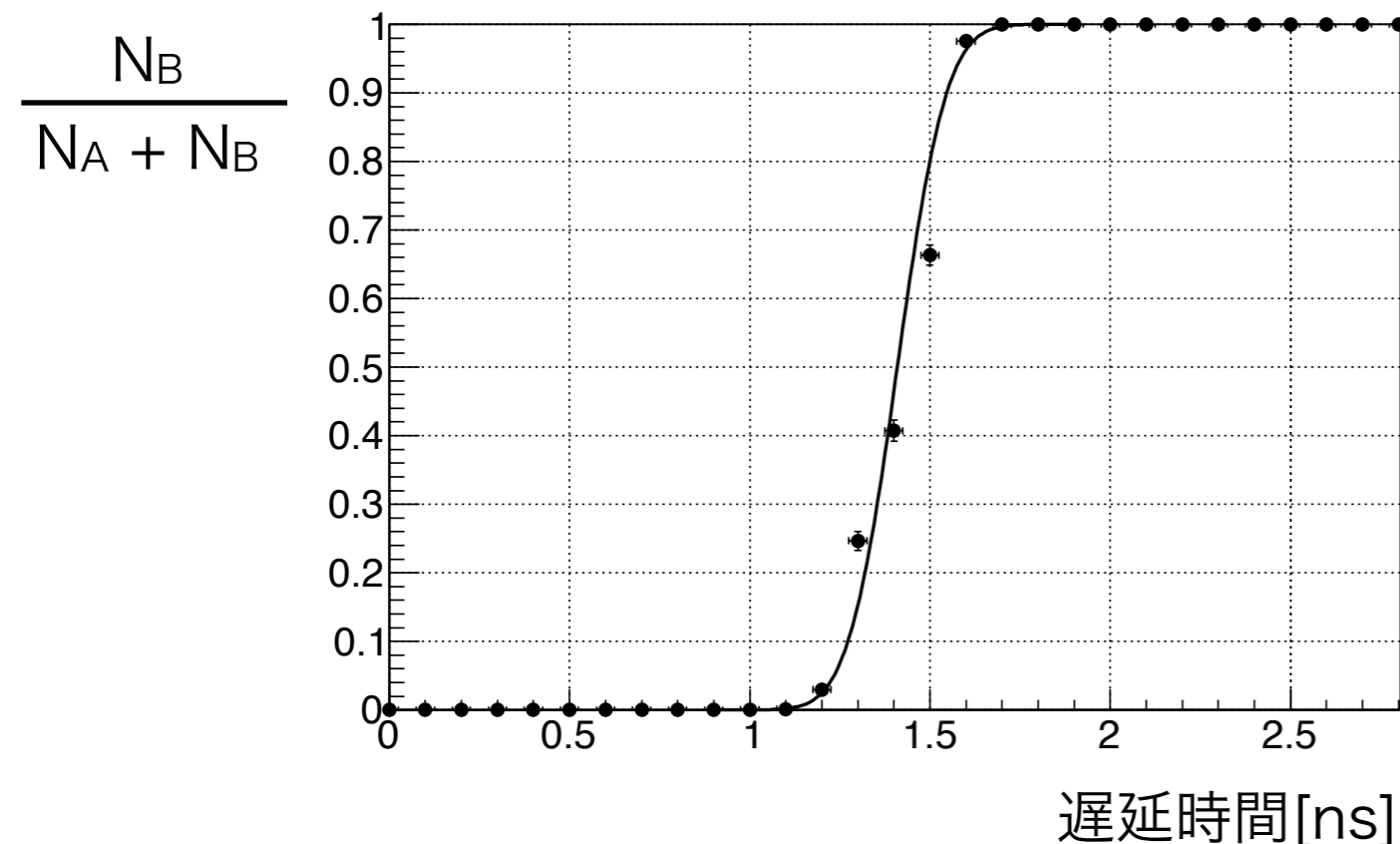
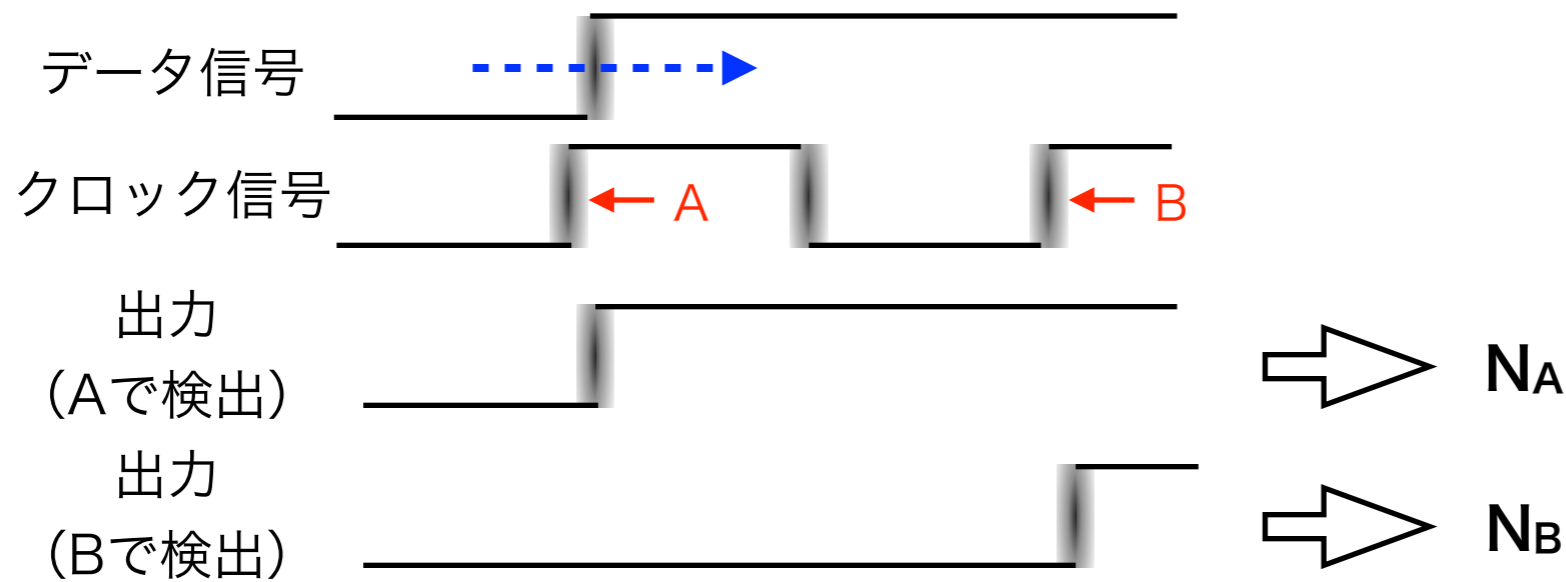
MOSFETのサイズを誤ったため、クロック信号がDFFに入力できていない

→ 信号検出部分の出力から時間分解能を導出する



導出方法

データ信号を遅延させて、各検出タイミングの出力カウント数の比をみる



誤差関数をフィッティング

$$f(x) = 0.5 \times \operatorname{erf} \left(\frac{x - a}{\sqrt{2b}} \right) + 0.5$$

bが時間分解能

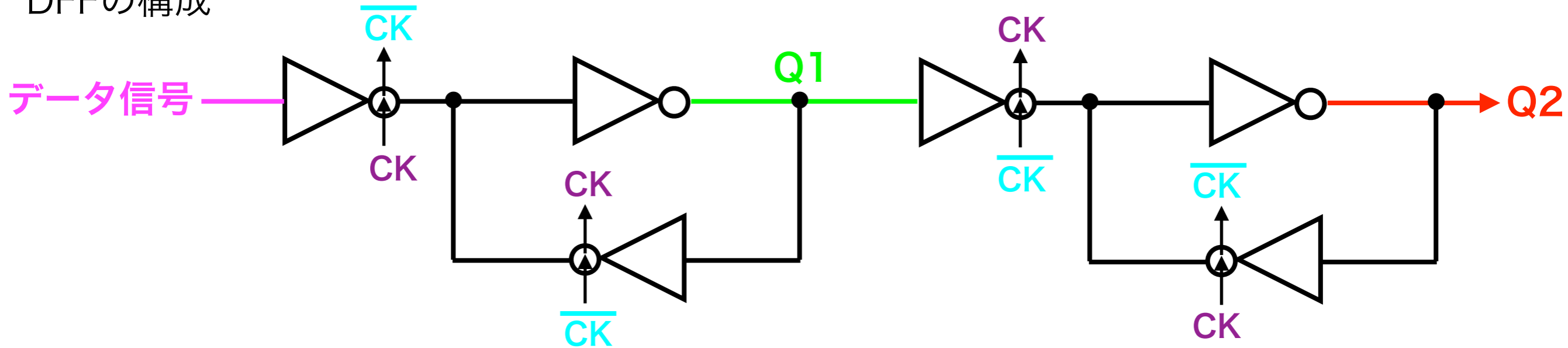
→ 134 ± 4 ps

刻み時間 (約83 ps) とジッタ (約20 ps)

に対して大きい

悪化の一因として、DFFのアナログ特性が考えられる

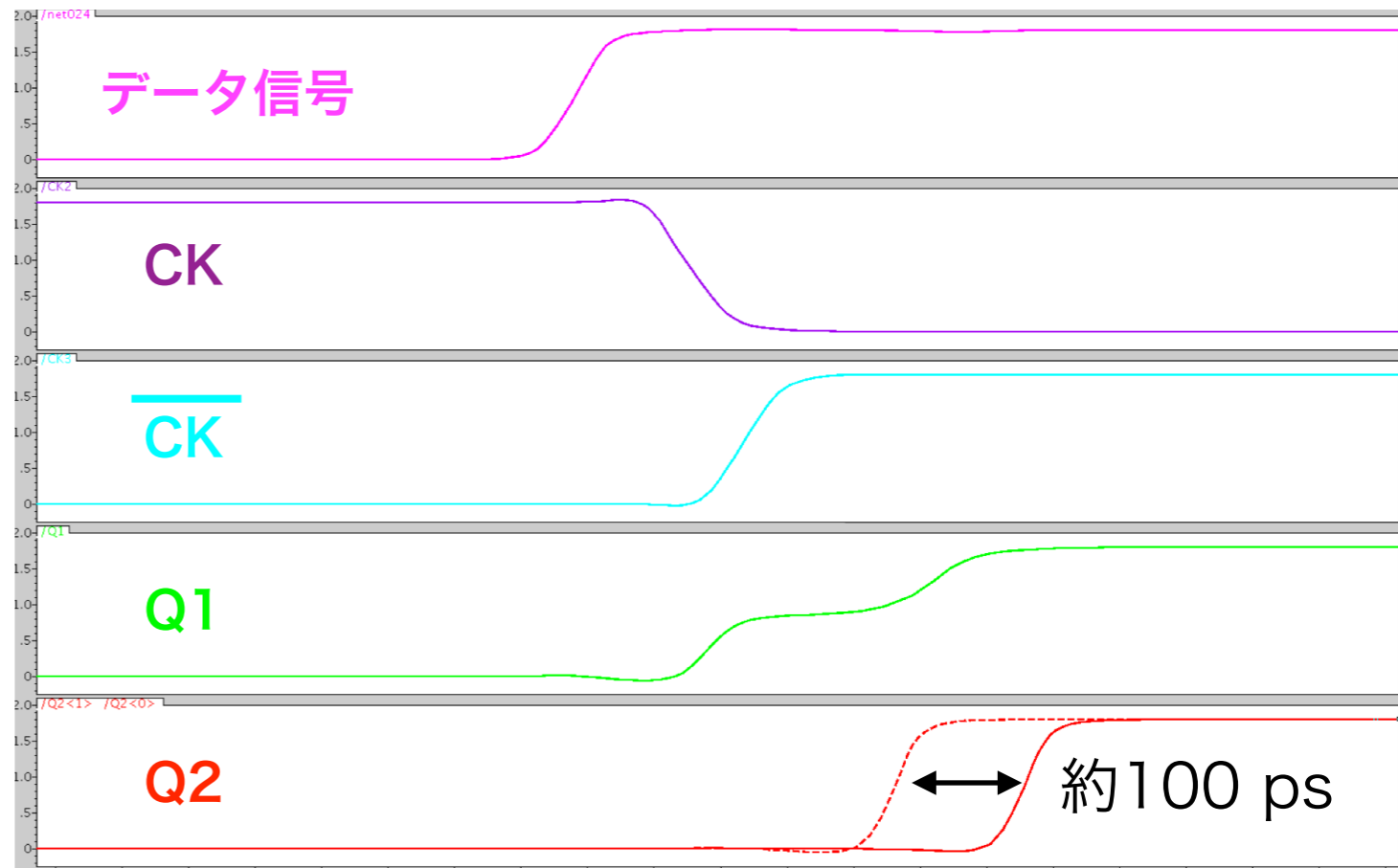
DFFの構成



クロックインバータの真理値表

CK	入力	出力
0	0 or 1	高インピーダンス状態
1	0	1
1	1	0

- クロックインバータの応答速度が有限であるため、Q1が乱れる場合がある
- Q2の出力が約100 ps遅延する
- 時間分解能の悪化



次期チップ製作では、DFF内のインバータの高速動作を追求する必要がある

さらに高時間分解能にするため、PLLの刻み時間を向上させる

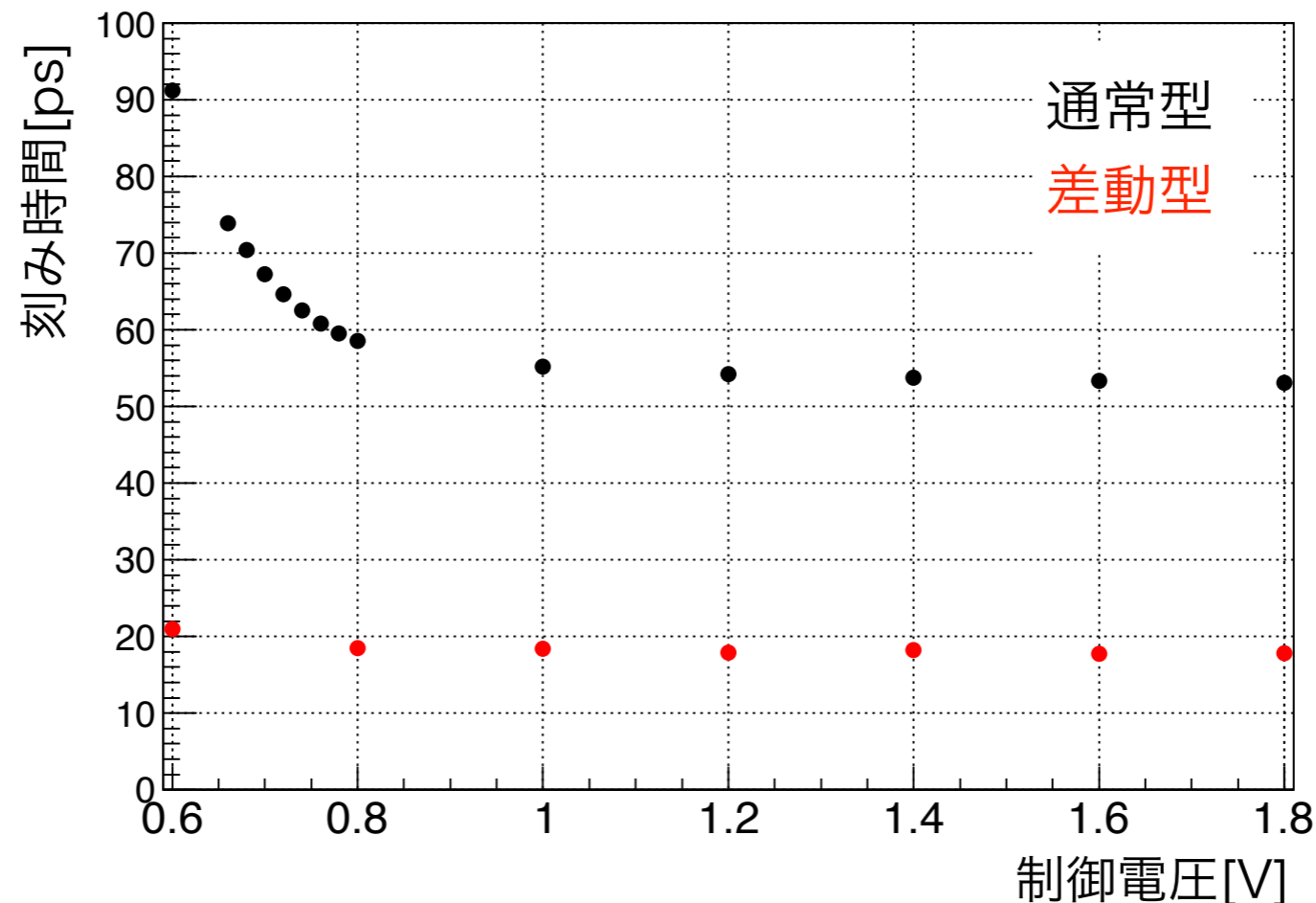
差動型電圧制御発振器

利点

- ・ コモンモードノイズを打ち消せる
- ・ 偶数個のインバータで構成できるので、出力を8bitや16bitにしやすい

注意点

- ・ 信号線のレイアウト
- ・ 消費電力



最小刻み時間
53 ps → 18 ps

PLLを用いて汎用TDCの開発を行なった

本構成方法での潜在能力を調べるため、電圧制御発振器インバータの高速動作を追求

- ・ PLL

最小刻み時間：83 ps

ジッタ：19 ps - 25 ps

- ・ TDC

時間分解能：134 ± 4 ps

→ **様々な高エネルギー実験に使用できる可能性を示した**

次期チップ製作に向けた提案

- ・ Dフリップフロップのアナログ特性を考慮した設計の必要性

- ・ 差動型電圧制御発振器

最小刻み時間：18 ps

本研究を基礎とすれば、より高時間分解能の汎用TDCが開発可能であることを明らかにした

backup

$W=10\mu\text{m}$

23 / 21

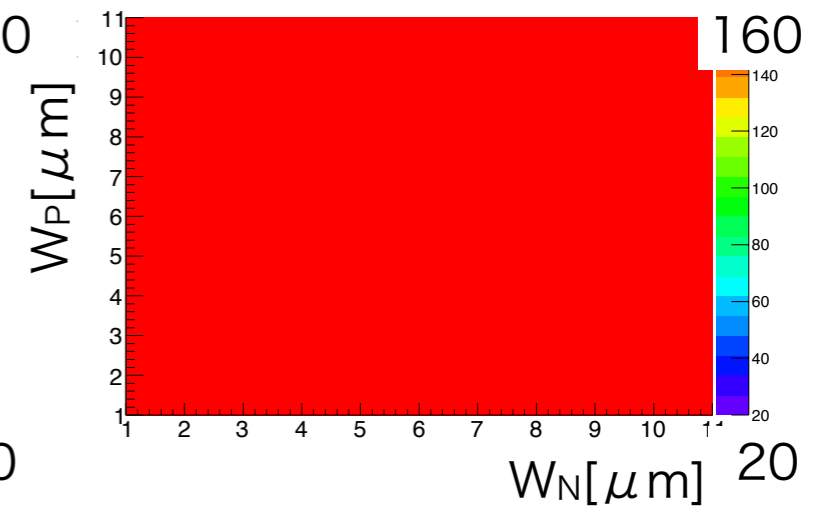
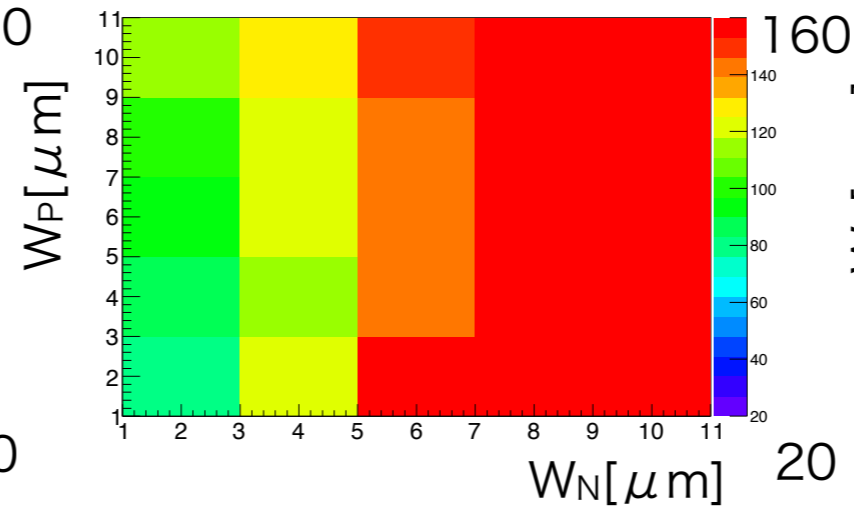
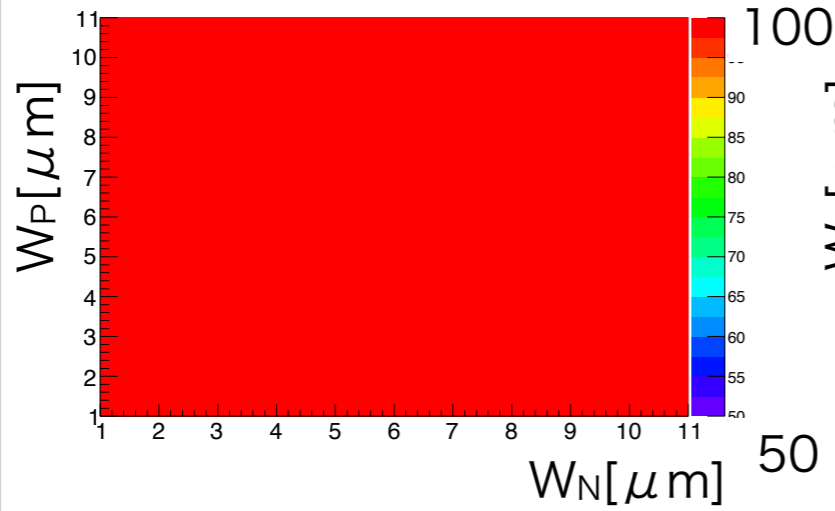
制御
電圧

刻み時間[ps]

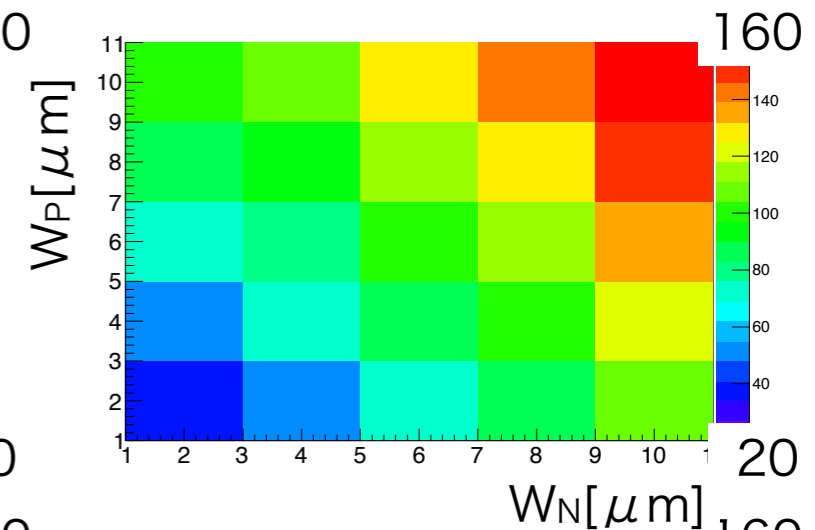
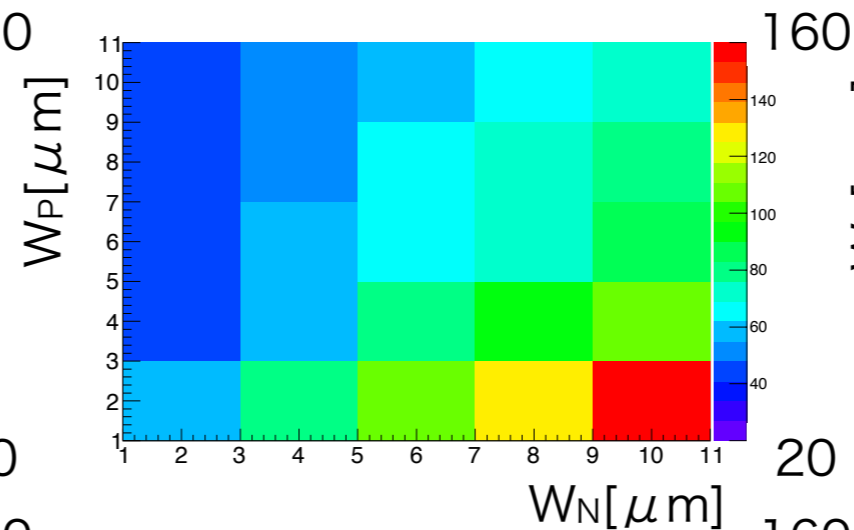
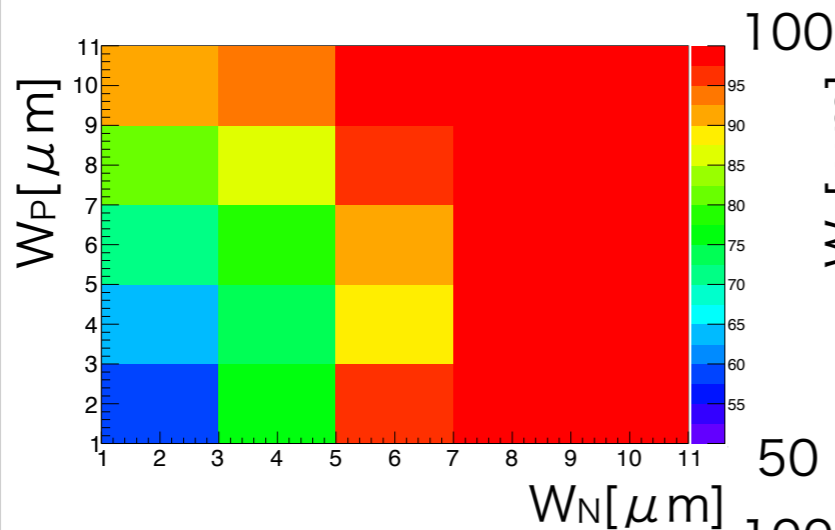
risetime[ps]

falltime[ps]

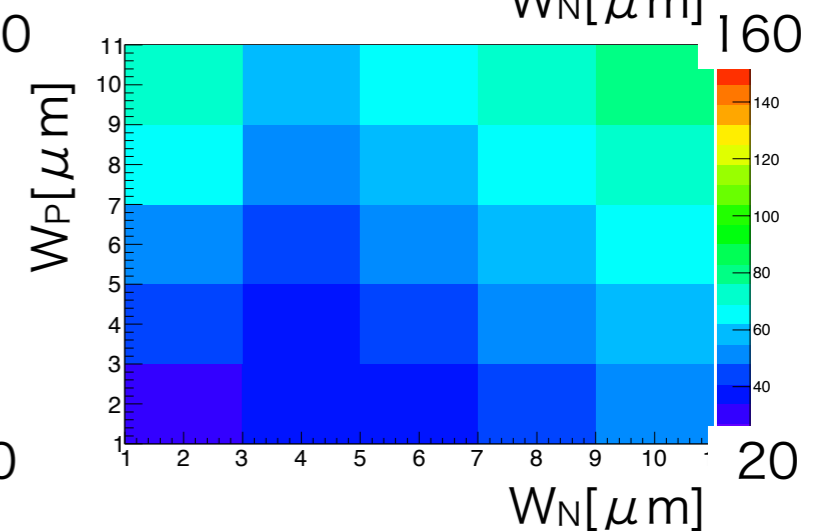
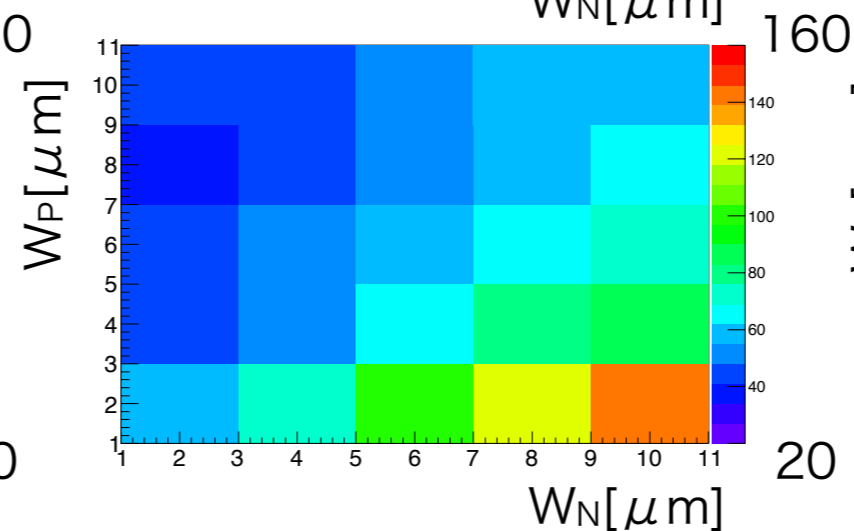
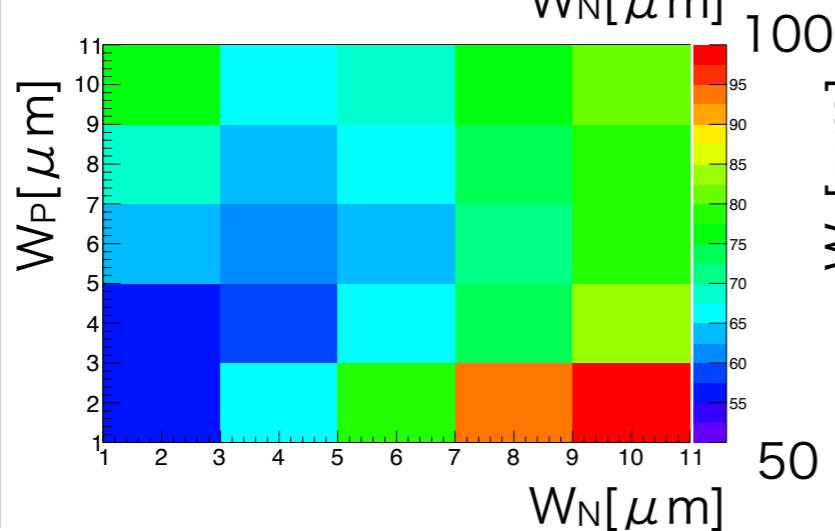
0.6V



0.8V



1.0V



$$W=20\mu\text{m}$$

24 / 21

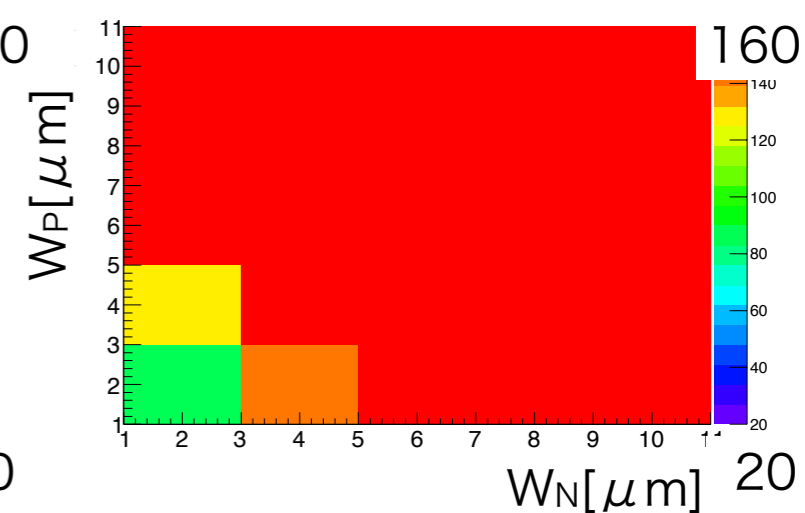
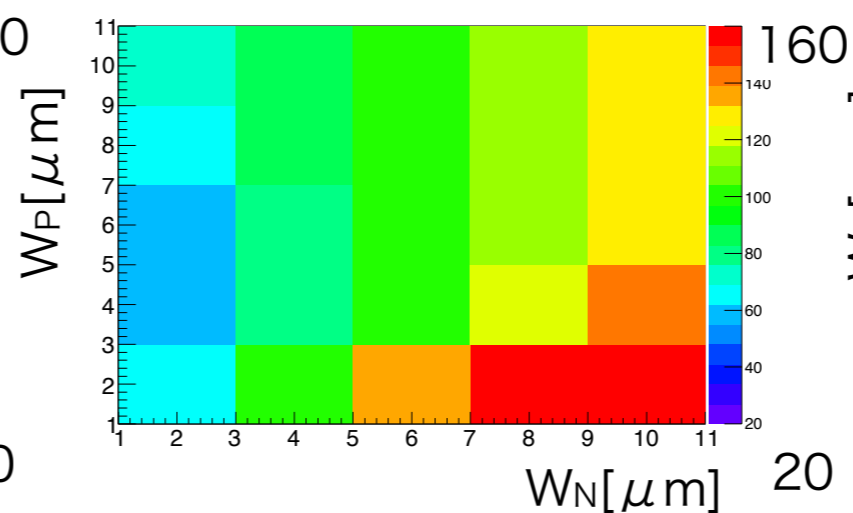
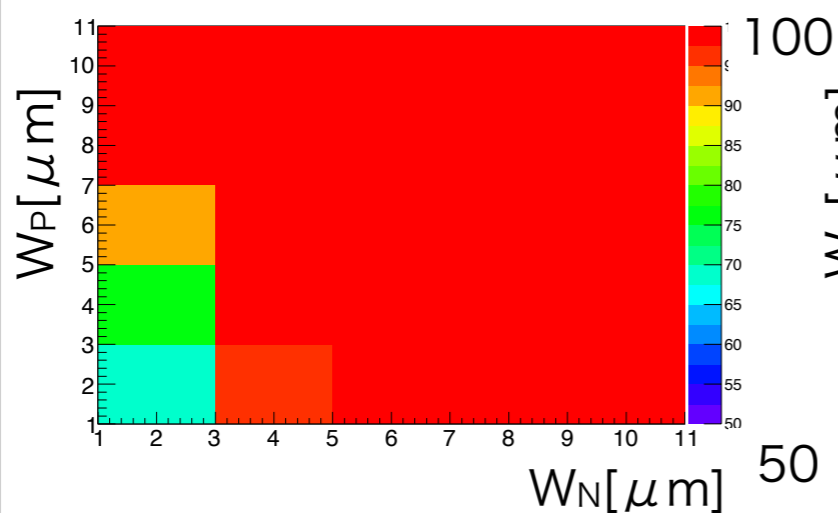
制御
電圧

刻み時間[ps]

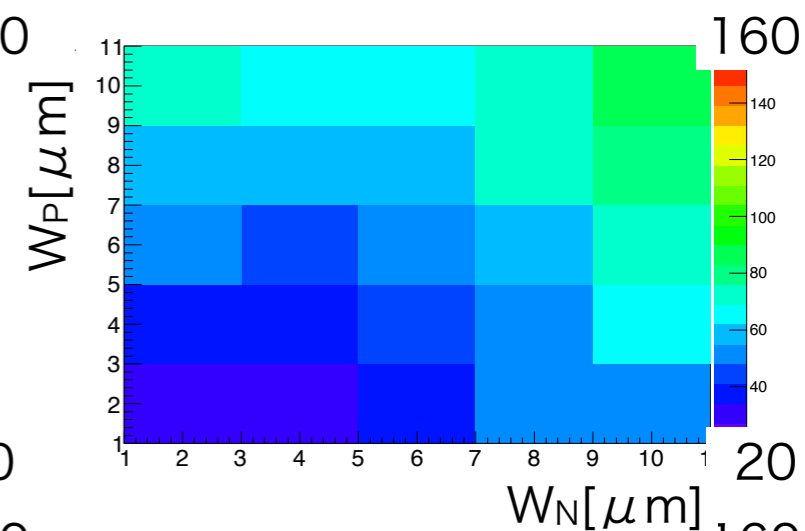
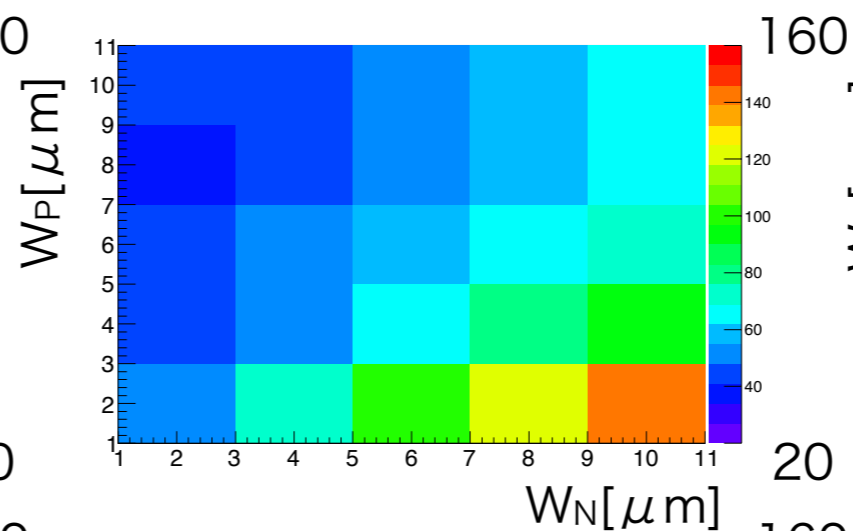
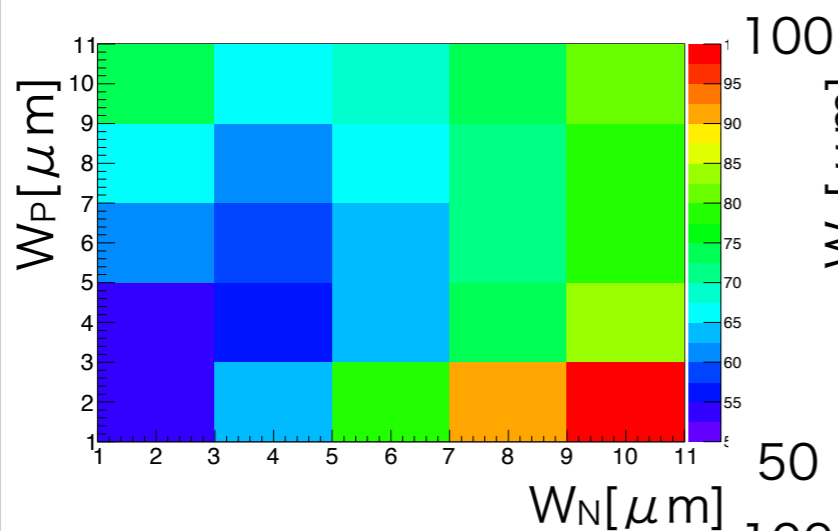
risetime[ps]

falltime[ps]

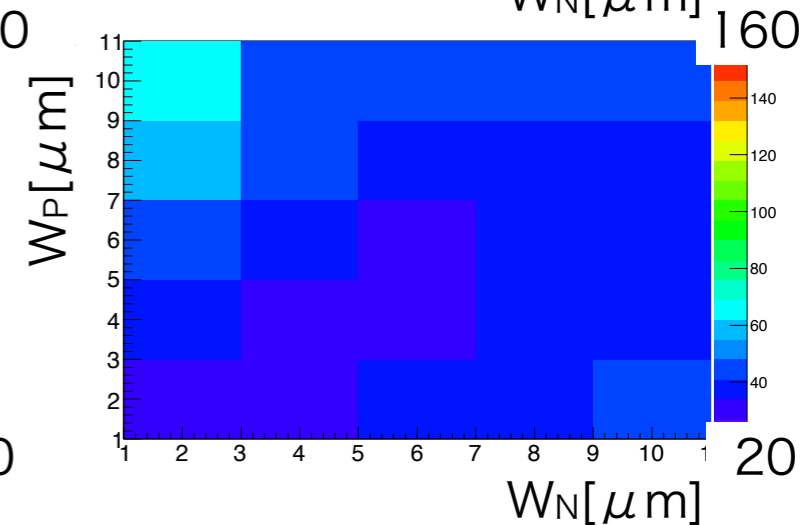
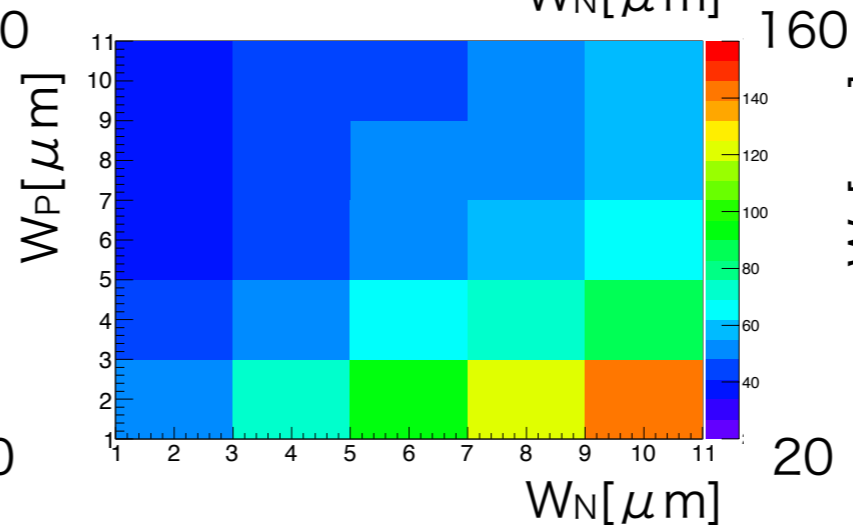
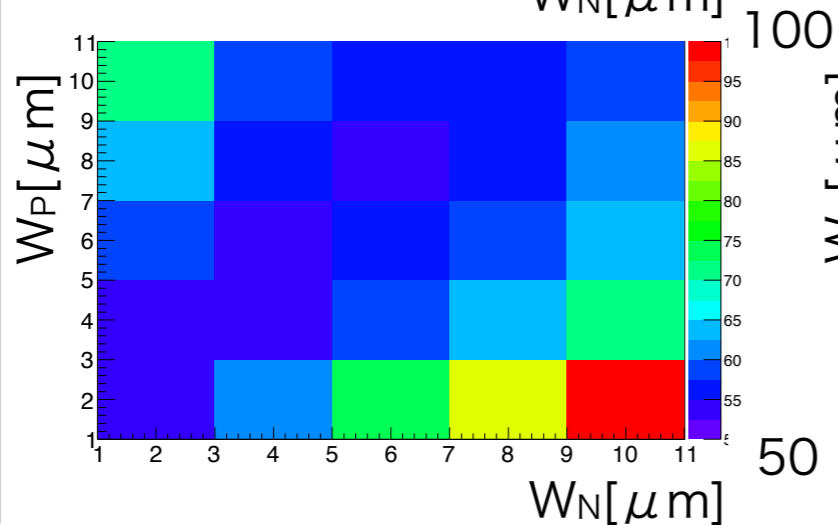
0.6V



0.8V



1.0V



$$W=30\mu\text{m}$$

25 / 21

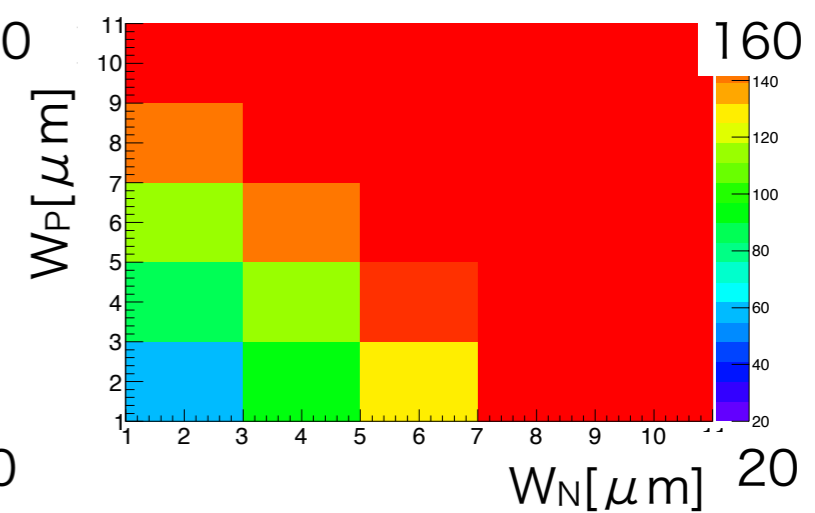
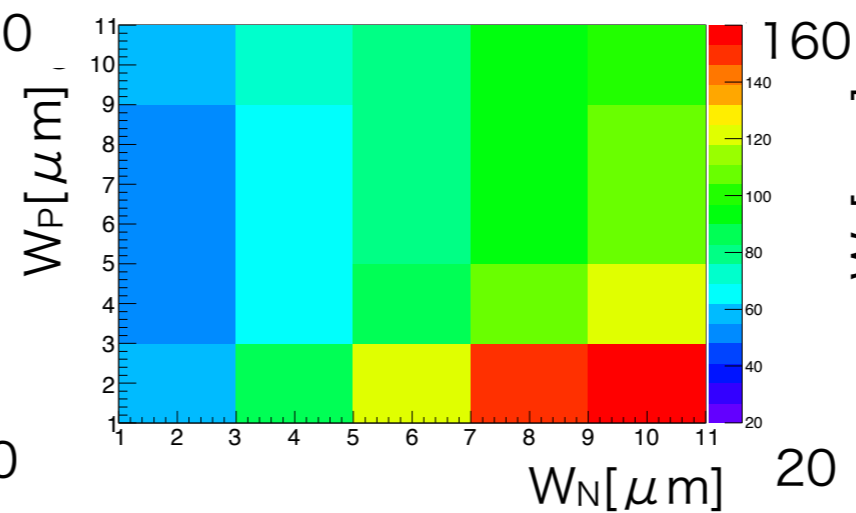
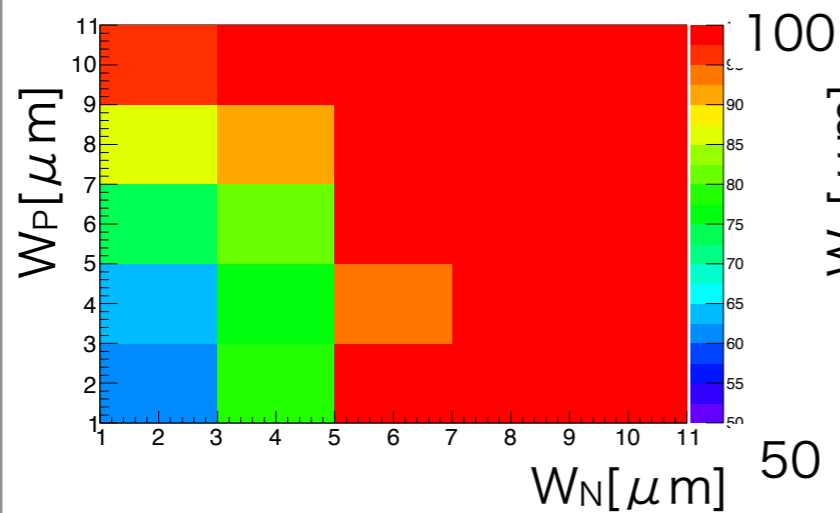
制御
電圧

刻み時間[ps]

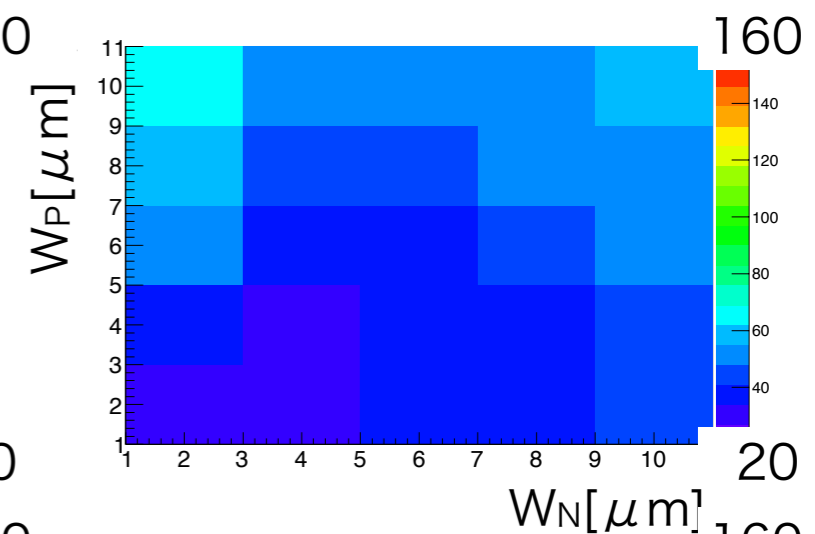
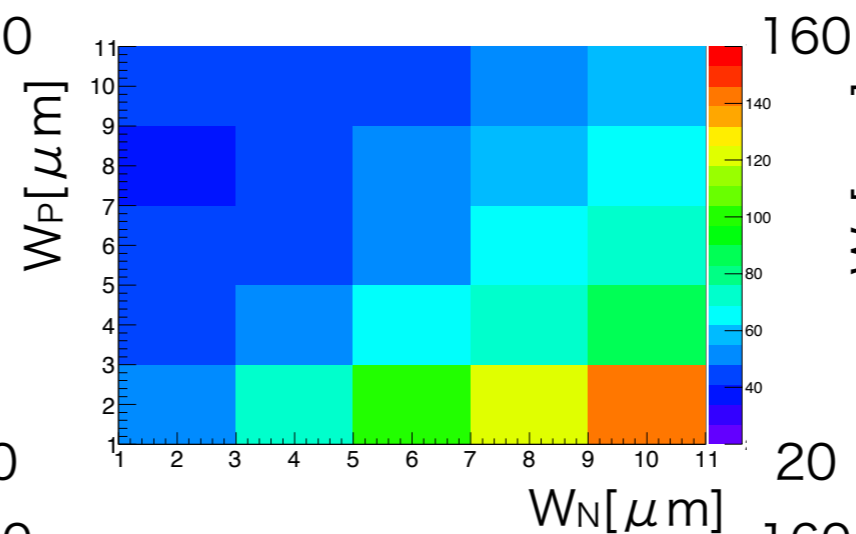
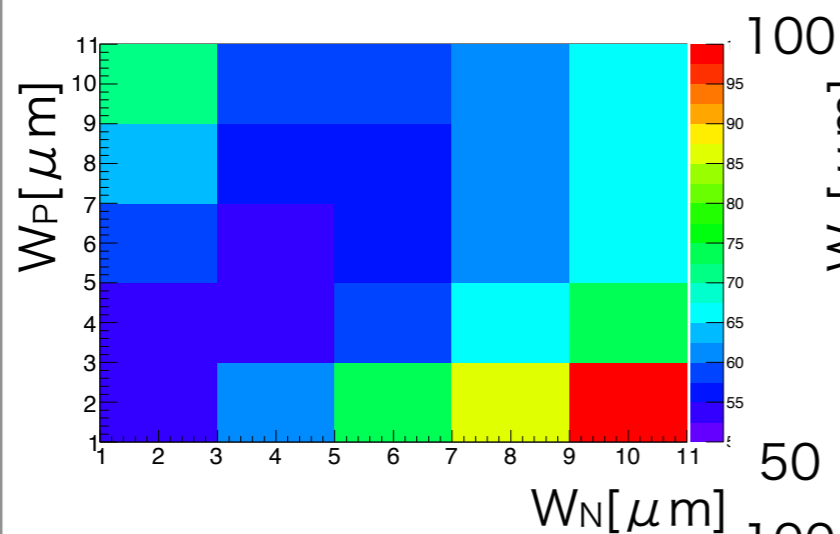
risetime[ps]

falltime[ps]

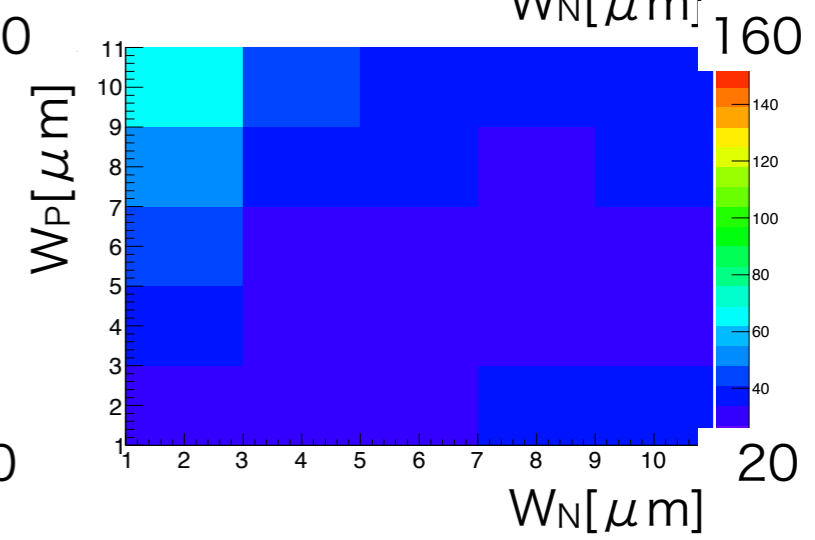
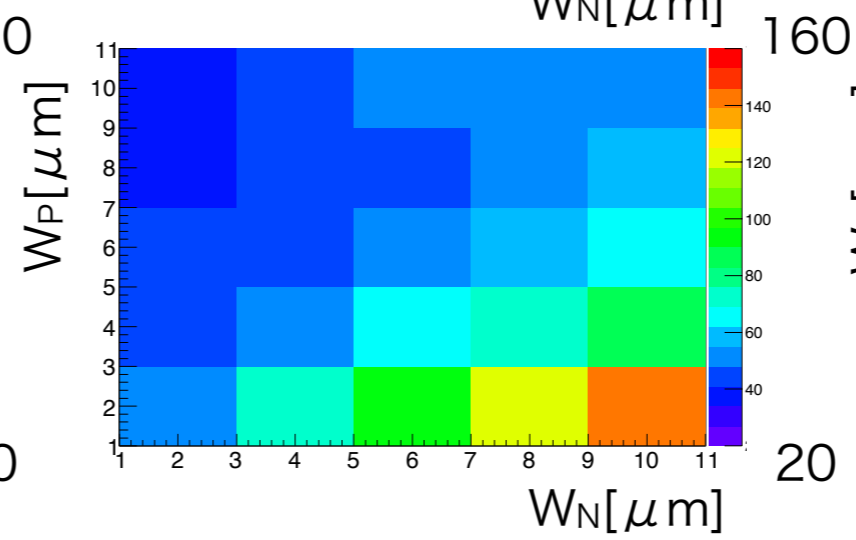
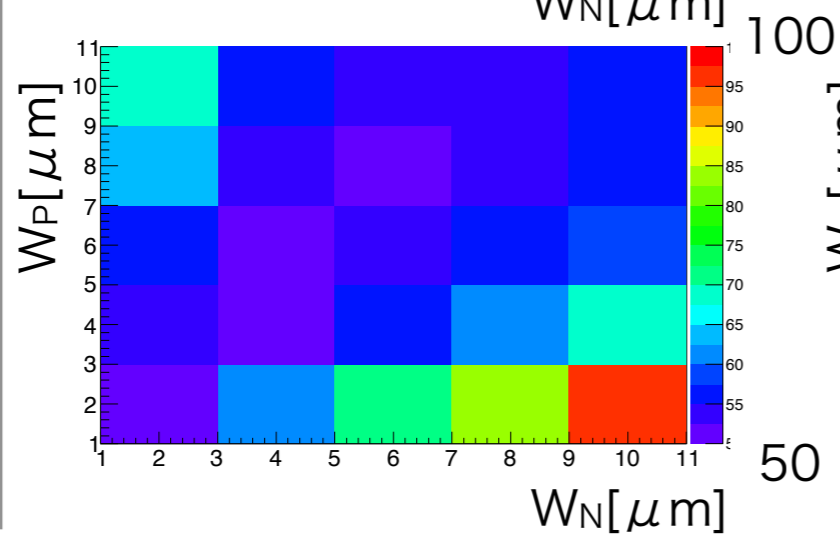
0.6V



0.8V



1.0V



$W=40\ \mu\text{m}$

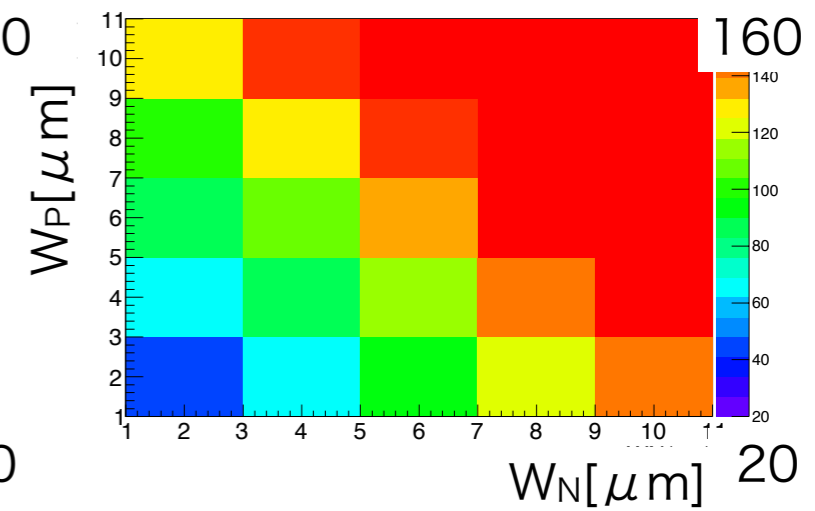
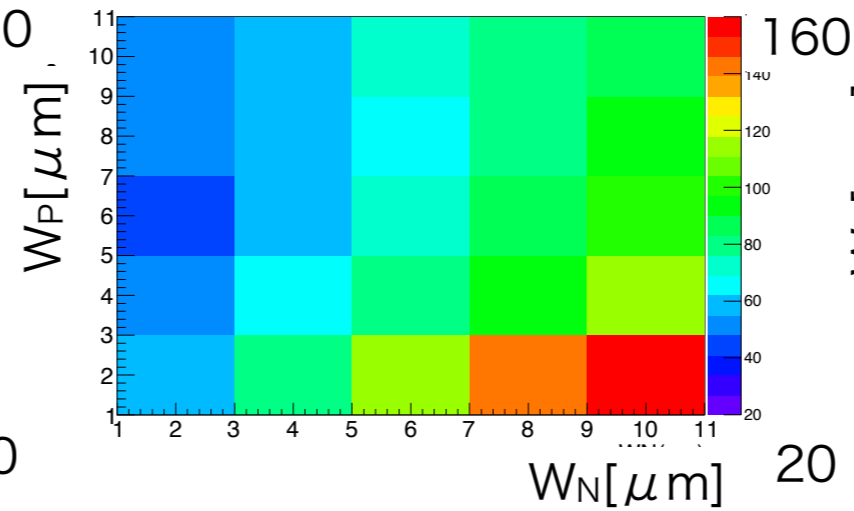
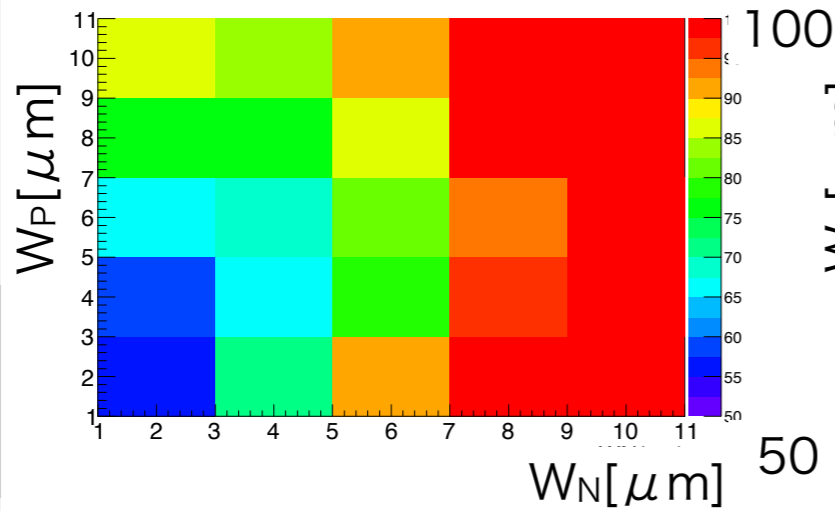
制御
電圧

刻み時間[ps]

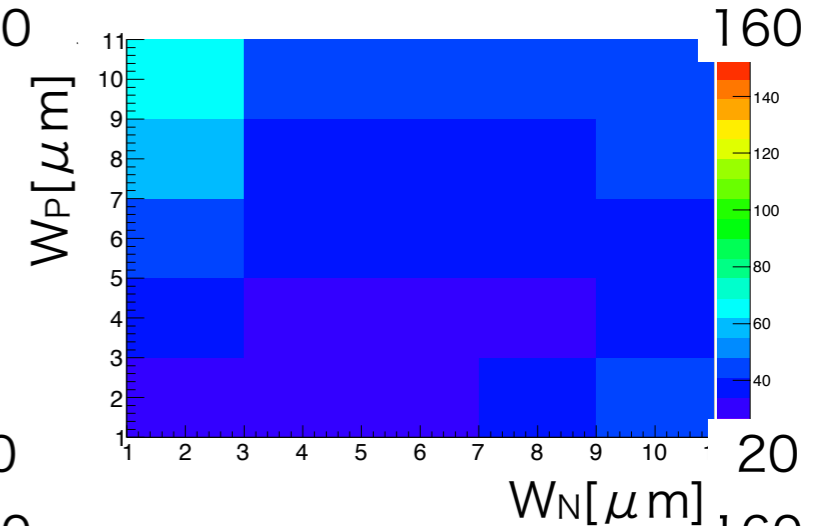
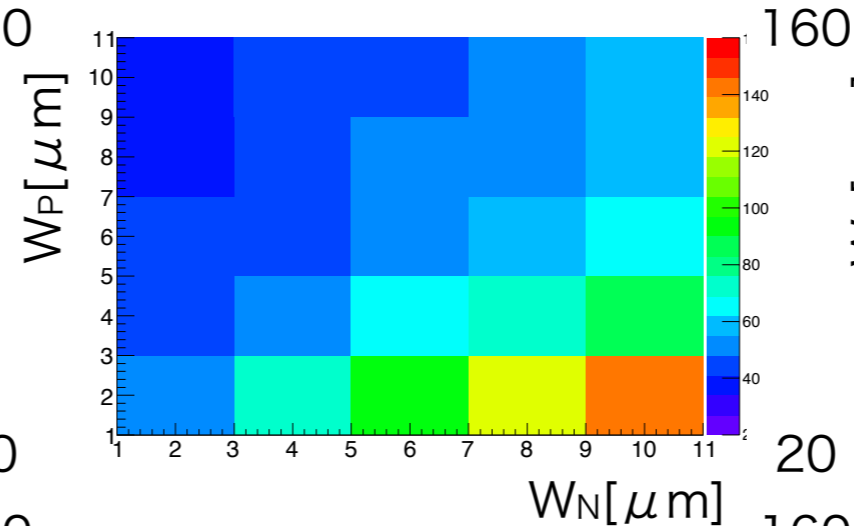
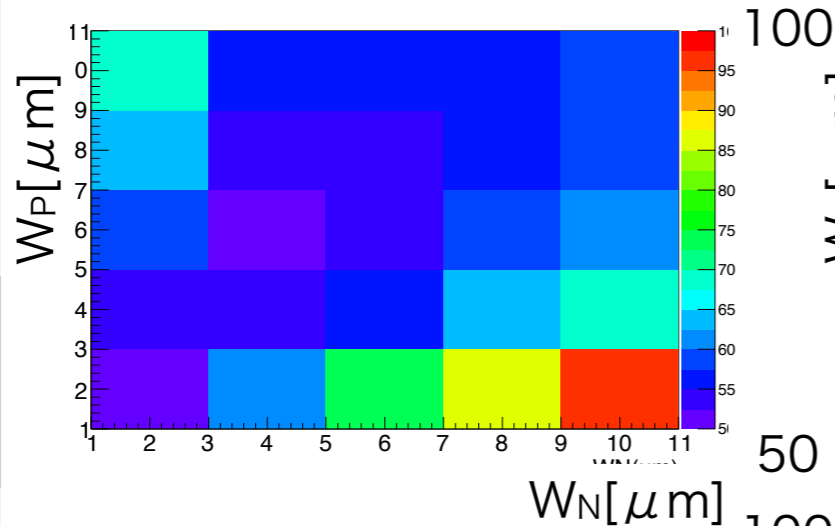
risetime[ps]

falltime[ps]

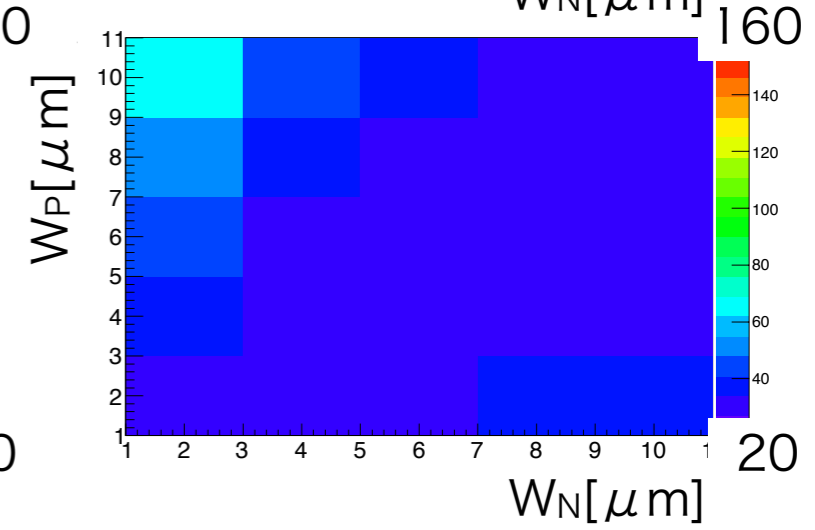
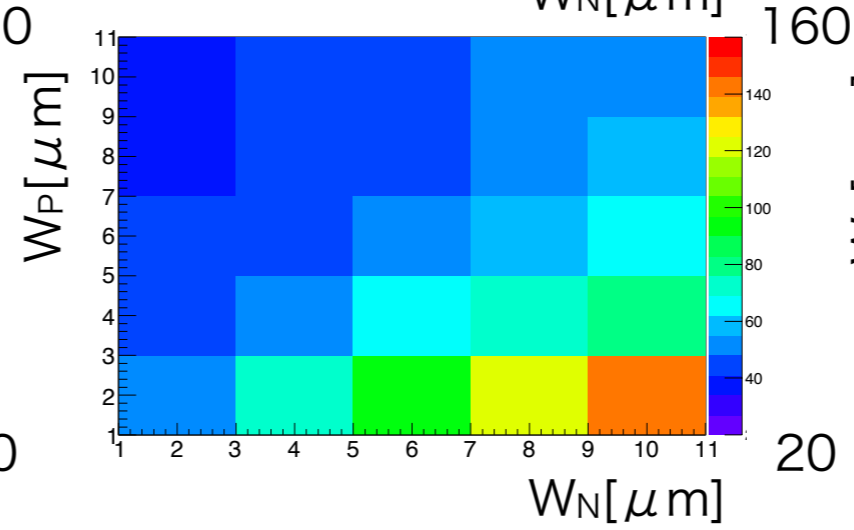
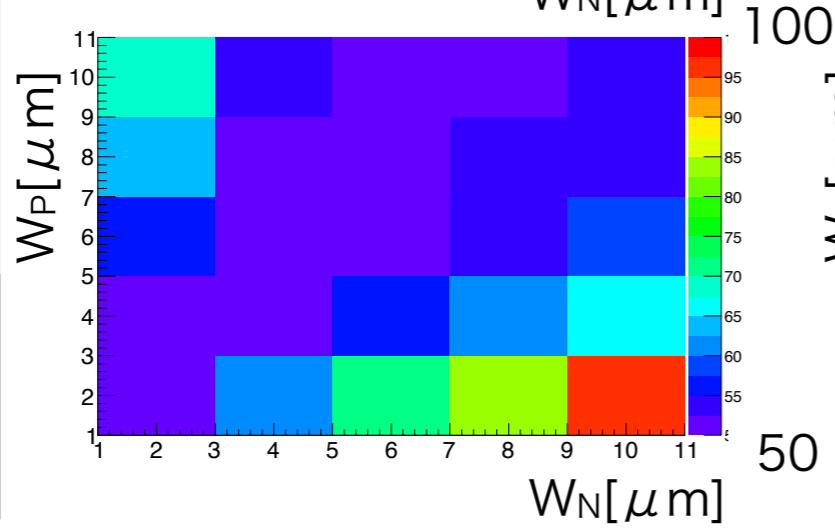
0.6V



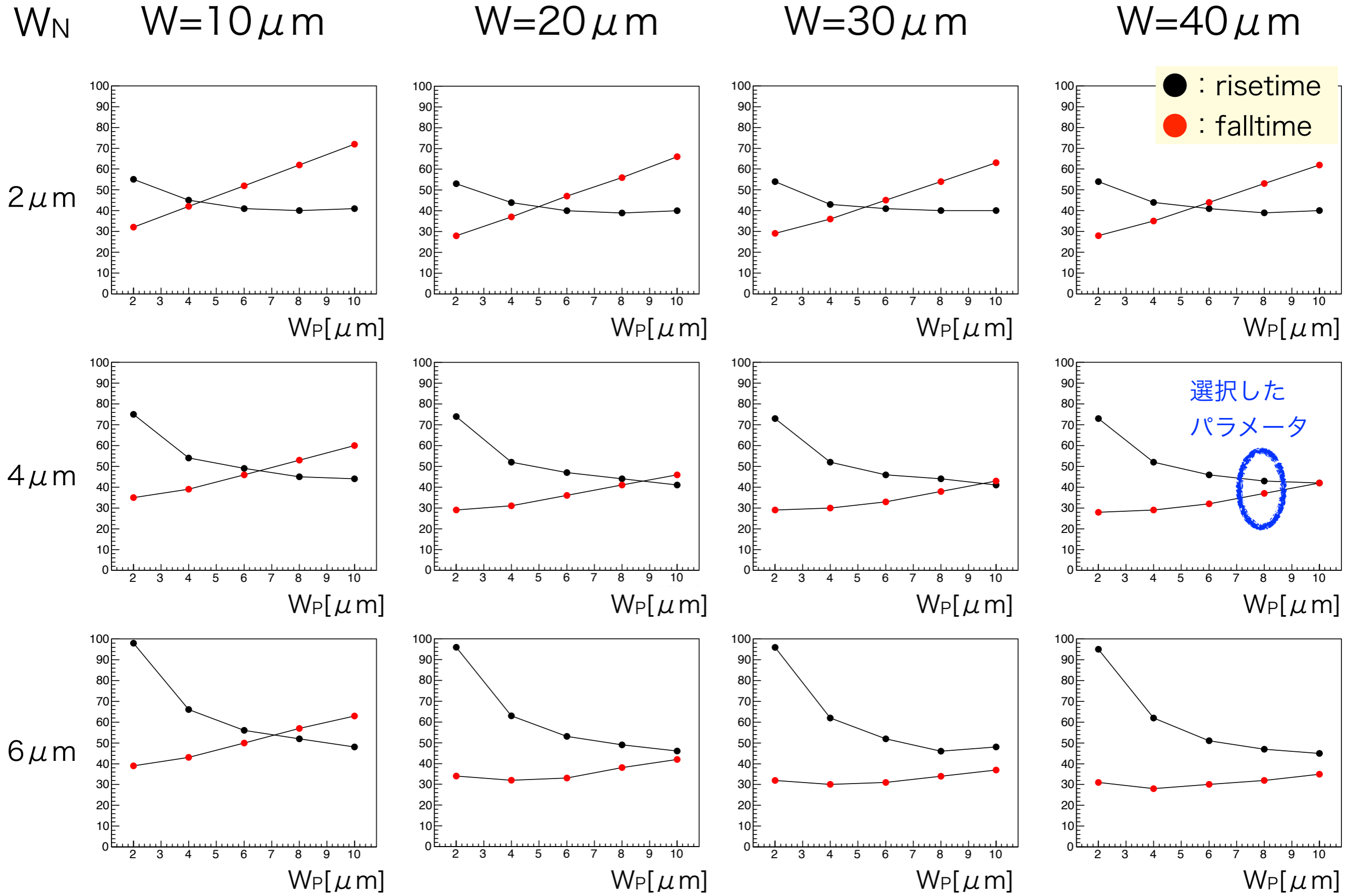
0.8V



1.0V

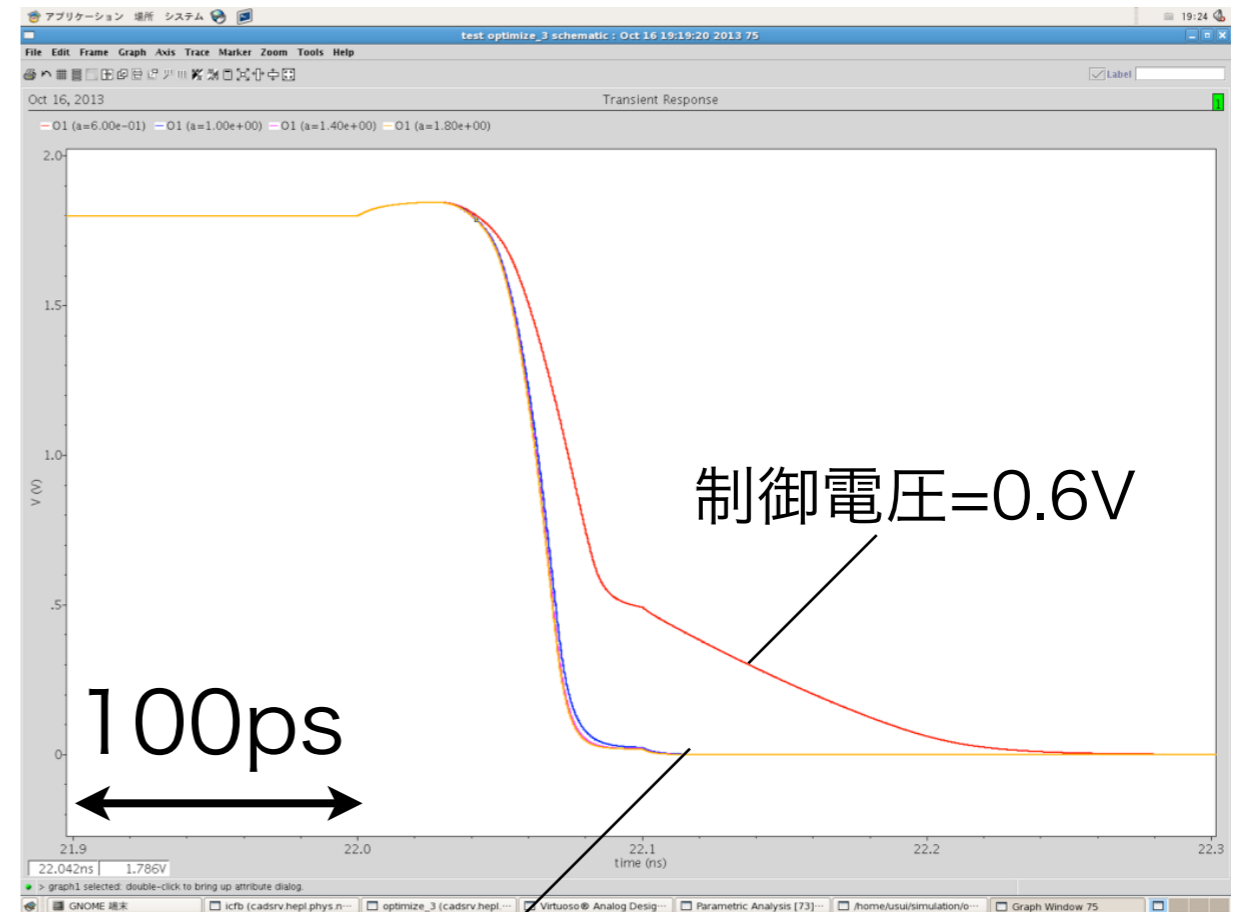
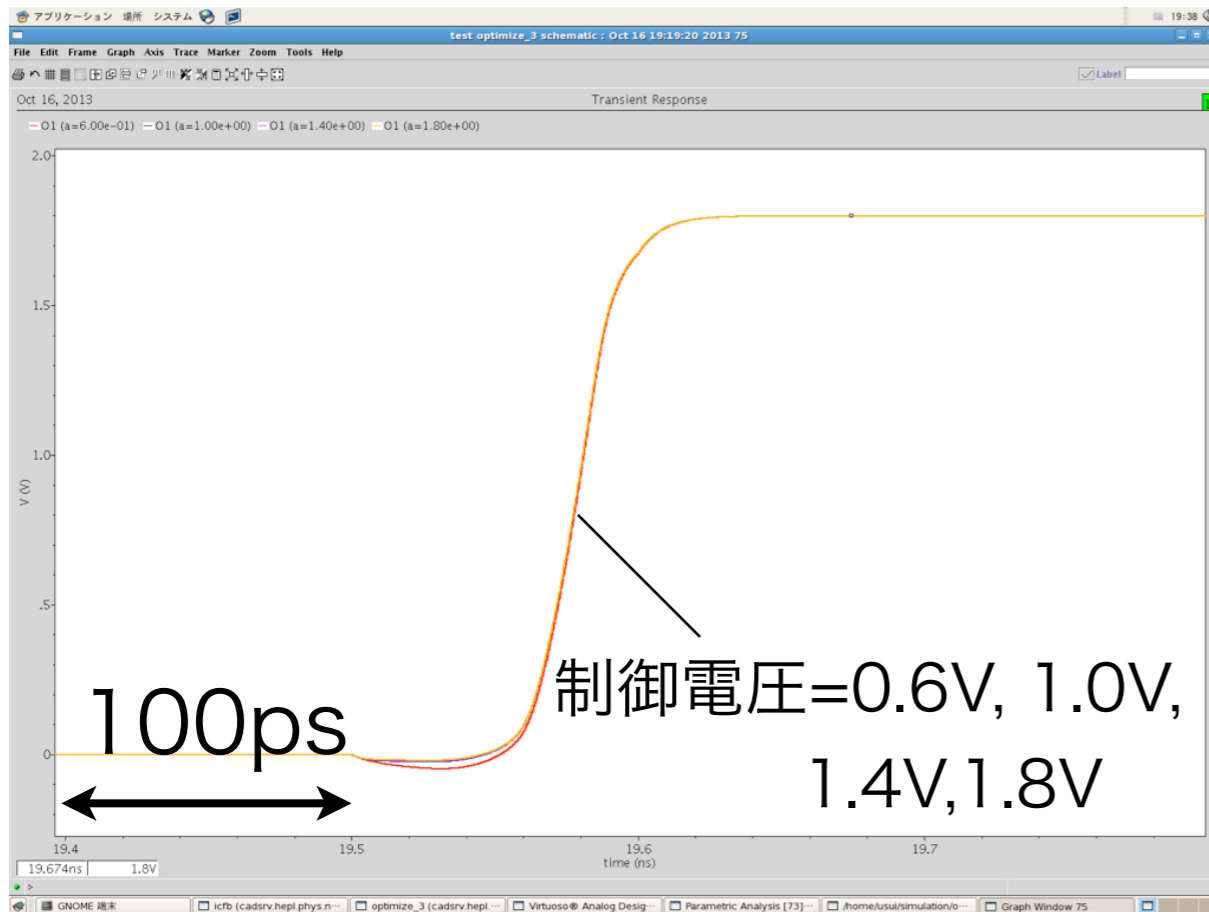


risetime, falltime[ps] : 制御電圧=1.0V ²⁷/₂₁

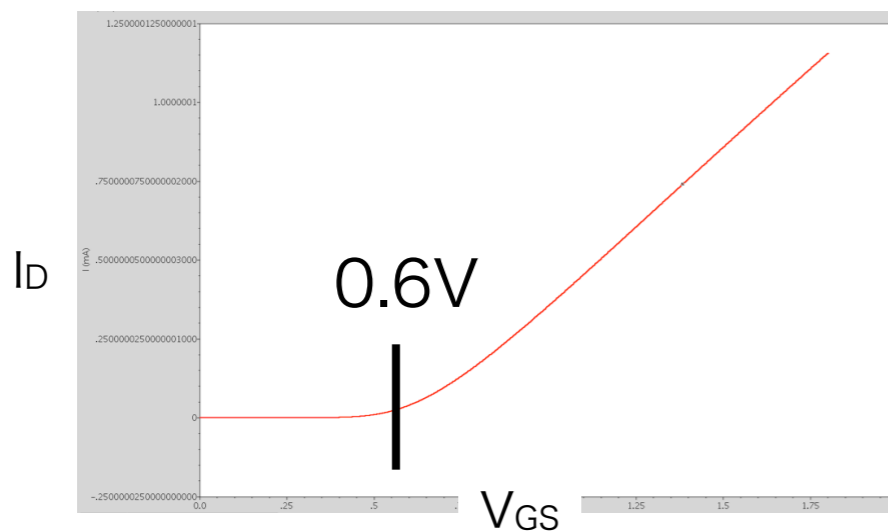


波形： $W_N=10\mu\text{m}$, $W_P=10\mu\text{m}$

$W=40\mu\text{m}$



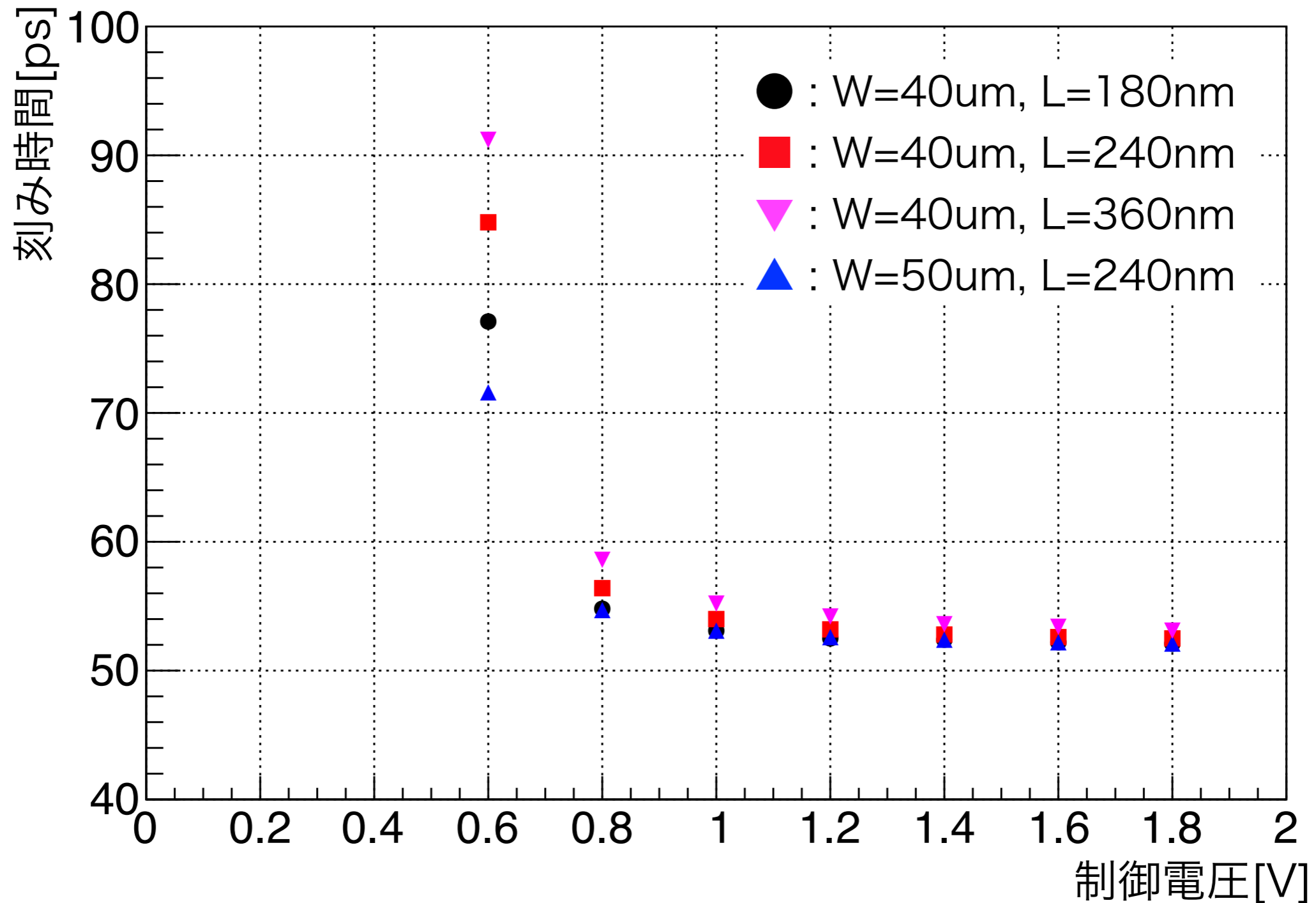
制御電圧=1.0V, 1.4V, 1.8V



NMOSの $V_{GS}-I_D$ 特性

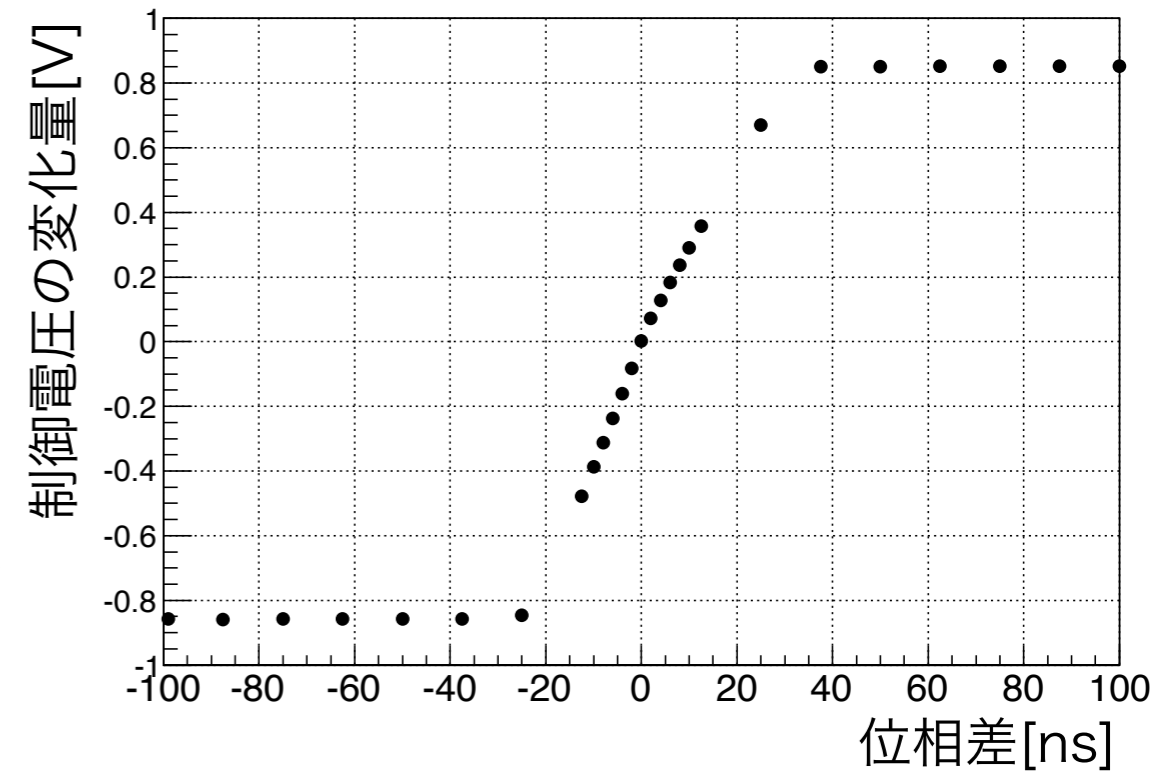
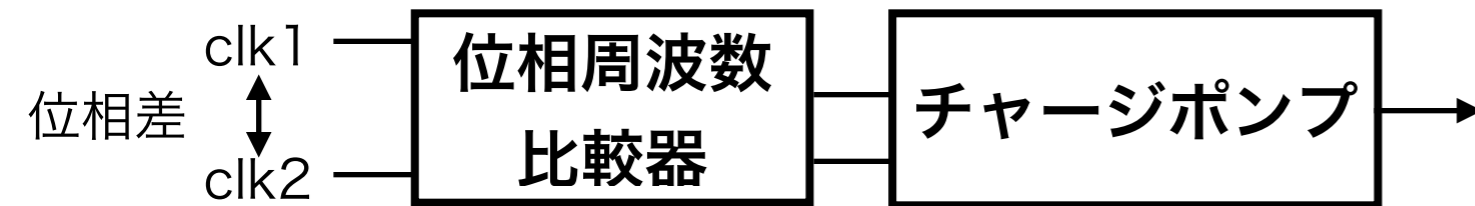
制御電圧=0.6Vの時は不安定

L値の設定



電源ノイズを考慮して、Lは最小値を避ける
刻み時間が悪化が小さい■を選択する

位相周波数比較器 + チャージポンプ

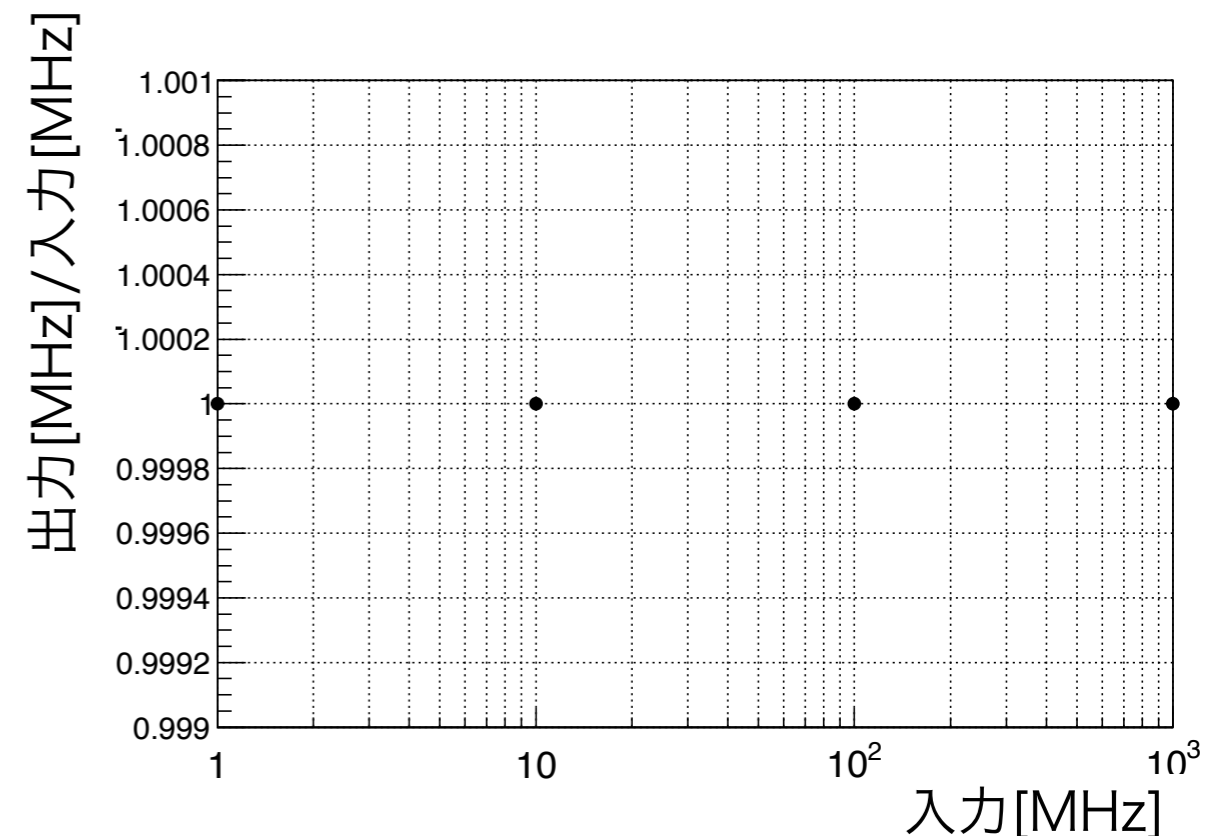


位相差=0のときの変化量=0、左右対称、変化幅=1.8V
になるように設計できた

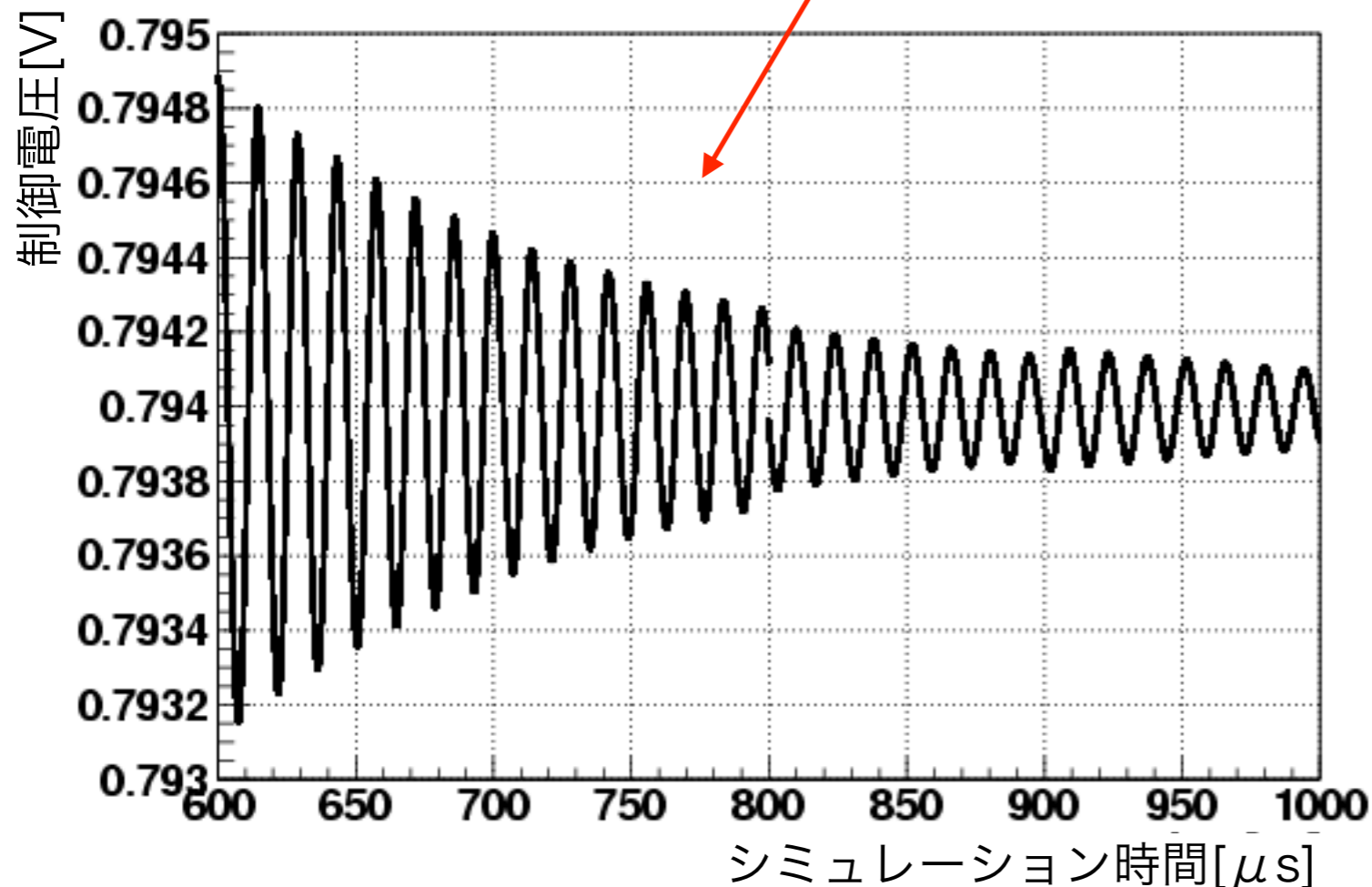
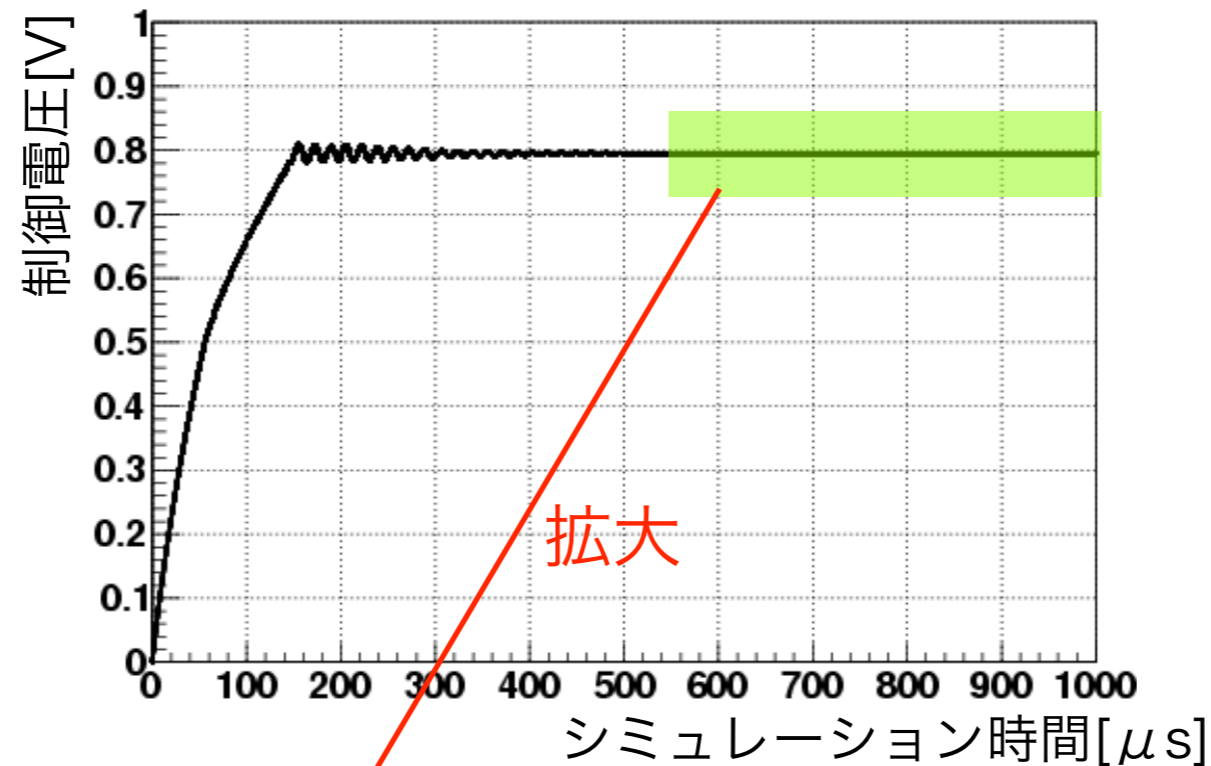
分周器 (32分周)



1MHzから1GHzの範囲で、0.1%以下の精度で
32分周できている



制御電圧の収束過程



1ms経過後も制御電圧の振動は残っている

→ 周期の振動の原因

ローパスフィルターのカットオフ周波数以下の成分は残る
(~3kHz)

PLLシミュレーション

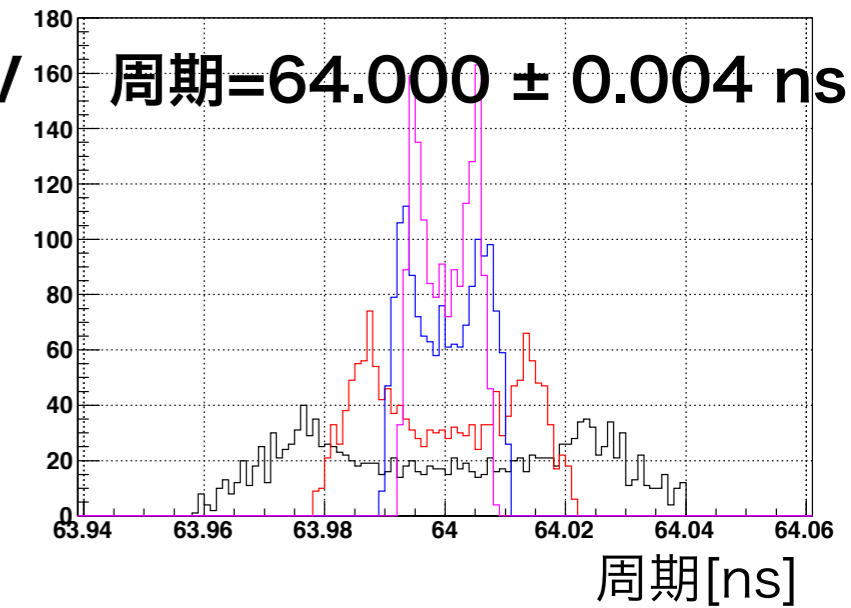
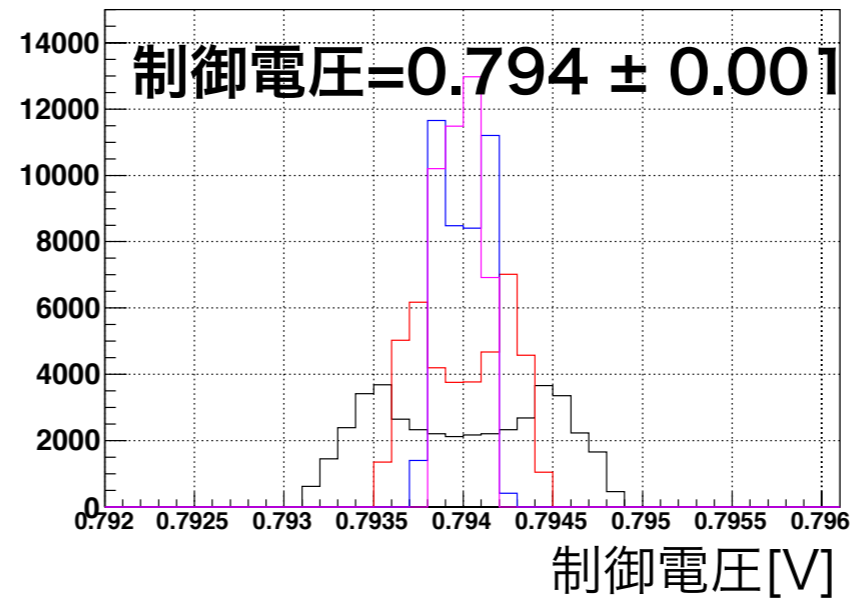
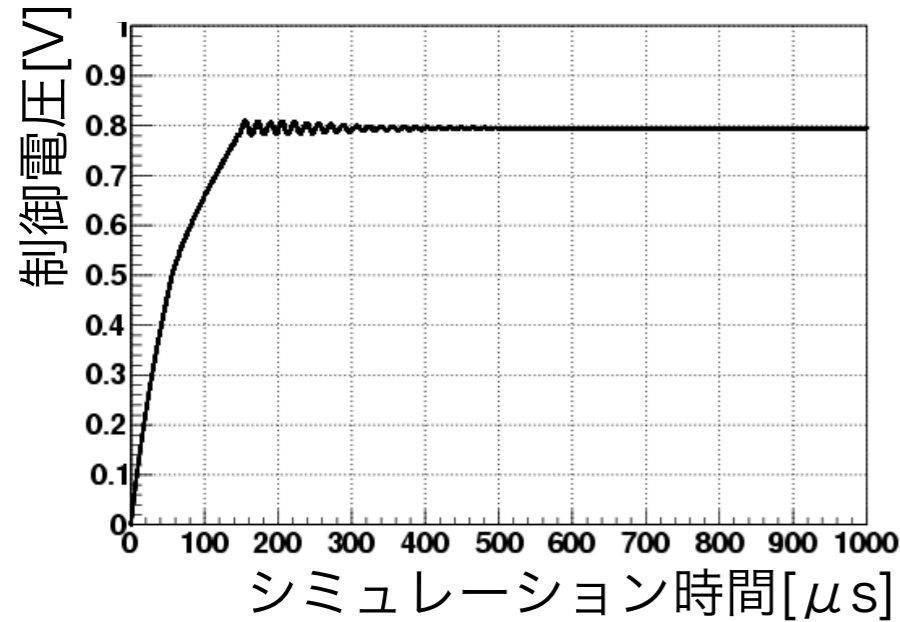
32 / 21

基準クロックを入力して、制御電圧と周期を測定

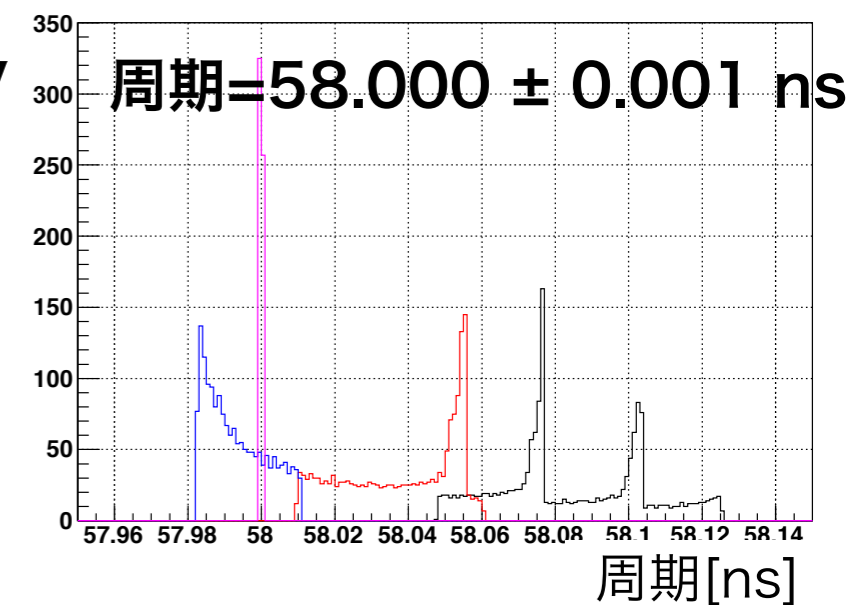
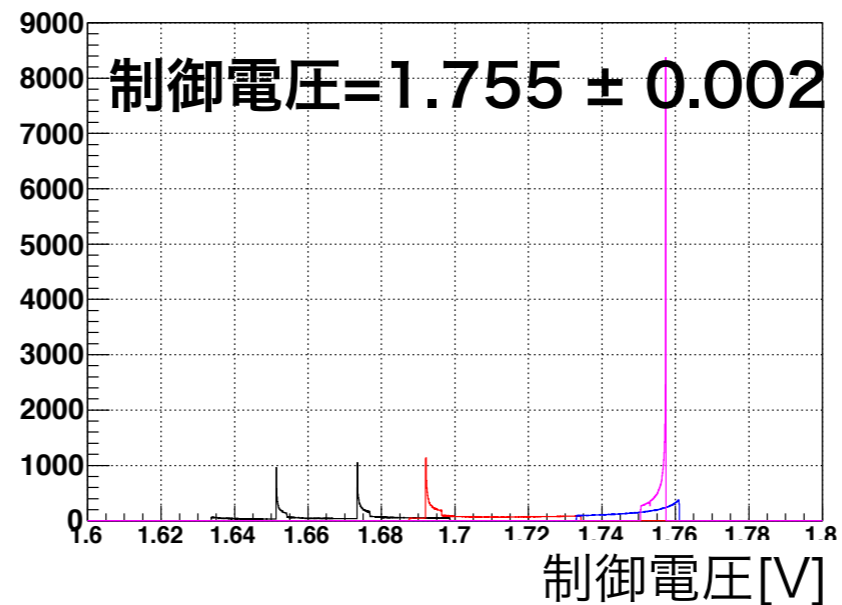
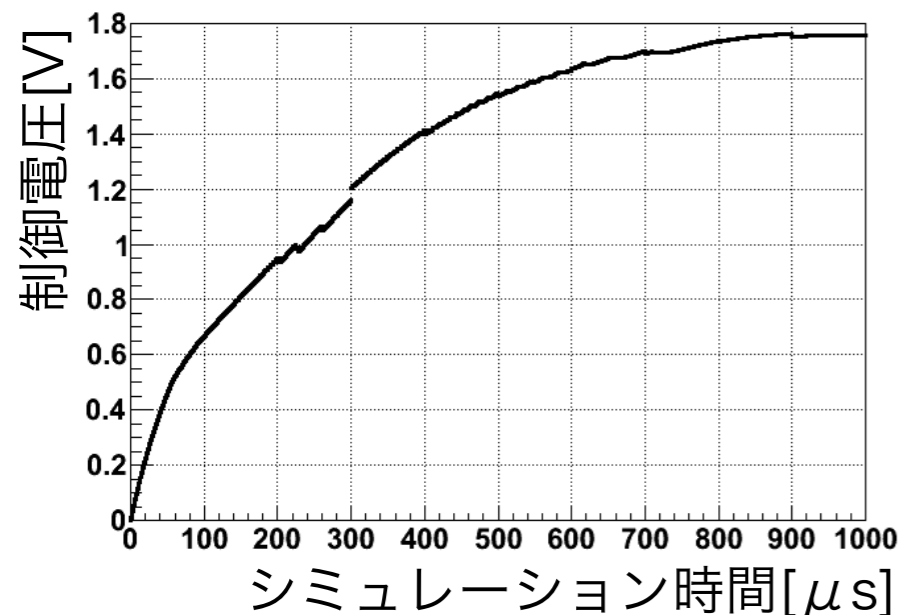
600 μ s-700 μ s、700 μ s-800 μ s

800 μ s-900 μ s、900 μ s-1ms

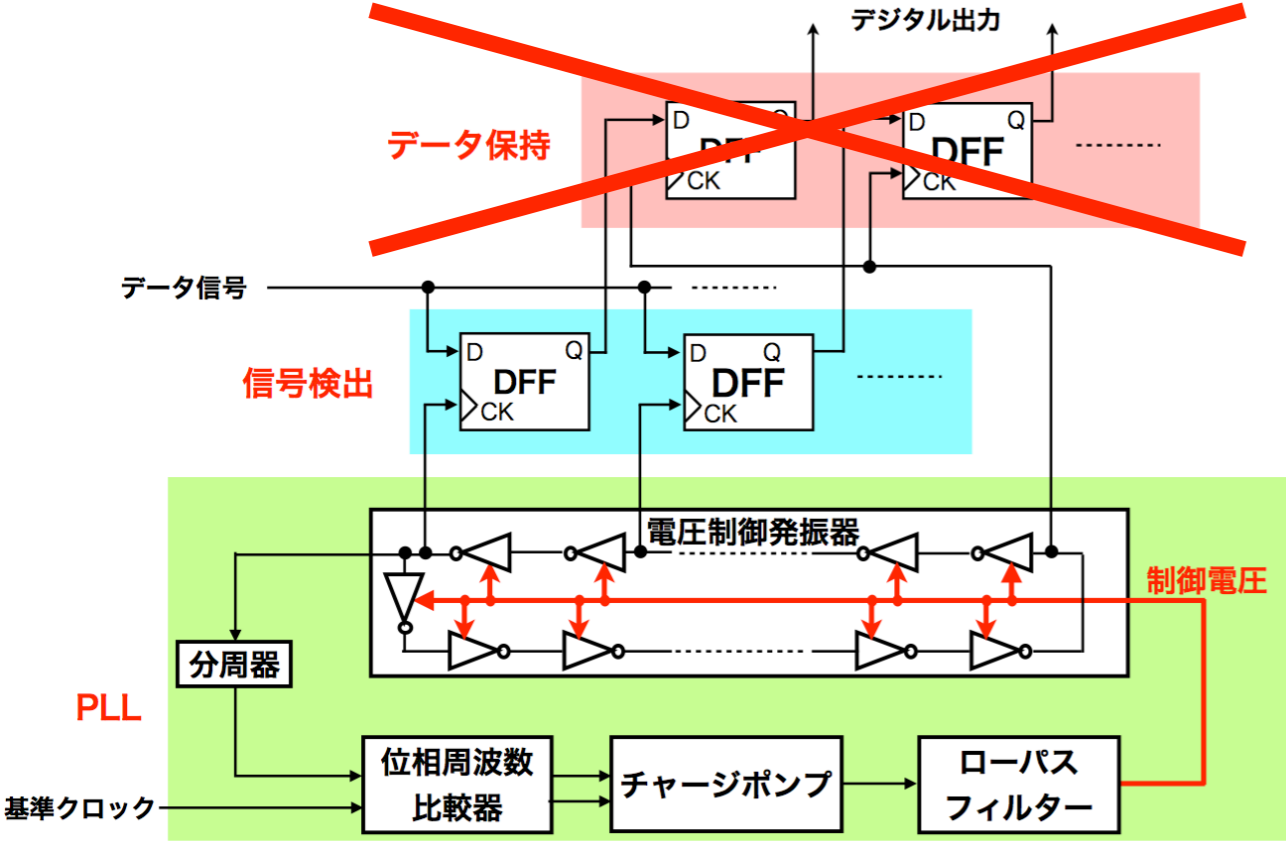
① 基準クロック=64ns入力時



② 基準クロック=58ns入力時

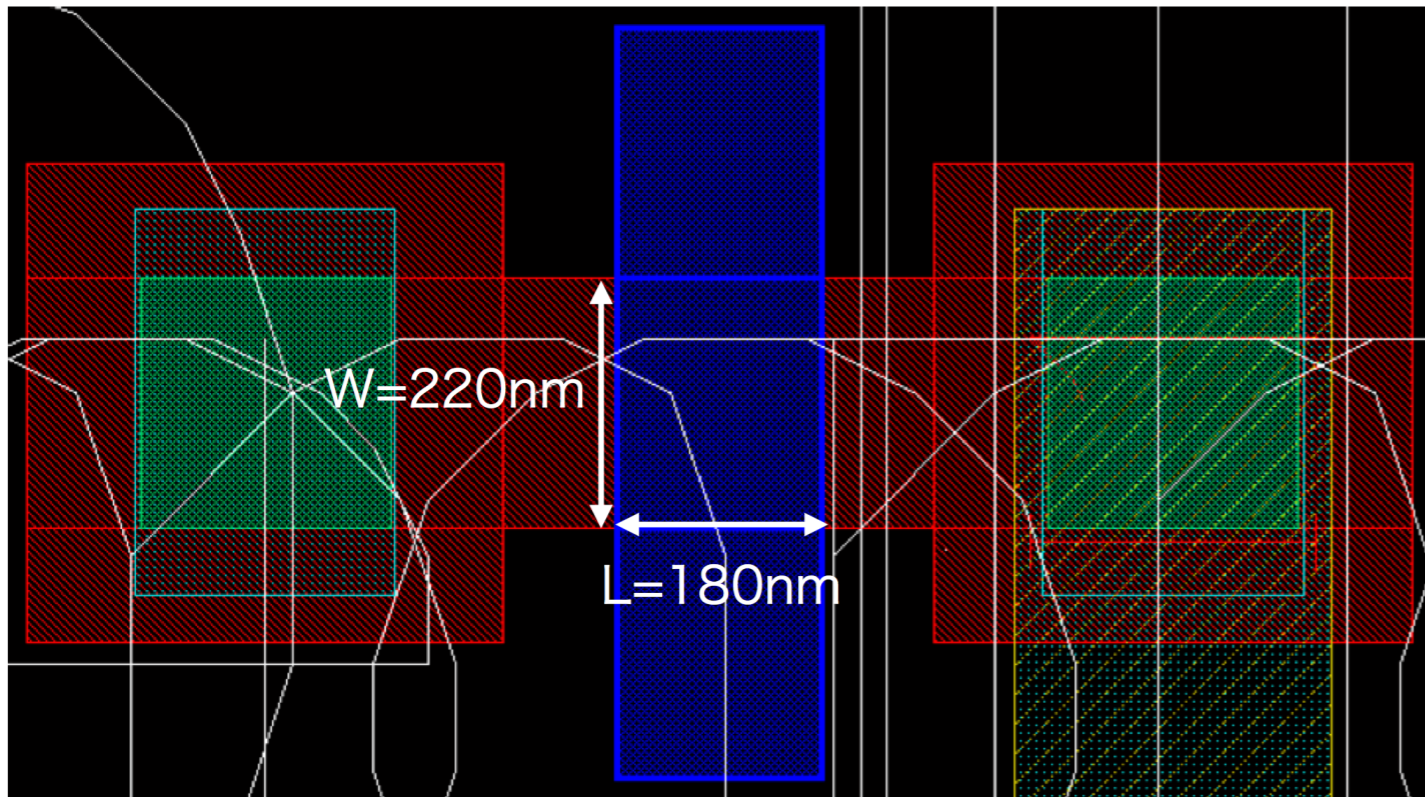


W値の誤り



電圧制御発振器からデータ保持DFFへクロック信号を入力する際に、信号を強くするためにインバータを挿入している

挿入したインバータのPMOSのW値を誤ったため、クロック信号を入力できていない



設計値は $W=2\mu\text{m}$ であったが、レイアウト後の回路では $W=220\text{nm}$ になっていた

チップ : 1.8V、67mA → 121mW

差動チップ : 3.3V、173mA → 571mW

