

修士論文

位相同期回路を用いた汎用タイムデジタイザの開発

名古屋大学大学院理学研究科 素粒子宇宙物理学専攻

高エネルギー物理学研究室

学生番号 261301101

臼井主紀

2015年2月28日

概要

高エネルギー実験では、時間測定のためにタイムデジタイザを使用することが多い。用途によって、要求される時間分解能、チャンネル数は異なる。例えば、LHC-ATLAS 実験の Monitored Drift Tube ではそれぞれ 250 ps、約 37 万チャンネルであり、Belle II 実験の Time Of Propagation カウンターでは 50 ps、約 8,200 チャンネルである。

本研究では、位相同期回路を組み込む構成方法に着目し、汎用タイムデジタイザの開発を行った。位相同期回路は電圧制御発振器、位相周波数比較器、チャージポンプ、ローパスフィルター、分周器からなる負帰還回路である。位相同期回路を用いる利点は、タイムデジタイザの較正や多チャンネル化への応用が容易になることである。また、集積回路の CMOS の微細化に伴って、時間分解能の向上が期待できる。Taiwan Semiconductor Manufacturing Co., Ltd 社の 180 nm 製造プロセスに対し、タイムデジタイザの時間分解能の限界値を調べた。

位相同期回路の電圧制御発振器に対しては、刻み時間を小さくするためにインバータのパラメータを最適化した。その他の構成回路に対しては、負帰還回路として安定に動作するようにトランジスタレベルで設計した。その結果、シミュレーション上で約 60 ps の刻み時間が得られた。これと D フリップフロップを組み合わせることで、タイムデジタイザを設計した。配線長と信号線の配線方法に注意してレイアウトを行い、寄生容量による時間分解能の悪化を低く抑えた。結果として、位相同期回路の刻み時間は約 80 ps になった。その後、チップ化し、評価ボードを製作して性能評価を行った。位相同期回路の刻み時間は約 83 ps で、潜在的には様々な高エネルギー実験に使用可能であることがわかった。また、タイムデジタイザの時間分解能は約 134 ps という結果を得た。

本研究により、180 nm 製造プロセスでの位相同期回路の刻み時間の限界値が明らかになった。また、D フリップフロップを改良することで、より高い時間分解能を持つ汎用タイムデジタイザの開発が可能であることを立証した。

目次

第 1 章 序論	7
1.1 はじめに	7
1.2 タイムデジタイザの構成例	7
1.2.1 Time to Amplitude Converter 型	7
1.2.2 Delay Line 型	7
1.3 本研究の目的	8
第 2 章 回路設計とシミュレーション	11
2.1 MOSFET	11
2.2 位相同期回路の設計	12
2.2.1 電圧制御発振器	13
2.2.2 位相周波数比較器	17
2.2.3 チャージポンプ	18
2.2.4 ローパスフィルター	19
2.2.5 分周器	19
2.2.6 位相同期回路のシミュレーション	22
2.3 タイムデジタイザの設計	22
2.3.1 構成方法	22
2.3.2 タイムデジタイザのシミュレーション	29
2.4 クロック信号出力部分の設計	29
第 3 章 レイアウト設計とシミュレーション	33
3.1 レイアウト設計	33
3.2 レイアウト検証	33
第 4 章 動作試験	41
4.1 評価ボードの製作	41
4.2 測定機器	41
4.3 位相同期回路の動作試験	41
4.3.1 VCO の動作試験	41
4.3.2 位相同期回路の同期動作試験	44
4.3.3 位相同期回路のジッタ測定	46
4.4 タイムデジタイザの動作試験	48
4.5 考察	51
4.6 今後の展望	54
4.6.1 差動型 VCO	54
4.6.2 抵抗挿入型 VCO	57
第 5 章 結論	59

図目次

1.1	MDT での時間測定概念図	9
1.2	AMT-3 チップ	9
1.3	TAC 型タイムデジタイザ	10
1.4	Delay Line 型タイムデジタイザ	10
2.1	NMOS の構造	11
2.2	I_D - V_{GS} 特性	12
2.3	I_D - V_{DS} 特性	13
2.4	位相同期回路のブロック図	13
2.5	VCO の構成	14
2.6	VCO の発振波形	14
2.7	VCO インバータ	15
2.8	$V_{con}=1.0$ V 入力時の刻み時間	16
2.9	V_{con} と刻み時間の関係の L 依存性	16
2.10	$V_{con}=1.0$ V 入力時の立ち上がり時間、立ち下がり時間	17
2.11	V_{con} と刻み時間の関係	18
2.12	外乱要因に対する V_{con} と刻み時間の関係	18
2.13	PFD の構成	19
2.14	PFD の動作原理	20
2.15	PFD の動作シミュレーション	21
2.16	CP の構成	22
2.17	CP の動作シミュレーション	23
2.18	位相差に対する V_{con} の変化量	24
2.19	LPF の構成	24
2.20	分周器の構成	25
2.21	分周器の波形	25
2.22	分周器の動作シミュレーション	26
2.23	V_{con} の過渡解析 (ref.clk の周期 64 ns)	26
2.24	V_{con} と $T_{osc.clk}$ の収束過程のヒストグラム (ref.clk の周期 64 ns)	27
2.25	V_{con} の過渡解析 (ref.clk の周期 58 ns)	27
2.26	V_{con} と $T_{osc.clk}$ の収束過程のヒストグラム (ref.clk の周期 58 ns)	27
2.27	位相同期回路を用いたタイムデジタイザの構成方法	28
2.28	D フリップフロップの構成	28
2.29	クロック信号の配り方	29
2.30	信号検出からデータ保持までの流れ	30
2.31	タイムデジタイザのシミュレーション結果	30
2.32	差動出力回路	31
2.33	差動変換後の out.clk の波形	32
3.1	ピン配置	34

3.2	レイアウト全体図	35
3.3	VCO のレイアウト図	35
3.4	VCO とドライブ用インバータの回路図	36
3.5	初期レイアウトでの V_{con} と刻み時間の関係	36
3.6	VCO と INVRX のレイアウト図	37
3.7	INVRX から INVRX1 への配線	38
3.8	レイアウト修正前の INVRX1 への入力波形	38
3.9	VCO と INVRX、INVRX1 のレイアウト図	39
3.10	INVRX1 通過後のクロック信号の波形	39
3.11	初期レイアウトと最終レイアウトでの V_{con} と刻み時間の関係の比較	40
4.1	作製したチップ	42
4.2	評価ボード	42
4.3	評価ボードの回路図	43
4.4	評価ボードの部品リスト	44
4.5	使用した測定機器	44
4.6	VCO の周波数測定のセットアップ	44
4.7	V_{con} 入力時の out.clk の波形	45
4.8	測定した V_{con} と刻み時間の関係	45
4.9	電源電圧が変化した場合の V_{con} と刻み時間の関係	46
4.10	位相同期回路の周波数測定のセットアップ	46
4.11	ref.clk と out.clk の関係	47
4.12	ref.clk と V_{con} の関係	47
4.13	V_{con} の過渡解析 (ref.clk の周期 72 ns)	48
4.14	オシロスコープの波形とジッタのヒストグラム	48
4.15	SN65CML100D 評価ボード	49
4.16	SN65CML100D のジッタ測定のセットアップ	49
4.17	INV2PD の PMOS のレイアウト図	50
4.18	タイムデジタイザの測定のセットアップ	51
4.19	タイムデジタイザの出力波形	51
4.20	データ信号の立ち上がりのタイミングとヒストグラムのカウント数の比の関係	52
4.21	タイムデジタイザの出力の線形性	52
4.22	ラッチ回路の構成	53
4.23	クロックドインバータの構成	53
4.24	D フリップフロップのシミュレーションセットアップ	54
4.25	D フリップフロップのシミュレーション	55
4.26	Q2 出力タイミングの比較	56
4.27	差動インバータ	56
4.28	差動型 VCO の V_{con} と刻み時間の関係	57
4.29	抵抗挿入型 VCO	57
4.30	抵抗挿入型 VCO の V_{con} と刻み時間の関係	58

表目次

2.1	D フリップフロップの真理値表	26
4.1	ラッチ回路の真理値表	55
4.2	クロックドインバータの真理値表	55

第 1 章 序論

1.1 はじめに

高エネルギー実験は、物質の究極の構成要素である素粒子の性質と相互作用を研究することを目的としている。そのなかで、時間情報を高精度で計測することは非常に重要である。高エネルギー実験での時間測定の例として、以下に 2 つを挙げる。

Large Hadron Collider における ATLAS 実験では、飛跡検出器として Monitored Drift Tube (MDT) が使用されている [1]。MDT は陽子・陽子衝突によって生成された μ 粒子の飛跡検出を行なうドリフト管で、総チャンネル数は 371,488 である。時間測定の概念は図 1.1 に示すように、陽子・陽子衝突をスタートとして、MDT までの粒子の飛行時間と MDT 内部でのドリフト時間を測定している。タイムデジタイザで、スタートとストップの時間差を検出し、2 進数のデジタル出力として計算機に送られる。計算機は、これを 10 進数のタイムデジタイザカウントに変換して出力する。MDT に要求される位置分解能は約 $80 \mu\text{m}$ であり、これを実現するためにはドリフト時間を高精度で測定する必要がある。そのため ATLAS 実験では、1 カウントあたり約 780 ps の ATLAS Muon TDC (AMT-3) チップを使用している (図 1.2) [2]。AMT-3 チップのタイムデジタイザの時間分解能は約 250 ps であり、1 チップあたりのチャンネル数は 24 である。

Super KEKB 加速器の Belle II 実験では、 K 中間子と π 中間子を識別するために、Time Of Propagation (TOP) カウンターが使用される [3]。TOP カウンターは石英輻射体と光検出器から構成されるリングイメージ型チェレンコフ検出器で、総チャンネル数は 8,192 である。 K 中間子と π 中間子によって生成されたチェレンコフ光子の飛行時間差を測定するために、光検出器には 50 ps の時間分解能が求められている [4]。

1.2 タイムデジタイザの構成例

タイムデジタイザの構成方法は多岐にわたる。大きくアナログ方式とデジタル方式に分けられる。ここでは、例として Time to Amplitude Converter (TAC) 型と Delay Line 型を挙げる [5]。

1.2.1 Time to Amplitude Converter 型

最も基本的な TAC 型タイムデジタイザの構成を図 1.3 に示す。スタート、ストップ信号の時間差の間、電流源からコンデンサーに電流が流れる。Analog to Digital Converter (ADC) でコンデンサーに蓄えられた電圧をデジタル化することで、時間測定を行う。

長所は、非常に時間分解能が良く、 $O(1)$ ps 以下の時間分解能が可能な点である。短所は、チャンネル毎に ADC が必要であり、較正が必須な点である。また、アナログ信号をデジタル変換するため、ノイズに弱い。

1.2.2 Delay Line 型

Delay Line 型タイムデジタイザの構成を図 1.4 に示す。データ信号は並列に並べたフリップフロップに同時に入力される。それぞれのクロック信号は、バッファの遅延時間分ずつ遅れて入力されるため、出力をまとめて読み出すことで時間測定ができる。時間分解能は、バッファの遅延時間に大きく依存する。

長所は、デジタル回路であるためノイズに強い点である。短所は、バッファの遅延時間へのフィードバックがないため時間分解能が温度や電源電圧に依存する点である。

1.3 本研究の目的

高エネルギー実験で使用することを想定すれば、1.1 節で示したように、タイムデジタイザの時間分解能は $O(10)$ ps であれば十分利用価値がある。また、膨大なチャンネル数に柔軟に対応可能であることが重要となる。

そこで私は、位相同期回路を組み込む構成方法に着目して、Application Specific Integrated Circuit (ASIC) で汎用タイムデジタイザの開発を行った。利点を以下に挙げる。

- 負帰還回路であるため、安定なクロック信号を生成でき、較正が容易である。
- 小面積で多チャンネル化を実現できる。
- Complementary Metal Oxide Semiconductor (CMOS) の微細化に伴って、時間分解能の向上が期待できる。

本研究では、本構成方法での潜在能力を調べるために、最も基本的な構成でタイムデジタイザを設計し、時間分解能の限界値を調べた。製造は、Taiwan Semiconductor Manufacturing Co., Ltd (TSMC)^{*1}の 180 nm プロセスを用いて行なった。本プロセスでは、CMOS のチャンネル長の下限値は 180 nm である。また、0 V から 1.8 V の範囲で動作させる。

^{*1} <http://www.tsmc.com/english/default.htm>

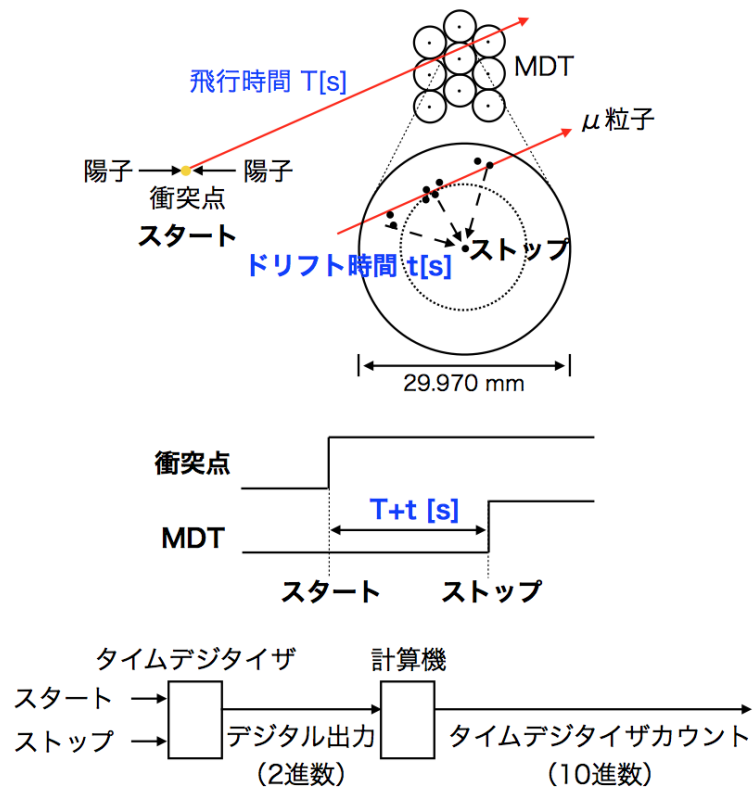


図 1.1 MDT での時間測定の概念図

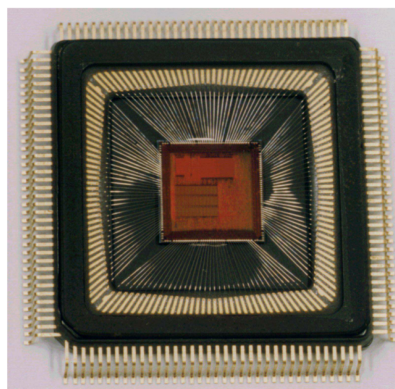


図 1.2 AMT-3 チップ

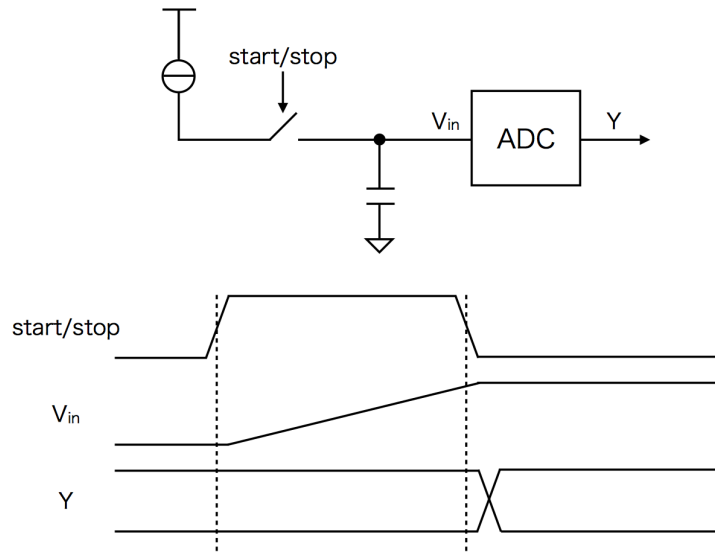


図 1.3 基本的な TAC 型タイムデジタイザ

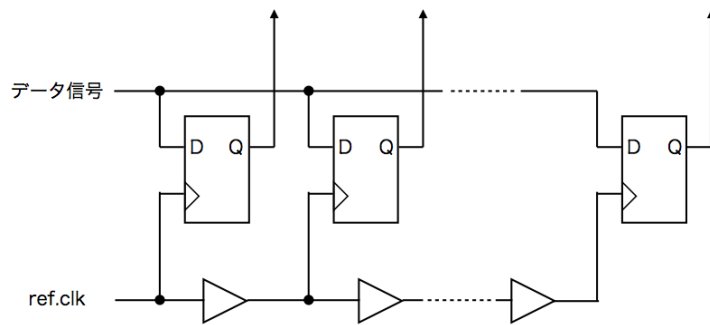


図 1.4 Delay Line 型タイムデジタイザ

第 2 章 回路設計とシミュレーション

本章では、ASIC を構成する Metal Oxide Semiconductor Field Effect Transistor (MOSFET) の特性 [6] を記述した後、位相同期回路およびタイムデジタイザの構成・設計について述べる。

2.1 MOSFET

MOSFET には、N 型 MOSFET と P 型 MOSFET の 2 つの特性の異なるトランジスタがある。ソース (S)、ドレイン (D)、ゲート (G)、バルク (B) の 4 つの端子が存在し、ゲート・ソース間電圧 (V_{GS}) とドレイン・ソース間電圧 (V_{DS}) で、ドレイン電流 (I_D) を制御する。バルクは多くの場合、NMOS では GND (0 V)、PMOS では V_{DD} (電源) に接続される。

例として NMOS の特性について述べる。NMOS の表面と断面の構造は図 2.1 のようになる。各端子と外部配線の接続部分をコンタクトという。+、- の添字は相対的なキャリア濃度を示している。ゲートと n^+ の間の部分をチャネルといい、 L と W をチャネル長、チャネル幅という。 L と W は製造プロセスにより上限値と下限値が決まっている。

キャリア濃度の違う p^- と n^+ の境界ではキャリアの移動により、アクセプタイオンとドナーイオンの電荷が浮かび上がった領域である空乏層ができる。この状態で V_{GS} を上昇させていくと、酸化膜下部にも空乏層が形成された後に、 n^+ から電子が供給され反転層と呼ばれる自由電子の層が形成される。このときの閾値電圧を V_T とする (図 2.2)。

さらにここに V_{DS} を印加すれば、自由電子がソースからドレインに移動するため、電流が流れ始める。このときの状態 ($V_{DS} < V_{GS} - V_T$) を線形領域と呼び、ドレイン電流は

$$I_D = \mu C_{ox} \frac{W}{L} \left\{ (V_{GS} - V_T) - \frac{1}{2} V_{DS} \right\} V_{DS} \quad (2.1)$$

であらわされるように、 V_{DS} により急激に上昇する。ここで、 μ はキャリアの移動度、 C_{ox} は単位

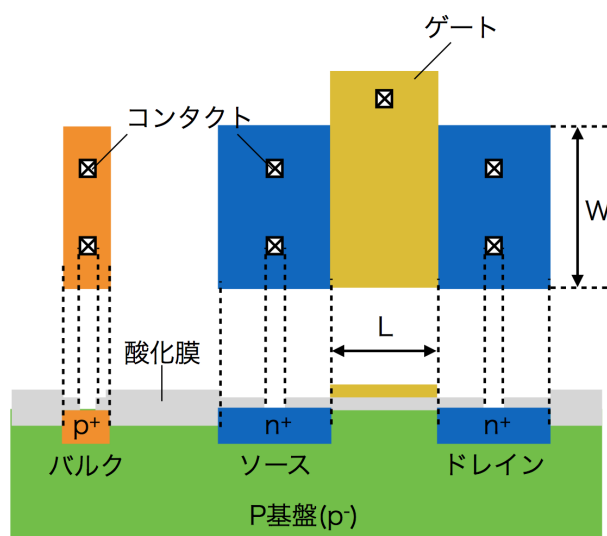


図 2.1 NMOS の表面 (上部) と断面 (下部) の構造。バルクの p^+ 領域は、P 型シリコン基板と金属配線の接触を良好にする目的で形成される。

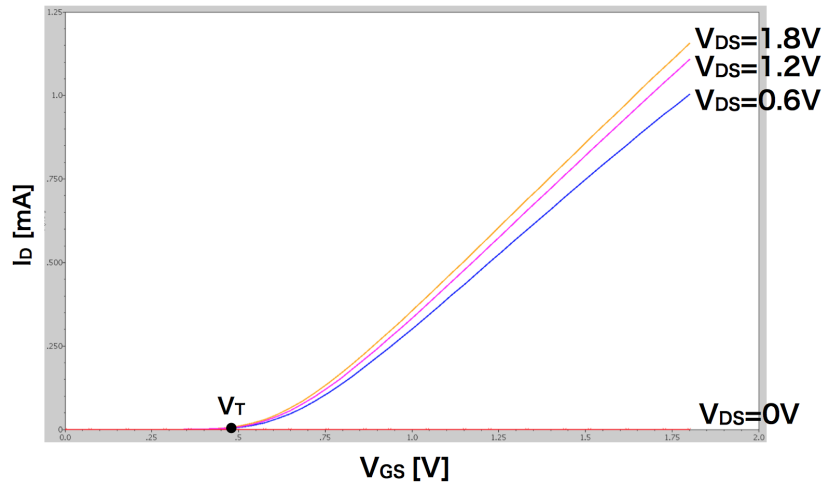


図 2.2 I_D - V_{GS} 特性

面積あたりの酸化膜の容量である。

$V_{DS} > V_{GS} - V_T$ となると、ドレイン付近の反転層は消失する。このときの状態を飽和領域と呼び、

$$I_D = \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{GS} - V_T)^2 \quad (2.2)$$

となり、 I_D は V_{DS} に依存しない (図 2.3)。 V_{GS} による I_D の変化量を相互コンダクタンスと呼び、

$$g_m = \frac{\partial I_D}{\partial V_{GS}} = \mu C_{ox} \frac{W}{L} (V_{GS} - V_T) \quad (2.3)$$

とあらわす。つまり、 $\frac{W}{L}$ が大きいほど、微小信号を大きな I_D に変換できる。実際には反転層が消失した幅の分だけチャンネル長が短くなっているため、

$$I_D = \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{GS} - V_T)^2 (1 + \lambda V_{DS}) \quad (2.4)$$

となる。これをチャンネル長変調効果と呼び、 λ はチャンネル長変調のパラメータである。

以上が NMOS の動作原理である。実際に回路を設計する際に重要になるパラメータは L と W である。高速動作に寄与する $W \div L$ や、サイズ・容量に寄与する $W \times L$ を考慮しながら回路設計を行う。

2.2 位相同期回路の設計

位相同期回路は、電圧制御発振器 (Voltage Controlled Oscillator : VCO)、位相周波数比較器 (Phase Frequency Detector : PFD)、チャージポンプ (Charge Pump : CP)、ローパスフィルター (Low Pass Filter : LPF)、分周器から構成される負帰還回路である (図 2.4)。

動作原理を述べる。VCO でクロック信号 (out.clk) を生成する。分周器で周波数が $\frac{1}{N}$ された信号を osc.clk とする。PFD で osc.clk と外部から入力される基準クロック信号 (ref.clk) の周波数差または位相差を検出する。CP で PFD から受けたパルス信号のパルス幅差分の電圧 (V_{con}) を VCO にフィードバックする。この際、LPF を挿入することで V_{con} の高周波成分をカットして

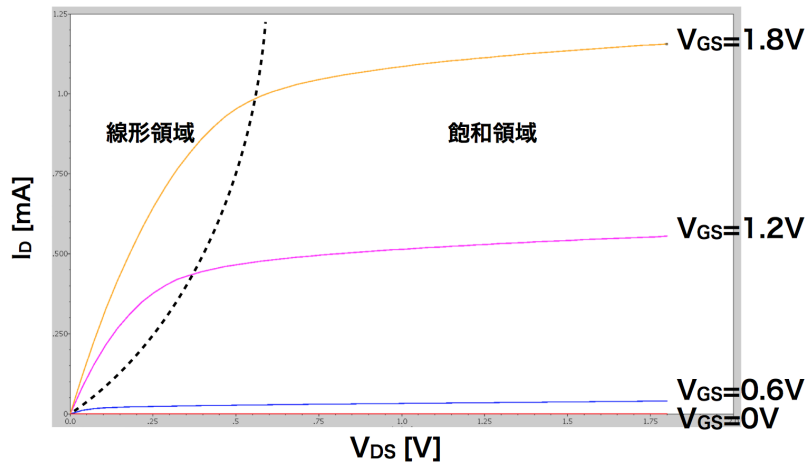


図 2.3 I_D - V_{DS} 特性。 $V_{DS} < V_{GS} - V_T$ を線形領域、 $V_{DS} > V_{GS} - V_T$ を飽和領域と呼ぶ。

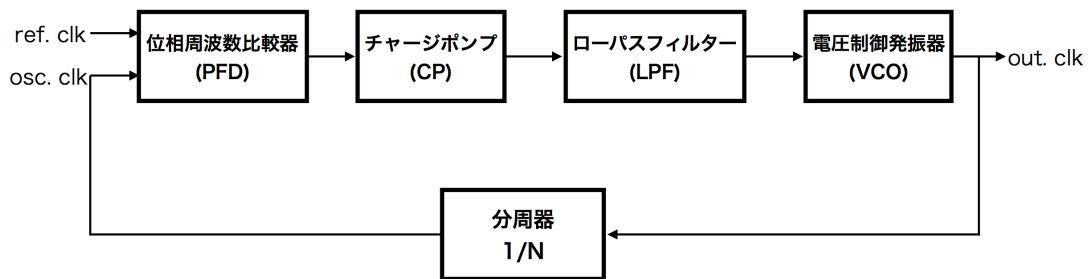


図 2.4 位相同期回路のブロック図。 ref.clk に同期し、周波数が N 倍の out.clk を生成する。

帰還系を安定に動作させる。このループにより、位相同期回路では ref.clk に同期して周波数が N 倍の安定なクロック信号 out.clk を生成することができる。

次に各構成部分の詳細な回路設計について述べていく。

2.2.1 電圧制御発振器

VCO の構成を図 2.5 に示す。VCO は奇数個のインバータを直列に接続したループ回路で、1 ループ毎に信号が反転することで発振回路として機能する。インバータの個数が少ないと発振しなかったため、今回は 33 個で構成した。

動作原理の詳細を述べる。図 2.5 の out1 での出力論理を “High” とする。out18 は out1 が入力されたインバータの出力であるため、インバータの応答速度に応じた遅延時間 δt をもって、“Low” が出力される。これが後段のインバータでも繰り返されるので、1 ループして 33 個のインバータを通過した out1 の出力は “Low” となる。特定の out で見ると、 $33\delta t$ で周期的に “High” と “Low” が繰り返されるクロック信号が出力されることになる。また、連続した out で見るとインバータ 2 個分の時間 ($\Delta t = \delta t \times 2$) が遅れたクロック信号が出力されることになる (図 2.6)。この一定の位相の遅れをもったクロック信号を並列の D フリップフロップに配ることで、刻み時間 Δt をもつ タイムデジタイザを構成できる。詳細は 2.3 節で述べる。

VCO の設計について述べる。前に述べたように、インバータの遅延時間がタイムデジタイザの

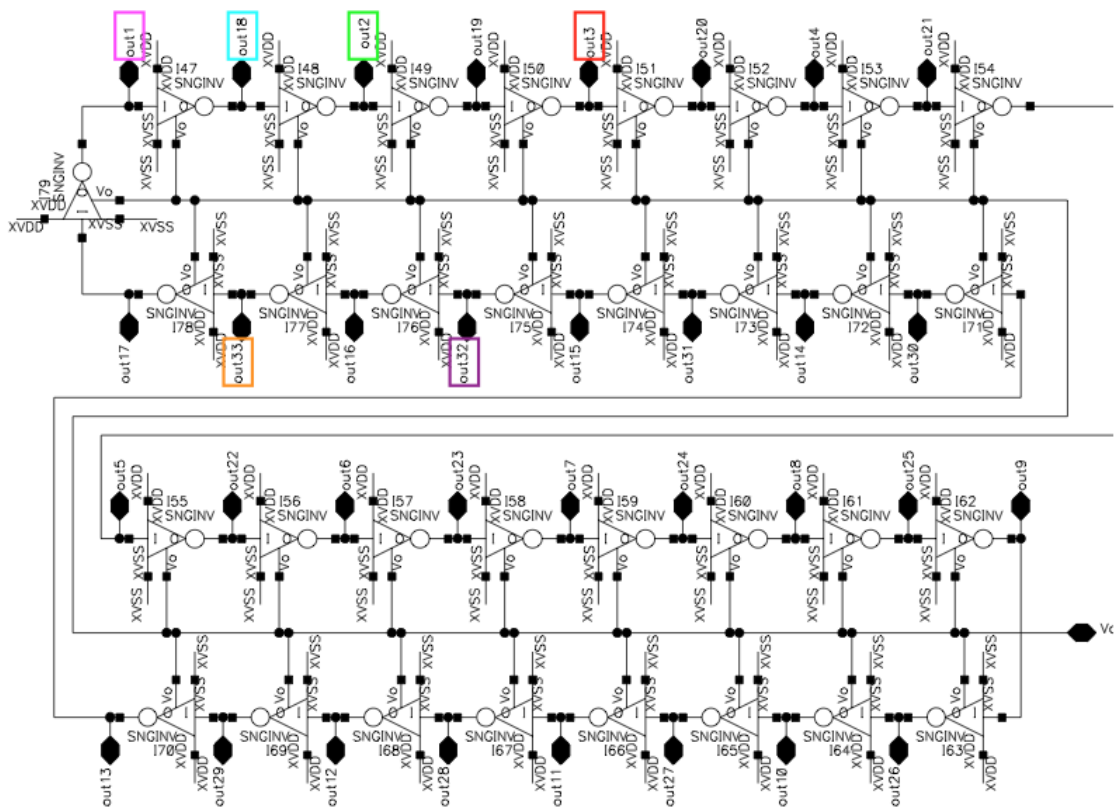


図 2.5 VCO の構成。VCO は 33 個のインバータを直列に接続したループ回路である。

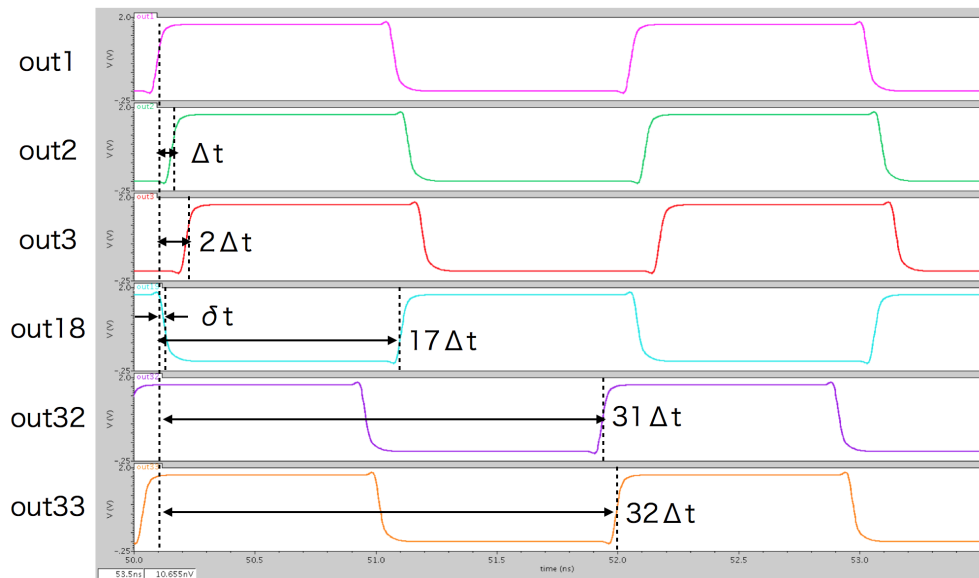


図 2.6 VCO の発振波形。インバータ 2 個分の遅延時間である Δt ずつ位相が遅れたクロック信号が、それぞれの out から出力される。横軸が時間、縦軸が電圧。

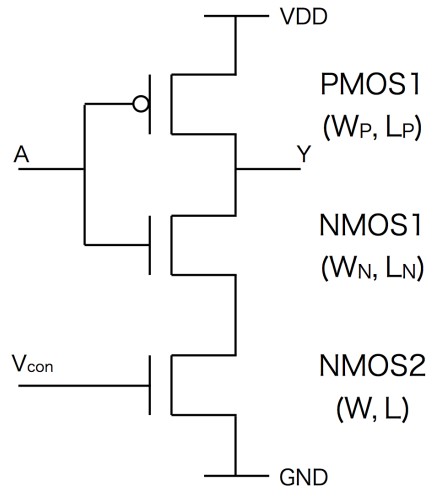


図 2.7 VCO インバータ。PMOS1 と NMOS1 が入力論理を反転する。NMOS2 が VCO インバータに流れる電流を決定する。

刻み時間に寄与する。従って、刻み時間を最小になるように VCO インバータを設計する必要がある。図 2.7 に今回使用する VCO インバータを示す。PMOS1 と NMOS1 の対でインバータを構成している。この部分で入力論理を反転するため、PMOS1 と NMOS1 の応答速度が早いほど、VCO インバータとしての遅延時間は小さくなる。応答速度には、論理の切り替わりに要する時間（立ち上がり時間、立ち下がり時間）、VCO インバータに流れる電流、後段の VCO インバータの容量が寄与する。また、NMOS1 のソースに NMOS2 を接続しており、ゲート部分に V_{con} を入力することで、VCO インバータに流れる電流を NMOS2 で決定できる。

刻み時間が最小になり、かつ、安定なクロックを生成するため、立ち上がり時間、立ち下がり時間が同等になるように各 MOSFET のチャネル長とチャネル幅を決定していく。式 (2.3) から、刻み時間を小さくするためには PMOS1 と NMOS1 のチャネル長は最小値が最適であることがわかるので、 $L_P = L_N = 180 \text{ nm}$ に決定する。その他のパラメータを決定するため、まずは $L = 180 \text{ nm}$ として W から決定していく。

図 2.8 を見ると、 W が大きいほど刻み時間が小さい領域は多くなり、この傾向は式 (2.3) と一致する。ただし、電圧変化を妨げる容量も大きくなるため、刻み時間は頭打ちになる。 W_N, W_P の相関を見ると、 $W_N : W_P = 1 : 2$ の場合に刻み時間が小さい。これは、PMOS のキャリアである正孔の移動度よりも、NMOS のキャリアである自由電子の移動度の方が大きいためである。刻み時間が 55 ps 以下の領域が最も多い $W = 40 \mu\text{m}$ で、立ち上がり時間、立ち下がり時間を見たものが図 2.10 である。両者が同等かつ刻み時間も考慮した結果、 $W = 40 \mu\text{m}$ 、 $W_N = 4 \mu\text{m}$ 、 $W_P = 8 \mu\text{m}$ を選択した。

次に L を決定する。NMOS2 は GND からのノイズを直接受けるため、プロセスの最小値である $L = 180 \text{ nm}$ は避ける。 L を大きくしても、刻み時間に影響が小さいような値を調べた結果が図 2.9 である。この結果から、 $L = 240 \text{ nm}$ を選択した。

以上のように、最適したパラメータで VCO を構成した場合の V_{con} と刻み時間の関係を図 2.11 に示す。

外乱要因に対しても V_{con} でフィードバックをかけて、刻み時間を一定にできる範囲を調べる。

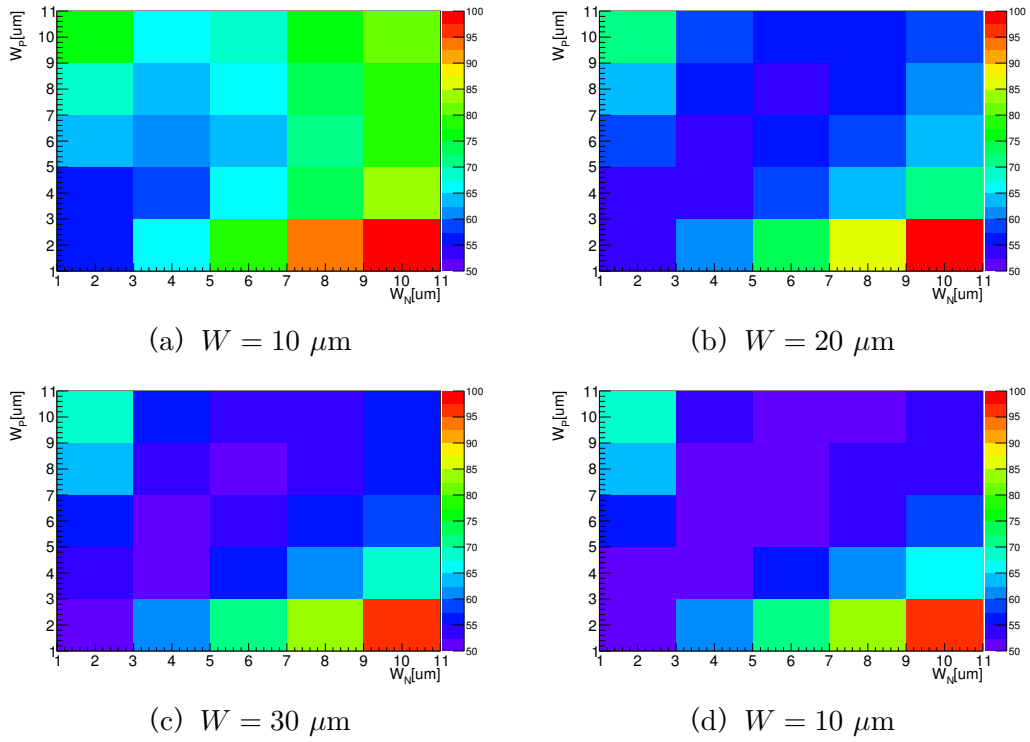


図 2.8 $V_{\text{con}}=1.0 \text{ V}$ 入力時の刻み時間。 W が大きいほど流れる電流が多いため、刻み時間が小さい領域は多い。ただし、容量も大きくなっていくため刻み時間は頭打ちになる。

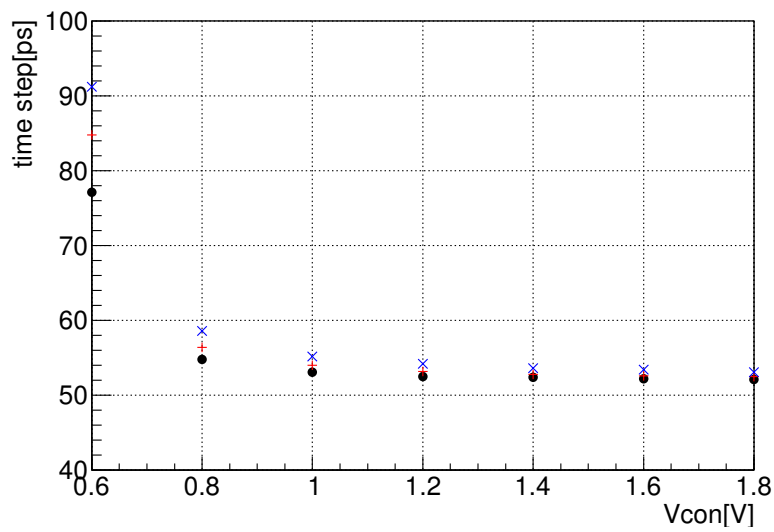


図 2.9 V_{con} と刻み時間の関係の L 依存性。黒 : $L = 180 \text{ nm}$ 、赤 : $L = 240 \text{ nm}$ 、青 : $L = 360 \text{ nm}$ 。

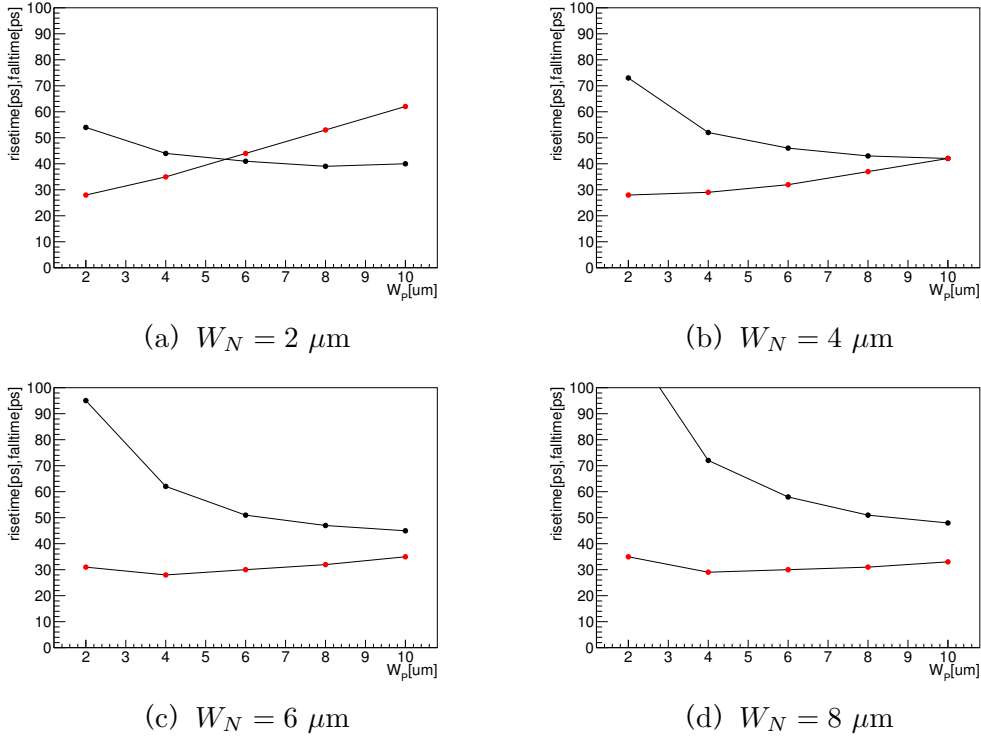


図 2.10 $V_{\text{con}}=1.0 \text{ V}$ 入力時の立ち上がり時間 (赤)、立ち下がり時間 (黒)。両者が同等になるパラメータを選択する。

図 2.12 が、温度または電源電圧が変化した場合の刻み時間をシミュレーションした結果である。これから、 $0.65 \text{ V} < V_{\text{con}} < 0.8 \text{ V}$ で位相同期回路を動作させるべきであることがわかり、この範囲での刻み時間は、 $60 \text{ ps} < \Delta t < 80 \text{ ps}$ となる。

2.2.2 位相周波数比較器

PFД の構成を図 2.13 に示す。D フリップフロップで (図 2.28、表 2.1 を参照) ref.clk と osc.clk の立ち上がりを検出し、位相周波数差を出力する回路である。

動作原理の詳細を述べる。 Δt_{phase} を ref.clk と osc.clk の時間差、 Δt_{DFF} を D フリップフロップの応答時間、 Δt_{NAND} を NAND の応答時間とする。図 2.14 に入力と出力の関係を示す。(a) は ref.clk のほうが osc.clk よりも早く入力される場合に対応する。出力 up は Δt_{DFF} 後に “High” になり、出力 down は $\Delta t_{\text{phase}} + \Delta t_{\text{DFF}}$ 後に “High” になる。どちらも “High” になると、NAND を介して D フリップフロップにリセットがかかり、 $\Delta t_{\text{NAND}} + \Delta t_{\text{DFF}}$ 後に up、down の出力は “Low” になる。この結果、 Δt_{phase} が up、down のパルス幅の差として出力されることになる。(b) は osc.clk のほうが ref.clk よりも早く入力される場合に対応する。(a) の場合と同様に Δt_{phase} は up、down のパルス幅の差として出力される。(c) は osc.clk と ref.clk が同位相の場合である。このとき、up と down からは同じパルス幅の信号が出力される。

実際に PFД を構成し、図 2.14 に対応するようにシミュレーションで動作確認を行った結果が図 2.15 である。ref.clk と osc.clk の周波数は 10 MHz 、位相差は $\frac{\pi}{4}$ に設定した。この結果から、PFД は正常に動作しているといえる。

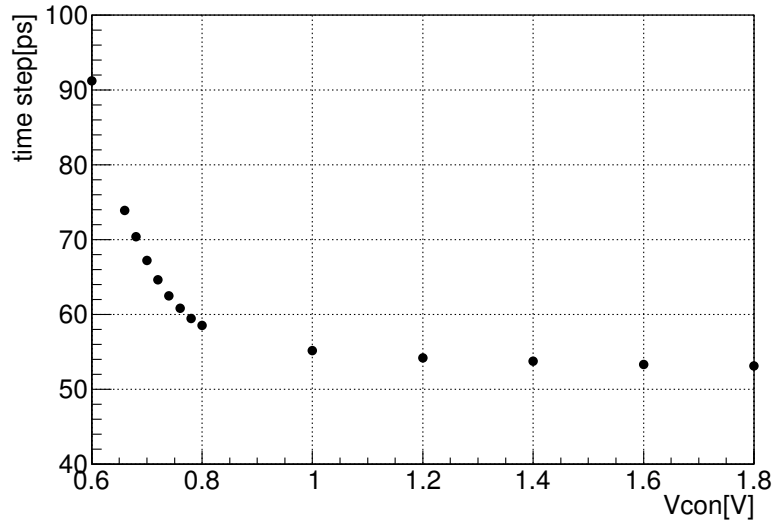


図 2.11 V_{con} と刻み時間の関係

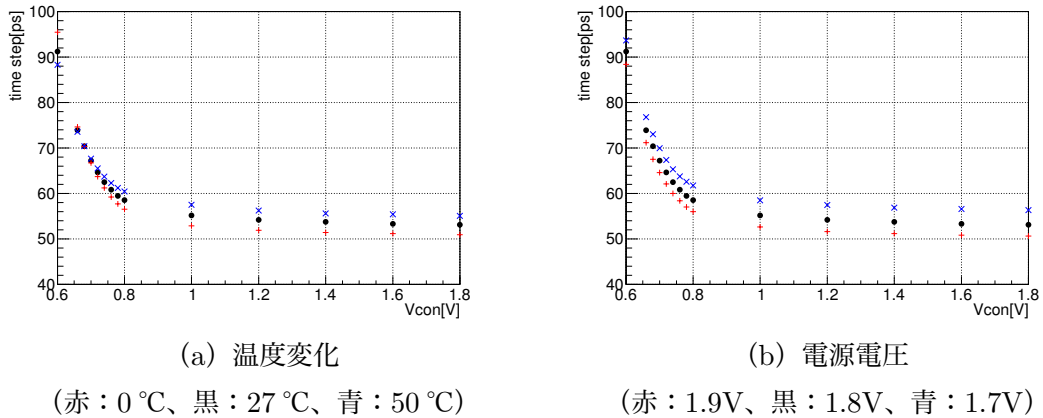


図 2.12 外乱要因に対する V_{con} と刻み時間の関係。刻み時間を一定にできる V_{con} の範囲は、0.65 V から 0.8 V であるとわかる。この範囲での刻み時間は 60 ps から 80 ps になる。

2.2.3 チャージポンプ

CP の構成を図 2.16 に示す。CP は PFD からのパルス信号 up、down のパルス幅の差に応じた電圧である V_{con} を出力する。

例として、位相差が $\frac{\pi}{4}$ である場合に対応する up、down を入力したときの V_{con} 波形を図 2.17 に示す。また、up と down のパルス幅の差と、 V_{con} の変化量の関係を図 2.18 に示す。 V_{con} の変化量は、中間電圧である 0.9 V との差と定義している。位相差が 0 のときの電圧変化量がほぼ 0 で、電圧変化軸に対して対称であり、電圧変化量の大きさが V_{DD} と同じ約 1.8 V であることから、CP を適切に設計できたといえる。

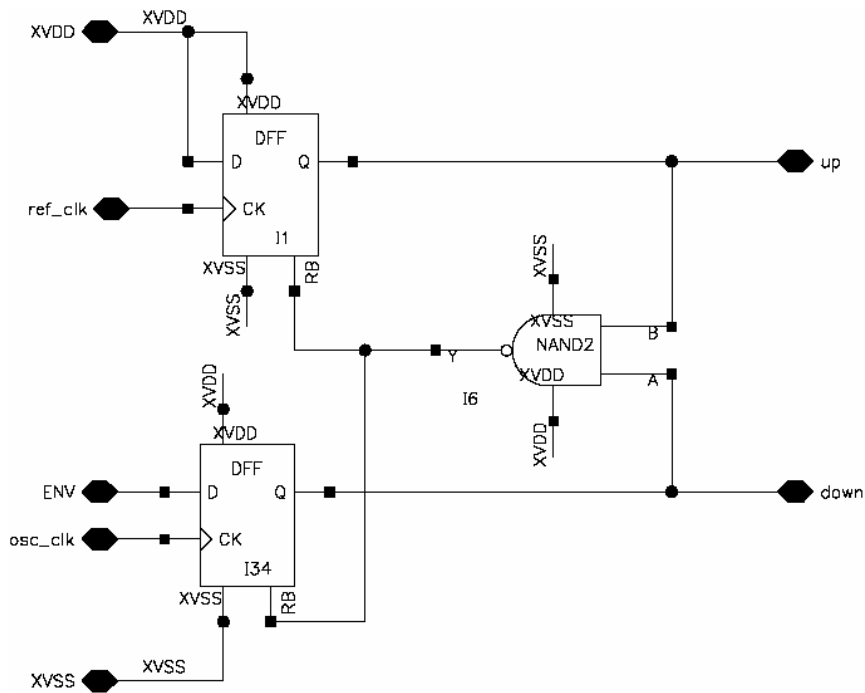


図 2.13 PFD の構成。DFF が D フリップフロップ、NAND2 が NAND。D フリップフロップで、ref.clk と osc.clk の立ち上がりを検出すると up、down は “High” になる。どちらも “High” になると、NAND を介して D フリップフロップにリセットがかかり “Low” になる。

2.2.4 ローパスフィルター

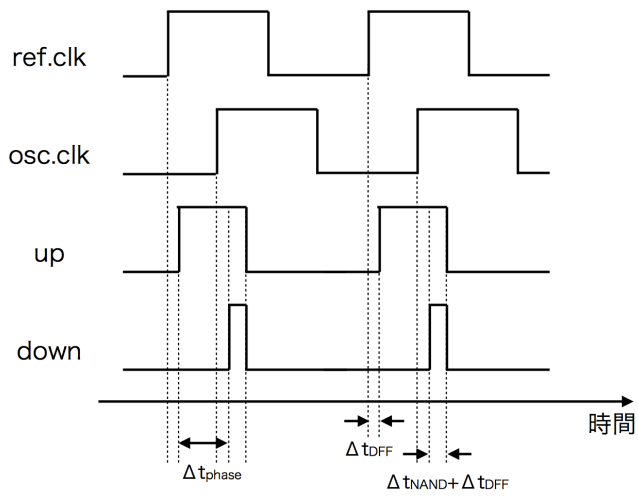
LPF の構成を図 2.19 に示す。LPF は V_{con} の高周波成分をカットして、帰還系を安定に動作させる役割をもつ。また、 V_{con} のふらつきは刻み時間のふらつきに寄与するため、安定な V_{con} を VCO に供給することはジッタの低減につながる。

今回は図 2.19 のように LPF を構成した。チップの省面積化のために ASIC 内部には R_1 のみを組み込み、 R_2 、 C_1 、 C_2 は基板上に配置する。2 次 LPF でカットオフ周波数を見積もると、約 3.12 kHz となる。

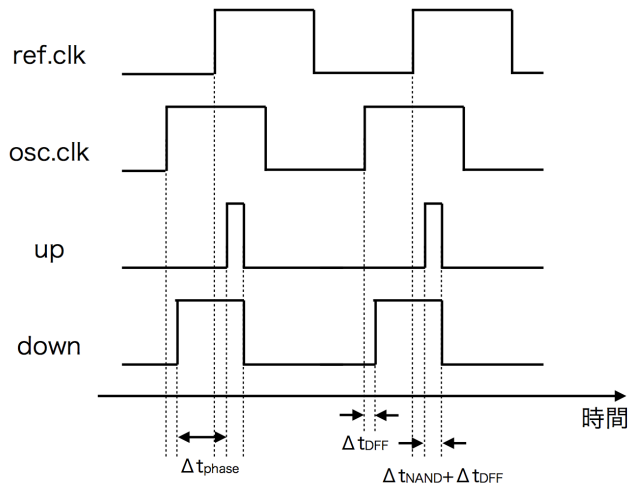
2.2.5 分周器

ref.clk として、高周波数のクロック信号源を準備するのは困難であることがある。低周波数のクロック源であっても、高周波数のクロック信号を生成できるようにするため分周器を組み込んだ。PFD では、out.clk を N 分周した osc.clk と ref.clk の位相周波数差を比較することになるため、位相同期回路の周波数は ref.clk の N 倍になる。

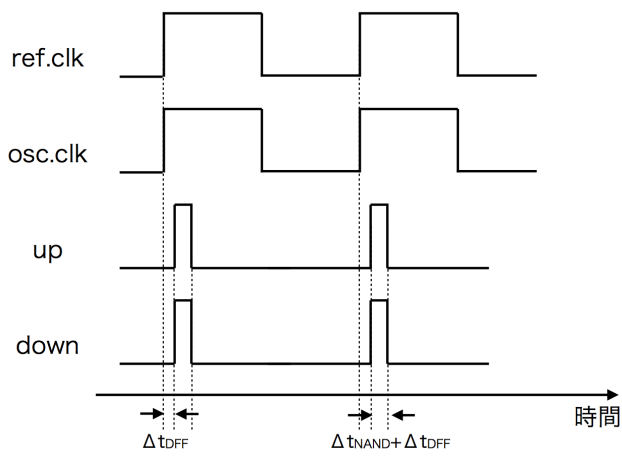
分周器の構成を図 2.20 に示す。今回は JK フリップフロップと NAND を使用して、同期式の 32 分周器を構成した。シミュレーション結果が図 2.21、図 2.22 である。横軸に入力周波数、縦軸に入力周波数と 32 倍した出力周波数の比をとっている。入力周波数が 1 MHz から 1 GHz の範囲で、0.1 % 以下の精度であることから、今回の位相同期回路で使用可能な分周器を設計できたといえる。



(a) ref.clk のほうが osc.clk より早い場合

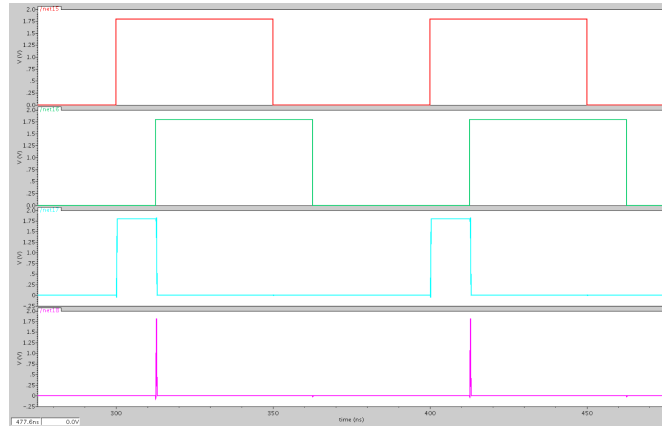


(b) osc.clk のほうが ref.clk より早い場合

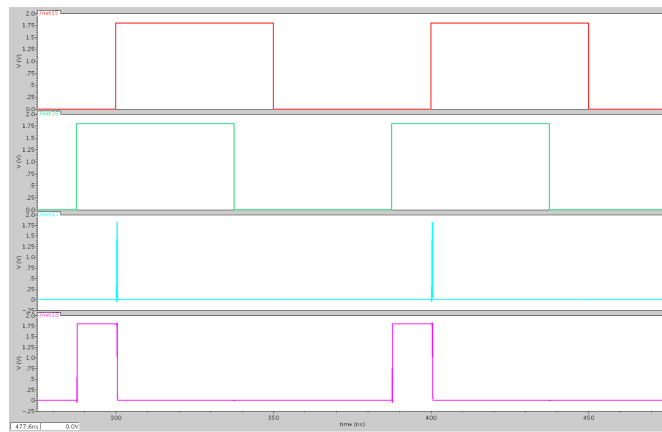


(c) ref.clk と osc.clk が同位相の場合

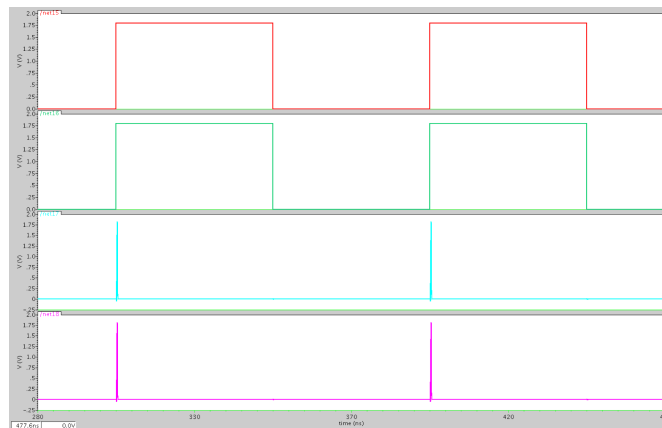
図 2.14 PFD の動作原理



(a) ref.clk の位相が osc.clk より $\frac{\pi}{4}$ 進んでいる場合



(b) osc.clk の位相が ref.clk より $\frac{\pi}{4}$ 進んでいる場合



(c) ref.clk と osc.clk が同位相の場合

図 2.15 PFD の動作シミュレーション。横軸が時間、縦軸が電圧。赤：ref.clk、緑：osc.clk、青：up、ピンク：down。ref.clk と osc.clk の周波数は 10 MHz。

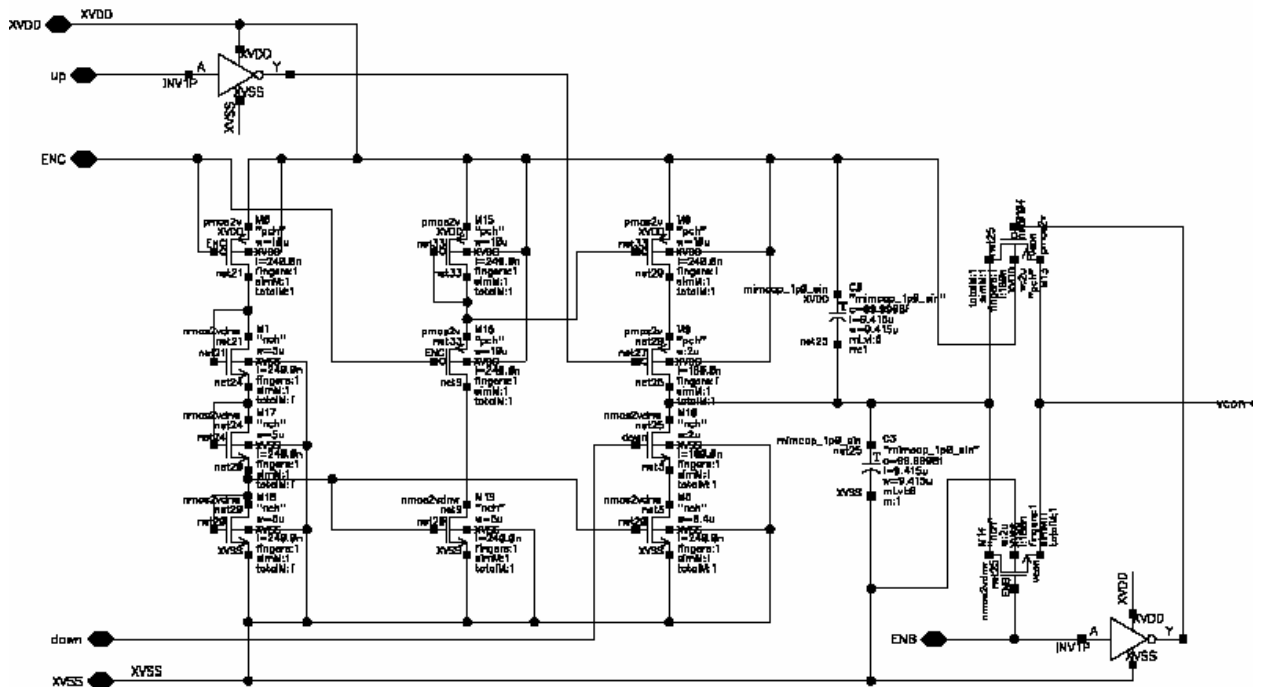


図 2.16 CP の構成

2.2.6 位相同期回路のシミュレーション

これまで個別に設計してきた回路で位相同期回路を組み、シミュレーションをする。動作確認として、ref.clk を入力し、その時の osc.clk の周期 ($T_{osc.clk}$) と V_{con} を見る。

周期 64 ns の ref.clk を入力した時の結果が図 2.23、図 2.24 である。図 2.11 から、周期 64 ns 入力時の V_{con} は約 0.8 V になると予想される。1 ms 経過後には、 $V_{con} = 0.794 \pm 0.001$ V、 $T_{osc.clk} = 64.000 \pm 0.004$ ns となった。

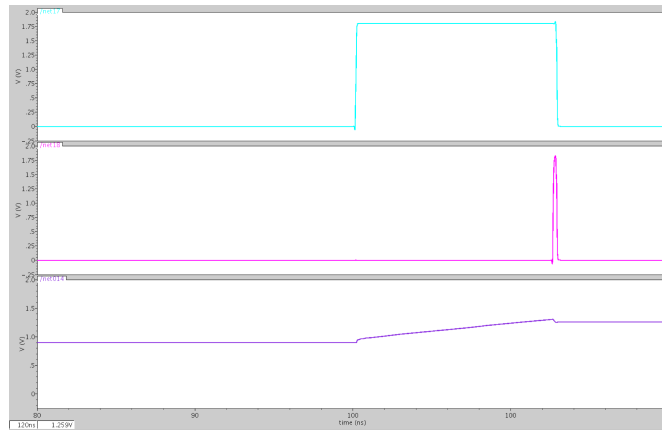
周期 58 ns の ref.clk を入力した時の結果が図 2.25、図 2.26 である。図 2.11 から、周期 64 ns 入力時の V_{con} は約 1.8 V になると予想される。1 ms 経過後には、 $V_{con} = 1.755 \pm 0.002$ V、 $T_{osc.clk} = 58.000 \pm 0.001$ ns となった。

以上の結果から、正常に動作する位相同期回路をシミュレーション上で設計できたといえる。

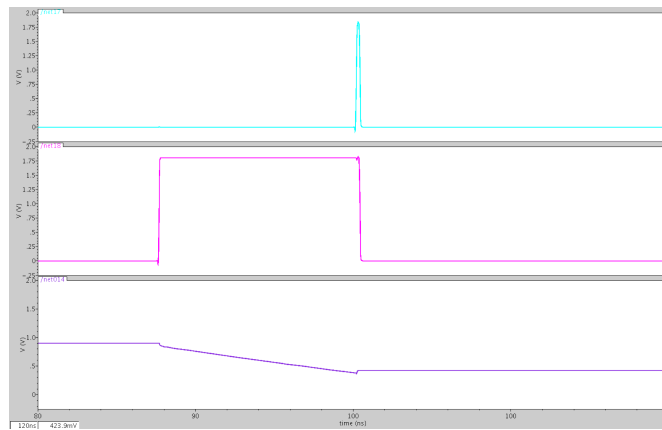
2.3 タイムデジタイザの設計

2.3.1 構成方法

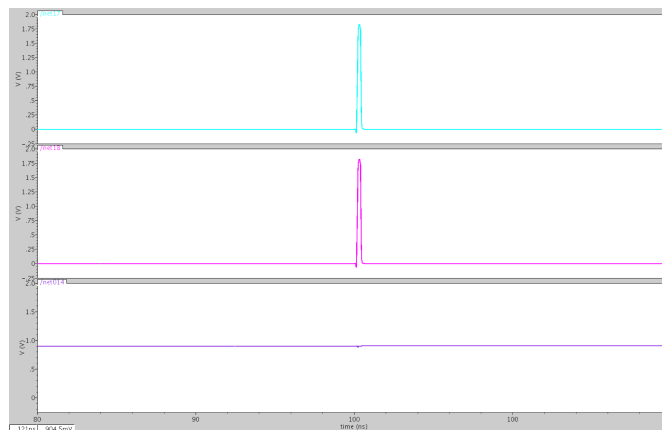
位相同期回路を用いたタイムデジタイザの構成を図 2.27 に示す。本研究では、潜在能力を調べるため 1 個の位相同期回路に対して 1 個の信号検出部分で構成したが、信号検出部分を追加するこ



(a) ref.clk の位相が osc.clk より $\frac{\pi}{4}$ 進んでいる場合



(b) osc.clk の位相が ref.clk より $\frac{\pi}{4}$ 進んでいる場合



(c) ref.clk と osc.clk が同位相の場合

図 2.17 CP の動作シミュレーション。横軸が時間、縦軸が電圧。青：up、ピンク：down、紫： V_{con} 。ref.clk と osc.clk の周波数は 10 MHz。

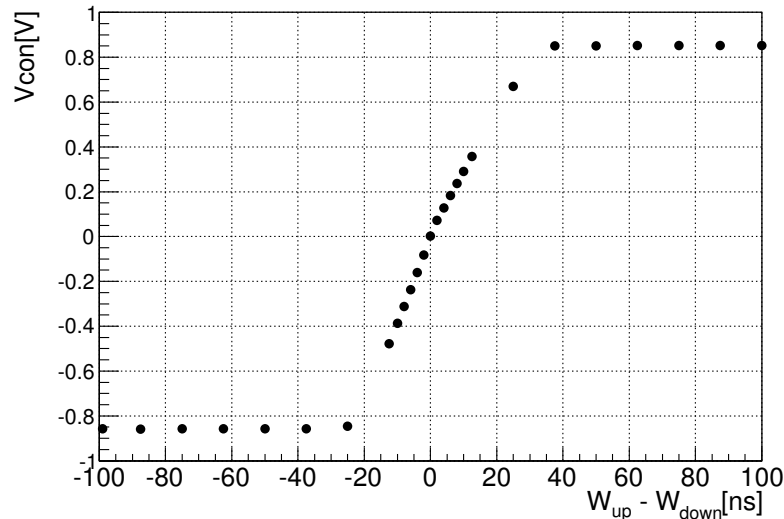


図 2.18 位相差に対する V_{con} の変化量。横軸は up と down のパルス幅の差。縦軸は電圧変化量として、中間電圧である 0.9 V と V_{con} の差をとっている。

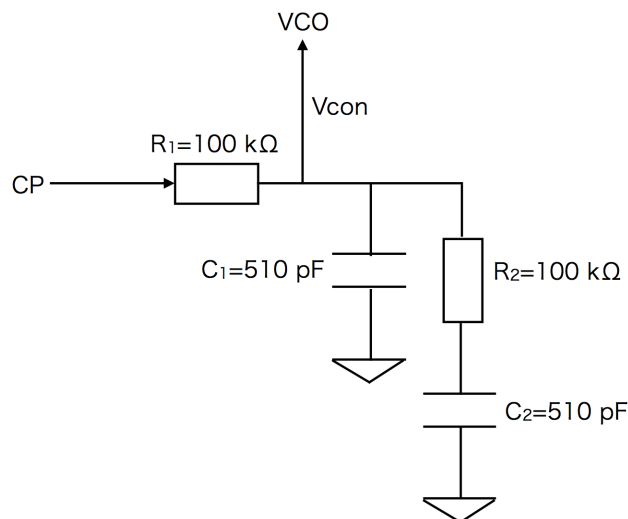


図 2.19 LPF の構成。カットオフ周波数は約 3.12 kHz。

とで、多チャンネル化することが可能である。

動作原理の詳細を述べる。VCO では、インバータ 2 個通過毎に一定の位相の遅れ ($\Delta t = \delta t \times 2$) をもつクロック信号が生成されている。これらの信号を、信号検出用の D フリップフロップに入力する。D フリップフロップは、回路構成と真理値表を図 2.28、表 2.1 に示すように、クロック信号の立ち上がりでのデータ信号の論理を検出する回路である。それぞれの D フリップフロップが Δt 秒ずつ遅れて信号検出することによって、タイムデジタイザとして用いることができる。クロック信号の立ち上がり毎に、検出された信号は上書きされるため、後段にデータ保持用の D フリップフロップを配置している。理想的には、時間分解能は位相同期回路の時間分解能と同じになる。

今回の構成では 33 個の D フリップフロップが並ぶため、出力は 33bit となる。一度に 33 個をまとめてデータ保持しようとする、D フリップフロップの応答時間よりも Δt が小さい場合に、

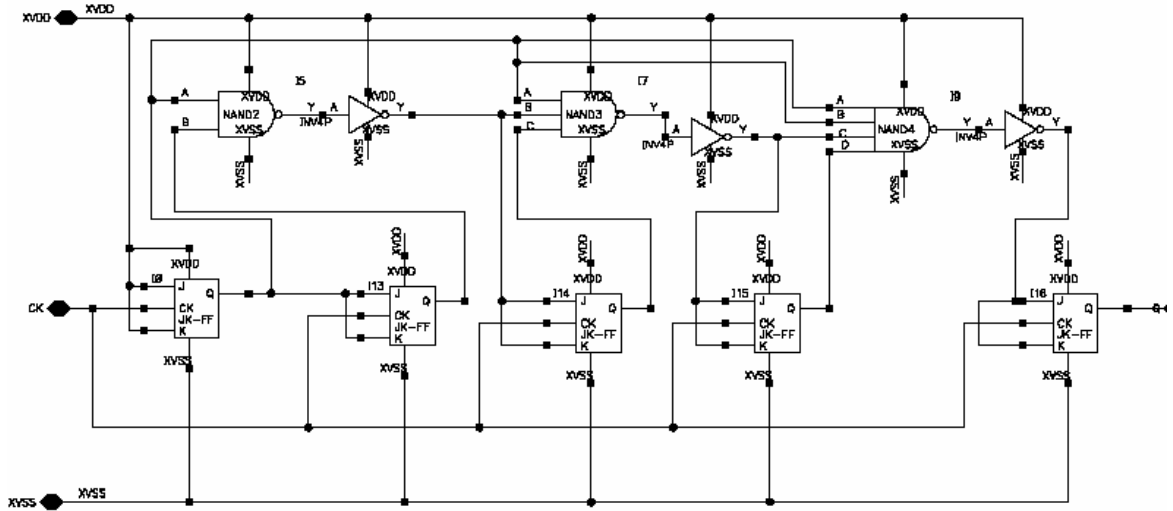


図 2.20 分周器の構成。JK-FF が JK フリップフロップ。NAND2、NAND3、NAND4 が NAND 回路。

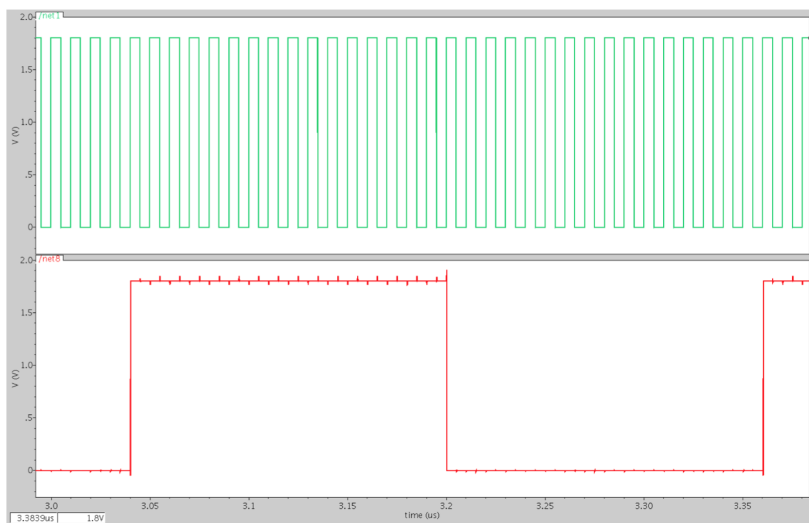


図 2.21 分周器の波形。緑：入力波形、赤：出力波形。入力周波数は 100 MHz。

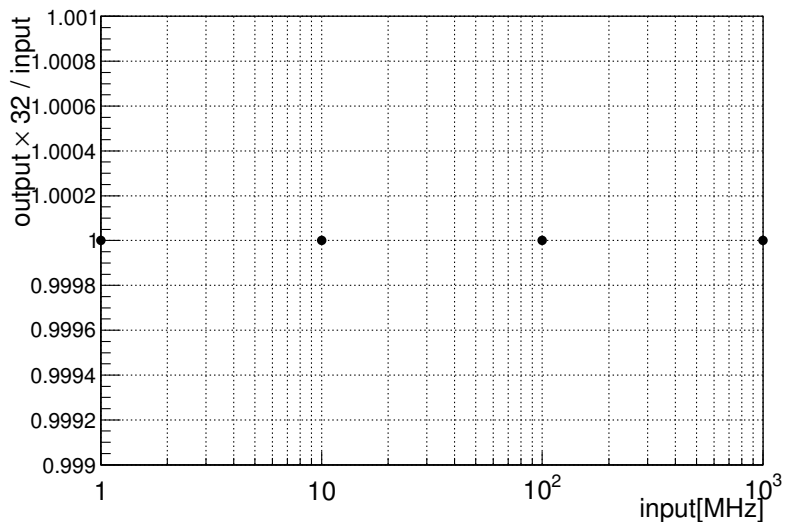


図 2.22 分周器の動作シミュレーション。横軸が入力周波数、縦軸が入力周波数と 32 倍した出力周波数の比。

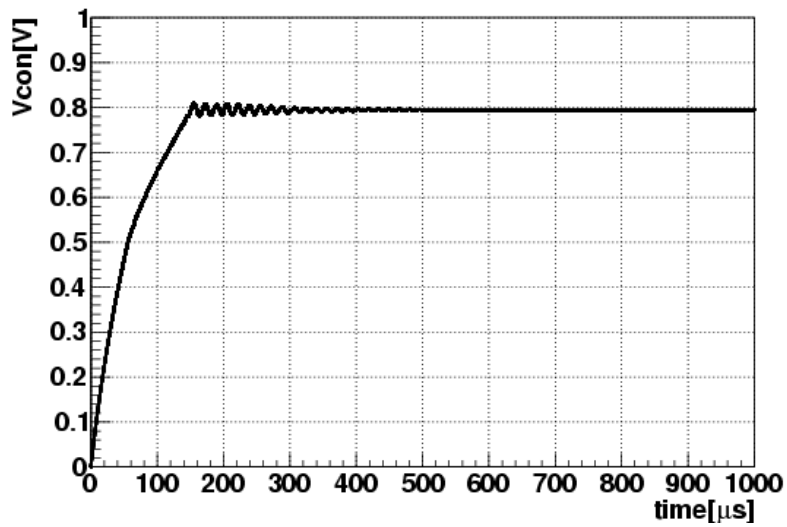
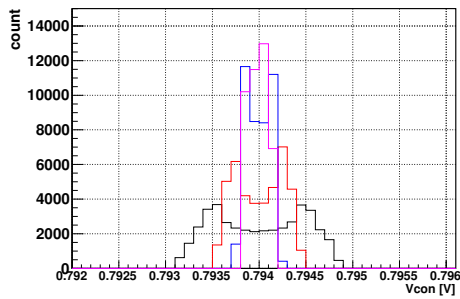


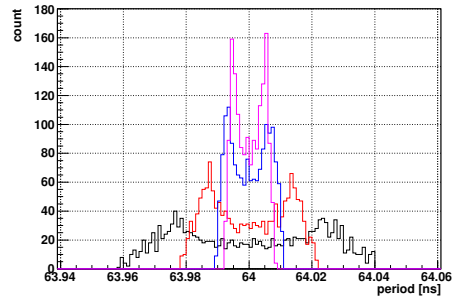
図 2.23 0 s から 1 ms における V_{con} の過渡解析。ref.clk の周期 64 ns。

表 2.1 D フリップフロップの真理値表。↑は立ち上がり、 Q_0 は前の出力をあらわす。

クロック信号	データ信号	出力
↑	0	0
↑	1	1
↑以外	0 or 1	Q_0



(a) V_{con}



(b) $T_{osc.clk}$

図 2.24 600 μs から 1 ms における V_{con} と $T_{osc.clk}$ の収束過程のヒストグラム。ref.clk の周期 64 ns。黒：600 μs から 700 μs 、赤：700 μs から 800 μs 、青：800 μs から 900 μs 、ピンク：900 μs から 1 ms。

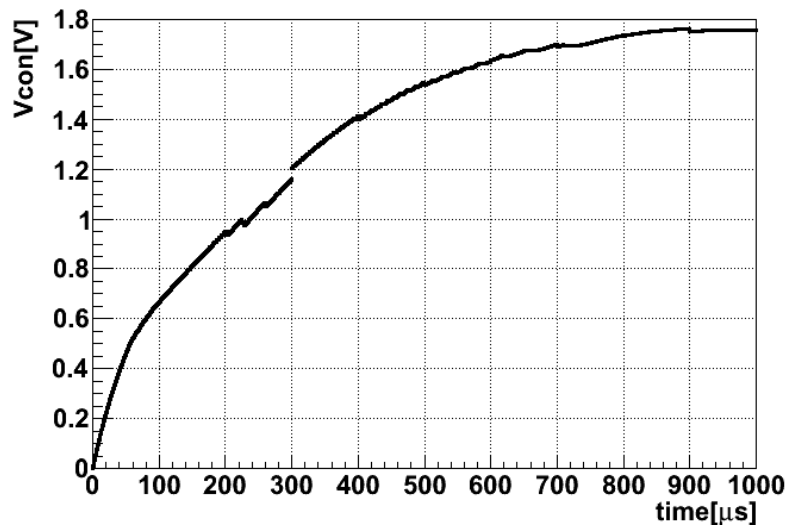
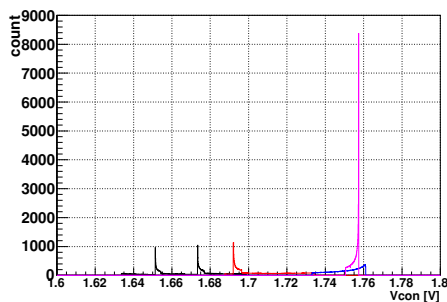
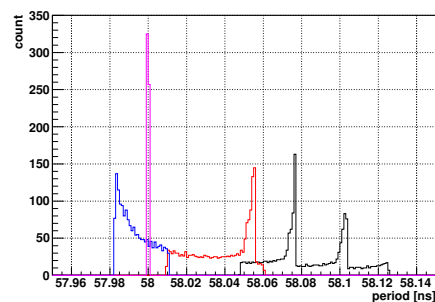


図 2.25 0 s から 1 ms における V_{con} の過渡解析。ref.clk の周期 58 ns。



(a) V_{con}



(b) $T_{osc.clk}$

図 2.26 600 μs から 1 ms における V_{con} と $T_{osc.clk}$ の収束過程のヒストグラム。ref.clk の周期 58 ns。黒：600 μs から 700 μs 、赤：700 μs から 800 μs 、青：800 μs から 900 μs 、ピンク：900 μs から 1 ms。

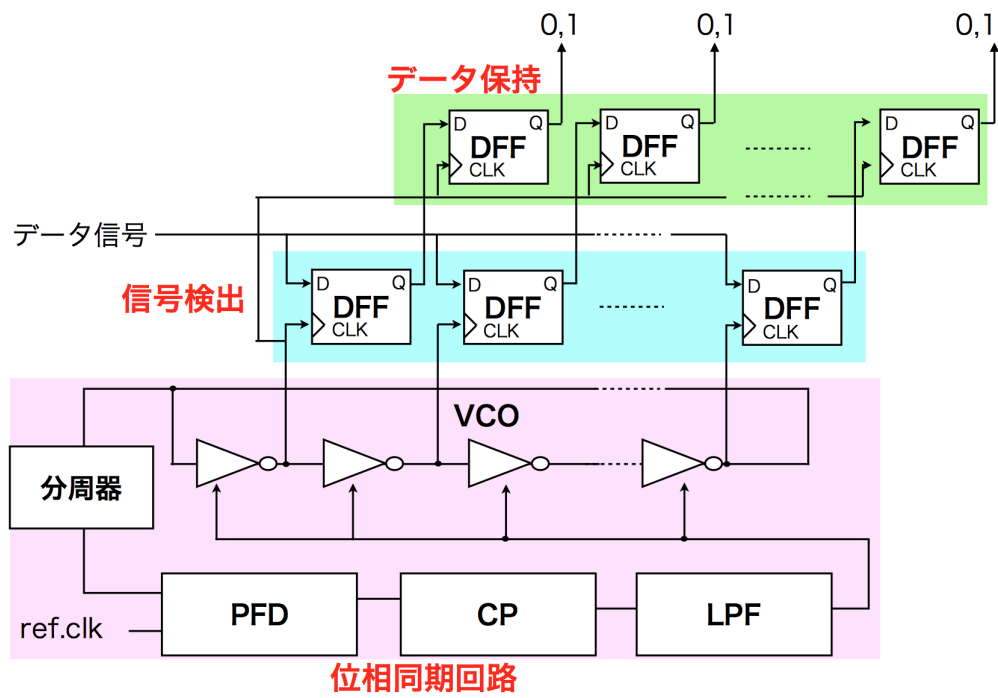


図 2.27 位相同期回路を用いたタイムデジタイザの構成方法

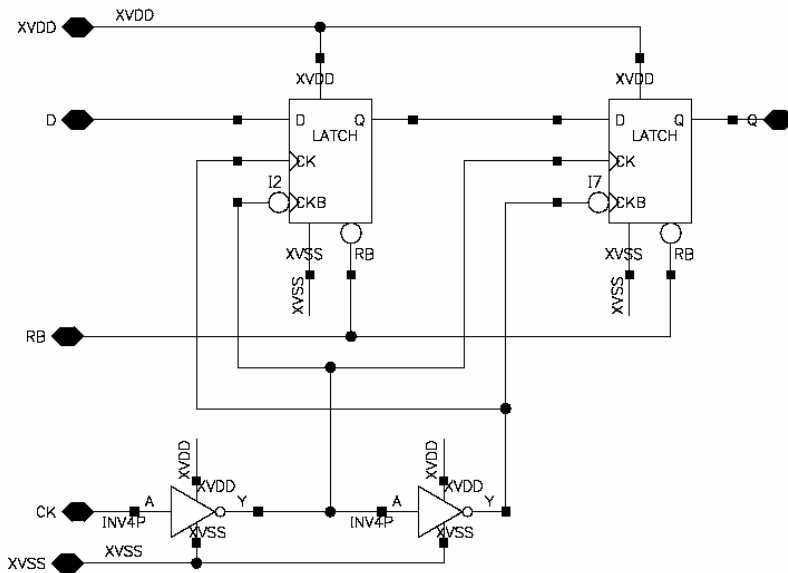


図 2.28 D フリップフロップの構成。CK がクロック信号、D がデータ信号、Q が出力をあらわす。

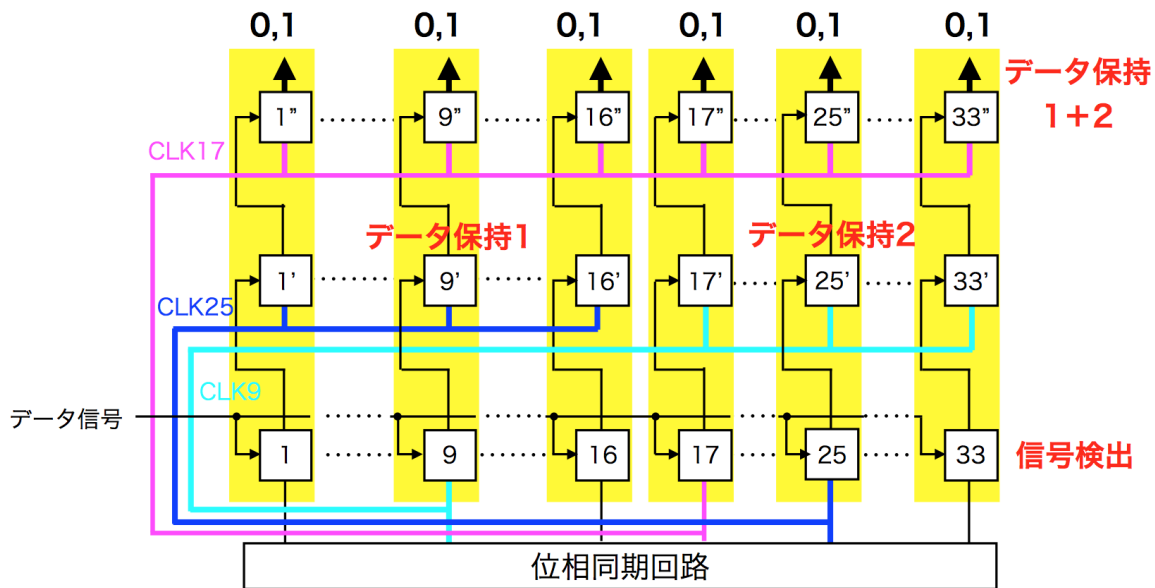


図 2.29 クロック信号の配り方。数字付きの四角は D フリップフロップをあらわす。

信号検出の出力をデータ保持に送れなくなる。従って、図 2.29 に示すように、まず 2 分割して保持（データ保持 1、2）をした後に、それらをまとめて保持（データ保持 1+2）する構成にした。その際、最も余裕をもって情報が流れるように、位相を考慮して CLK9、CLK25、CLK17 をクロック信号として入力した。例として、信号検出の D フリップフロップのうち、1 が最も早く信号を検出する場合の信号の流れを図 2.30 に示す。信号検出 1 から 16 の情報は、次の CLK1 の立ち上がりの前までに送らなければならないので、途中で立ち上がる CLK25 をデータ保持 1 に入力するのが最適であるとわかる。同様に、データ保持 2 に対しては、CLK25 と位相がほぼ π ずれる CLK9 が最適となり、データ保持 1+2 に対しては CLK17 が最適となる。

2.3.2 タイムデジタイザのシミュレーション

$V_{con} = 0.8 \text{ V}$ を入力して、一定の遅延時間をもって立ち上がるデータ信号を入れる。 $V_{con} = 0.8 \text{ V}$ 入力時の位相同期回路の刻み時間は約 58.6 ps であると考えられる。遅延時間を徐々に大きくしていき、そのときの D フリップフロップの出力 33 個をタイムデジタイザカウントに変換することで動作確認を行った。

図 2.31 がシミュレーション結果である。タイムデジタイザカウントと時間差は、遅延時間が 0 s のときを基準としている。この結果に 1 次関数をフィッティングし、その傾きから刻み時間あたりのタイムデジタイザカウントを見積もると、 1.00 ± 0.03 となった。このことから、タイムデジタイザとして正常に動作しているといえる。

2.4 クロック信号出力部分の設計

今回は、位相同期回路の out.clk は差動信号に変換してチップ外部に出力する。その後、評価ボード上で差動リピータを用いて変換した後、測定する。差動信号にすることでコモンモードノイズが打ち消されるため、高精度の測定を行なうことができる。図 2.32 に設計した差動出力回路を

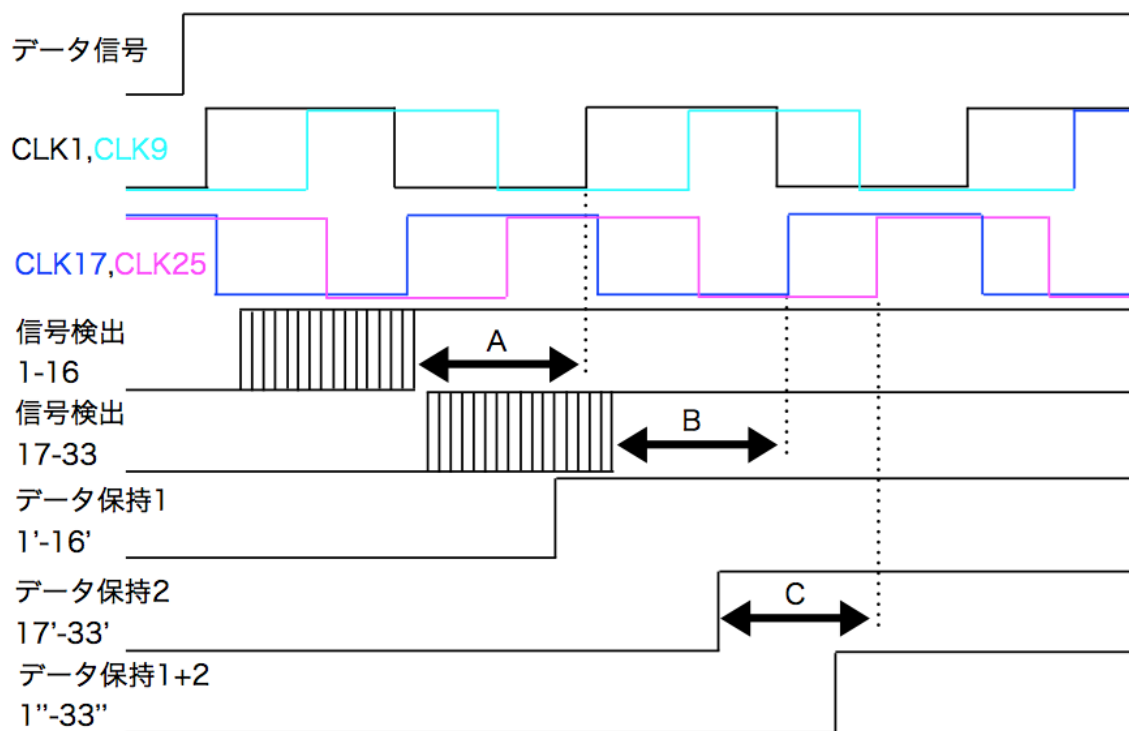


図 2.30 信号検出からデータ保持までの流れ。1 の信号検出 D フリップフロップが最も早く信号を検出する場合。それぞれ A、B、C の間に情報を送らなければならないので、途中で立ち上がるクロック信号を選ぶと CLK25、CLK9、CLK17 が最適となる。

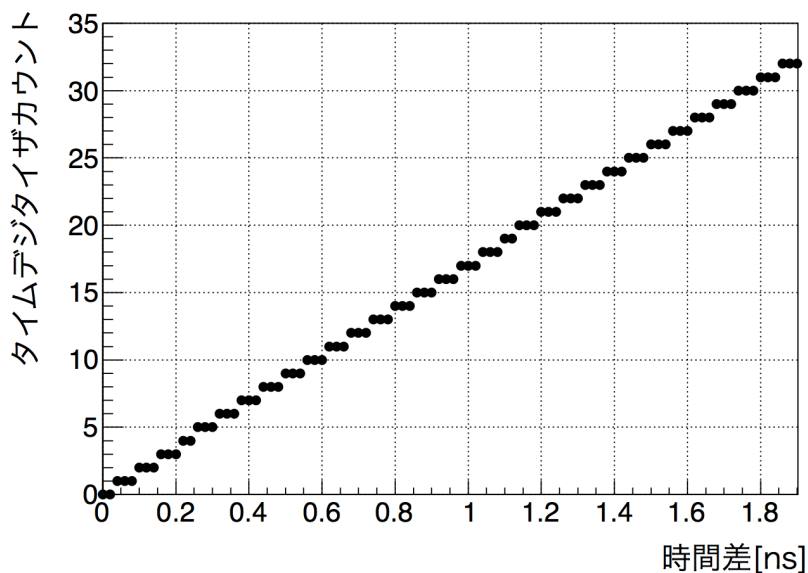


図 2.31 タイムデジタイザのシミュレーション結果。刻み時間あたり、 1.00 ± 0.03 カウントであることから、正常に動作していることが確認できた。

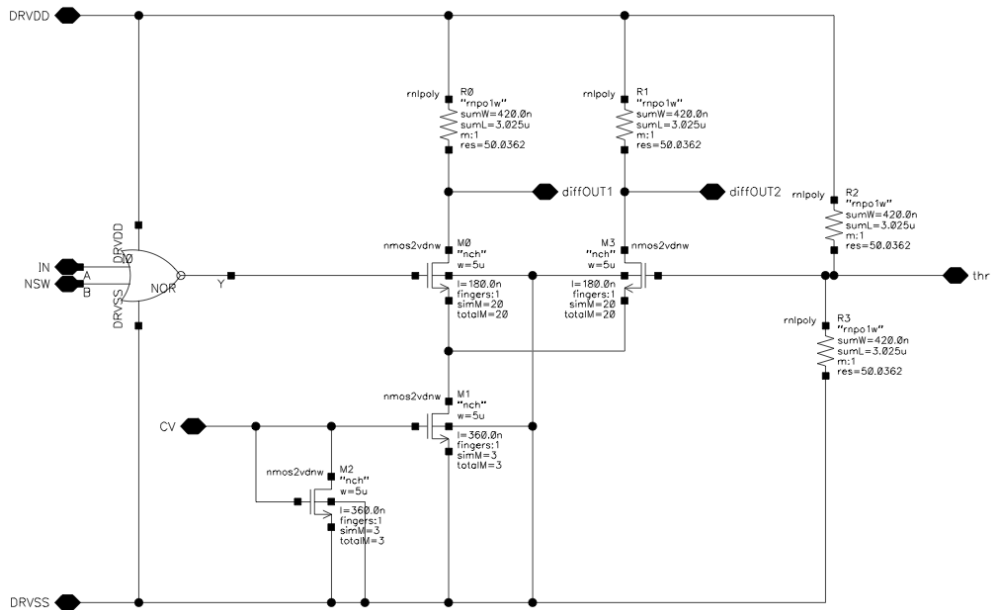


図 2.32 差動出力回路。IN がクロック信号の入力部分、diffOUT1 と diffOUT2 が出力部分。NOR は NOR 回路。NSW、CV、thr に入力する電圧で、差動信号を外部に出力するかどうかなを選択できるようにした。

示す。出力の振幅は約 200 mV になるように設計した。図 2.33 が出力波形のシミュレーション結果である。

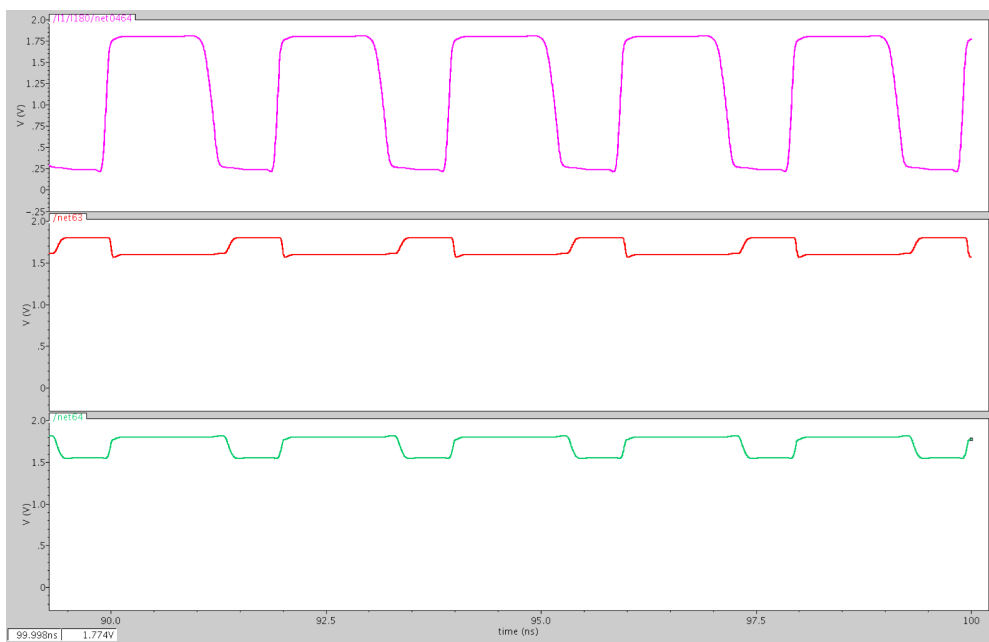


図 2.33 差動変換後の out.clk の波形。横軸が時間、縦軸が電圧。ピンク:IN、赤:diffOUT1、赤:diffOUT2。

第3章 レイアウト設計とシミュレーション

3.1 レイアウト設計

作成するチップの大きさは、同じウェハー上で開発する別のチップを考慮して、 $2.5 \times 5.0 \text{ mm}^2$ とした。チップには、位相同期回路単体と、タイムデジタイザの2種類を載せる。図3.1にチップのピン配置を示す。

TOUT01 から TOUT33 が、データ保持 1+2 の出力 33 個に対応している (図 2.29 を参照)。また、信号検出からデータ保持の流れを確認するために、信号検出部分の 1、8、16、17、33 とデータ保持 1、2 の 1'、8'、16'、17'、33' を出力した (図 2.29 を参照)。それぞれ、D1DOUT01 から D1DOUT33、D2DOUT01 から D2DOUT33 が対応する。

3.2 レイアウト検証

レイアウトにおける要望を伝えた上で、作業自体はシリコンアーティストテクノロジー株式会社*2に委託した。業者がレイアウトした回路に対して、寄生容量を加味したシミュレーションをし、フィードバックをかけるという方針で行った。図3.2が最終的なレイアウトの全体図である。

特に小さな MOSFET で構成される VCO は寄生容量の影響を受けやすいため、重点的に検証を行なった。レイアウトで注意した点として、33 個のクロック信号に差異が無いよう等長配線し、極力インバータ間の距離を短くして寄生容量及びジッタへの影響を小さくした。レイアウト図を図3.3に示す。

VCO から D フリップフロップまでのクロック信号の流れを述べる。VCO のクロック信号を直接 D フリップフロップに入力すると、インピーダンスが大きいため立ち上がり時間が大きくなったり、クロック信号が入力できない恐れがある。そのため、図3.4のように、VCO と D フリップフロップの間にインバータ 2 個 (INVRX、INVRX1) を挿入して信号をドライブさせている。ドライブ用インバータの挿入は、VCO から見ると配線に容量が付くことになるため、1 個目のドライバーである INVRX は最小値である $W = 220 \text{ nm}$ 、 $L = 180 \text{ nm}$ で設計して容量を最小にした。W、L が最小値であるため、INVRX のドライブ能力は低い。それを補うため、INVRX1 は PMOS の $W = 6 \mu\text{m}$ 、NMOS の $W = 2 \mu\text{m}$ 、 $L = 180 \text{ nm}$ で設計した。

まずは、VCO に INVRX のみを接続した場合を調べる。レイアウト前後での、クロック信号の刻み時間の比較を図3.5に示す。 $V_{\text{con}} = 0.8 \text{ V}$ 入力時では、レイアウト前の刻み時間が約 58 ps であったのに対し、レイアウト後では約 80 ps になった。これは GND 線である VSS と信号線との寄生容量による。1 つの信号線あたりの寄生容量は、7 fF から 10 fF であった。信号線間の距離を短くしようとする、NMOS2 を縦長に配置する方法が考えられるが、その場合、VCO からの出力配線が長くなる。そこで、図3.6のように、INVRX を VCO 直近に配置して、VCO 内の配線容量だけが遅延特性に効くような構成にした。その結果、1 つの信号線あたりの寄生容量が約 5 fF に改善した。

次に、さらに INVRX1 を接続した場合を調べる。図3.7のように接続すると、VCO の下の列からの出力のみに対して、 V_{DD} 線である VDD との寄生容量が大きくなる。このときの波形が図

*2 <http://www.silicon-artist.com/>

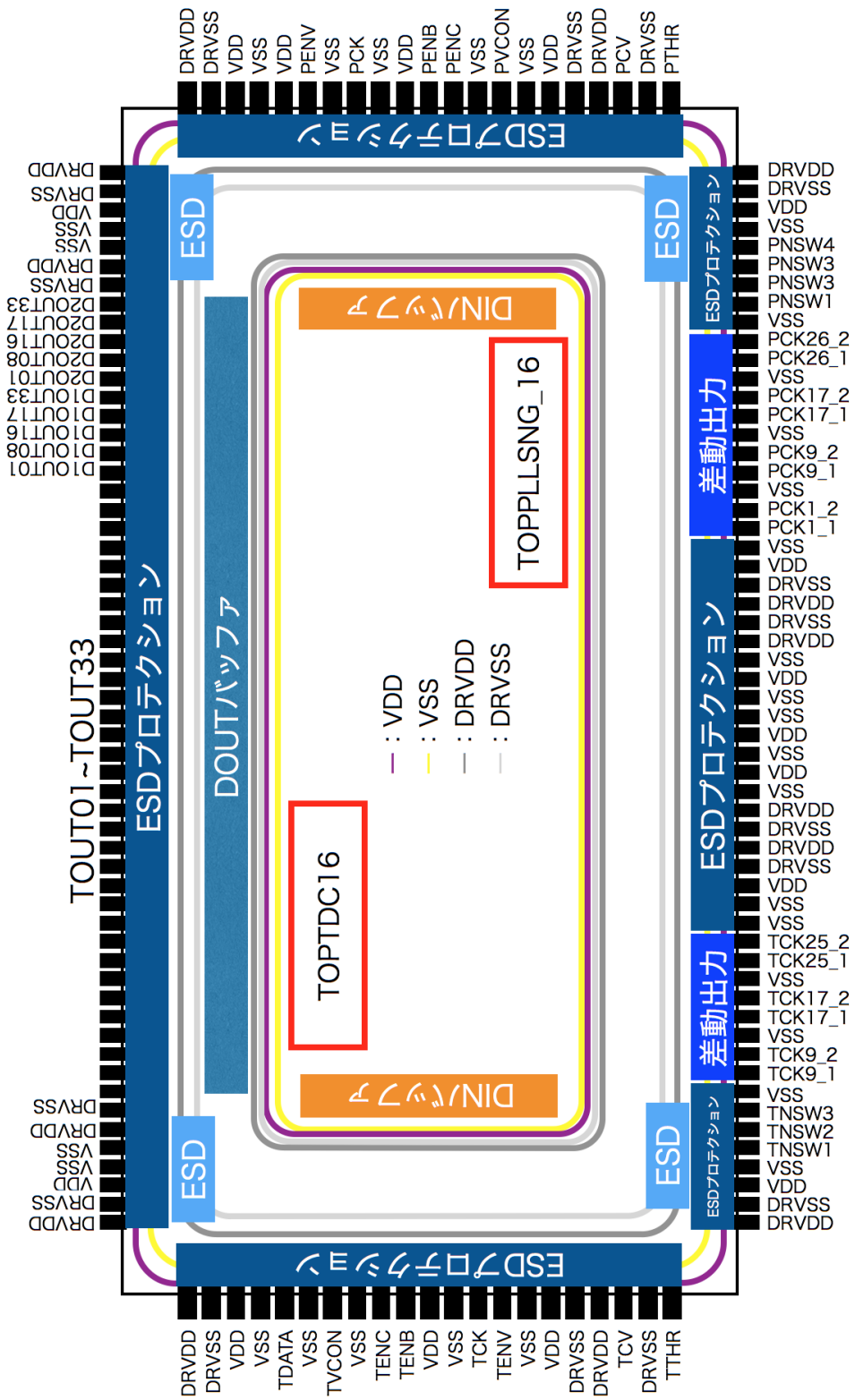


図 3.1 ピン配置

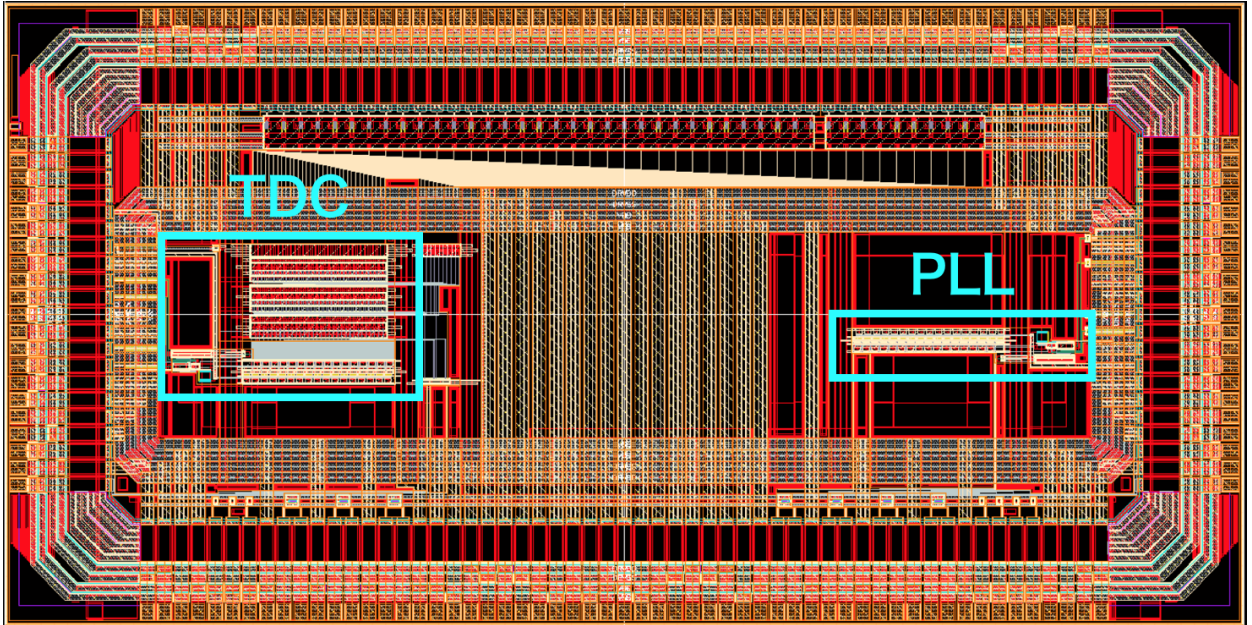
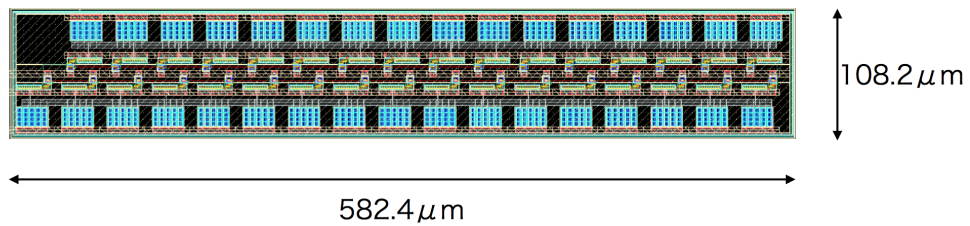
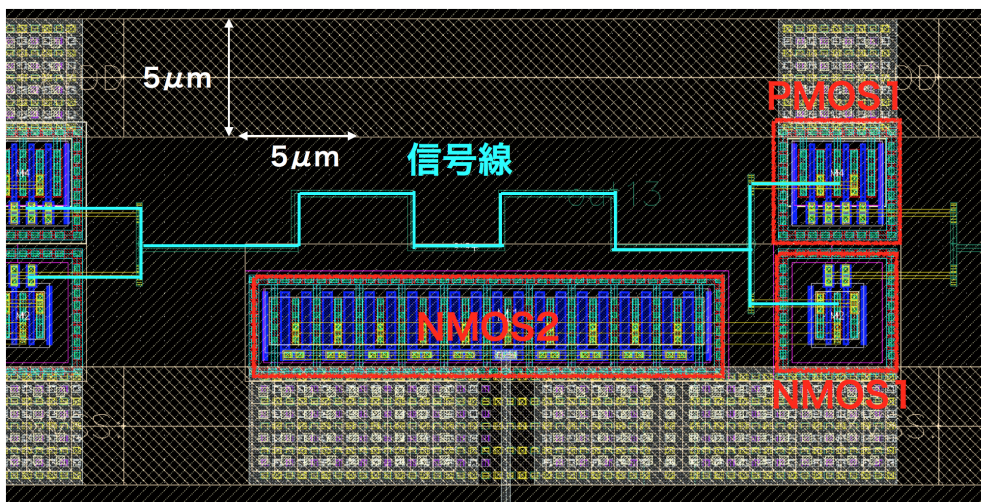


図 3.2 レイアウト全体図。チップの大きさは $2.5 \times 5.0 \text{ mm}^2$ 。



(a) 全体図



(b) 拡大図

図 3.3 VCO のレイアウト図。信号線の距離を極力短くしつつ、等長配線になるようにしている。

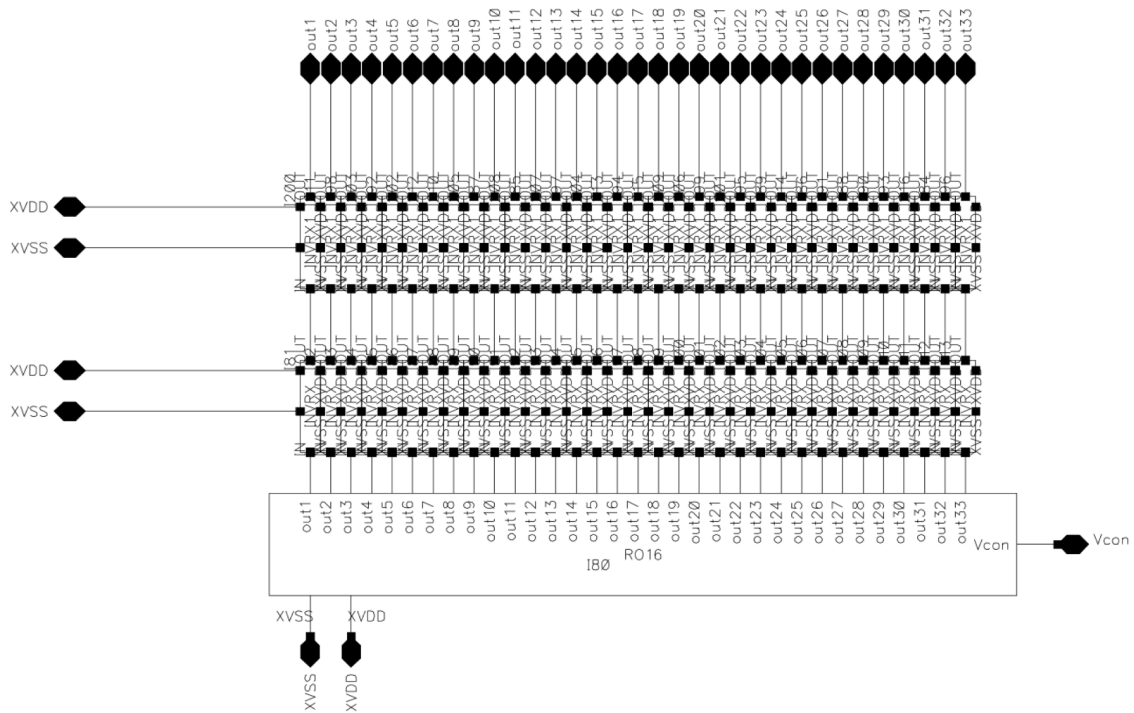


図 3.4 VCO とドライブ用インバータの回路図。RO16 が VCO、INVRX と INVR1 がドライブ用のインバータ。out1 から out33 が D フリップフロップへ入力される。

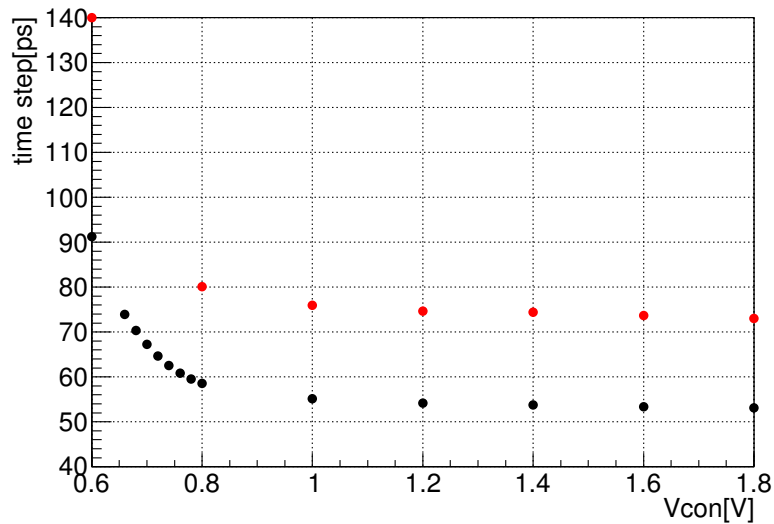
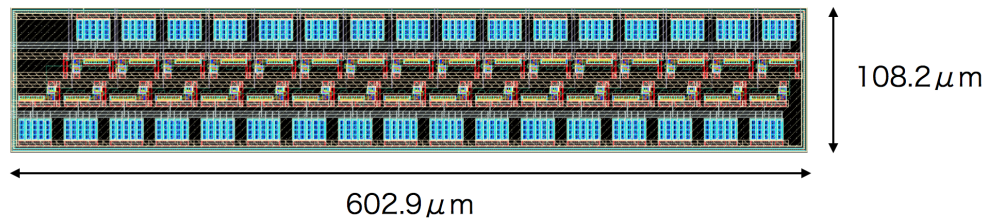
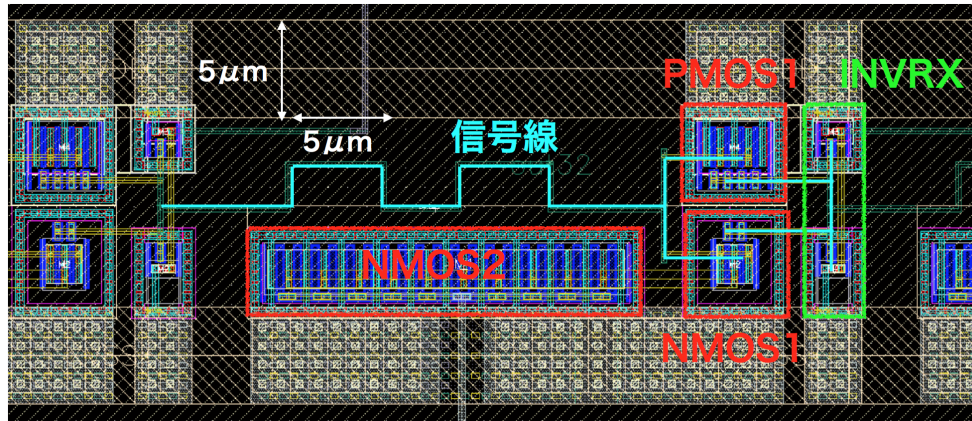


図 3.5 初期レイアウトでの V_{con} と刻み時間の関係。黒：レイアウト前、赤：初期レイアウト後。信号線あたり 7 fF から 10 fF の寄生容量が付いたため、刻み時間が悪化している。



(a) 全体図



(b) 拡大図

図 3.6 VCO と INVRX のレイアウト図。INVRX を VCO 直近に配置した。

3.8 であり、VCO の上下の列で立ち上がり時間が異なる波形が出力されている。そこで、図 3.9 のように、INVRX1 も VCO の直近に配置して、クロック信号を早い段階でドライブさせるようにした。また、VCO の中央を走る V_{DD} 線を 1 本にして、 V_{DD} との寄生容量による立ち上がり時間への寄与が小さくなるようにした。その結果、INVRX1 後の波形が図 3.10 のようになった。それぞれの波形は、signal7 から signal10 に対応している。立ち上がり時間が一様になっていることから、VCO のクロック信号を適切に取り出せていることがわかる。

最終的なレイアウトでの V_{con} と刻み時間の関係が図 3.11 である。レイアウトにより加わる寄生容量を低く抑えたことにより、 $0.65 \text{ V} < V_{con} < 0.8 \text{ V}$ の範囲では、 $75 \text{ ps} < \Delta t < 100 \text{ ps}$ となった。

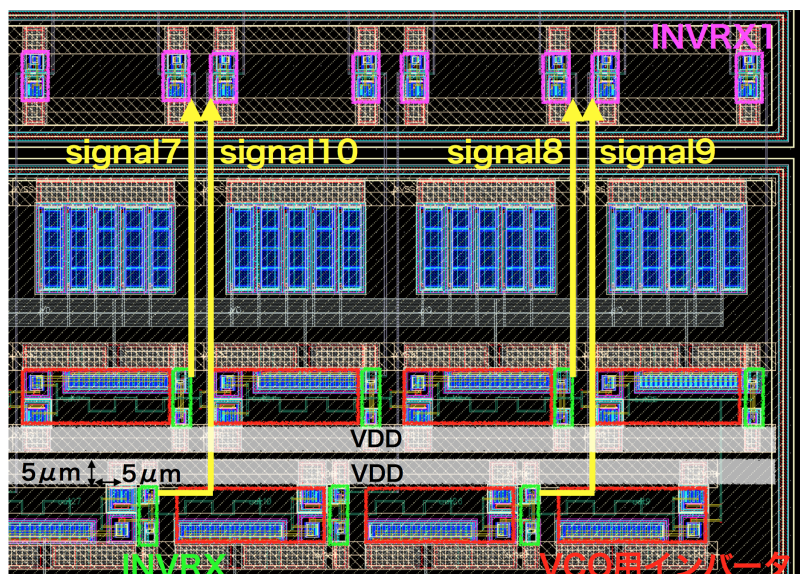


図 3.7 INVRX から INVRX1 への配線。連続した出力である signal7 から signal10 のうち、VCO の下の列からの出力である signal9、signal10 は 2 本の VDD ラインを通過するため、寄生容量が大きくなる。

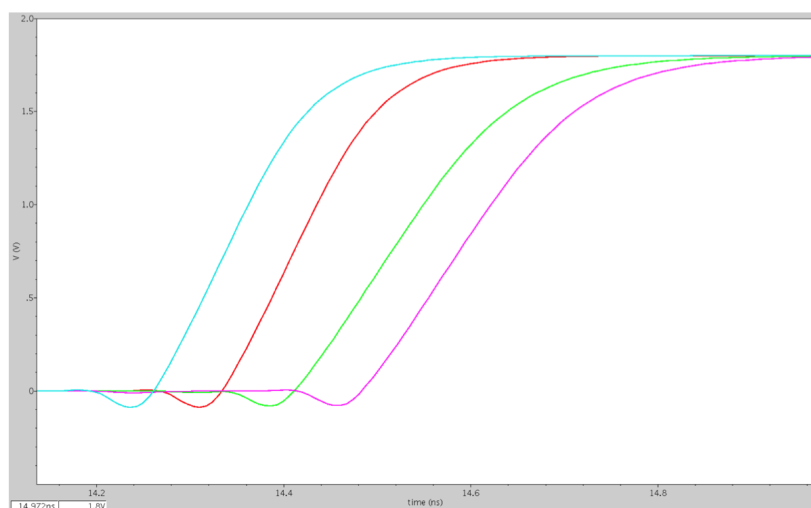
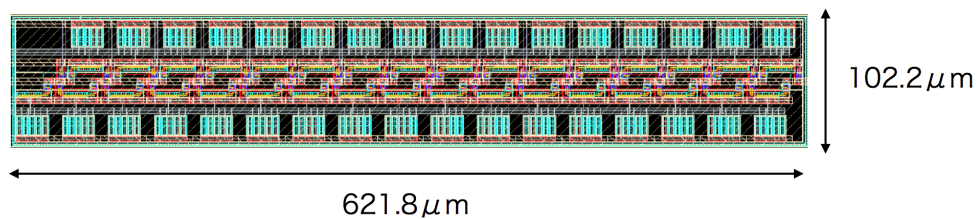
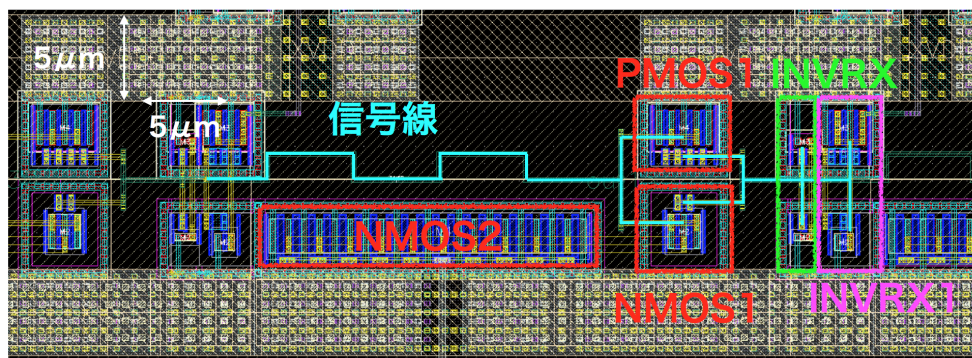


図 3.8 signal7 から signal10 の波形。VDD との寄生容量が大きい signal9 と signal10 は、立ち上がり時間が大きくなる。青：signal7、赤：signal8、緑：signal9、ピンク：signal10



(a) 全体図



(b) 拡大図

図 3.9 VCO と INVRX、INVRX1 のレイアウト図。INVRX と INVRX1 間の配線長を短くして、配線容量を小さくした。

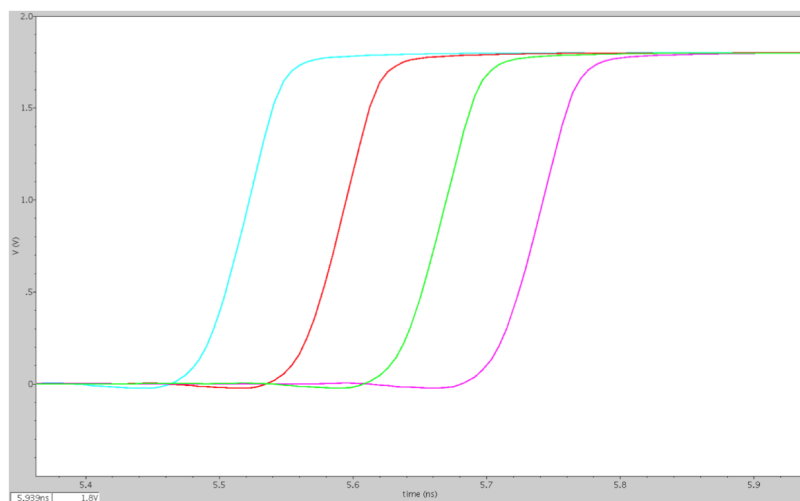


図 3.10 INVRX1 通過後のクロック信号の波形。VCO 中央を走る VDD を 1 本に変更した。さらに、INVRX1 を VCO の直近に配置してクロック信号を早い段階でドライブさせることにより、INVRX1 の出力波形は一様になった。青：signal7、赤：signal8、緑：signal9、ピンク：signal10 に対応している。

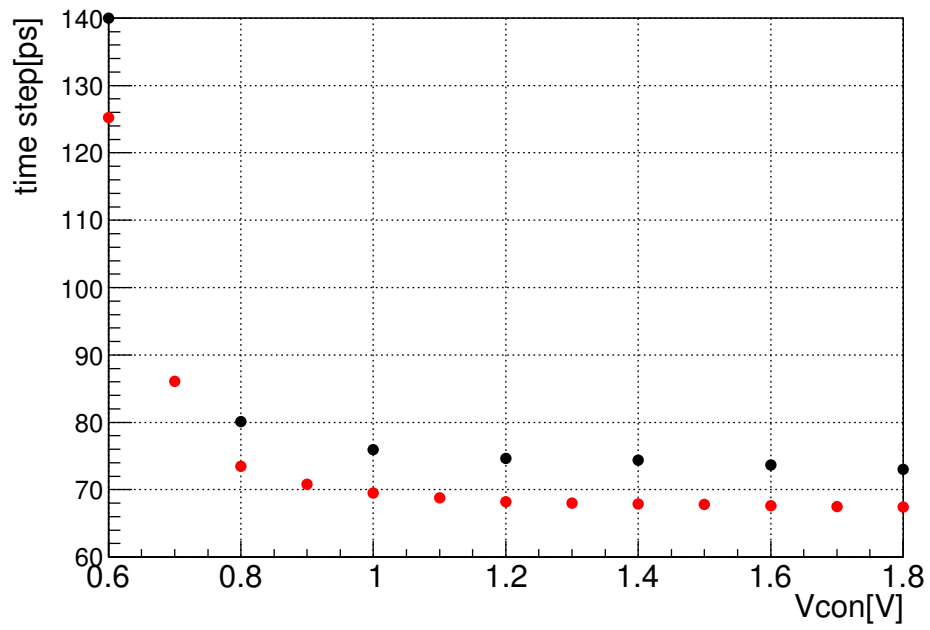


図 3.11 初期レイアウトと最終レイアウトでの V_{con} と刻み時間の関係の比較。黒：初期レイアウト後、赤：最終レイアウト後。

第 4 章 動作試験

4.1 評価ボードの製作

パッケージしたチップを図 4.1、作製した評価ボードの写真、回路図、部品リストを図 4.2、図 4.3、図 4.4 に示す。評価ボードの作製は、有限会社ジー・エヌ・ディー^{*3}が行なった。

位相同期回路とタイムデジタイザは、電源系以外は独立に動作するようにした。また、VCO 単体で動作させられるように、外部から V_{con} を入力するピンを配置した。クロック信号は等長配線している。また、差動リピータには Texas Instruments Incorporated^{*4}の SN65CML100D を使用している。そのため、チップ用の電源 1.8 V に加えて、SN65CML100D 用の電源 3.3 V を用意した。また、クロック信号を精度良く測定するため、出力には SMA コネクタを使用した。SMA コネクタの周波数範囲は 18 GHz であり、QLA コネクタの 1.4 GHz に比べて、高周波耐性が高い。

4.2 測定機器

測定に用いたパルスジェネレータとオシロスコープについて述べる。

オシロスコープは、Tektronix, Inc.^{*5}の DPO7254C を使用した。周波数帯域は 2.5 GHz、リアルタイム・サンプリングレートは 40 GS/s (1 チャンネル)、トリガージッタは 1.5 ps である。

パルスジェネレータは、Agilent Technologies 社^{*6}の 81150A を使用した。1 μ Hz から 120 MHz までのパルス出力、同期・非同期の 2 チャンネル出力が可能である。DPO7254C で測定した、チャンネル間と同一チャンネル間のジッタはそれぞれ 35 ps、18 ps であった。

4.3 位相同期回路の動作試験

4.3.1 VCO の動作試験

図 4.6 のようなセットアップで、外部から V_{con} を入力して、out.clk の周波数を測定した。出力波形を図 4.7 に示し、周波数から刻み時間を導出した結果を図 4.8 に示す。測定値から、 $0.6 \text{ V} < V_{con} < 1.8 \text{ V}$ の範囲では 219 MHz から 442 MHz で動作することがわかった。これを刻み時間に換算すると、69 ps から 139 ps となる。

MOSFET の特性ばらつきを考慮したコーナーパラメータを用いたシミュレーションと比較した結果も図 4.8 に示す。応答速度に応じて、典型モデルと低速モデルがあり、これらは TSMC 社の 180 nm プロセスに対する実測値をもとにしている。測定値は典型モデルに近いことがわかる。

電源電圧を変化させたときの刻み時間を図 4.9 に示す。 V_{con} が高い領域では、レイアウト後のシミュレーション結果と近いことがわかる。

*3 <http://www.gn-d.jp/>

*4 <http://www.ti.com/>

*5 <http://jp.tek.com/>

*6 <http://www.agilent.com/home>

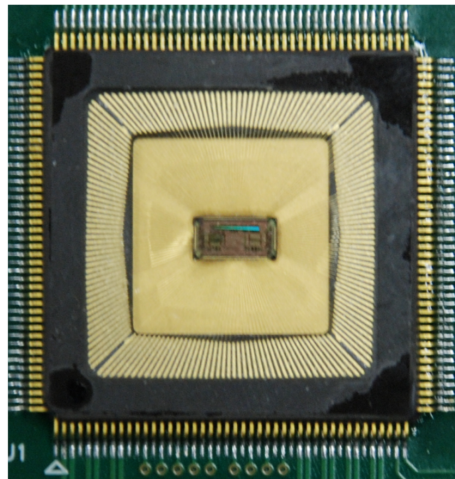


図 4.1 作製したチップ。パッケージは QFP (Quad Flat Package) を使用した。

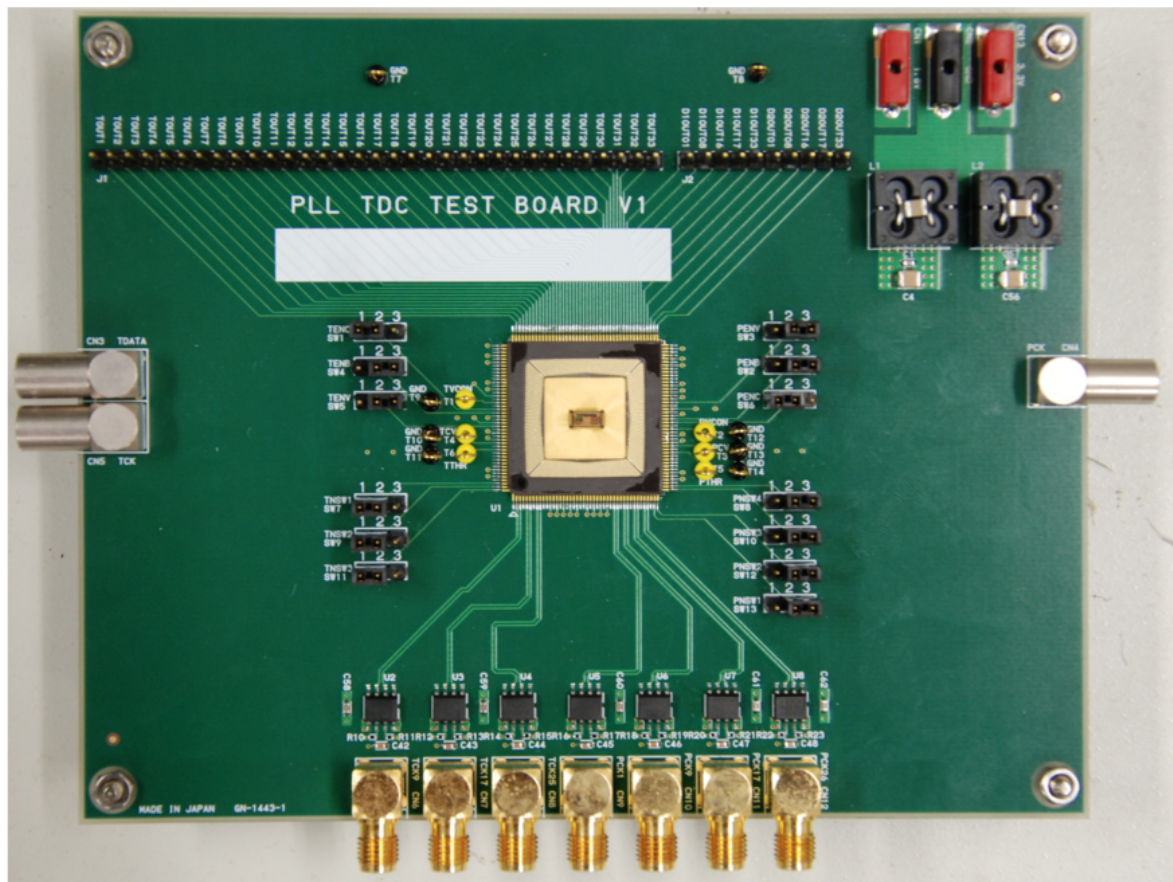


図 4.2 評価ボード

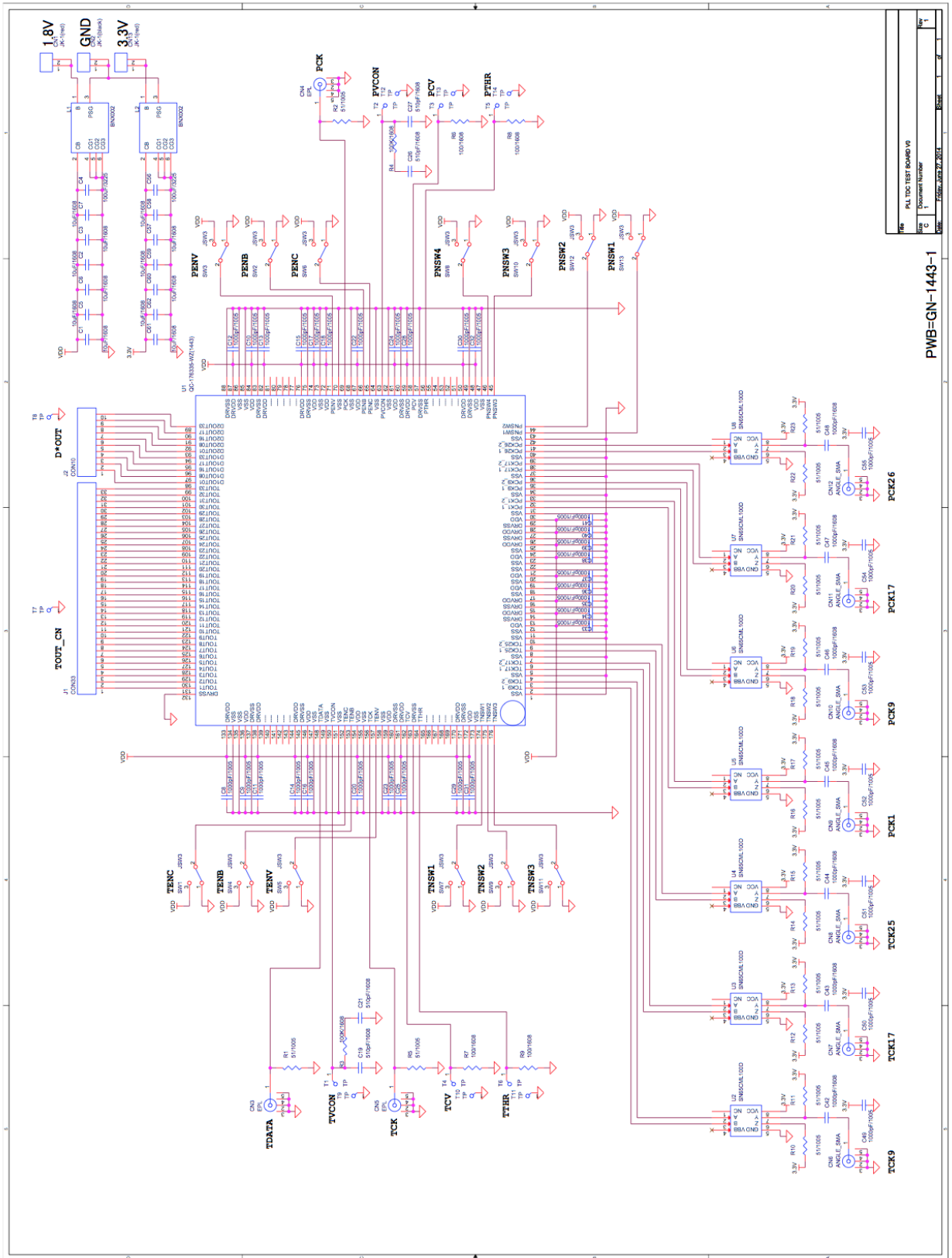


図 4.3 評価ボードの回路図

パーツ	個数
SMAコネクタ(横向き)	7
レモコネクタ プリント基板用ソケット	3
SN65CML100	7
ジャンパーピン	13
ピンヘッダ	43
チェック端子	6
ジャンパー線(5.08mm)	8
電源ソケット(ピンチップ用)	3
EMIフィルタ(BNX002-01)	2
積層セラミックチップコンデンサ 10 uF(1608)	12
積層セラミックチップコンデンサ 100 uF(3216)	2
積層セラミックチップコンデンサ 510 pF(1608)	4
積層セラミックチップコンデンサ 1000 pF(1005)	37
積層セラミックチップコンデンサ 1000 pF(1608)	7
チップ抵抗 51 Ω(1005)	17
チップ抵抗 100 Ω(1608)	4
チップ抵抗 100k Ω(1608)	2

図 4.4 評価ボードの部品リスト



図 4.5 使用したオシロスコープ (左) とパルスジェネレータ (右)

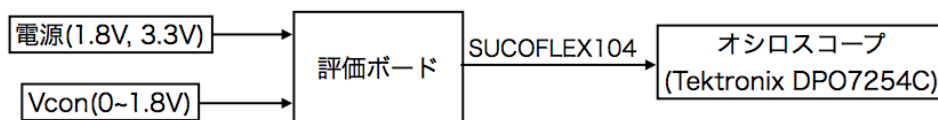


図 4.6 VCO の周波数測定のセットアップ

4.3.2 位相同期回路の同期動作試験

測定のセットアップを図 4.10 に示す。図 4.11 が、ref.clk に対する out.clk の結果である。図 4.8 から予想される値を赤線で示している。ref.clk に同期した信号を出力するはずなので、測定値は赤線上にのるべきであるが、out.clk は約 370 MHz までしか動作していないことがわかった。このとき、VCO に供給されている V_{con} を測定した結果が図 4.12 である。同様に、図 4.8 から予想

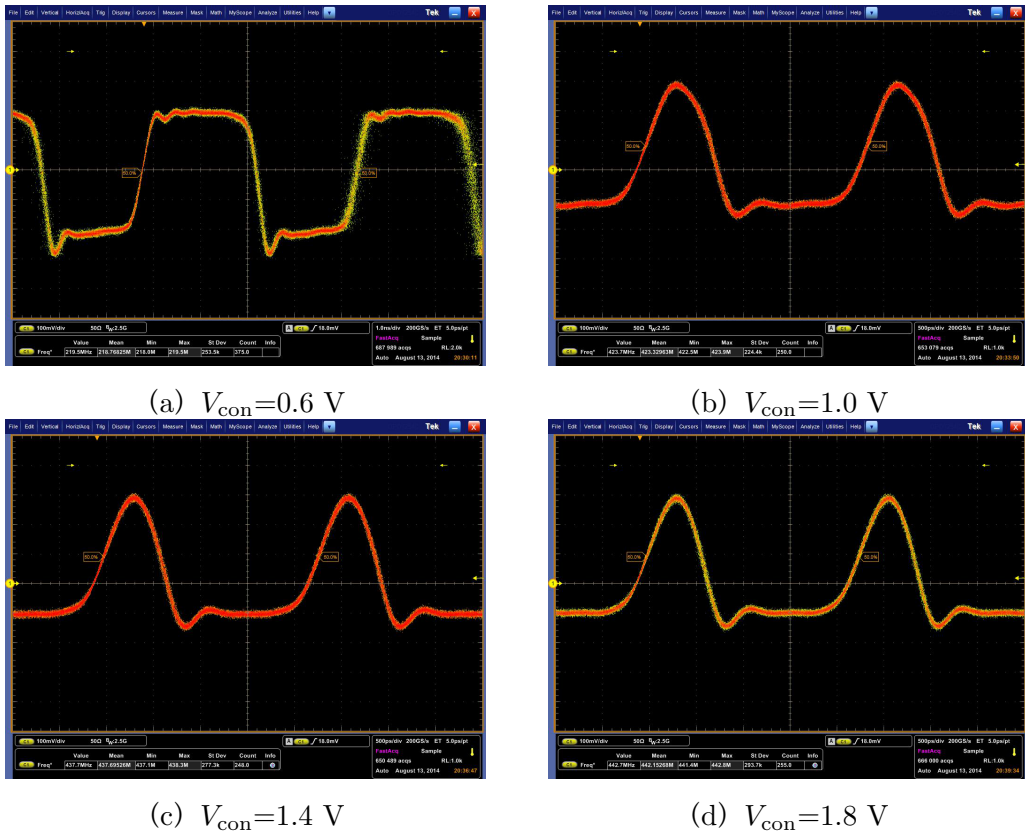


図 4.7 V_{con} 入力時の out.clk の波形

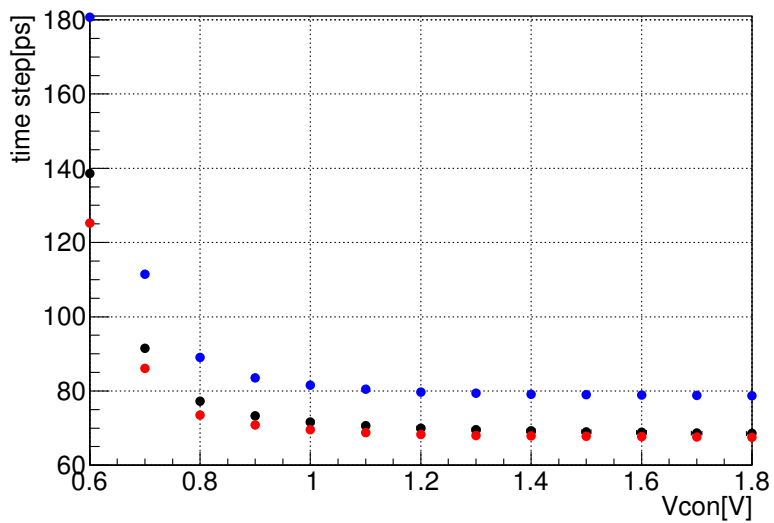


図 4.8 V_{con} と刻み時間の関係。黒：測定値、赤：典型モデルでのシミュレーション、青：低速モデルでのシミュレーション。

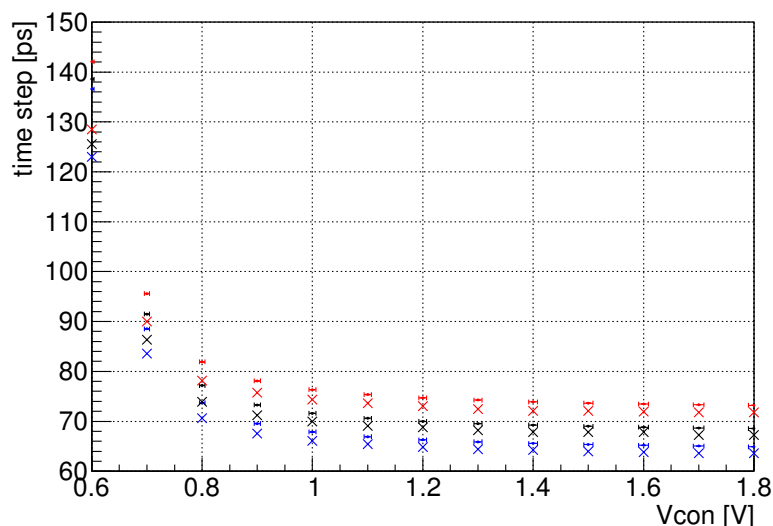


図 4.9 電源電圧が変化した場合の V_{con} と刻み時間の関係。赤：1.7 V、黒：1.8 V、青：1.9 V。・：測定値、 \times ：レイアウト後のシミュレーション結果。

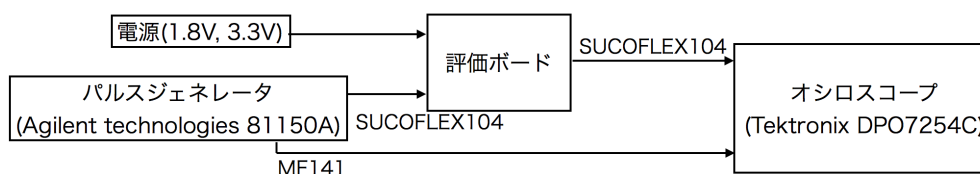


図 4.10 位相同期回路の周波数測定の設定アップ

される値を赤い直線で示している。 V_{con} は約 0.72 V までしか上昇しないことがわかった。

原因追求のために、レイアウト後の回路を用いて詳細なシミュレーションを行った。問題は V_{con} が 1.8 V まで上昇しないことである。従って、図 3.11 のレイアウト前のシミュレーション結果を参考にして、 V_{con} が約 1.8 V まで上がるように、周期 72 ns の ref.clk を入力した。図 4.13 が V_{con} の結果であるが、測定結果と同様に約 0.72 V までしか上昇していない。このことから、レイアウト時の寄生容量が原因であるとわかった。特に、CP の出力電流が小さいことによって、十分な電流の V_{con} を VCO に供給できていないと可能性がある。

次期チップ製作では、 V_{con} の信号線と CP の出力電流に注意してレイアウトを行なう必要がある。

4.3.3 位相同期回路のジッタ測定

図 4.10 と同じセットアップで、11.5 MHz の refclk 入力時の out.clk のジッタを測定した。図 4.14 がオシロスコープで見た波形とジッタのヒストグラムである。測定値は 43 ps であり、ここからパルスジェネレータのチャンネル間ジッタである 35 ps を差し引くと、

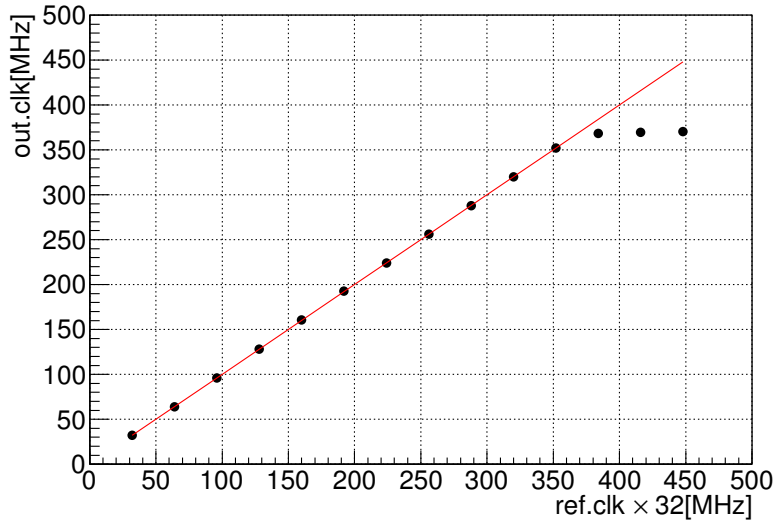


図 4.11 ref.clk と out.clk の関係。黒：測定値、赤：予想値。

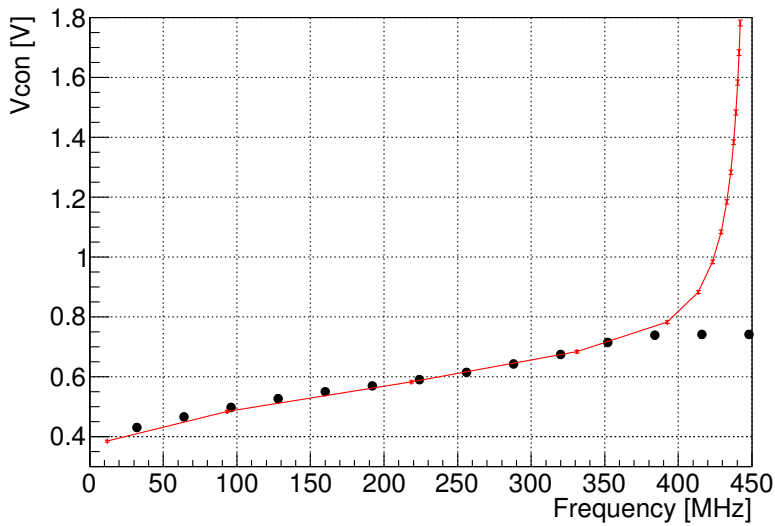


図 4.12 ref.clk と V_{con} の関係。黒：測定値、赤：予想値。

$$\begin{aligned} \sigma_{\text{チップ} + \text{SN65CML100D}} &= \sqrt{\sigma_{\text{測定値}}^2 - \sigma_{\text{チャンネル間}}^2} \\ &= 25 \text{ ps} \end{aligned}$$

となる。SN65CML100D のジッタを評価するため、図 4.15 のような評価ボードを作製した。測定の設定アップを図 4.16 に示す。ジッタの測定値は 47 ps であり、ここからパルスジェネレータのチャンネル間ジッタ 35 ps、同一チャンネル間ジッタ 18 ps を差し引くと、

$$\begin{aligned} \sigma_{\text{SN65CML100D}} &\leq \sqrt{\sigma_{\text{測定値}}^2 - \sigma_{\text{チャンネル間}}^2 - \sigma_{\text{同一チャンネル間}}^2} \\ &= 16 \text{ ps} \end{aligned}$$

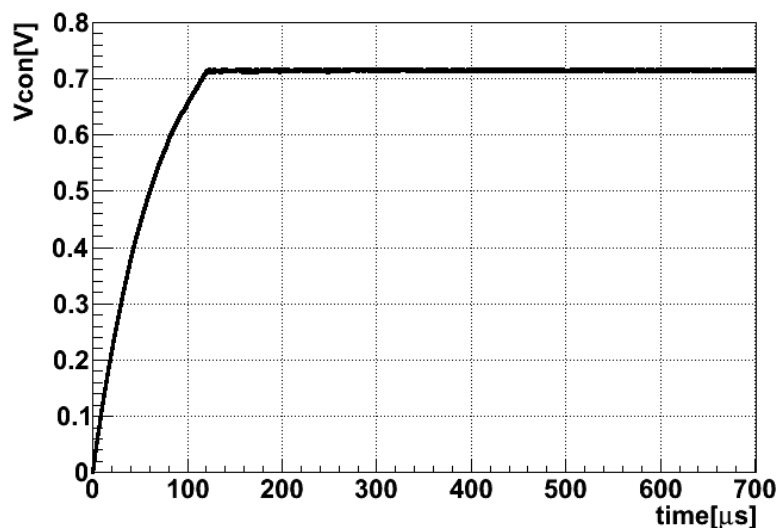


図 4.13 レイアウト後の 0 s から 700 μs における V_{con} の過渡解析。ref.clk の周期 72 ns。

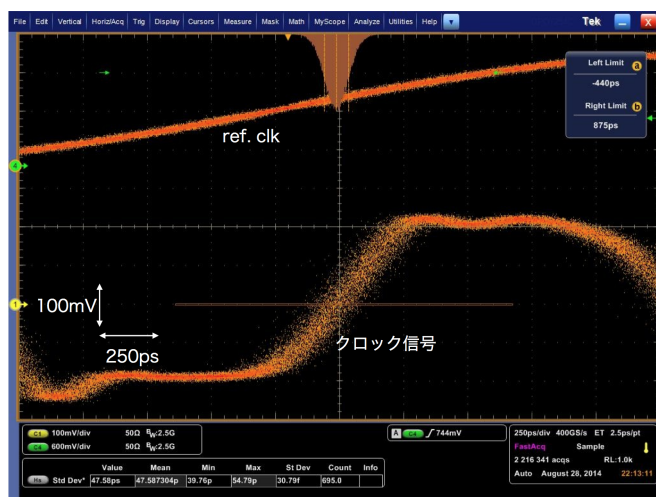


図 4.14 オシロスコープの波形とジッタのヒストグラム

となる。配線と半田付けの影響により、大きく見積もられているとすると、

$$\begin{aligned}\sigma_{\text{チップ}} &\geq \sqrt{\sigma_{\text{チップ}}^2 + \text{SN65CML100D} - \sigma_{\text{SN65CML100D}}^2} \\ &= 19 \text{ ps}\end{aligned}$$

となり、位相同期回路で得られるクロックのジッタは 19 ps から 25 ps であると考えられる。

4.4 タイムデジタイザの動作試験

タイムデジタイザの時間分解能を調べる。タイムデジタイザの出力として、TOUT01 から TOUT33、D1OUT01 から D1OUT33、D2OUT01 から D2OUT33 を出しているが、期待通りの波形が得られたのは D1OUT01 から D1OUT33 のみであった。

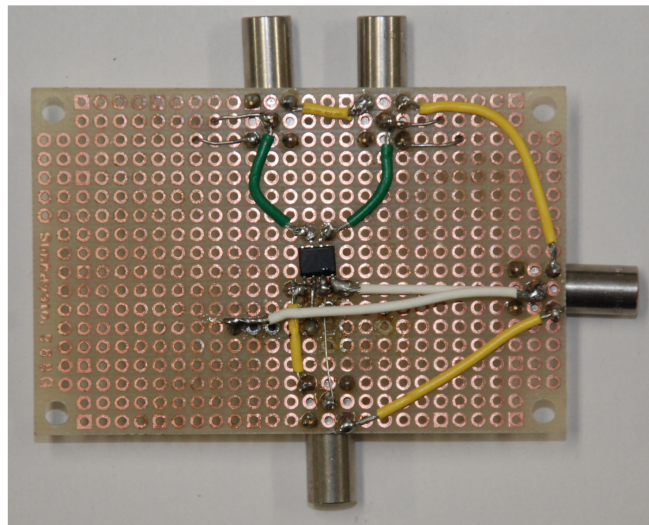


図 4.15 SN65CML100D 評価ボード

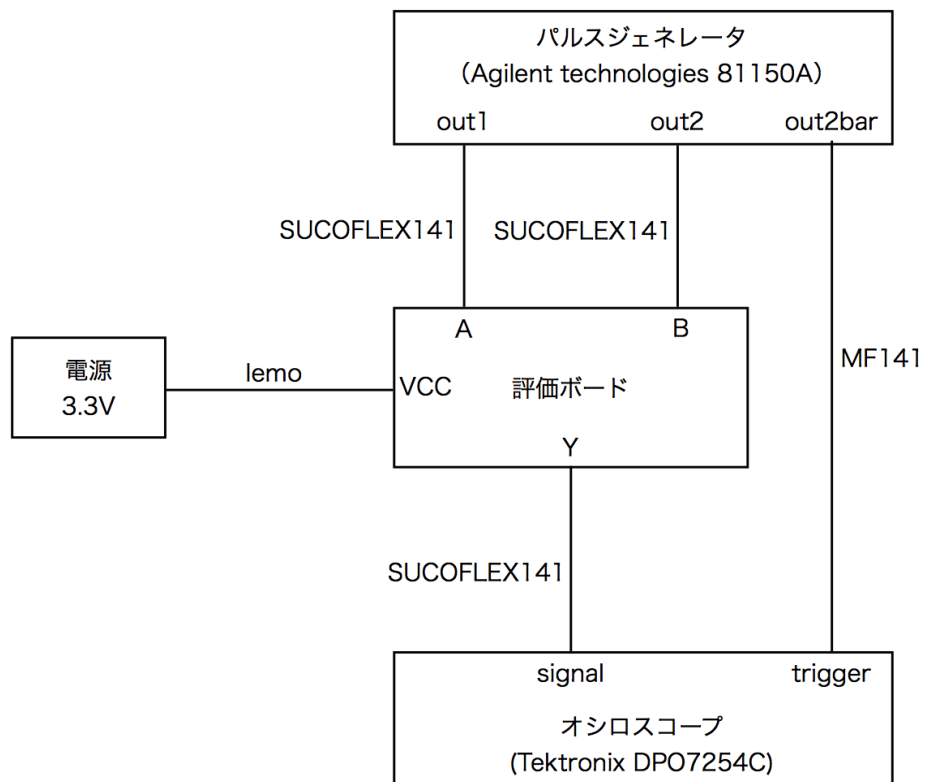


図 4.16 SN65CML100D のジッタ測定のセットアップ

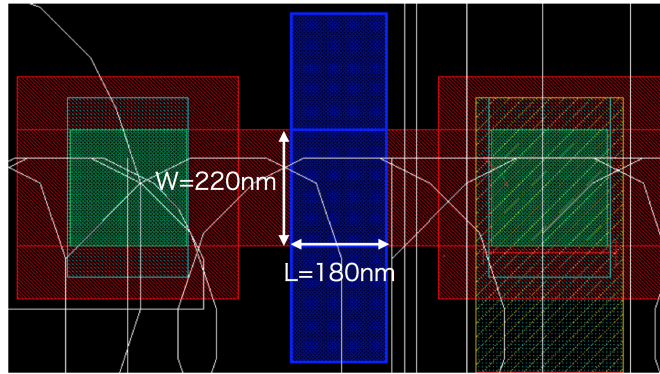


図 4.17 INV2PD の PMOS のレイアウト図

原因追求のためにレイアウト後の回路を調べたところ、ドライブ用インバータである INV2PD の W が設計値と異なることがわかった。クロック信号 CLK9、CLK17、CLK25 をデータ保持の D フリップフロップに配る際に、INV2PD を介して信号をドライブさせている。INV2PD は NMOS と PMOS からなるインバータで、 W の値はそれぞれ $1\ \mu\text{m}$ と $2\ \mu\text{m}$ 、 L の値はどちらも $180\ \text{nm}$ で設計している。ところが、業者のレイアウト後の回路を見ると PMOS の W が最小値である $220\ \text{nm}$ で設計されていることがわかった。このことは、レイアウト図からも確認できた (図 4.17)。つまり、出力が得られないことの原因は、クロック信号がデータ保持の D フリップフロップに入力できていないことであるとわかった。

仮に、 $W = 2\ \mu\text{m}$ で設計されていた場合に正常に動作するかをシミュレーションで検証した。MOSFET の容量は $W \times L$ に比例するので、 $W = 220\ \text{nm}$ の場合の寄生容量の約 10 倍が $W = 2\ \mu\text{m}$ の場合の寄生容量になると考えられる。信号線に予想する寄生容量を付加してシミュレーションを行った結果、全ての出力が確認できた。従って、業者レイアウト前の回路設計には問題がなかったと推測できる。

信号検出部分の出力である D1OUT01、D1OUT08、D1OUT17、D1OUT16、D1OUT33 を使って時間分解能を調べるため、図 4.18 のようなセットアップで測定を行なった。ref.clk の周波数が $11.5\ \text{MHz}$ のとき、位相同期回路は $368\ \text{MHz}$ で動作しているため刻み時間は約 $82\ \text{ps}$ となっている。データ信号の立ち上がるタイミングを徐々に遅延させていき、そのときの出力波形を測定した。

図 4.19 が出力波形の例である。(a) のように出力が 1 本の時もあれば、(b) のように 2 本の時もある。これは、データ信号とクロック信号の立ち上がりがジッタによって互いにふらつくことで、本来信号検出すべきではないタイミングでも信号検出を行ってしまうことが原因である。実際の回路にはジッタが必ず存在するため、この現象は避けられない。これらの波形からタイムデジタイザの時間分解能を導くため、出力の立ち上がり部分のヒストグラムを得て、そのカウント数の比をとり、それに対して誤差関数をフィッティングした。図 4.20 がその結果である。それぞれに

$$f(x) = 0.5 \times \text{erf} \left(\frac{x - a}{\sqrt{2}b} \right) + 0.5$$

をフィッティングしている。図 4.21 のように、パラメータ a から出力の線形性を調べると傾きは約 $84\ \text{ps}$ となり、位相同期回路の刻み時間に近い値を得られた。一方、時間分解能であると考えられるパラメータ b は $134 \pm 4\ \text{ps}$ となった。これらの結果から、D フリップフロップへのクロック

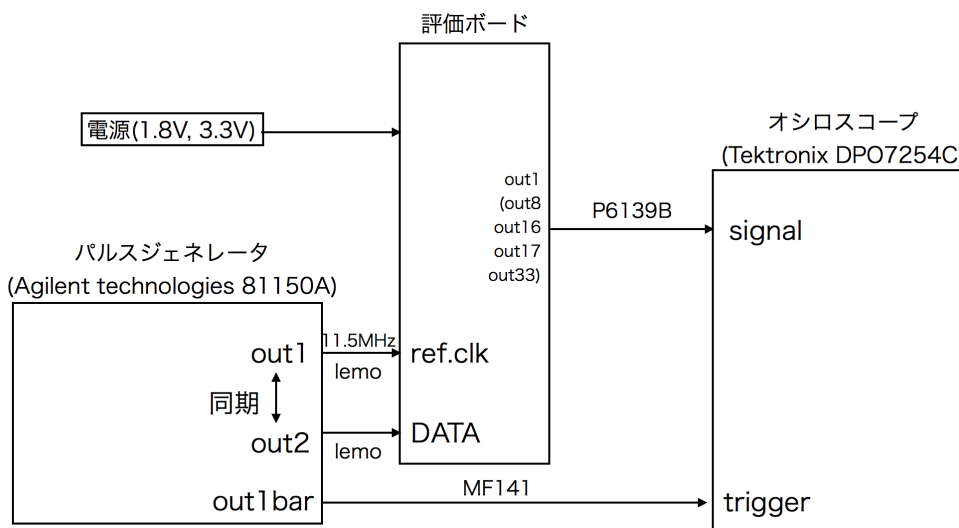
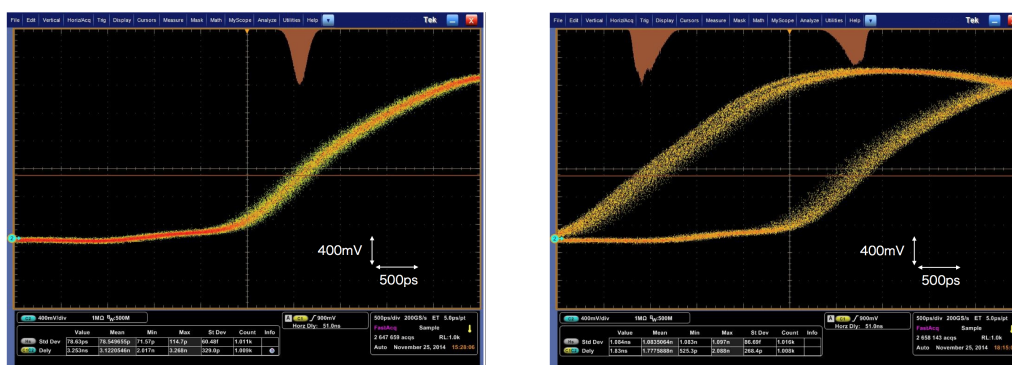


図 4.18 タイムデジタイザの測定のセットアップ



(a) 出力が 1 本の場合

(b) 出力が 2 本の場合

図 4.19 タイムデジタイザの出力波形

信号は位相同期回路の刻み時間通りに入力されているが、時間分解能は期待よりも悪化していることがわかった。

4.5 考察

ref.clk が 11.5 MHz のときの位相同期回路の刻み時間は約 82 ps であり、クロック信号のジッタが約 20 ps である。それに対して時間分解能が 134 ps と大きい理由としては、D フリップフロップのアナログ特性が考えられる。

D フリップフロップは、2 個のラッチ回路とインバータで構成されている (図 2.28 を参照)。ラッチ回路は図 4.22 に示すように、2 個のクロックドインバータ (図 4.23) とインバータで構成されている。ラッチ回路とクロックドインバータの真理値表を表 4.1、表 4.2 に示す。

ラッチ回路内部の 2 個のクロックドインバータには、互いに反転したクロック信号が入力されている。従って、どちらか一方が動作しているとき、他方は高インピーダンス状態で電氣的に切断されているはずである。しかし、データ信号と CLK2、CLK3 が近いタイミングで遷移する場合、

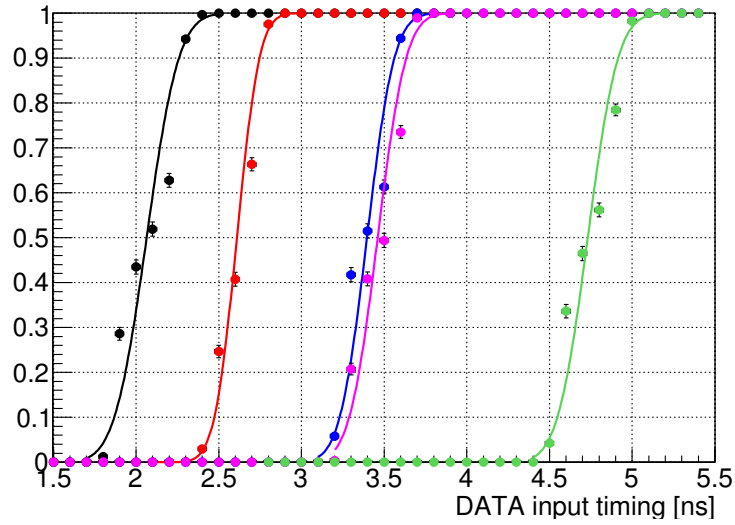


図 4.20 データ信号の立ち上がりのタイミングとヒストグラムのカウント数の比の関係。黒：D1OUT01、赤：D1OUT08、青：D1OUT16、ピンク：D1OUT17、緑：D1OUT33。

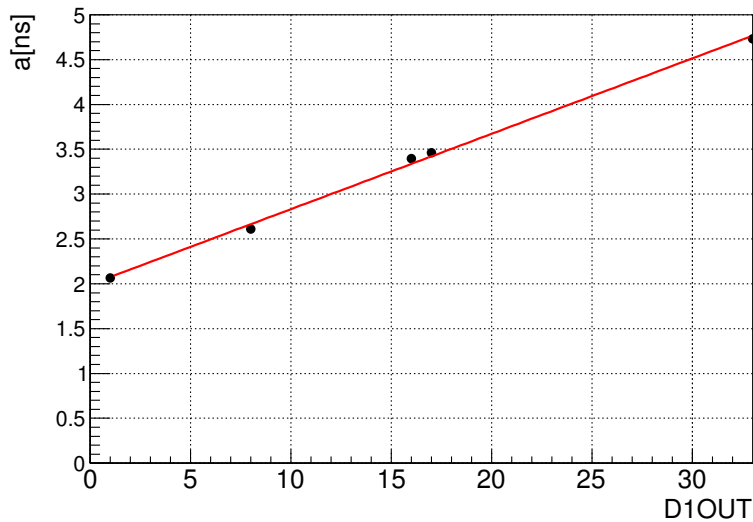


図 4.21 タイムデジタイザの出力の線形性。パラメータ a (黒) に対して、一次関数 (赤) をフィッティングした。傾きは約 84 ps となった。

1 個目のクロックインバータが出力を途中で変化させた後に、2 個目のクロックインバータが出力を最後まで変化させる非常に不安定な状況になり得る。これは、クロックインバータの MOSFET の応答速度が有限であることが原因である。これにより、ラッチ回路の出力波形は乱れる。この様子をシミュレーションで調べた。

図 4.24 のセットアップで、データ信号の立ち上がるタイミングを変化させていったときの出力を見た結果が図 4.25 である。(a) はデータ信号が CLK2、CLK3 の遷移よりも十分早く立ち上がっている場合の波形である。Q1 と Q2 が正常に出力されていることがわかる。それに対して、(b) はデータ信号と CLK2、CLK3 が近いタイミングで遷移する場合の波形である。2 つのクロック

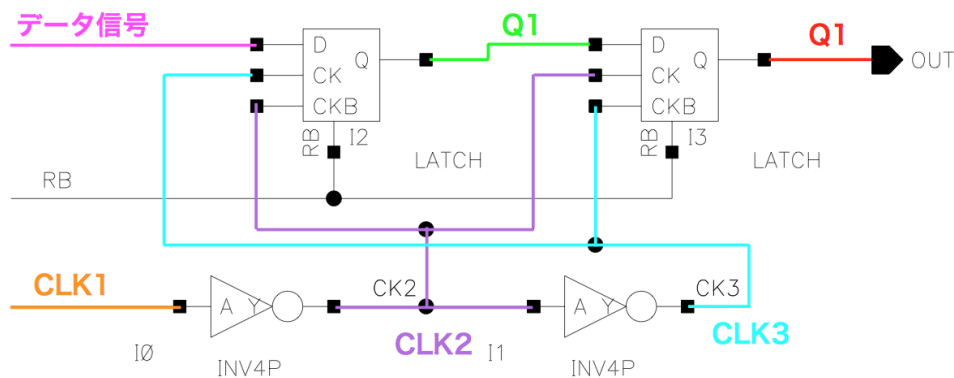


図 4.24 D フリップフロップのシミュレーションセットアップ。データ信号の立ち上がるタイミングを変化させていった時の Q1、Q2 を見る。CLK1 の周波数は 250 MHz。RB はリセット入力で、常にリセットなしの状態にしておく。

クドインバータによって電圧が変化するため、Q1 の立ち上がり構造が見られる。Q2 は CLK3 に同期して出力されるべきだが、Q1 の構造によって本来のタイミングよりも若干遅れて、波形が立ち上がる。この遅延時間は、インバータ 1 個とクロックドインバータ 1 個の遅延時間の和に等しいはずで (図 4.22 を参照)、シミュレーション上で約 100 ps になる。図 4.26 のように (a) と (b) の Q2 波形を比較してみると、時間差が約 100 ps であることが確かめられた。チップでは寄生容量の影響によって 100 ps 以上の時間差になる可能性を考慮すれば、D フリップフロップのアナログ特性がタイムデジタイザの時間分解能を悪化させる一因であると考えられる。

次期チップ製作では、DFF のアナログ特性も考慮して、クロックドインバータのパラメータを最適化する必要がある。

4.6 今後の展望

さらに高時間分解能のタイムデジタイザを開発する方法の例として、差動型 VCO と抵抗挿入型 VCO について述べる。

4.6.1 差動型 VCO

差動インバータで VCO を構成する方法である。通常のインバータを使った場合、インバータ 2 個分の遅延時間が刻み時間となるが、それに対して、差動インバータでは電流が常に流れるため、インバータ 1 個分の遅延時間以下の刻み時間が得られる。さらに、VCO が偶数個の差動インバータで構成されるので、8bit や 16bit のタイムデジタイザを簡単に開発できるという利点がある。

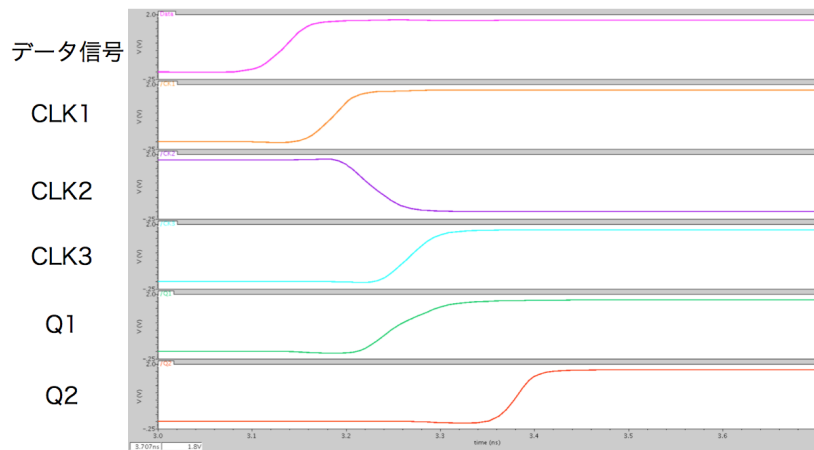
簡易的に図 4.27 のような差動インバータを設計して刻み時間を調べた。シミュレーション結果を図 4.28 に示す。V_{con} = 1.8 V での刻み時間は約 18 ps という結果が得られ、通常の VCO での約 53 ps から大幅に改善された。

表 4.1 ラッチ回路の真理値表。Q₀ は前の出力をあらわす。

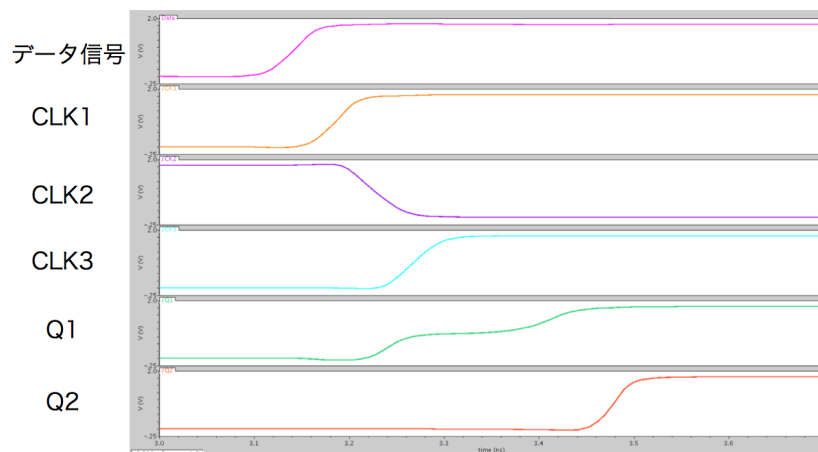
クロック信号	入力	出力
0	0	0
0	1	1
1	0 or 1	Q ₀

表 4.2 クロックドインバータの真理値表

クロック信号	入力	出力
0	0 or 1	高インピーダンス状態
1	0	1
1	1	0



(a) 理想的な場合の波形。データ信号の立ち上がるタイミングは 3.069 ns。



(b) データ信号と CLK2、CLK3 が近いタイミングで遷移する場合の波形。データ信号の立ち上がるタイミングは 3.075 ns。

図 4.25 D フリップフロップのシミュレーション。横軸が時間、縦軸が電圧。

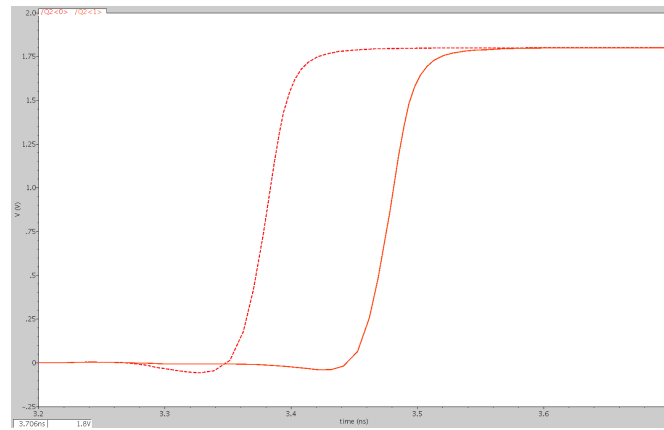


図 4.26 Q2 出カタイミングの比較。横軸が時間、縦軸が電圧。実線：(a) の Q2、破線：(b) の Q2。0.9 V で比較すると、約 100 ps の時間差がある。

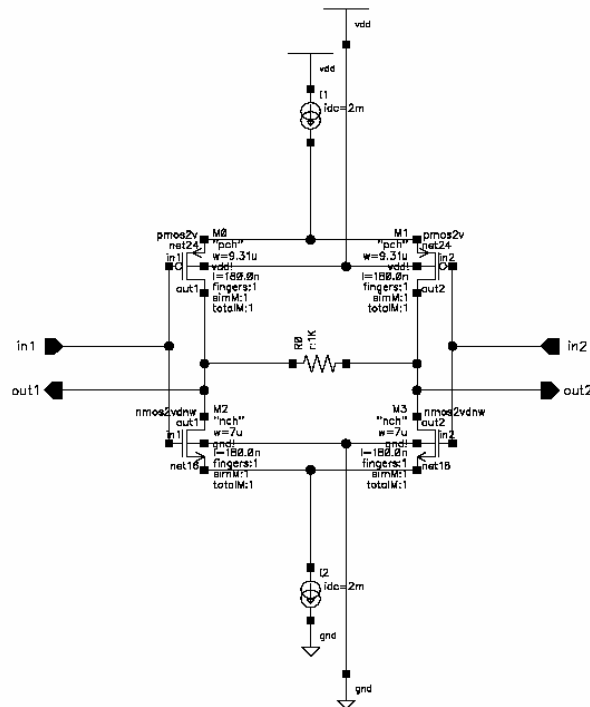


図 4.27 差動インバータ

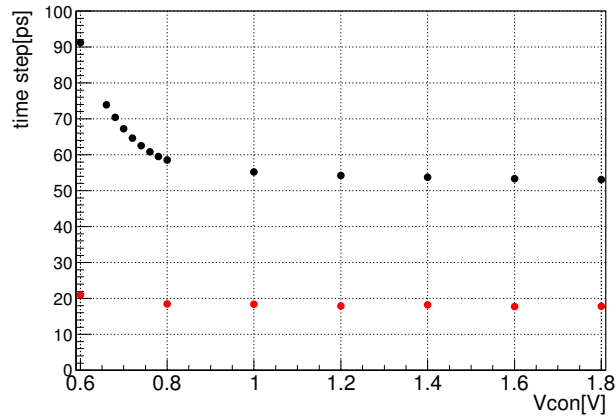


図 4.28 差動型 VCO の V_{con} と刻み時間の関係。黒：通常の VCO、赤：差動型 VCO。 $V_{con} = 1.8 \text{ V}$ で、刻み時間が約 53 ps から約 18 ps に改善している。

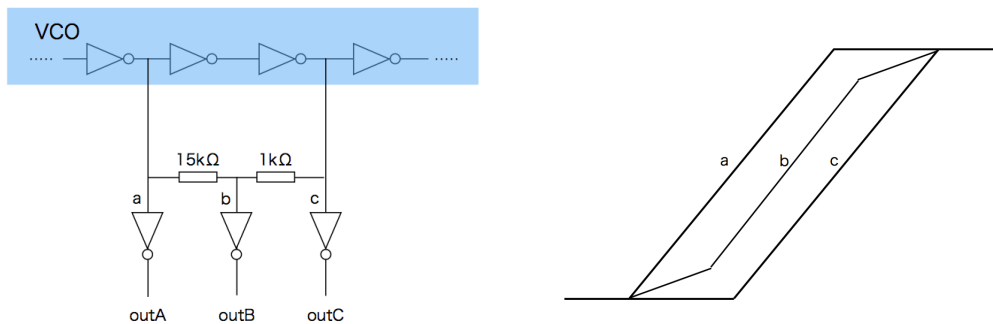


図 4.29 抵抗挿入型 VCO。VCO のクロック信号間に抵抗を挿入する。これにより、a、c に比べて立ち上がりが鈍った波形 (b) ができる。これらをドライブすることによって、時間刻みを分割できる。

4.6.2 抵抗挿入型 VCO

VCO のクロック信号間に抵抗を挿入する方法である [7]。これにより、遅延したクロック信号を生成することができ、刻み時間をさらに分割することができる。刻み時間の分割数は挿入する抵抗の数による。例として、図 4.29 に VCO の刻み時間を 2 分割する場合の構成を示し、シミュレーション結果を図 4.30 に示す。 $V_{con} = 1.8 \text{ V}$ での刻み時間は約 26 ps になり、通常の VCO の半分の値が得られた。

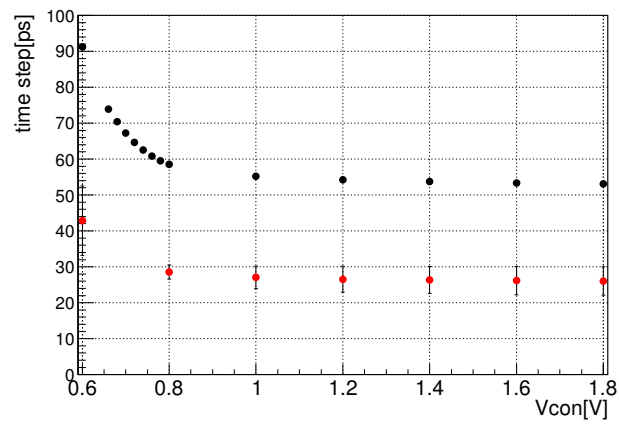


図 4.30 抵抗挿入型 VCO の V_{con} と刻み時間の関係。黒：通常の VCO、赤：抵抗挿入型 VCO。 $V_{con} = 1.8 \text{ V}$ で、刻み時間が約 53 ps から約 26 ps に改善している。

第 5 章 結論

本研究では、高エネルギー実験で使用することを想定した汎用タイムデジタイザの開発を行なった。用途によって異なる時間分解能、チャンネル数に柔軟に対応するために、位相同期回路を組み込む構成方法に着目した。位相同期回路は電圧制御発振器、位相周波数比較器、チャージポンプ、ローパスフィルター、分周器から構成される負帰還回路である。回路の製造は、Taiwan Semiconductor Manufacturing Co., Ltd の 180 nm プロセスを用いて行なった。

位相同期回路の刻み時間がタイムデジタイザの時間分解能に直結するため、電圧制御発振器用インバータの MOSFET のチャンネル長とチャンネル幅を最適化した結果、制御電圧に依存した刻み時間として 60 ps から 80 ps を得た。また、位相周波数比較器、チャージポンプ、ローパスフィルター、分周器もトランジスタレベルで設計して、シミュレーション上では正常に動作する位相同期回路を設計した。さらに、D フリップフロップに入力するクロック信号の分配方法を工夫して、タイムデジタイザの設計を行なった。レイアウトでは、寄生容量の影響を受けやすい電圧制御発振器に重点を置き検証を行なった。信号線の配線方法や信号ドライブ用インバータの配置に注意して、寄生容量及びジッタへの影響を小さく抑えた結果、制御電圧に依存した刻み時間として 75 ps から 100 ps を得た。

評価ボードを製作して性能評価を行なった。電圧制御発振器単体では、制御電圧に依存した刻み時間として 69 ps から 139 ps を得た。位相同期回路の刻み時間の最小値は約 83 ps、ジッタは 19 ps から 25 ps であり、タイムデジタイザの時間分解能は 134 ± 4 ps となった。また、位相同期回路の制御電圧が約 0.72 V までしか上昇しないという問題が発覚した。原因として、寄生容量の影響でチャージポンプから十分な電流の制御電圧が供給できていないことが考えられる。刻み時間とジッタの値に比べて時間分解能が大きくなっている一因としては、D フリップフロップのアナログ特性が考えられる。

本研究により、位相同期回路の刻み時間の限界値と、D フリップフロップの改良の必要性が明らかになった。また、これを基礎に差動インバータを用いたり、電圧制御発振器の出力部分に抵抗を挿入することで、より刻み時間を小さくする可能性を示した。様々な高エネルギー実験で使用可能なタイムデジタイザ開発の可能性を示した。

謝辞

名古屋大学高エネルギー研究室の一員として、多くの方々にお世話になりました。この場を借りて深く感謝申し上げます。

研究活動におきまして、数々の助言とご指導を頂きました戸本誠准教授、堀井泰之助教に心より深く感謝致します。高エネルギー加速器研究機構の佐々木修氏、田中真伸氏、田内一弥氏には、回路開発を行なうにあたって懇切丁寧にご指導を頂きました。厚く御礼申し上げます。さらに、共に研究し議論した小野木宏太氏、佐野祐太氏に心より感謝を伝えたいと思います。

また、有田義宣氏、古村大樹氏、米倉拓弥氏とは研究生活だけでなく、普段の生活においても楽しい時間を共有でき、有意義な大学院生活を送ることができました。心より感謝致します。

参考文献

- [1] G. Aad *et al.* [ATLAS Collaboration], JINST **3**, S08003 (2008).
- [2] Y. Arai, B. Ball, M. Beretta, H. Boterenbrood, G. W. Brandenburg, F. Ceradini, J. W. Chapman and T. Dai *et al.*, JINST **3**, P09001 (2008).
- [3] T. Abe *et al.* [Belle-II Collaboration], arXiv:1011.0352 [physics.ins-det].
- [4] 名古屋大学 廣瀬 茂樹, 修士論文 Belle II 実験 TOP カウンター用 MCP-PMT の実機設置環境における性能評価, 2013
- [5] Stephan Henzler, "Time-to-Digital Converters", Springer(2010)
- [6] 泰地 増樹, CMOS アナログ/デジタル IC 設計の基礎, CQ 出版社 (2010)
- [7] L. Perktold and J. Christiansen, JINST **9**, no. 01, C01060 (2014).