

Phase Locked Loop回路を用いた TDCの開発

名大理、KEK素核研^A、Open-It^B

小野木 宏太、戸本誠、堀井泰之、臼井主紀、
浦義博、佐々木修^{AB}、田中真伸^{AB}

Introduction

Time to digital converter(TDC)

- ドリフトチェンバー：~1ns 刻み時間
- 粒子の飛行時間計測：~100ps 刻み時間

TDCの設計方法

- TAC方式: psの分解能を達成できるが、設計が困難。
- カウンタ方式: psの分解能では、GHzのクロックソースが必要。
- **インバータを用いたPhase locked loop(PLL)方式:**
開発が容易。ICプロセスの微細化に伴い、高速動作が可能。

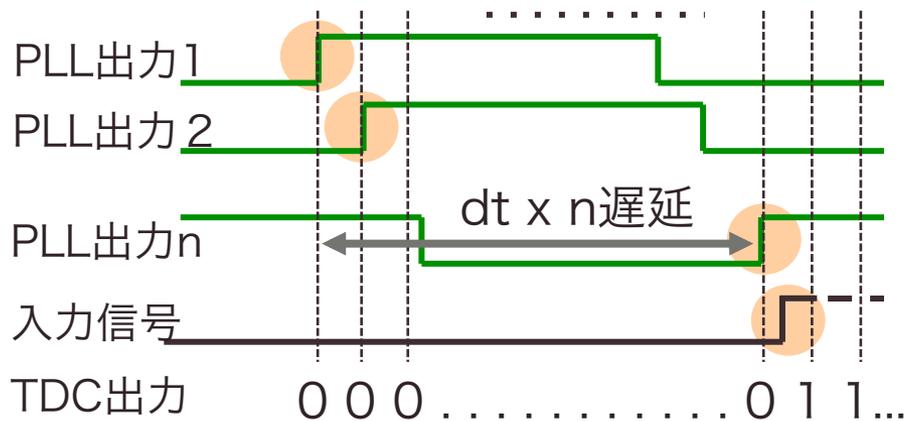
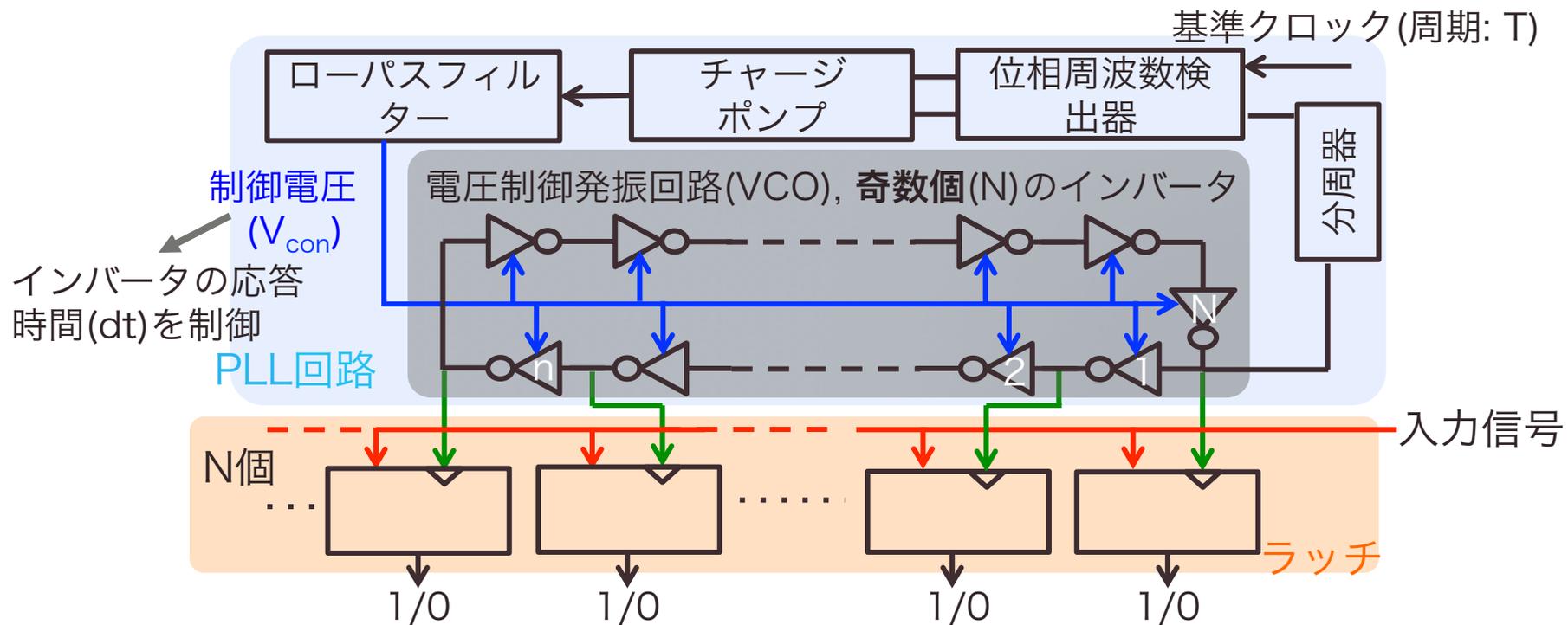
刻み時間100ps以下の汎用性に優れたPLL回路を用いたTDC回路を開発

使用するASIC

- Taiwan Semiconductor Manufacturing Co., Ltd(TSMC社)
- 180nm CMOSプロセス (L 最小値: 180nm)

プロセスによる高速化の限界値を理解

PLL方式を用いたTDC回路

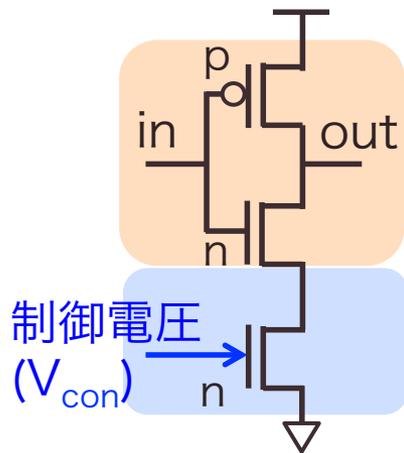


TDC回路設計の重要な要素

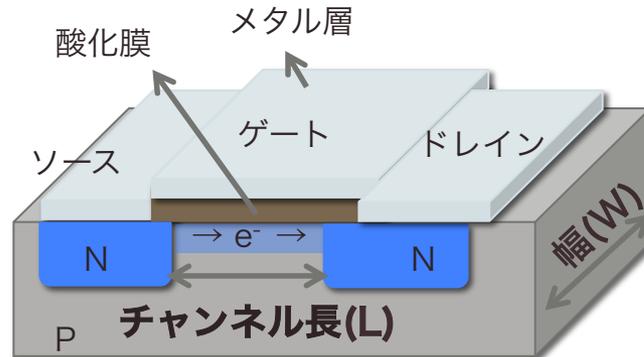
- ① 電圧制御発振回路の設計
- TDCの刻み時間
- ② PLL回路の同期確認
- ③ TDCの動作確認

① 電圧制御発振回路(VCO)の設計

インバータ+電流源



MOSFET



パラメータによる特性変化
電流 $\propto W/L$, 静電容量 $\propto W \cdot L$

電流源(V_{con} 入力部分)

高速動作 \rightarrow W 大

$W=40\mu\text{m}$, $L=240\text{nm}$

インバータ部分

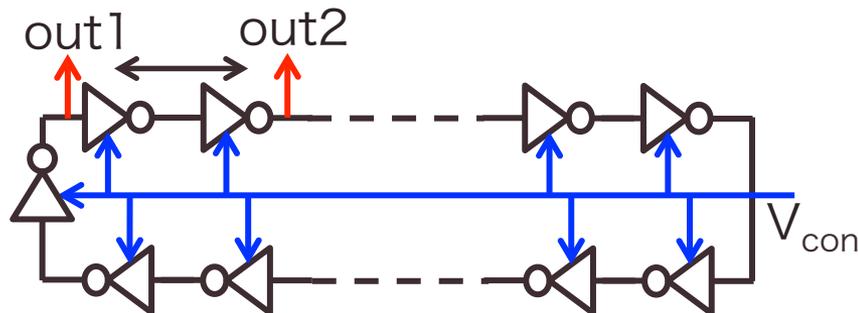
高速動作 \rightarrow L 最小 & W 小

$W_p=8\mu\text{m}$, $L=180\text{nm}$

$W_n=4\mu\text{m}$, $L=180\text{nm}$

電圧制御発振回路(PLL回路)

インバータ33個: インバータの応答時間とインバータ数(刻み数)より発振周期を決定



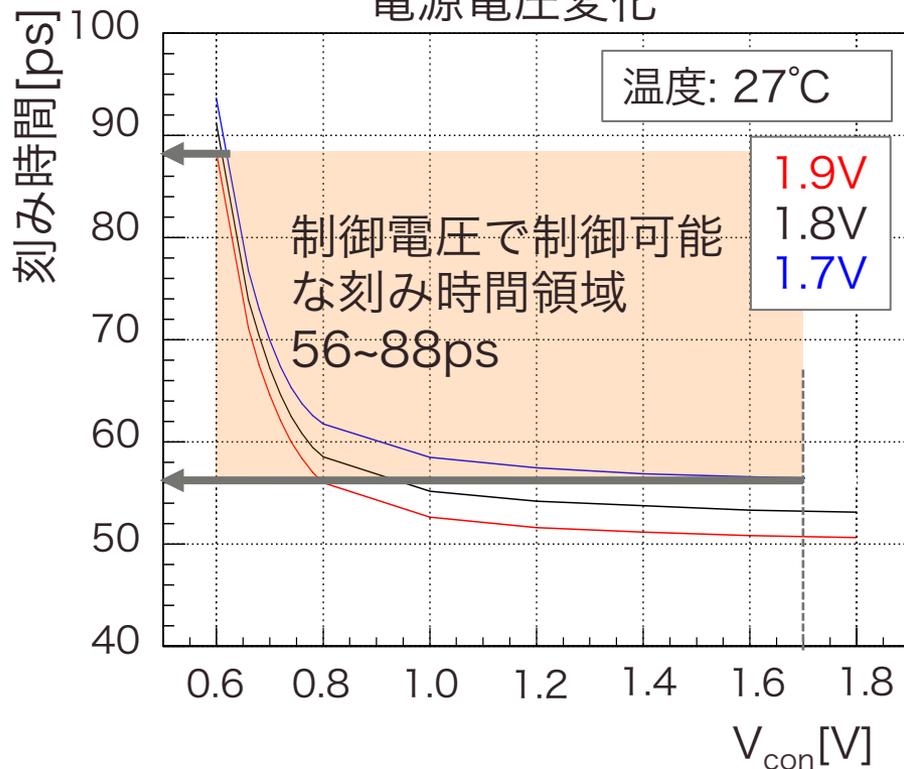
制御電圧と刻み時間の関係を確認する。

- 電源電圧(定常1.8V)変化
- 温度変化

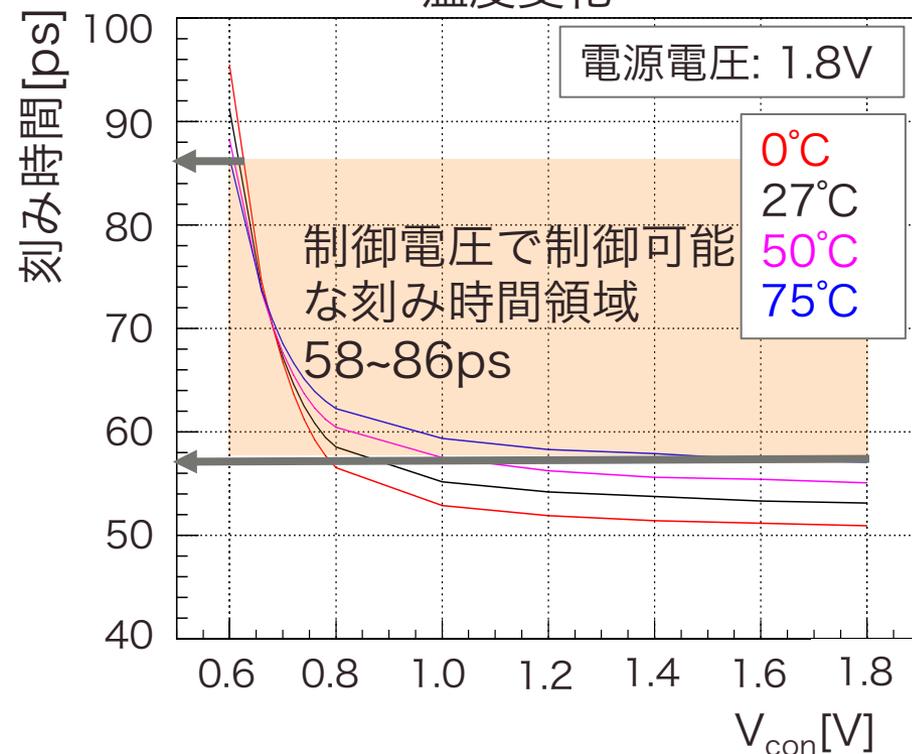
制御電圧(V_{con})と刻み時間の関係

電源電圧変化や温度変化した際に、制御電圧を変化させることで、**刻み時間を一定に保つ**必要がある。

電源電圧変化



温度変化

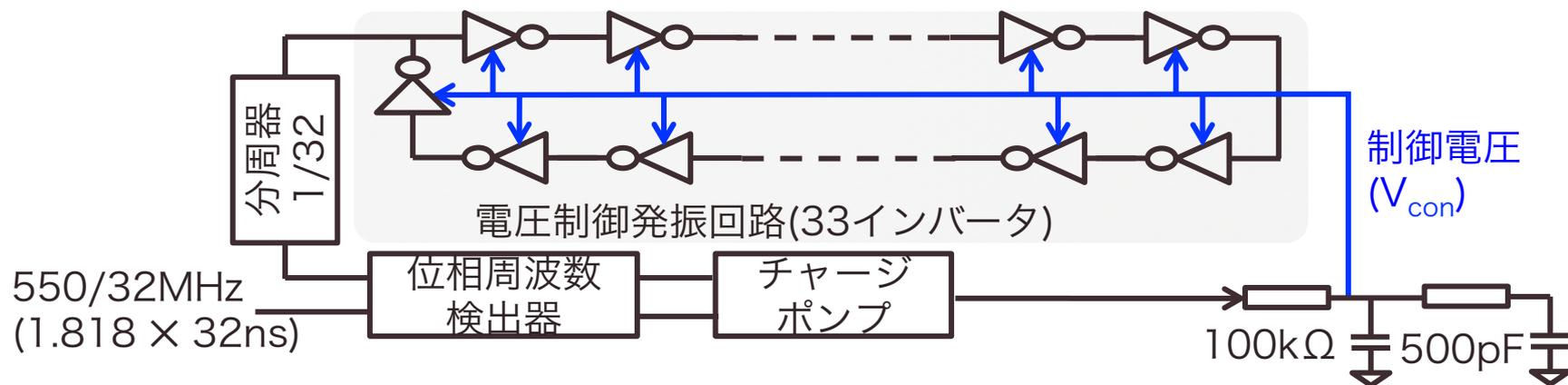


TDCの制御可能な刻み時間領域: 58ps ~ 86ps

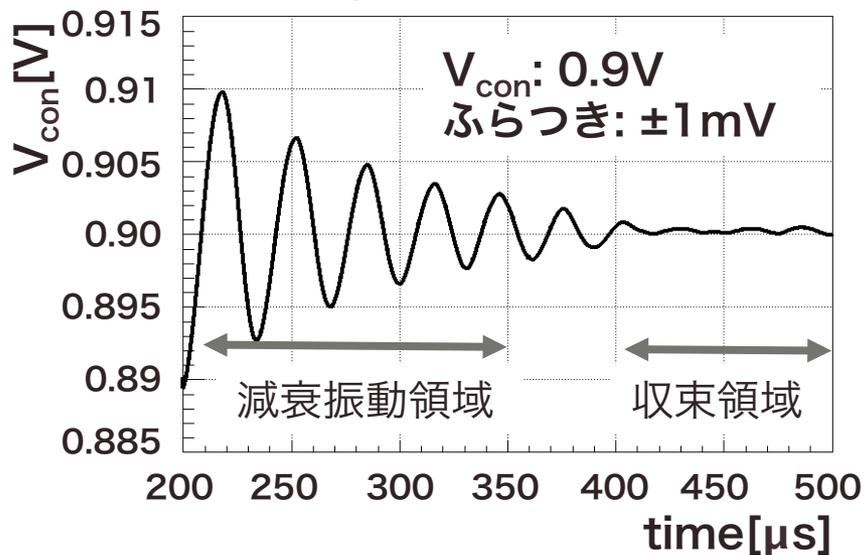
※ $V_{con} < 0.6[V]$ は発振しない。

② PLL回路の同期確認

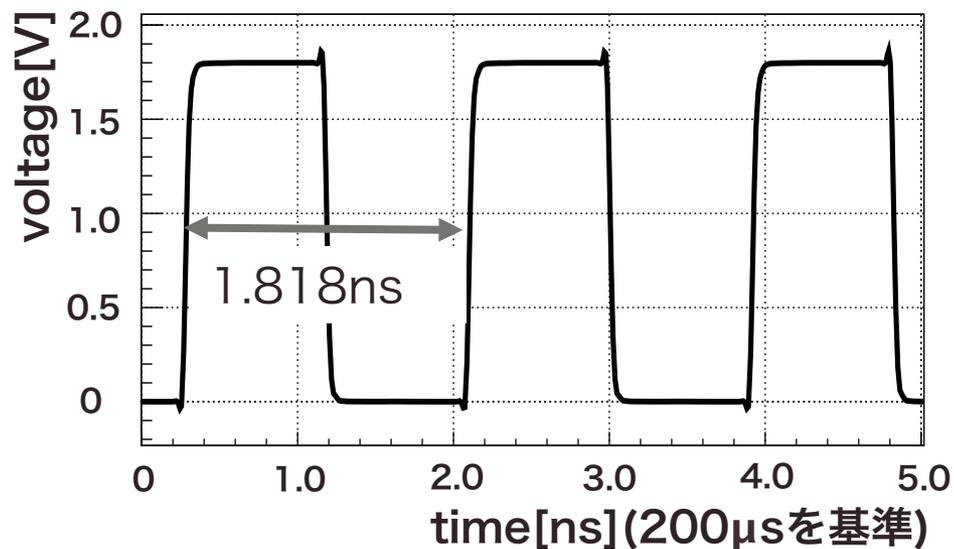
同期に必要な: 制御電圧の収束, 一定の発振周期



200~500 μ sの制御電圧波形

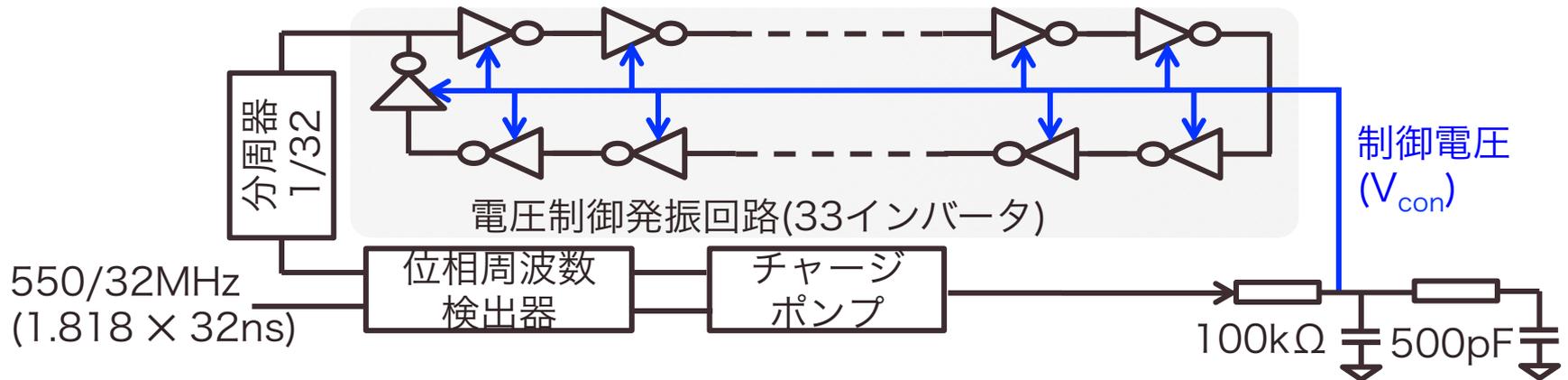


200 μ s後の発振波形

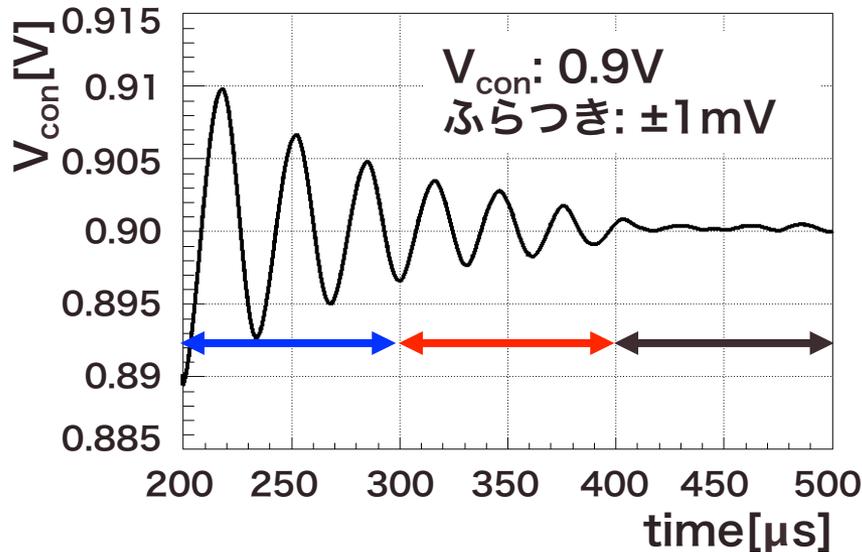


② PLL回路の同期確認

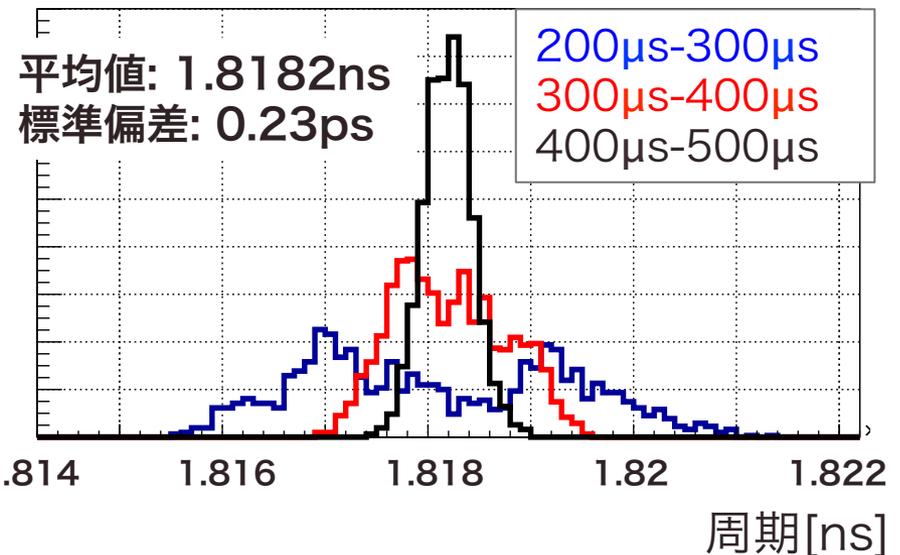
同期に必要な: 制御電圧の収束, 一定の発振周期



200~500 μ sの制御電圧波形

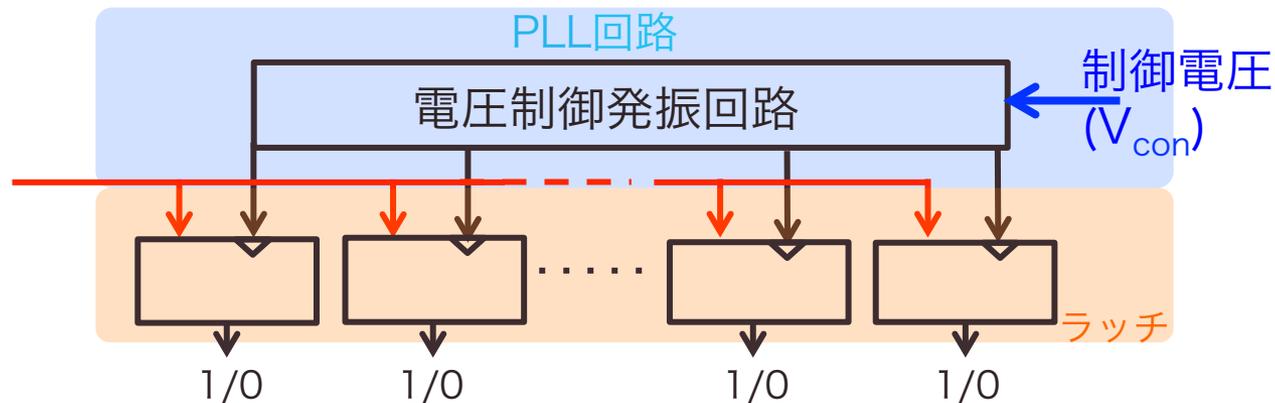
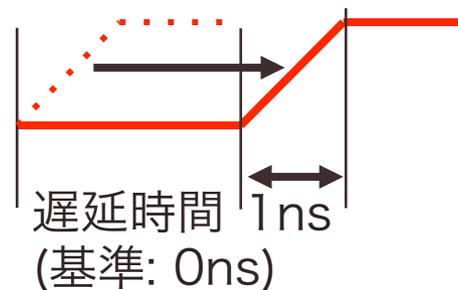


発振波形のヒストグラム



③ TDC回路の動作確認

入力信号

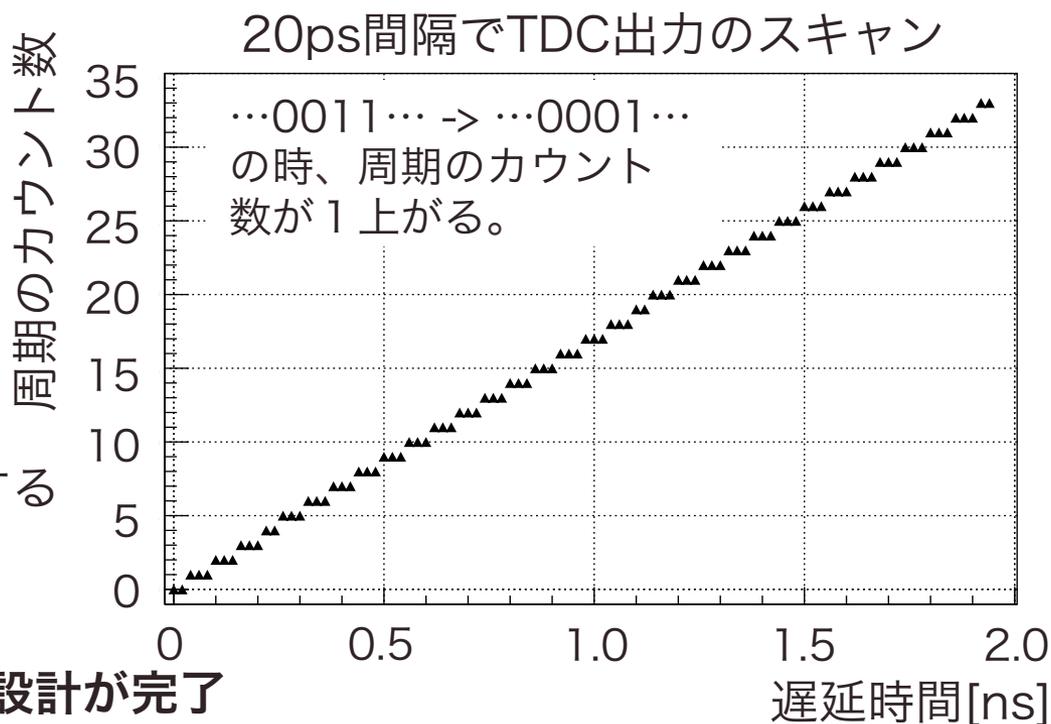


初期設定

- 制御電圧: 0.8V
- > 刻み時間: 58.6ps
- > 周期: 1.936ns

結果

TDC出力が60ps刻みでシフトする様子が見える。



刻み時間約60psのTDC回路の設計が完了

まとめ

TSMC社製180nmCMOSプロセスのASICを使用し、汎用性に優れたPLL回路を用いたTDCを開発を行った。

開発したTDC回路の性能(レイアウト前)

TDCの刻み時間	58ps ~ 86ps
発振周期(PLL回路)	1.914ns ~ 2.838ns
基準クロック周期(発振周期x32)	61.25ns ~ 90.82ns

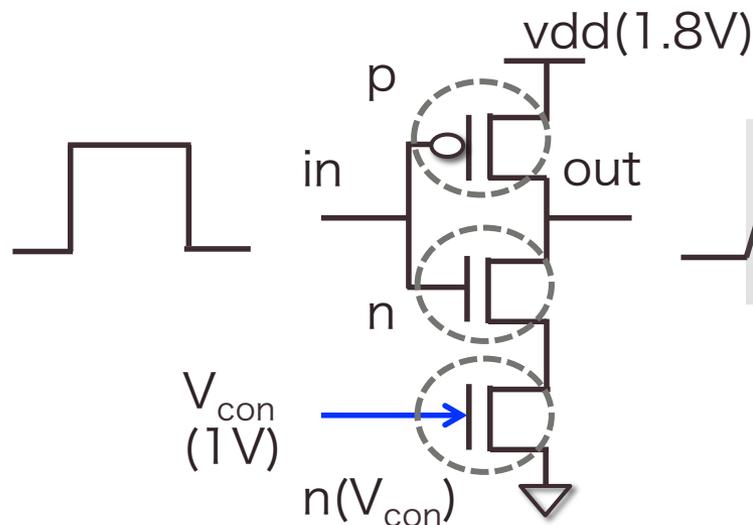
180nmプロセスでPLL回路を用いた約60psの刻み時間を持つTDCの開発が可能

今後の予定

- レイアウト後の抽出したパラメータを用いて最終性能評価
- ASIC実機製作(4月~), 完成後動作試験(6,7月~)

Back up

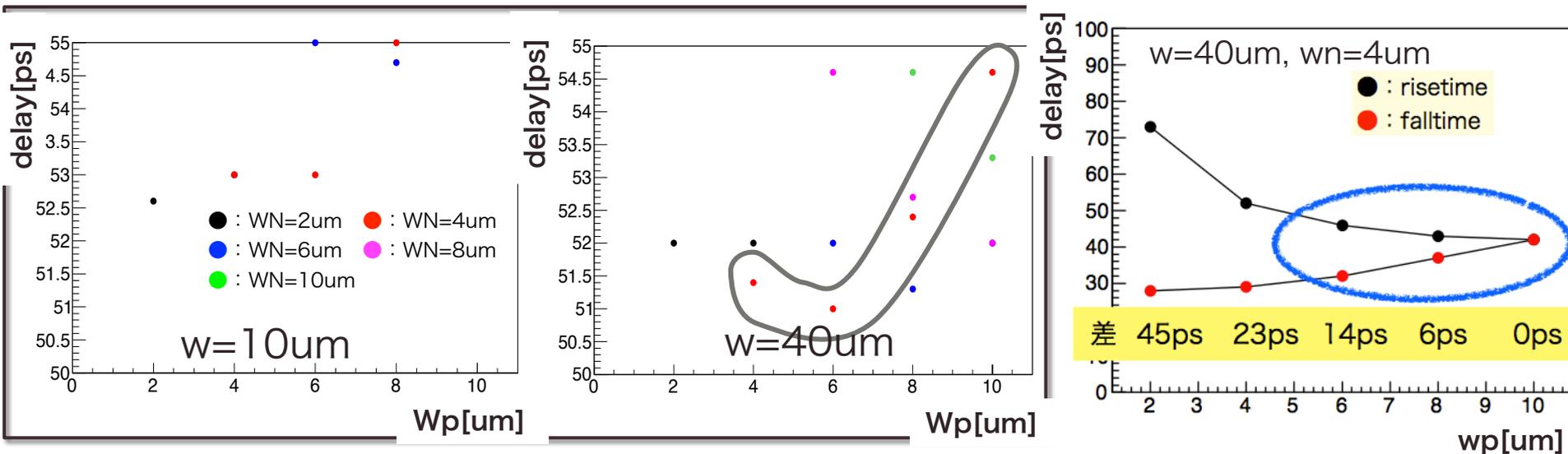
インバータのパラメータ調整



立上り時間& 立ち下がり時間
= インバータの遅延時間

mosのw値、最も遅延が小さくなるように調節した。

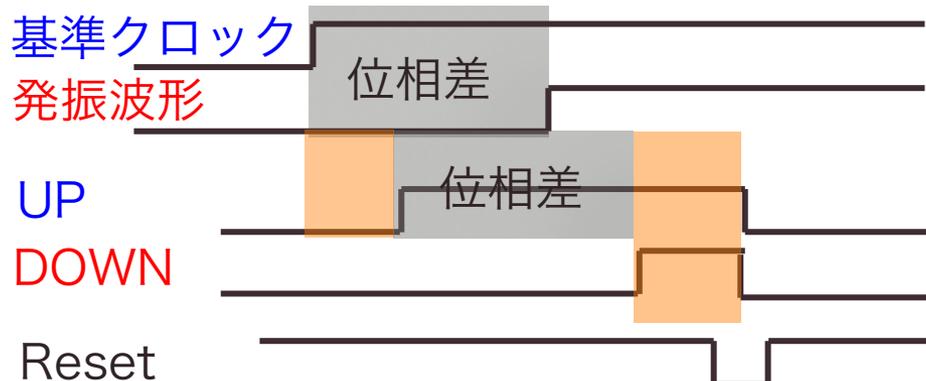
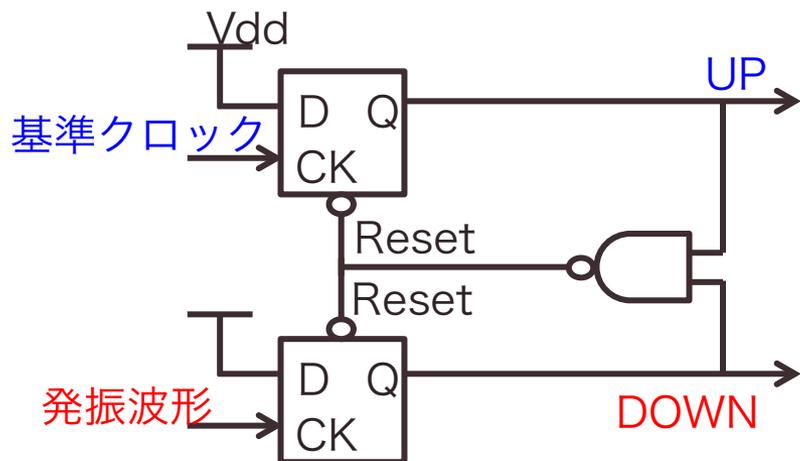
1. 電流源のw値(V_{con})とnmosのwn値
2. pmosのwp値



決定したパラメータ w=40um, wn=4um, wp=6-10um -> 遅延時間: ~55ps

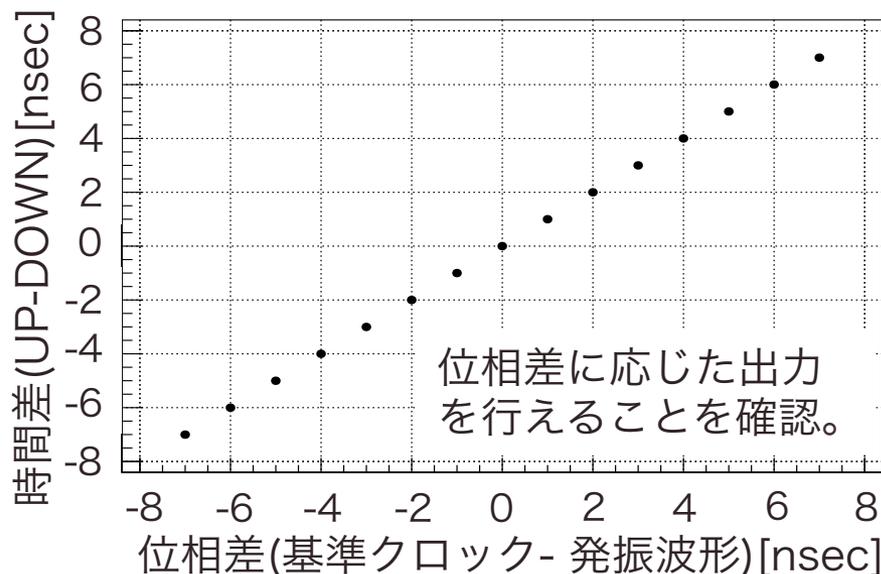
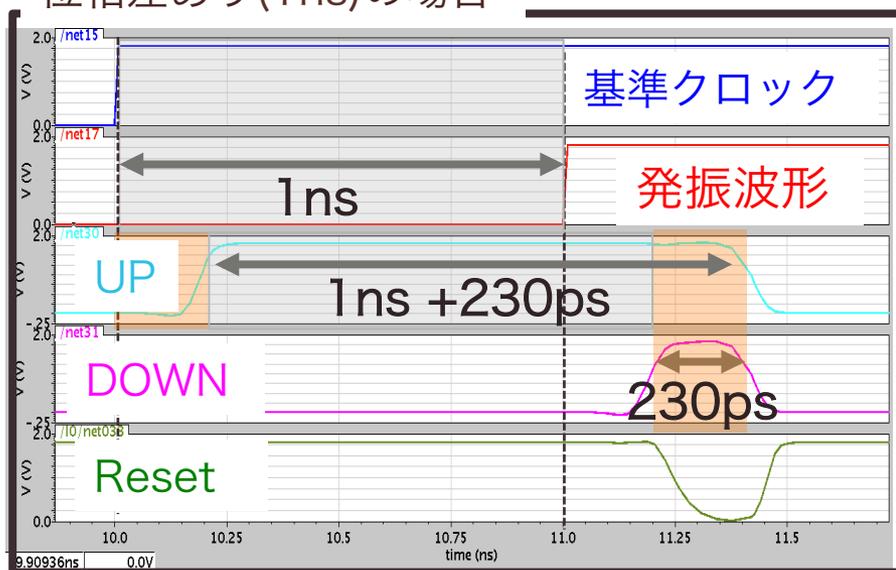
位相周波数検出器(PFD)

立ち上がりの位相差を読み取る回路



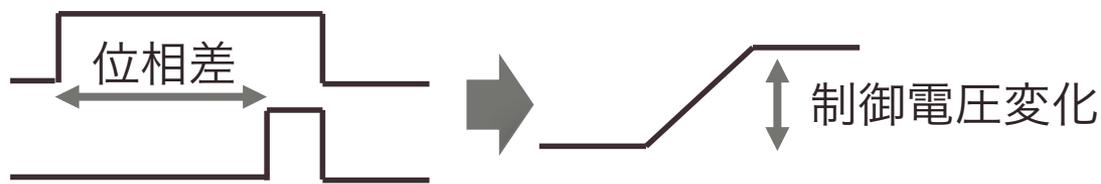
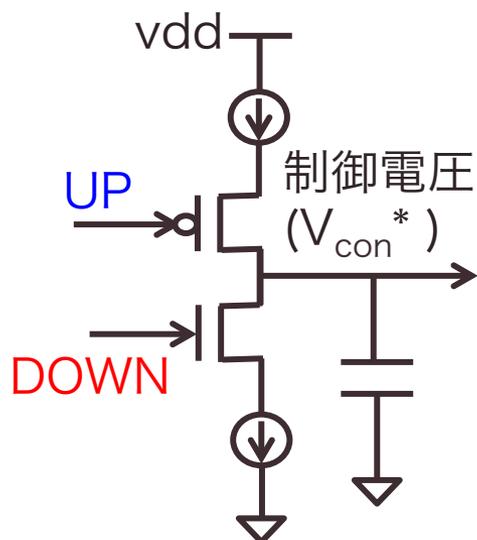
オレンジ色は Dフリップフロップ遅延
もしくは NAND遅延

位相差あり(1ns)の場合

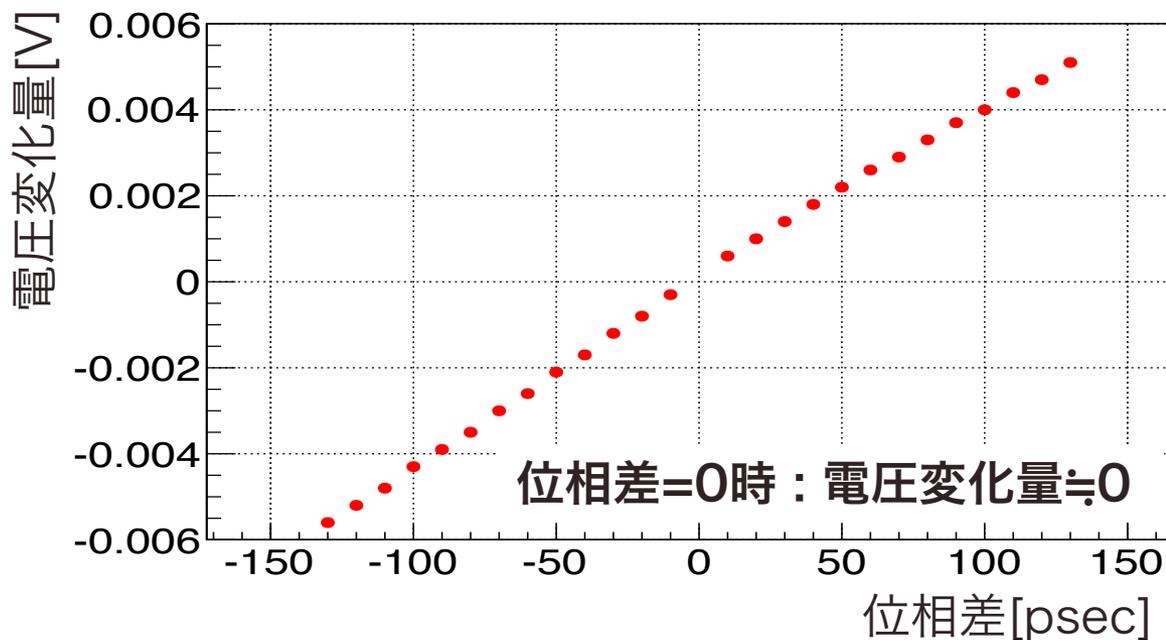


チャージポンプ(CP)

位相周波数検出器から出力された位相差を制御電圧(vcon)に変換。

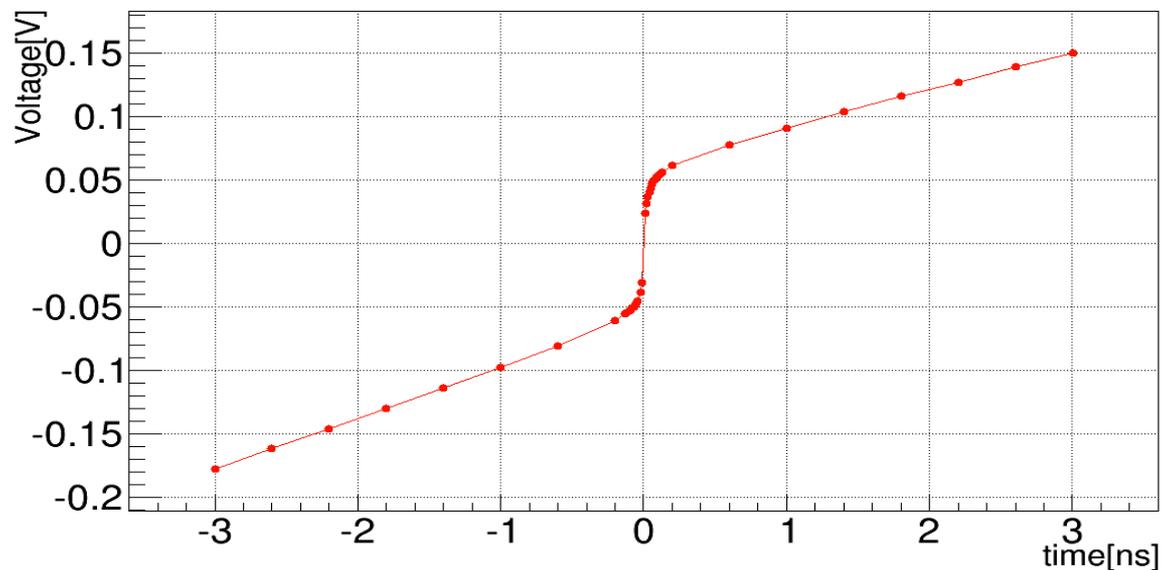
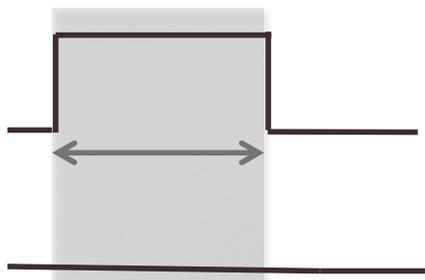


理想的: 位相差と電圧の変化量は線形的な関係
 重要な要素: 位相差=0 -> 電圧変化量=0

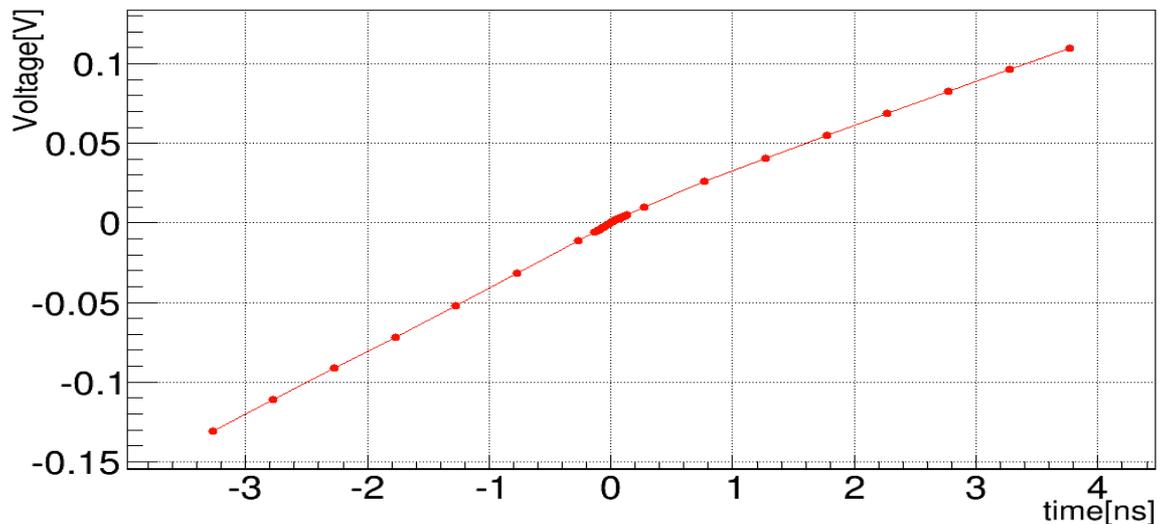
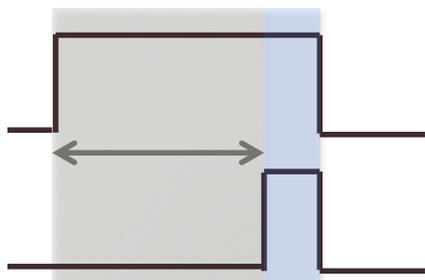


チャージインジェクションについて

位相差のみ

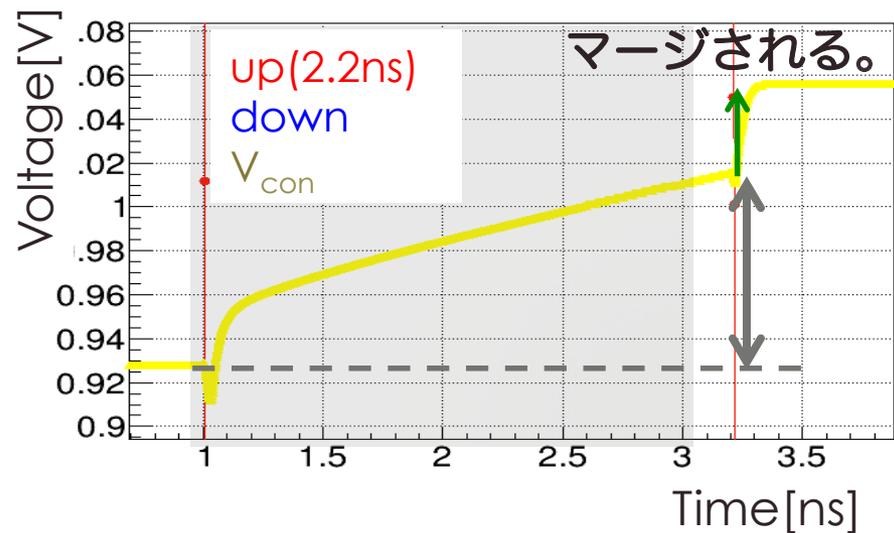
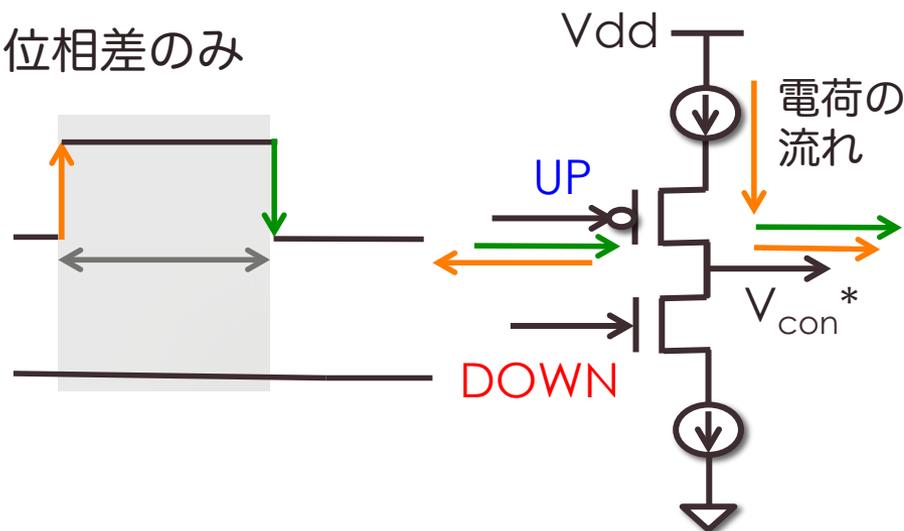


位相差+ 重なる領域(230ps)



チャージインジェクション2

位相差のみ



位相差+ 重なる領域(230ps)

