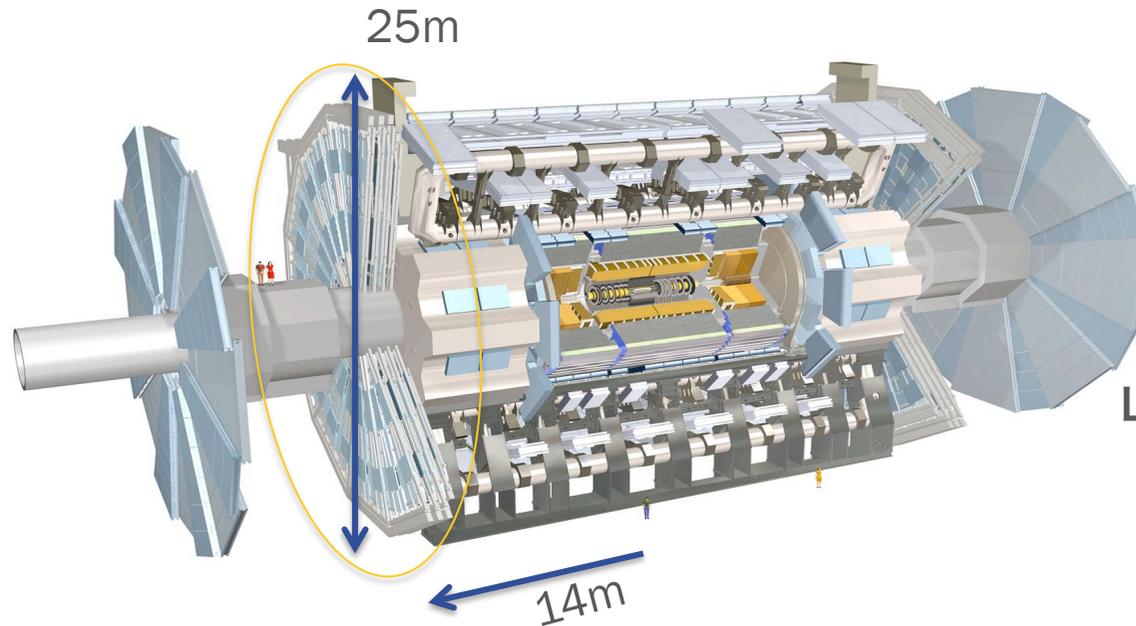


# Phase Locked Loop回路を用いた TDCの開発

名古屋大学 高エネルギー物理学研究室

M1 小野木 宏太, 臼井 主紀

# ATLAS ミューオン検出器



LHC加速器  
陽子-陽子衝突  
重心エネルギー 8TeV  
ルミノシティ  $10^{34} \text{ cm}^{-2}\text{s}^{-1}$   
バンチ間隔 25ns (50ns)

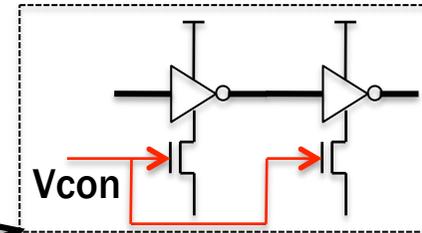
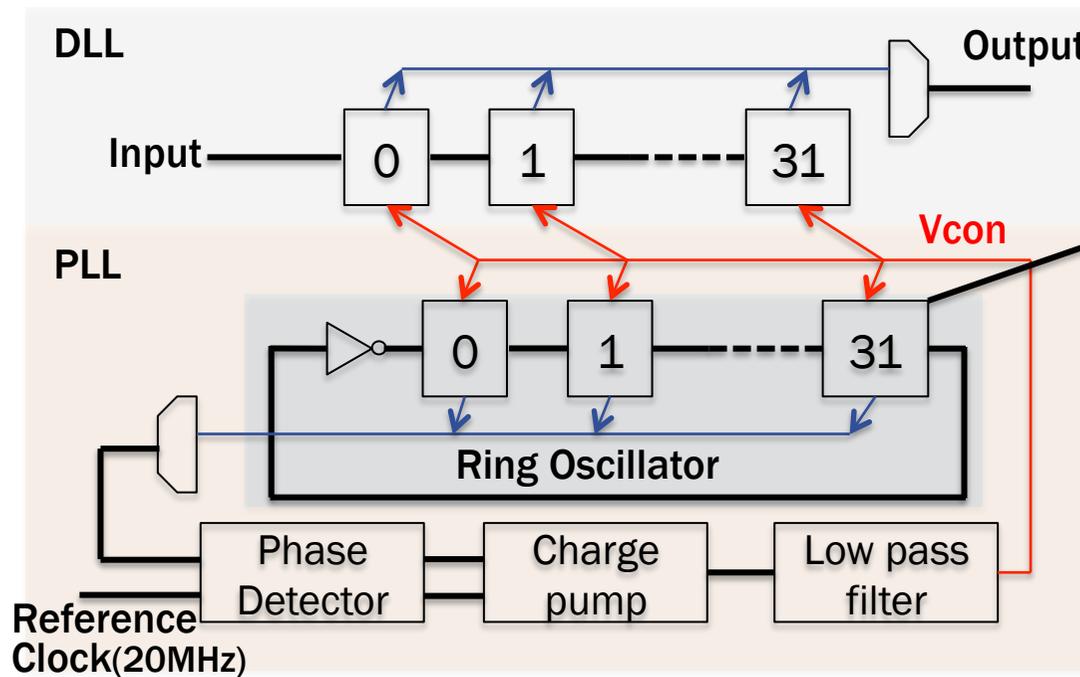
ATLASのミューオン検出器(Thin Gap Chamber)

ミューオントリガー発行 -> TOFの影響+ケーブル長  
(7枚でcoincidenceをとる) (最大25nsの検出のばらつきが発生)

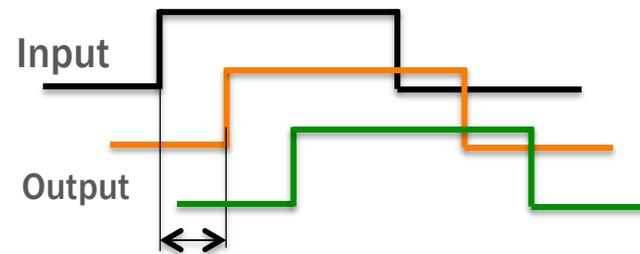


0.35プロセス(酸化膜 : 7nm, Rohm Co.)のASICを用いた遅延回路を使用

# ATLASを用いた遅延回路



インバーターペアの数により  
遅延時間が線形的に変化



例 :  $N_{PLL} \sim 32$  段の時  
刻み幅 = 0.76[ns]

PLL : Reference clockの周波数とRing Oscillator  
の周波数を同期(**Vconにより制御**)

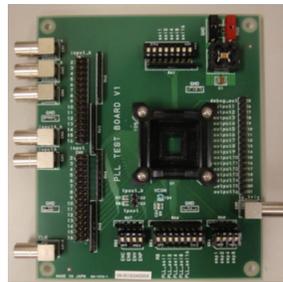
DLL : PLLで決定したVconにより 1 段あたりの刻み幅を決定  
-> 任意に遅延したInput波形をOutput

# アップグレードに向けて遅延回路の開発

Phase 2 トリガーアップグレード  
(2022年、ルミノシティ: 5倍)

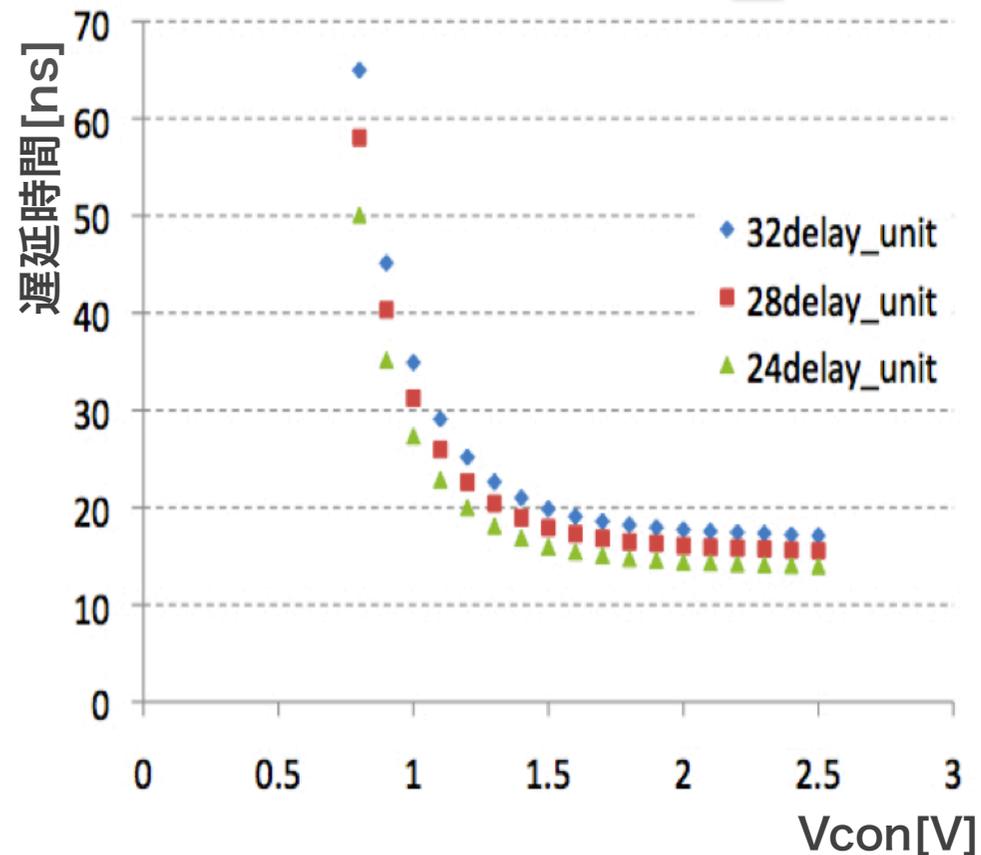
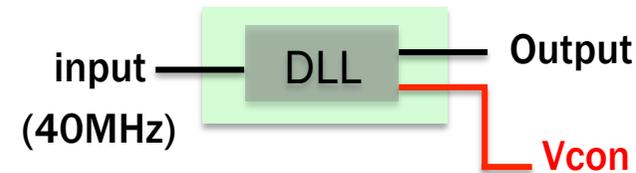


0.25プロセスの遅延回路を開発  
(酸化膜 : 5nm, UMC Co.)



結果

- 25[ns]以上の遅延時間
- 1[ns]以下の刻み幅



# 0.25プロセス遅延回路の放射線耐性

## γ線照射実験

線源：コバルト60

半減期：5.27year

β崩壊後 → γ崩壊

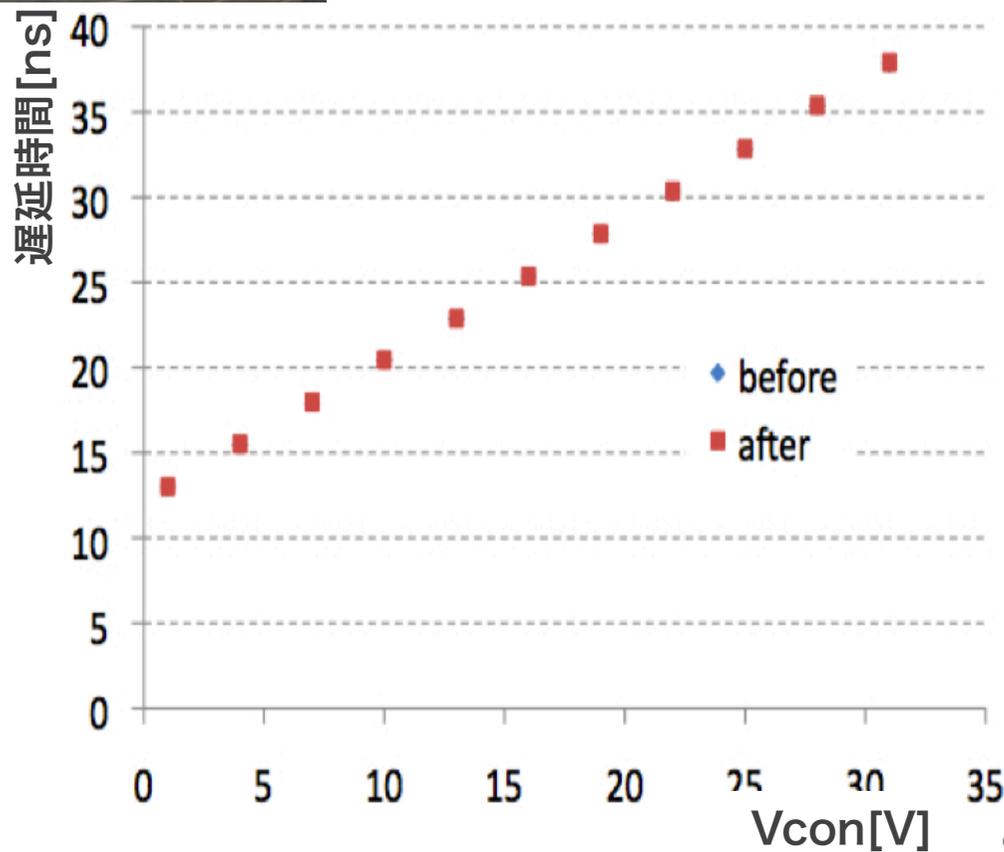
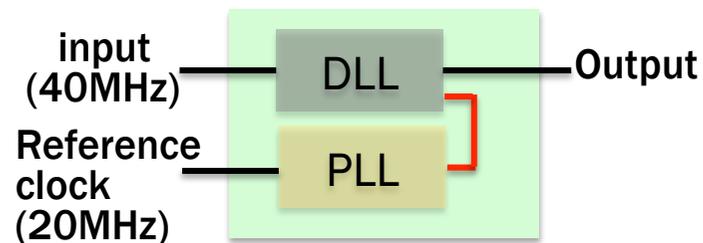
(1.17MeV, 1.33MeV)

計10kGy(1kGy/h)照射する  
前後で遅延回路の動作を比較

\*ATLASの耐放射線基準値  
→ 1.1kGy/10years

## 結果

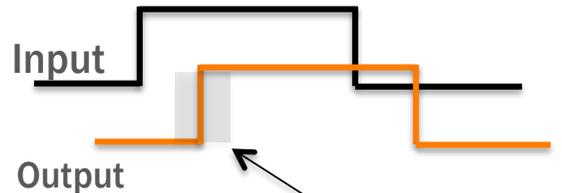
10kGyの放射線耐性



# Jitterの測定

更に刻み幅を小さくにする -> TDCの開発可能

問題点：Jitter



立ち上がり時の時間方向の  
ゆらぎ = Jitter

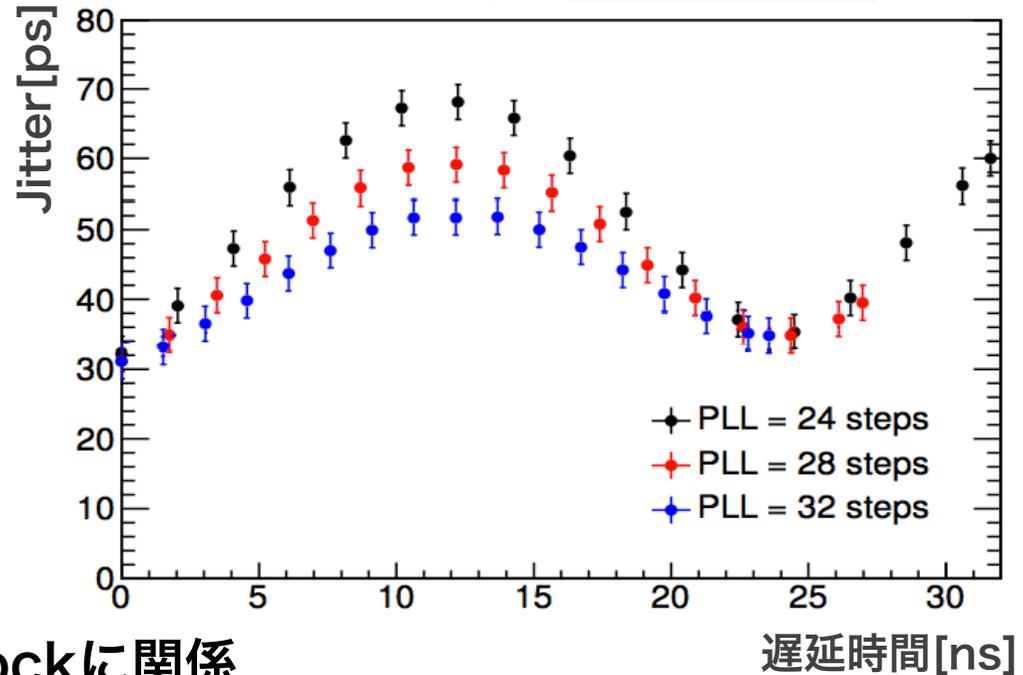
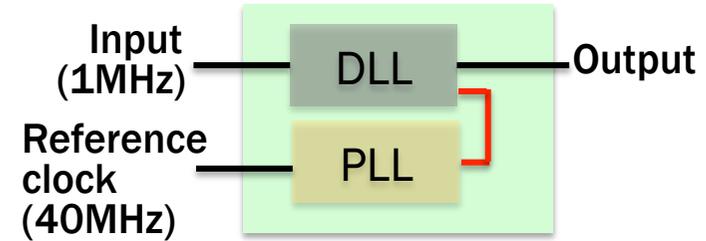
結果 -> 100ps以内

(Reference-clock : 40MHz時)

遅延時間とReference clockに関係



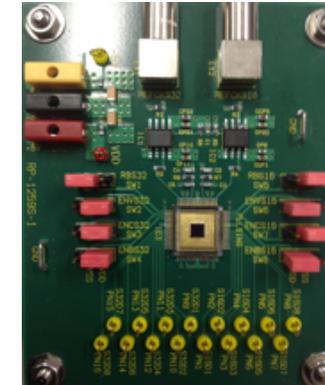
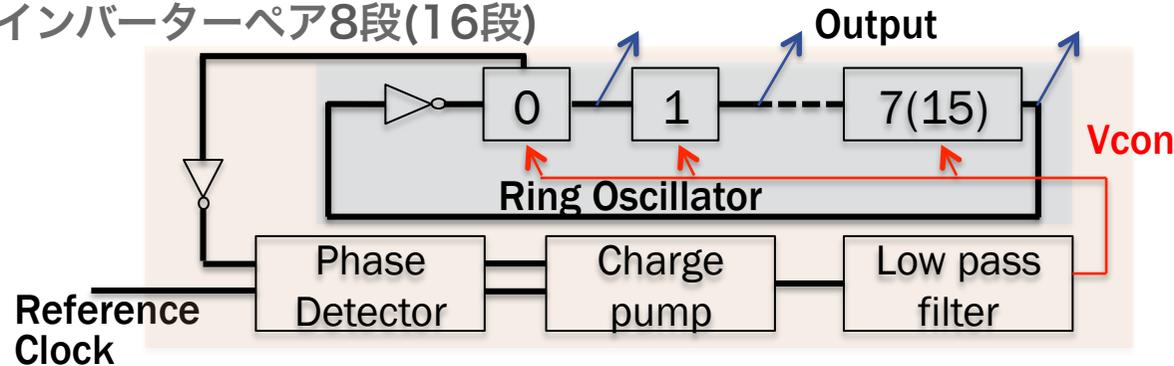
- Jitterを理解し、Jitterを減少させるために、コモンノイズに強い差動回路をPLLで製作する。



# Jitter削減を目指した回路製作

## PLLシングルエンド回路(0.5プロセス)

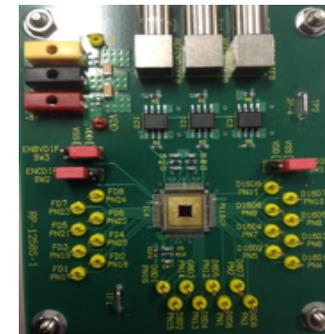
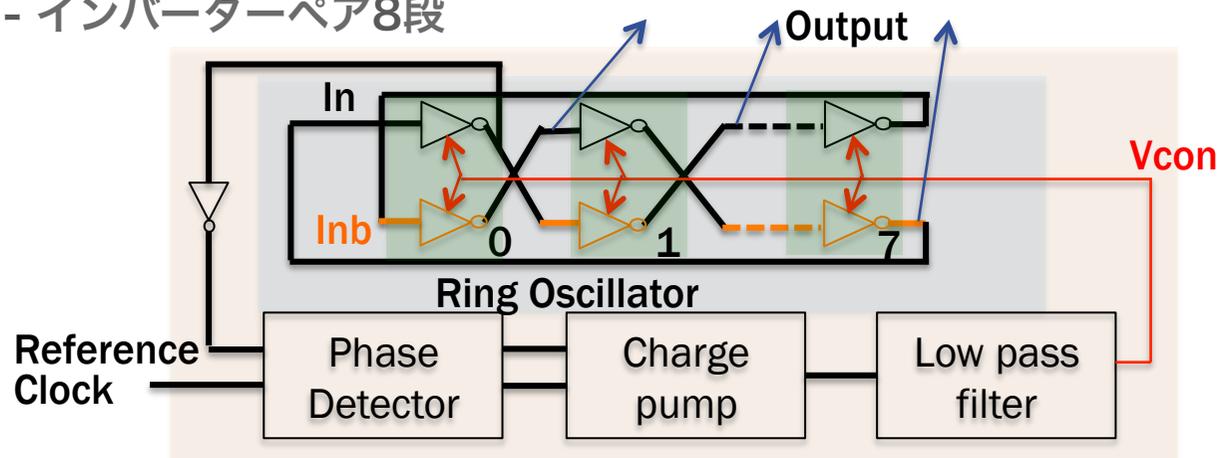
- インバーターペア8段(16段)



シングルエンド回路

## PLL差動回路(0.5プロセス)

- インバーターペア8段

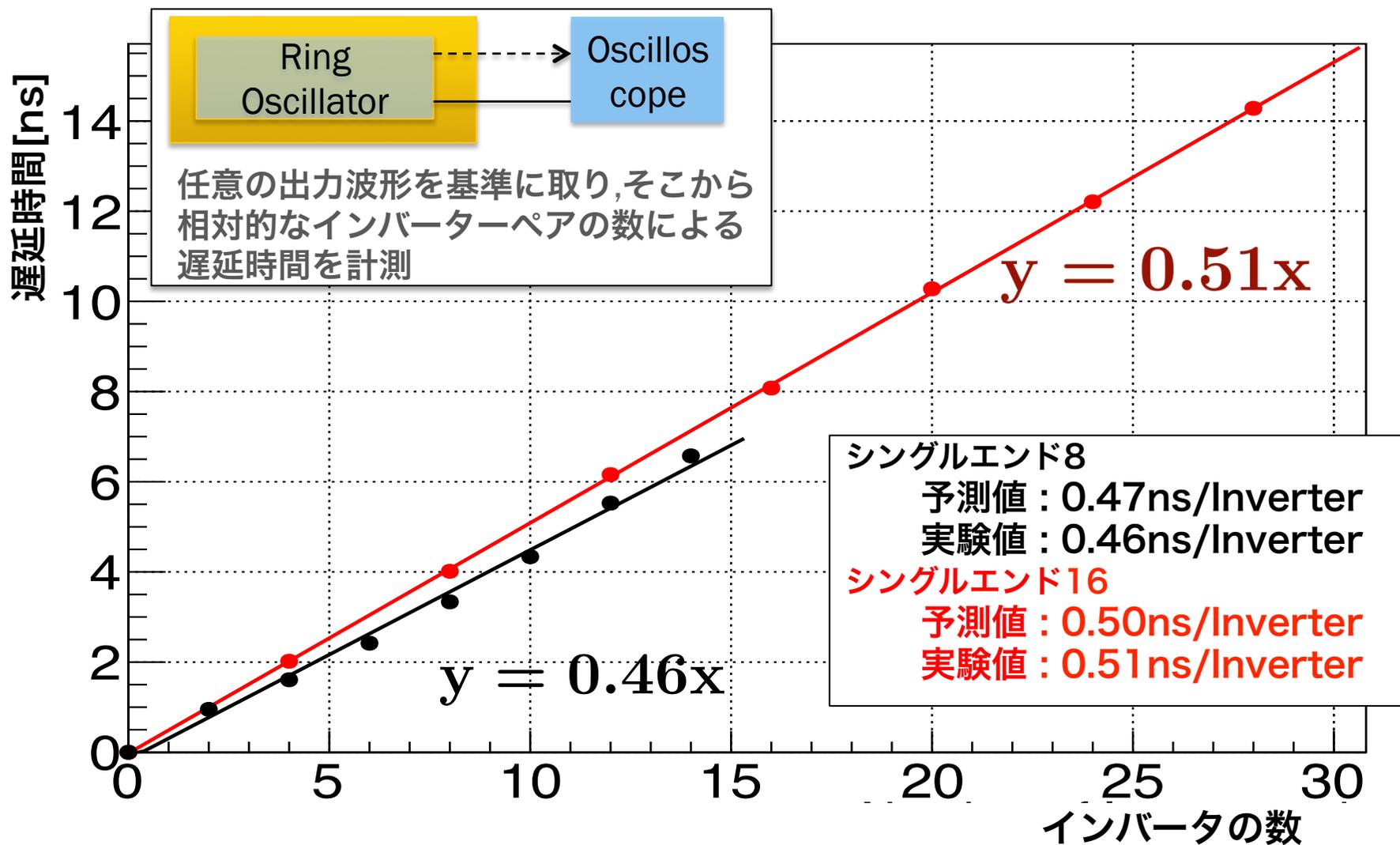


差動回路

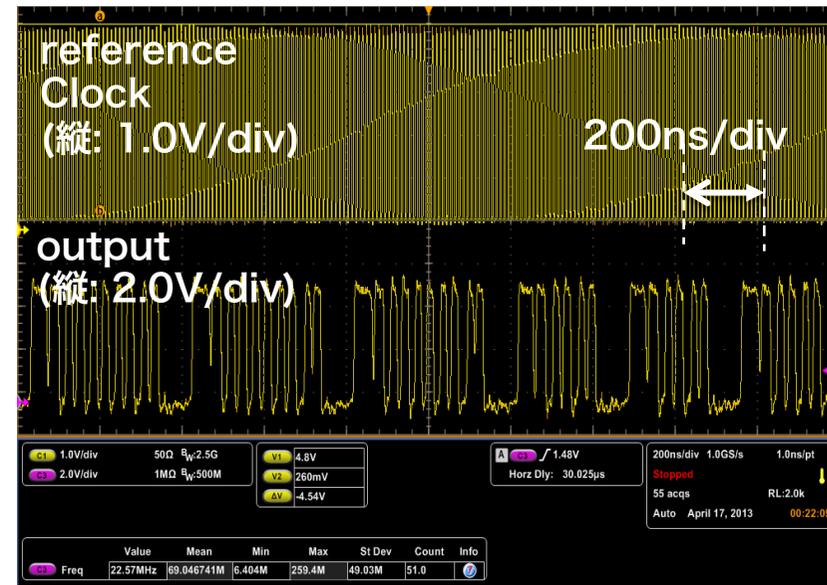
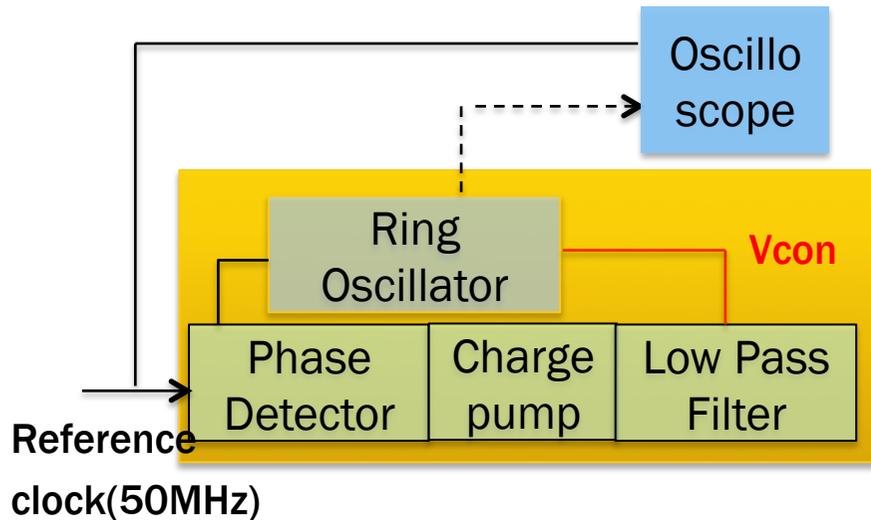
## 目的

これまでのシングルエンド回路と差動回路を0.5プロセスで制作し、比較をすることでノイズ低減によるJitterの削減を評価する。

# シングルエンド回路のリングオシレータ 動作確認



# シングルエンド回路のPLL動作確認

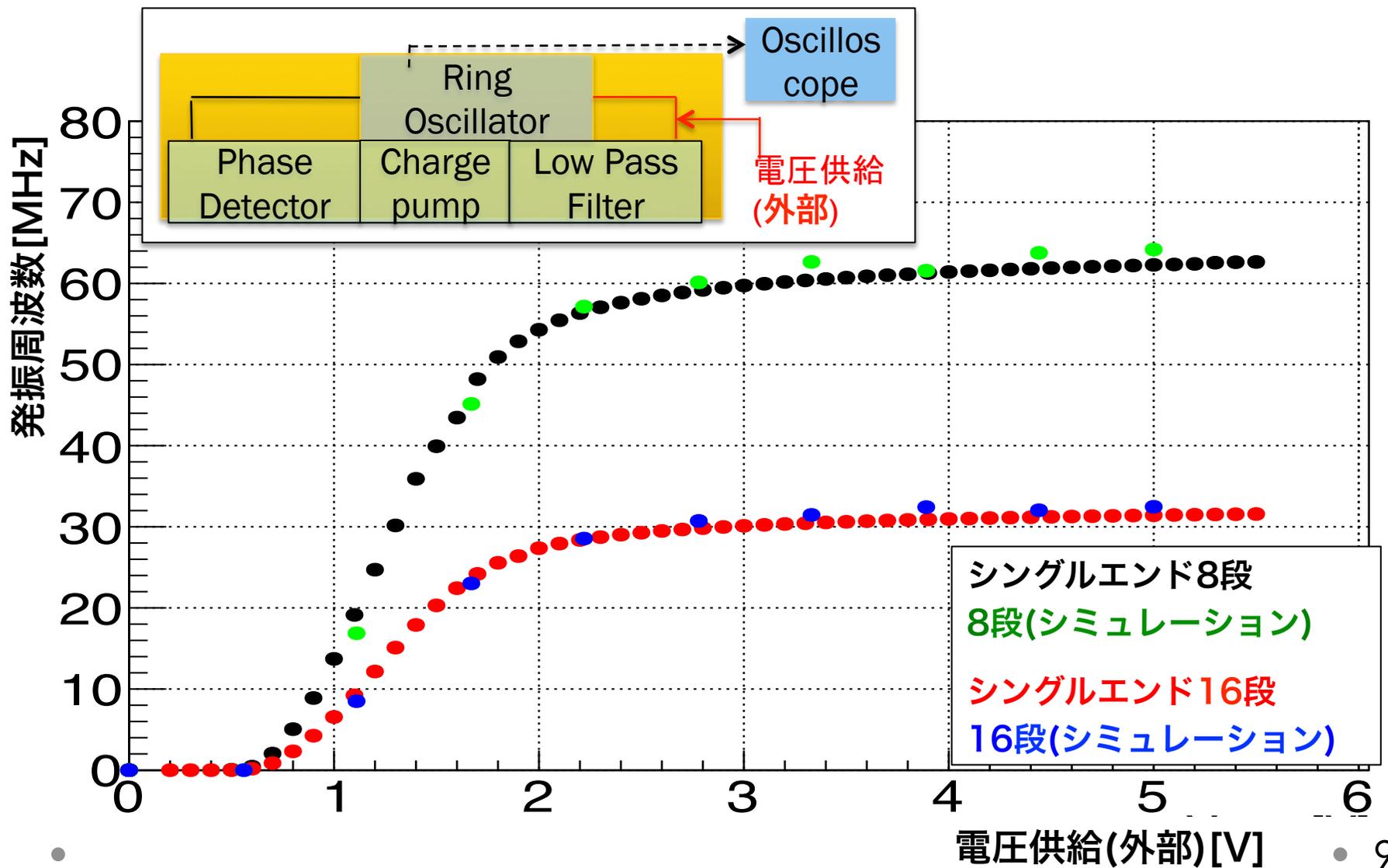


出力波形の確認

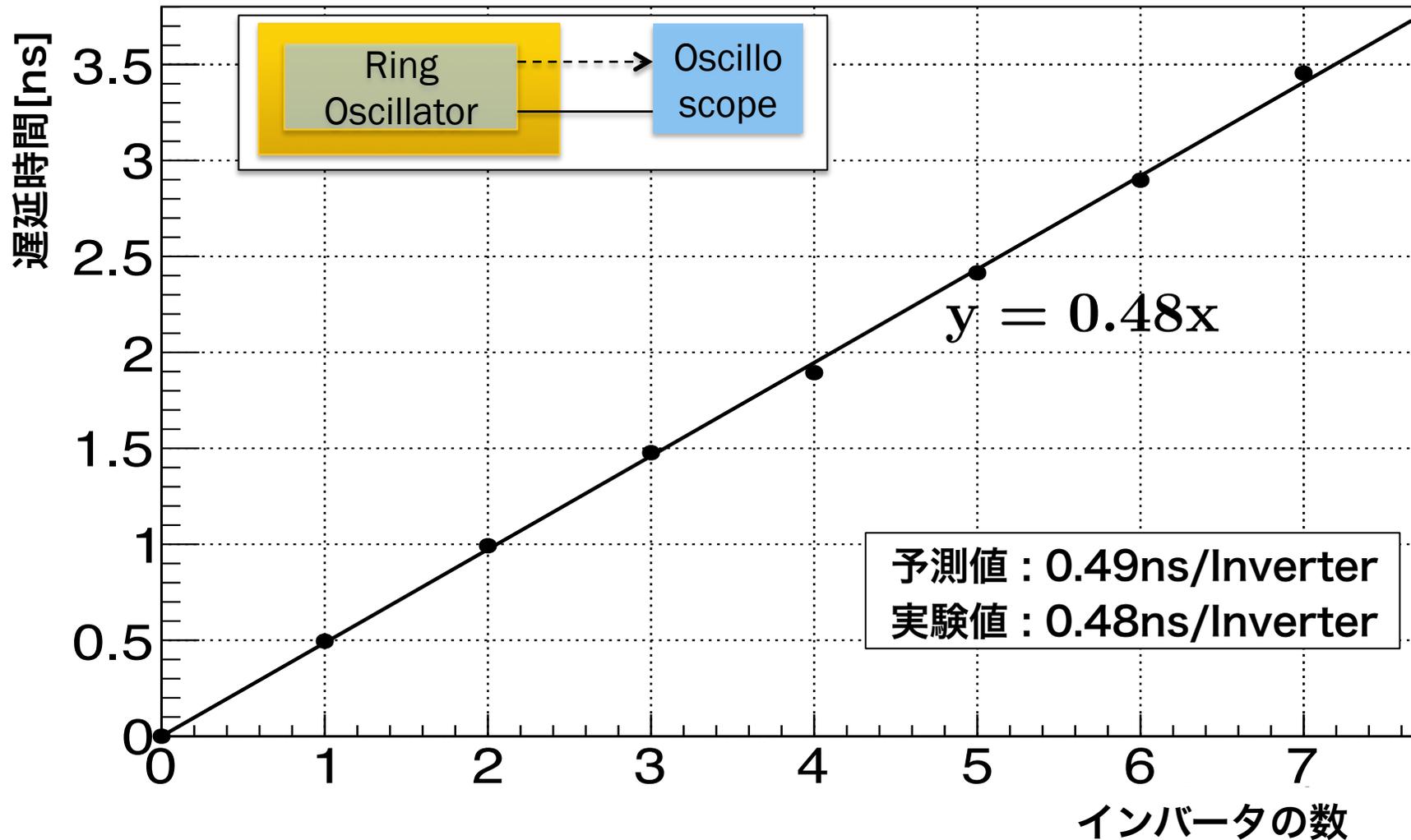
## 結果

- Reference clockと同期した出力波形が確認不可。
- Reference clockの周波数を5~75MHzまで変更して同様に行ったが、変化なし。
- Vconをプローブで確認すると常に0Vで変動しない。

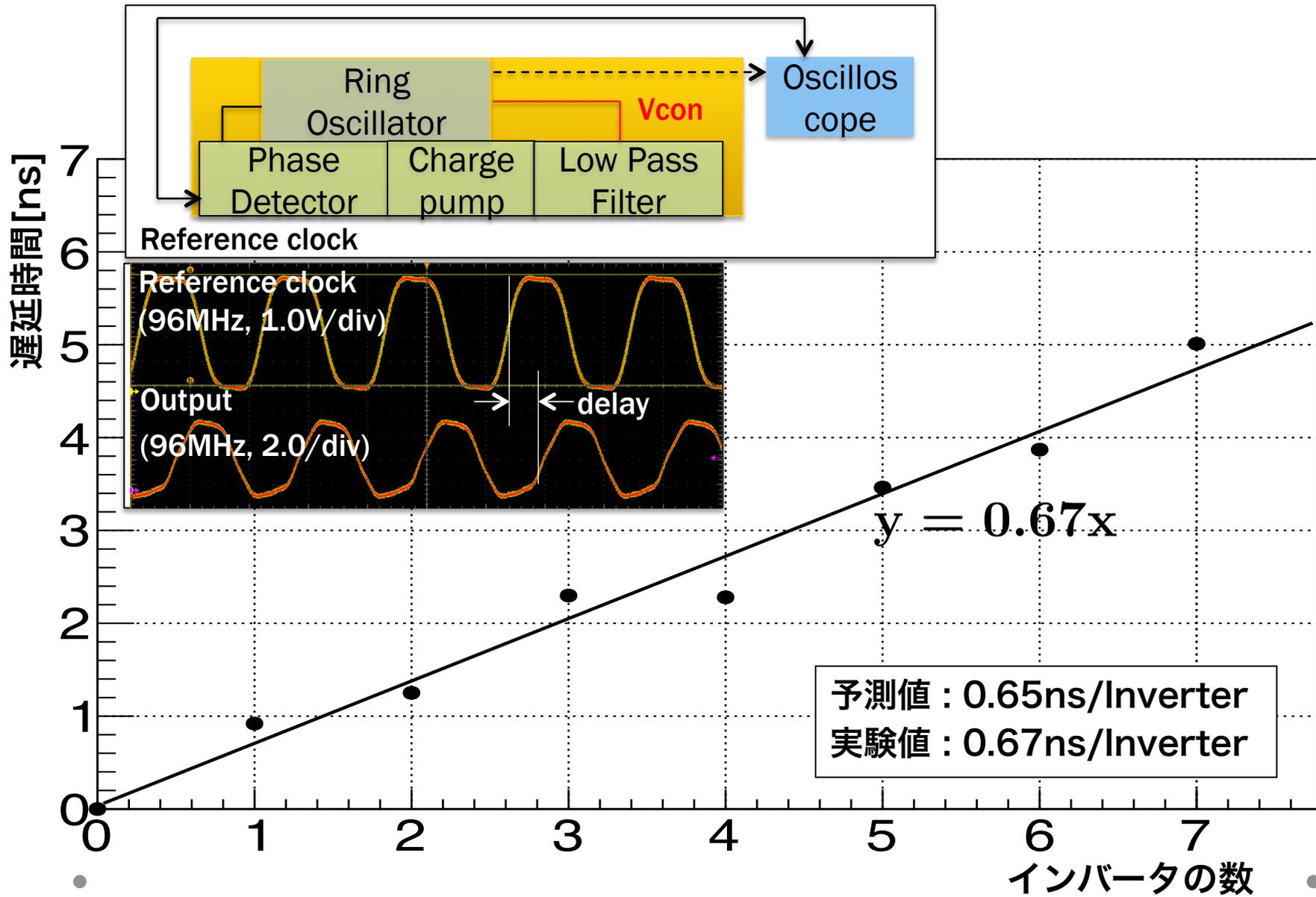
# Vcon値に依存したリングオシレータの 発振周波数測定



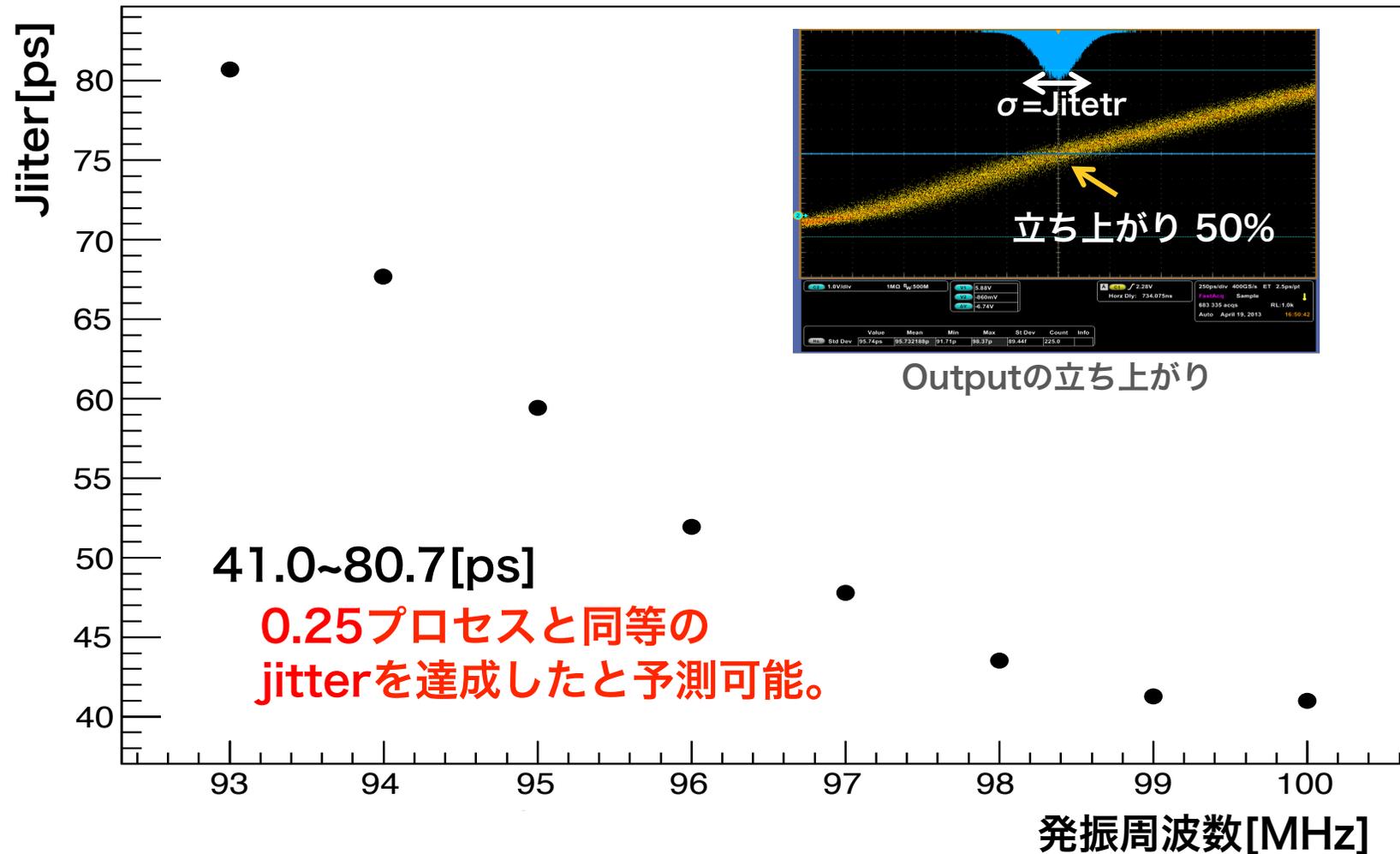
# 差動回路のリングオシレータ動作確認



# 差動回路のPLL動作確認



# 差動回路のJitterの測定



# まとめと現在の研究状況

## 0.25プロセス遅延回路

- 1 [ns]以下の刻み幅
- 10kGyの放射線耐性

## PLLシングルエンド(0.5プロセス)

- リングオシレーターによる発振を確認
- PLL動作時の出力波形確認不可



Phase Detector, Charge Pump,  
Low Pass Filterに原因があると推測

## PLL差動回路(0.5プロセス)

- リングオシレーターによる発振を確認
- PLL動作時の出力波形を確認

**0.25プロセスと同等の1 [ns]以内の刻み幅, 100[ps]以内のjitterを達成**

## 現在の研究状況

この結果を参考にして、現在0.18プロセスのTDCの開発に取り組んでいる。