

# 印刷用資料

- OPEN-IT FPGA トレーニングコース (VIVADO ツール) -

第 1.2 版

2014 年 12 月 1 日

高エネルギー加速器研究機構

素粒子原子核研究所

エレクトロニクスシステムグループ

内田 智久



1 日目 : 4.1.節で入力する HDL コード

**TEST.v**

```

1 `timescale 1ns / 1ps
2 //////////////////////////////////////
3 // Company:
4 // Engineer:
5 //
6 // Create Date: 2014/07/31 18:02:58
7 // Design Name:
8 // Module Name: TEST
9 // Project Name:
10 // Target Devices:
11 // Tool Versions:
12 // Description:
13 //
14 // Dependencies:
15 //
16 // Revision:
17 // Revision 0.01 - File Created
18 // Additional Comments:
19 //
20 //////////////////////////////////////
21
22
23 module TEST(
24     input SW_A,
25     input SW_B,
26     output LEDO
27 );
28
29     assign LEDO = SW_A & SW_B;
30
31 endmodule

```

1 日目 : 4.2.節で入力する HDL コード

TEST\_TB.v

```
1 `timescale 1ns / 1ps
2 ////////////////////////////////////////////////////
3 // Company:
4 // Engineer:
5 //
6 // Create Date: 2014/08/01 11:44:10
7 // Design Name:
8 // Module Name: TEST_TB
9 // Project Name:
10 // Target Devices:
11 // Tool Versions:
12 // Description:
13 //
14 // Dependencies:
15 //
16 // Revision:
17 // Revision 0.01 - File Created
18 // Additional Comments:
19 //
20 ////////////////////////////////////////////////////
21
22
23 module TEST_TB;
24
25     reg SW_A;
26     reg SW_B;
27     wire LED0;
28
29     TEST uut(
30         .SW_A(SW_A),
31         .SW_B(SW_B),
32         .LED0(LED0)
33     );
34
35     initial begin
36         SW_A = 0;
37         SW_B = 0;
38
39         #100 SW_A = 1'b1;
40         #300 SW_B = 1'b1;
41         #200 SW_A = 1'b0;
42     end
43
44 endmodule
```

1 日目 4.3.節、2 日目 7.2 節で入力するピンアサイン

# ピンリスト

---

Name	Site	I/O Std.	Drive Str.	On chip termination	Pull type	Slew
OSC	E3	LVC MOS33		NONE	NONE	
RST_SWn	C12	LVC MOS33		NONE	NONE	
SW_A	U9	LVC MOS33		NONE	NONE	
SW_B	U8	LVC MOS33		NONE	NONE	
SW_C	R7	LVC MOS33		NONE	NONE	
LED0	T8	LVC MOS33	12	NONE	NONE	Slow
LED1	V9	LVC MOS33	12	NONE	NONE	Slow
LED2	R8	LVC MOS33	12	NONE	NONE	Slow
LED15	P2	LVC MOS33	12	NONE	NONE	Slow

---



2 日目 : 7.1.節で入力する HDL コード

TEST.v

```

1 `timescale 1ns / 1ps
2 ////////////////////////////////////////////////////
3 // Company:
4 // Engineer:
5 //
6 // Create Date: 2014/08/01 17:17:00
7 // Design Name:
8 // Module Name: TEST
9 // Project Name:
10 // Target Devices:
11 // Tool Versions:
12 // Description:
13 //
14 // Dependencies:
15 //
16 // Revision:
17 // Revision 0.01 - File Created
18 // Additional Comments:
19 //
20 ////////////////////////////////////////////////////
21
22
23 module TEST(
24     input OSC,
25     input RST_SWn,
26     input SW_A,
27     input SW_B,
28     output LED0,
29     output LED15
30 );
31
32     assign LED0 = SW_A & SW_B;
33
34     reg [31:0] sync_counter;
35
36     always @(posedge OSC)begin
37         if(!RST_SWn)begin
38             sync_counter[31:0] <= 32'd0;
39         end else begin
40             sync_counter[31:0] <= sync_counter[31:0] + 32'd1;
41         end
42     end
43
44     assign LED15 = sync_counter[28];
45

```

46 | endmodule

2 日目 : 7.2.節で入力する HDL コード

TEST\_TB.v

```

1 `timescale 1ns / 1ps
2 ////////////////////////////////////////////////////
3 // Company:
4 // Engineer:
5 //
6 // Create Date: 2014/08/01 17:17:36
7 // Design Name:
8 // Module Name: TEST_TB
9 // Project Name:
10 // Target Devices:
11 // Tool Versions:
12 // Description:
13 //
14 // Dependencies:
15 //
16 // Revision:
17 // Revision 0.01 - File Created
18 // Additional Comments:
19 //
20 ////////////////////////////////////////////////////
21
22
23 module TEST_TB;
24
25     reg CLK100M;
26     reg RST_SWn;
27     reg SW_A;
28     reg SW_B;
29
30     wire LED0;
31     wire LED15;
32
33     TEST uut (
34         .OSC (CLK100M),
35         .RST_SWn (RST_SWn),
36         .SW_A (SW_A),
37         .SW_B (SW_B),
38         .LED0 (LED0),
39         .LED15
40     );
41
42     initial begin
43         SW_A = 0;
44         SW_B = 0;
45

```

```
46     #100 SW_A = 1'b1;
47     #300 SW_B = 1'b1;
48     #200 SW_A = 1'b0;
49     end
50
51     parameter PERIOD = 10;
52
53     always begin
54         CLK100M = 1'b0;
55         #(PERIOD/2);
56         CLK100M = 1'b1;
57         #(PERIOD/2);
58     end
59
60     initial begin
61         RST_SWn = 1'b0;
62         #700 RST_SWn = 1'b1;
63     end
64
65 endmodule
```

2 日目 : 10.節で入力する HDL コード

**TEST.v**

```

1 `timescale 1ns / 1ps
2 ////////////////////////////////////////////////////////////////////////////////////////////////////////////////////
3 // Company:
4 // Engineer:
5 //
6 // Create Date: 2014/08/01 17:17:00
7 // Design Name:
8 // Module Name: TEST
9 // Project Name:
10 // Target Devices:
11 // Tool Versions:
12 // Description:
13 //
14 // Dependencies:
15 //
16 // Revision:
17 // Revision 0.01 - File Created
18 // Additional Comments:
19 //
20 ////////////////////////////////////////////////////////////////////////////////////////////////////////////////////
21
22
23 module TEST(
24     input OSC,
25     input RST_SWn,
26     input SW_A,
27     input SW_B,
28     output LED0,
29     output LED15
30 );
31
32     wire mmcm_reset;
33     assign mmcm_reset = ~RST_SWn;
34
35     wire CLK200M;
36     wire sys_reset;
37
38     sys_mmcm mmcm_1
39     (
40         // Clock in ports
41         .clk_in1(OSC),          // input clk_in1
42         // Clock out ports
43         .clk_out1(),           // output clk_out1
44         .clk_out2(CLK200M),    // output clk_out2
45         // Status and control signals

```



```
46     .reset(mmc_reset), // input reset
47     .locked(sys_reset)); // output locked
48
49 assign LED0 = SW_A & SW_B;
50
51 reg [31:0] sync_counter;
52
53 always @(posedge CLK200M)begin
54     if(!sys_reset)begin
55         sync_counter[31:0] <= 32'd0;
56     end else begin
57         sync_counter[31:0] <= sync_counter[31:0] + 32'd1;
58     end
59 end
60
61 assign LED15 = sync_counter[28];
62
63 endmodule
```