

加速器科学総合支援事業  
高度化エレクトロニクス  
要素技術の普及と展  
開

2008~2009 報告書

2010年2月4日 田中真伸



## 目 次

はじめに	3
全体のまとめと今後	4
2008年度 ASIC training course 概要及びまとめ	6
FPGA training course 概要及びまとめ	7
DAQ training course 概要及びまとめ	8
2009年度 Advanced electronics seminar 概要及びまとめ	9
ASIC training course 概要及びまとめ	10
FPGA training course 概要及びまとめ	11
DAQ training course 概要及びまとめ	12
謝辞	13
各セミナーのホームページ	14
参加者等統計データ	15
2008年度 ASIC training course 発表プレゼンテーションのまとめ	
低消費電力フロントエンド 京都大学 岩城智	16
6bit DAC 東北大学 板垣憲之輔	17
ワイドダイナミックレンジフロントエンド 横浜国立大学 片寄祐作	20
高速フロントエンド 京都大学 身内賢太郎	23
低雑音フロントエンド 佐賀大学 東貴俊	26
アナログ読み出し用フロントエンド 佐賀大学 山口博史	32
2009年度 ASIC training course レポート	
AMC 用 ADC の開発 東京大学 阿部利徳	33
ASIC 製作経過報告 首都大学東京 岩田修一	54
RIKENDGCSP 理化学研究所 黒川明子	59
GEM 用 amp&セルフトリガー回路の製作 (TKYGEMFE2009) 東京大学 小松雄哉 榎本新一	67
He3 中性子検出器用 多チャンネルプリアンプ仕様 高エネルギー加速器研究機構 物質構造科学研究所 佐藤節夫	76
中性子シンチレータ検出器用 多チャンネルプリアンプ 高エネルギー加速器研究機構 物質構造科学研究所 瀬谷智洋	83
MPPC 基礎特性評価用プリアンプディスクリミネータ 名古屋大学 綱田啓	91
BELLE II 実験用 SOI ピクセル検出器のプリアンプ ASIC 東北大学 堀井泰之	93

## はじめに

加速器科学、関連サイエンスの分野において、必須となるエレクトロニクス関連技術のレベルはきわめて高く、ASIC（特定用途集積回路）、FPGA（変更可能なデジタル集積回路）などがその代表である。現在加速器科学関連分野でのシステム構築は、アナログ信号処理や論理回路の構成などに関し、産業用とは異なるアプローチが多く研究者自らがカスタマイズする必要が日増しに高まってきているが、必要とされる素養、技量などを、専門でない人間が身につける機会・場所はほとんど無く、高度な技術へのアクセスやその恩恵を享受することは、今後更に難しいものとなってくる。本事業は、1) ASIC のデザイン/試作/評価など、その技術の一端を扱える、2) FPGA を自在に扱うためのファームウェアプログラミングのできる、3) DAQ ソフトウェア技術を駆使しネットワークベースデータ収集システムを構築することの可能な関連分野の若い研究者・技術者を育てる教育プログラムである。これにより、これら最新のエレクトロニクス技術を扱うことのできる人材を全国の関連分野に多く輩出し、将来の加速器科学とその周辺サイエンスの一層の発展に寄与してもらうことを目的とする。

前述のように、現代のエレクトロニクス、DAQ を駆使していく上で必須の技術は、

- ・改まって学ぶにはあまりに敷居が高い（知識の収集をどうすればいいかわからない）
- ・各大学研究室の単位では、きちんとはじめることはきわめて困難である
- ・実践的な開発まで行うための時間がかかりすぎる

などの問題があり、多くが二の足を踏んでいるのが実情である。実践的な利用を念頭において、KEKのような共同利用研究機関においてこのようなコースを始めることで、

- ・すでに蓄積されている KEK 内の技術及び経験を広く内外に伝えることで技術の伝承を図り
- ・誰が、どのグループがどのような技術を持っているかを内外に伝え共同研究のシーズの掘り出しと研究を促進し

その中で、若い研究者の中に高度なスキルを身につけるものが多く輩出されることは、関連分野の発展のためにきわめて有用である。またこのコースを続けることにより、KEKにおいても有形無形の貴重な技術蓄積とネットワークができ、今後の関連技術の大きな展開が期待できる。

## 全体のまとめと今後

2008～2009 年 2 回講義、実習等を実施しこのような技術的セミナー等の需要は強いということが明らかとなった。特に自費で参加していただいた大学 4 年生も含め、大学院生、若手スタッフの熱気が講師陣に直接伝わり、当該アクティビティを高めていただけたのは幸いであった。今後もこの活動を続けていく必要があることは明らかであるが講義、実習内容をより効果のあるものにするため、来年度以降下記の点に注意し企画を行う必要がある。

- ・講義と実習をわけ、受講者には講義に関しては実習への導入部としてとらえてもらう。このようにすることで目的意識を明確にし、より実践的で深い理解をしてもらう。
- ・上記に関連し更に初心者用のセミナーが必要であれば、別途機会を設けることにする。(アンケートをとりながら決める)
- ・実習は講師が充分目の行き届く人数に絞り、講義を行う。これは ASIC, FPGA, DAQ それぞれ適正人数が異なる為各グループで別途検討する。また必要であれば開催期間を延ばす。

これら以外に検討すべき重要な点として

1. 受講者からその他の学生、スタッフへの情報の伝達を積極的にできないか。
2. 教育効果は大きい負担の大きい実習を如何に長続きさせるか。
3. 教育の効果を交流も含め実際の研究活動へどのようにつなげていくか。(受講者、講師共に)

上記を効率的に解決するためのモデルとして Open source consortium を提案し 2010 年以降活動を行う。このモデルの要点は、A) 教育・実習レベルを 2 段階に分ける。B) KEK 外に拠点を作れるように活動し拠点ネットワーク間で相補的に活動する。C) アカデミック用途にはできるだけオープンソース化する。

上記 1 と 2 に関しては図 1 の Open source consortium 内の人間が負担することで解決可能となる。また 2 段階に分けたことでそれぞれの負担も軽くなる。3 に関しては入門段階においてシーズをくみ取り Open source consortium に組み込むことは可能であり、且つオープンソースにしたことで一度製作したものが再利用可能になるため開発、研究がリスク少なく遂行できる利点も持つ。日本においては加速器科学を進めるうえでの必須技術を持った人材の確保と処遇、及びその組織化が弱いため、現状ではこのような方法を取りながら組織、人材面での強化するのが現実的であろうと思われる。

注) Open source consortium : ASIC、FPGA、PCB デザイン、DAQ ソフトウェア等のリソースをアカデミック用途にかぎってオープン化し、共有、改良、新規開発を行い計測システム開発研究のアクティビティを向上させる狙いを持つ。幾つかの拠点からなり、拠点間で連携を行い新規開発、人材育成等の協力を行う。

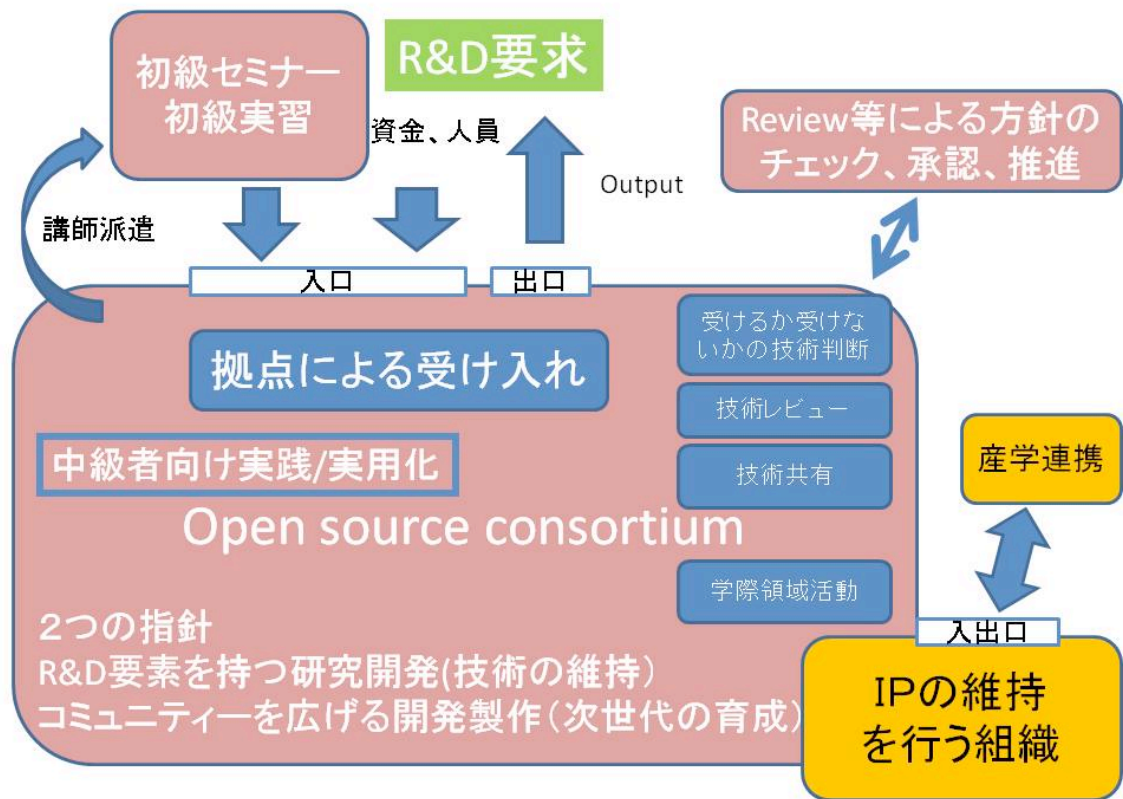


図1 Open source consortium

## 2008 年度 ASIC training course 概要及びまとめ

目的：特定用途向け集積回路 ASIC (Application Specific Integrated Circuit) は先端の測定器開発には欠かせないものとなっているが、その開発にはプロセス 技術、回路設計技術などのいくつかの技術が含まれており初心者にとって敷居が高い。そこで講義においてアナログ回路設計、ノイズ、半導体プロセスなどの知識になじみ、計算機を用いた実習及び自分自身の手によるアナログ ASIC の製作を通し、ASIC 開発にあたって必要となる基礎知識の習得を目指す。

実施時期：2008 年 9 月 8 日 (月) から 12 日 (金)

講義内容：コース 1 は新日本無線の BiCMOS プロセスをベースにトランジスタ及びアナログエレクトロニクス、ノイズの講義を行い、実習においてシミュレータを用い基礎を身につけた。コース 2 は沖セミコンダクタの SOI プロセスを用い LSI プロセスの回路設計、レイアウト設計について講義、実習をおこなった。コース 3 では TSMC 社 CMOS プロセスを用い ASIC 製作を行い、実践的な開発フローを身につけてもらうため講義と実習を行った。

- ・ コース 1 9 月 8 日 (9:00-17:00) 担当：谷口敬、島崎昇一  
講義：アナログ信号処理の基礎およびノイズについて  
実習：BiCMOS プロセスを用いたプリアンプのシミュレーション
- ・ コース 2 9 月 9 日 (10:00-17:00) 担当：新井康夫、田内一弥  
講義：CMOS アナログ・デジタル回路の基礎  
実習：CMOS 回路シミュレーションと SOI Pixel レイアウト
- ・ コース 3 9 月 10～12 日 (9:30-17:00) 担当：藤田陽一、田内一弥、その他共同研究員  
講義：ASIC 製作に使用するアナログライブラリの解説及び製作フローの説明  
実習：CMOS アナログライブラリを用いた ASIC 製作実習

結果：このような講義がないため来年度も開講してほしいという要求が多かった。かなり詰め込んだ講義内容であったため、もっと時間をかけてほしいとの要望も多く、講義内容をどのように絞って、内容を伝えるかは今後の課題となった。

一方講義の内容を実習によってフォローしながら進むという方式は聴講者に好評であったが午前中講義、午後実習というのは準備する側にとって負担が大きいため、今後実習内容もかなり絞る必要がある。よって 2009 年度からは講義のみのセミナーと講義+実習で実際に ASIC を製作する training course とを分離することにした。実際の ASIC 製作については 30 人程度が参加しレイアウトまで到達した受講者が半数近く、最終的にサブミットしたものが 10 人であった。

## 2008 年度 FPGA トレーニングコース 概要及びまとめ

目的：デジタル集積回路技術の一つである Field Programmable Gate Array (FPGA) の使い方の講習会。回路設計未経験者から経験者を対象にし実践での使い方を重視した。

実施時期：2008 年 9 月 2 日（火）から 4 日（木）

講義内容：自ら設計した簡単な回路を実装して動作確認するまでを実習により習得する事で FPGA を知ってもらう事を目標にした。対象者を未経験者から経験者まで広げる事で FPGA を知る機会を増やした。未経験者は初日から、経験者は途中から参加できるように 5 つの選択性コースを設けた。全コースを受講する事で簡単な回路設計から FPGA への実装および動作確認の体験、近年の技術動向などを知る事が出来るようになっている。

- コース 1. 入門編 - FPGA 設計の基礎としてデジタル回路入門（実習形式）
  - 未経験者を対象にした回路設計入門 担当：内田智久
- コース 2: 初級編 - ツールの使い方を中心にした実践的設計法（実習形式）
  - 回路設計経験者を対象にした FPGA 開発ツールの使用方法 担当：内田智久
- コース 3: 中級編 - FINESSE モジュールの実践的設計手法（講義形式）
  - 実際の回路開発手法や注意点 担当：田内一弥
- コース 4: ザイリンクス社 FPGA の紹介（講義形式）
  - 企業による製品動向 担当：東京エレクトロニクス
- コース 5: 応用編 - SiTCP の使い方（講義形式）
  - FPGA に組み込み可能なネットワークプロセッサの紹介 担当：内田智久

結果：参加者は 41 人、全体的に好評であった。注目した意見として期間の延長を希望する希望する学生が数名いたことがある。FPGA を使えるまで学びたいと考えている事が分かった。彼らの様な意欲ある学生の要望に応える事が大切なので内容変更を検討する。

各コース毎にアンケートを行った結果、概ね以下の結果を得た。

- 今後 FPGA 開発に挑戦したいか（100%）
- 良く理解できた+理解できた（90%程度）
- 後輩に勧めたいと思う（50%程度）



## 2008 年度 DAQ トレーニングコース 概要及びまとめ

目的：ネットワーク分散 DAQ システムの理解を進め、DAQ ミドルウェアなどの DAQ ソフトウェアの使い方や開発方法、基本となるソフトウェア技術の習得を目的とする講習会。

実施時期：2008 年 8 月 4 日（月）から 6 日（水）

講義内容：DAQ の初心者から参加できる講義と実習を目指しました。初日は、DAQ の概要とその関連技術についての講義を設けました。2 日および 3 日目は、2 つのコースに分け、1 つは、DAQ の基本となるハードを含む読み出しの方法を実習を通して学んでいただくもので、もう 1 つは DAQ ミドルウェアを、実習を通して学んでいただくものでした。

- DAQ 概要：講義形式 担当：仲吉一男
  - DAQ システムの基本要素である、データ読み出し、オンライン解析、トリガーについて。DAQ システムの構築について。
- DAQ における並列プログラミング：講義形式 担当：五十嵐洋一
  - 並行処理の基礎と問題点やデータ収集における並列プログラミングの実際
- DAQ のためのネットワーク：講義形式 担当：安芳次
  - ネットワーク入門と TCP/IP ソケット通信およびネットワーク分散型 DAQ
- 解析ツール (ROOT)：講義形式 担当：鈴木聡
  - ROOT でグラフを表示する方法。ROOT でのデータの格納とその加工
- DAQ のための可視化技術 (Web)：講義形式 担当：藤井啓文
  - Web の便利さとその仕掛け (実例を交えて)
- DAQ 実習 DAQ のからくりと実装：実習形式 担当：五十嵐洋一、児玉英世
  - 読み出しハードウェアを理解し、データを読んでファイルに書き込んだり、ネットワークを介してデータを読む。そのデータを表示したりオンライン表示したりし、最終的にはそれらを統合する。
- DAQ 実習 DAQ-Middleware：実習形式 担当：仲吉一男、安芳次、千代浩司、井上栄二
  - 概要とコンポーネントの説明ののち、DAQ-Middleware を使ったテストシステムを紹介した。その後はネットワークプログラミングを実習して、DAQ-Middleware のインストール、環境設定、動作確認ののち、コンポーネントの作成。

結果：参加者は 34 人、アンケート調査の結果は、全体的に好評であった。特に ROOT の講義は評価が高かった。ただ、初心者にとって C++ 言語は敷居が高く、準備をする方も受講する方も不十分だったようだ。この場合は対象者を絞ったやり方など、今後の工夫が求められた。

## 2009 年度 Advanced electronics seminar 概要及びまとめ

目的：2008 年度の一連の講習会実施後に取ったアンケートの結果、training course と別に講義のみ聞きたいという要望が多くありその目的のため講義形式のセミナーを企画した。本セミナーでカバーする内容は特定用途向け集積回路(ASIC)と FPGA である。また 2009 年度の ASIC,FPGA,DAQ training course を受ける人には必修とし、各 training course 受講時には実習に専念できるように考慮した。

実施時期：2009 年 7 月 27 日（月）から 31 日（金）

講義内容：アナログデジタル技術が計測機器のどの部分に使用されているか及びその構成等についてトップダウン方式で解説し概要を理解してもらった後、バイポーラトランジスタ及び MOS トランジスタの動作原理及びそれを使用した設計の講義を行った。その中でノイズ理論の紹介、種々の CMOS LSI プロセスの回路設計、レイアウト設計について解説を行った。デジタル回路に関しては動作解説を感覚的に説明し実際にどのように使用したらよいかを解説した。最終日には過去の ASIC 製作経験者（学生、スタッフ等）に話をしてもらい、技術をより身近に感じてもらえるよう考慮した。

- 7 月 27 日：初心者用アナログ ASIC セミナー（1 日）講師 田中真伸（KEK）
- 7 月 28 日：アナログ信号処理入門（1 日）講師 谷口敬（KEK）
- 7 月 29 日：CMOS ASIC 入門（1 日）講師 新井康夫（KEK）
- 7 月 30 日：FPGA、デジタル回路入門（1 日）講師 内田智久（KEK）
- 7 月 31 日：ASIC 製作の実際について 座長 池田博一（JAXA）
  - 講師：岩城 智（京都大学）
  - 片寄 祐作（横浜国立大学）
  - 東 貴俊（佐賀大学）
  - 田中 真伸（KEK）

結果：大学、大学院等でこのような講義がないため講義はもっと時間をとってやってほしいという声が多かった。一部講義内容が難しいという声ともっと知りたいという声の両方が出ており聴衆のレベルがかなりばらついていることが確認できたため、今後ターゲットをどこに絞るのかを今後検討していく必要があるが、実際に応用できるようにすることが目的であるため内容は高度にならざるを得ない。最終日に前年度 ASIC training course 受講者 3 人に経験談を話してもらえたのは好評であった。また受講者の一部は当該技術スキルが身につけており前年度プログラムがうまくいっていることが確認できた。また企業からの参加者が数人 2 年間続いているため今後このような方の参加にどう対処するかを検討する必要がある。（アカデミック外のコミュニティとの連携について）

## 2009 年度 ASIC training course 概要及びまとめ

目的：2008 年度では講義と実習を 5 日間に詰め込んだために、受講者にとっては理解し身につけるための時間が足りなかった。よって 2009 年度では講義と実習を分け、講義は“advanced electronics seminar”として分離し、実習部分の役割を 2009 年度の ASIC training course に受け持ってもらった。また参加者の 80%以上に自分で製作した ASIC のテストを行い結果を出してもらうため、事前に何を製作したいかをレポートで書いてもらいそれを基に受講者を 10 人程度に絞った。このようにすることで成功率を上げ且つ資金の有効利用を図った。

実施時期：2009 年 9 月 14 日（月）から 18 日（金）

講義内容：初心者を対象にした ASIC 製作を実習形式で学ぶ。現在まで KEK 製作し動作確認されているアナログライブラリを使用することで、集積回路製作の初心者にも放射線検出器用アンプ等を製作してもらい、ASIC 製作を通じて実践的な開発フローを身につけてもらう。最初に、すでに製作され動作している ASIC を題材として、全体の構成および構成要素であるプリアンプ、シェイパー、コンパレータの機能についてシミュレーションを交えた解説を行い、続いて CMOS 半導体プロセス（TSMC 社 0.5umCMOS プロセス）についての基本的な知識を習得し、その後レイアウト設計等について実習を行う。最終的には各自がテーマを決め、各自で決めた ASIC デザイン設計に取り組む。

- 9 月 14 日 シミュレーション実習 I 担当：田中真伸、谷口敬、島崎昇一
- 9 月 15 日 シミュレーション実習 II 担当：田中真伸、谷口敬、島崎昇一
- 9 月 16 日 レイアウト入門 担当：田中真伸、谷口敬、共同研究員
- 9 月 17 日 検証ツール入門 担当：田中真伸、谷口敬、共同研究員
- 9 月 18 日 各自課題の相談等 担当：田中真伸、谷口敬、共同研究員

結果：製作したい ASIC の仕様を、事前にレポートとしてまとめてもらい、それをベースに講師との議論を通じて製作仕様を詳細に決めていった。よってほとんどの受講者は ASIC training course においては、各自のデザインしたい ASIC に集中でき 1 週間でおおよそのシミュレーションとレイアウトが完了した。ただ一旦各大学、研究機関へ帰ってからの作業が滞りがちで ASIC の 12 月 tapeout ぎりぎりまで作業を行った受講者が多かった。この経験を踏まえ 2010 年度にはシミュレーション 1 週間、レイアウト、検証 1 週間というスケジュールを検討している。この場合講師の負担が大きくなるが効率的な実習をおこなうため必要な措置とおもわれる。

## 2009 年度 FPGA トレーニングコース 概要及びまとめ

実施期間：2009 年 8 月 31 日（月）～9 月 4 日（金）

講義内容：意欲ある未経験学生に実践で通用する FPGA 回路技術を習得してもらう事を目標にした。実践で使う事ができるように各自が個人の習得度に応じた課題に取り組み疑問点や問題点を自ら解決しながら進める形式にした。以下の内容の 5 日間連続実習。

- 1 日目(8/31)：デジタル回路入門 担当：内田智久
  - 課題の回路設計
- 2 日目(9/1)：基板製作入門 担当：池野正弘
  - 基板設計手法や半田付けの実習
- 3 日目(9/2)：FPGA 体験 担当：内田智久
  - 1 日目に設計した回路を FPGA に実装
- 4 日目(9/3)：回路設計 担当：内田智久
  - 課題を選択して各自回路設計
- 5 日目(9/4)：動作確認 担当：内田智久、仲吉一男
  - 4 日目に設計した回路を FPGA に実装して動作確認

適切な指導やサポートを行う為に対象者と人数を制限する事にした。対象者は学部および修士課程学生、募集人数は 20 名に制限した。この制限により時間を掛けて各学生をサポートする事ができた。

### 結果

5 日間の講習により実践で装置開発に挑戦する事ができる習得度に達した者が現れ、9 割以上が目的を達成できたとアンケート回答している事から目的は達成されたと考える。

特に注目すべきは、本講習によりパルス生成器を製作する者やネットワークボードを用いて波形データを PC に取り込む回路を製作する者が現れた事である。彼らは装置開発に挑戦する為に必要な技術を十分に習得した。彼らに必要な事は実践で問題に取り組み解決しながら理解を深める事である。十分今後もこの様な講習会を継続する必要があると共に本講習を習得した学生が力を発揮できる場が必要だと考える。

アンケートを行った結果、以下の結果を得た（5 が満足、1 が不満足）。

総合評価 ⑤ 10 人, ④ 3 人, ③ 1 人, ② 無し, ① 無し

理解度：⑤ 2 人, ④ 3 人, ③ 3 人, ② 2 人, ① 無し

満足度：⑤ 8 人, ④ 4 人, ③ 1 人, ② 1 人, ① 無し

目的を達成できたか？ 出来た 13 人、できなかった 1 人

## 2009 年度 DAQ トレーニングコース 概要及びまとめ

実施期間：2009 年 8 月 5 日（水）～7 日（金）

講義内容：DAQ コンポーネントの実装について深く理解して頂き、DAQ コンポーネントを実際開発することを目指した。そのため、すでに DAQ ミドルウェアを導入しており、既存の DAQ コンポーネントの改良や新たなコンポーネント開発をしたい方や DAQ ミドルウェアの導入を検討していて、使用法、コンポーネントの開発について知りたい方、興味をもっておられる方を対象とした。以下の内容の 3 日間連続実習。

- 1 日目(8/5)：講義形式
  - DAQ ミドルウェアの概要 担当：仲吉一男
  - DAQ ミドルウェア開発環境について 担当：千代浩司
  - Source 型コンポーネント開発 担当：仲吉一男
  - Sink 型コンポーネント開発 担当：千代浩司
  - CC/NET と DAQ ミドルウェア 担当：井上栄二
  - Web と DAQ ミドルウェア 担当：安芳次
- 2 日目(8/6)：実習形式 担当：仲吉一男、千代浩司、安芳次、井上栄二
  - DAQ コンポーネントの実装の実習
- 3 日目(8/7)：実習形式 担当：仲吉一男、千代浩司、安芳次、井上栄二
  - デバッグと動作確認

参加人数は 30 名。当初 15 名を予定していたが、予想を超える応募のため急きょ変更。DAQ ミドルウェアを実際使用している J-PARC からの参加者が多かったが、大学からの参加者の中に、実際の実験に使えるかどうかを確かめるために参加された方々もいた。アンケート調査から、「目指している DAQ コンポーネントの作成の見通しが立った」、「すでに開発しているコンポーネントを最新の DAQ ミドルウェアへ移植した」というようなコンポーネント開発者からの声や、興味を持って来られた方や導入を検討している方からは、「入門用の例題を動作させることができた」、「全体像の把握をすることができた」などの声を聞くことができた。

DAQ ミドルウェアホームページ：<http://daqmw.kek.jp/>

その後の追跡調査で、講習会に参加した後 DAQ ミドルウェアを自らの PC に組み込んで、実験に使用すべく開発を続けている大学等が複数いることが確認された。

## 謝辞

本プログラムの遂行にあたってエレクトロニクスシステムグループの多くの方に時間を割いていただき協力していただきました。また今まで蓄積したエレクトロニクスシステムグループの知財と測定器開発室のASIC及びDAQプロジェクトで開発された幾つかの知財を使用させていただいたこと関係者に対し感謝いたします。本プログラム遂行時多くの大学、研究所の方が参加されそれにより我々のアクティビティは更に高められたと思っています。特にセミナーに参加された方に感謝いたします。最後にこのような機会を与えていただいた高エネルギー加速器研究機構機構長、本案件担当理事をはじめとする理事の方々、素粒子原子核研究所所長及び審査員、事務局員の方々に深く感謝いたします。

## 各セミナーのホームページ

### 先端エレクトロニクスセミナー

[http://e-sys.kek.jp/seminar/2009/Advanced\\_Seminar/](http://e-sys.kek.jp/seminar/2009/Advanced_Seminar/)

### ASICトレーニングコース

<http://e-sys.kek.jp/seminar/2009/ASIC/>

### FPGAトレーニングコース

<http://e-sys.kek.jp/seminar/2009/FPGA/>

### DAQトレーニングコース

<http://e-sys.kek.jp/seminar/2009/DAQ/>



各ホームページの画像。上図は2009年度用のホームページであるが2008年度のページもリンクされている。

## 参加人数等統計データ

2008年	参加者数	所属機関
ASIC講習会	32人	横浜国立大学 京都大学 九州大学 佐賀大学 山形大学 首都大学東京 神奈川大学 筑波大学 東京大学 東北大学 名古屋大学 理化学研究所 浜松ホトニクス 高エネルギー加速器研究機構
FPGA講習会	41人	大阪大学 岡山大学 神奈川大学 九州大学 京都大学 首都大学東京 台湾中央大学 筑波大学 東京大学 横浜国立大学 理化学研究所 早稲田大学 東北大学 浜松ホトニクス 高輝度光科学研究センター 高エネルギー加速器研究機構
DAQ講習会	34人	岡山大 宮崎大学 京都大学 広島大学 首都大学東京 早稲田大学 総研大 大阪大学 筑波大学 東海大学 東京大学 東北大学

2009年	参加者数	所属機関
先端エレクトロニクスセミナー	33人	JAEA 茨城大学 横浜国立大学 岡山大学 京都教育大学 京都大学 福井大学 甲南大学 名古屋大学 佐賀大学 首都大学東京 信州大学 早稲田大学 東京工業大学 東京大学 原子力研究開発機構 高エネルギー加速器研究機構
ASIC講習会	11人	名古屋大学 首都大学東京 東京大学 東北大学 理化学研究所 高エネルギー加速器研究機構
FPGA講習会	19人	横浜国立大学 岡山大学 京都教育大学 京都大学 首都大学東京 早稲田大学 大阪大学 東京大学
DAQ講習会	30人	JAEA 茨城大学 京都大学 北海道大学 東京大学 青山学院大学 早稲田大学 大阪大学 東京工業大学 原子力研究開発機構 高エネルギー加速器研究機構



以下

セミナー実習参加者のレポートを添付してあったが、煩雑になるため  
Open-It 内 <http://openit.kek.jp/training/asictraining/asic-list> へレポート  
内容に移した。

# ASIC製作レポート

京都大 岩城智 20090603

1

## 目的

FE2007の省電力化

現FE2007 :30mW/ch

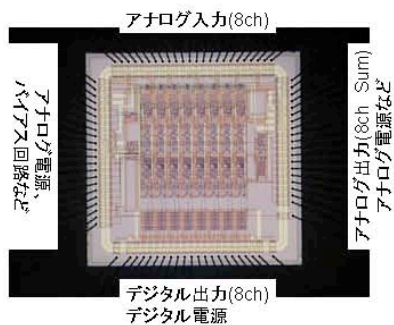
目標値:(とりあえず)20mW/ch以下

方針

- 電源電圧を下げる  
 $\pm 2.5V \rightarrow \pm 2.0V$ へ
- LVDSドライバをなくす  
FE2007とFPGAを同一の基板に乗せることで  
LVDSでドライブする必要がなくなる。

2

## 顕微鏡写真



3

## テスト

- VSSDとGNDD間が49Ωしかない  
→デジタル部は浮かしてテスト  
(GNDD、VDDD、VSSDをつなげない)

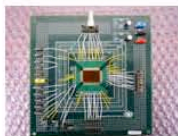
電源ON → +2.5V:15mA

-2.5V:24mA

アナログ部だけで8chで97.5mW → 12.2mW/ch

4

## テスト基板



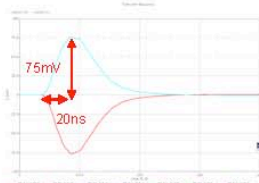
FE2007とPADの互換性がなかったため、手作業で配線(今回は互換性を持たせ、FE2007用評価ボードでテストできるようにする)

- VSSD(-2.5V)とGNDD間が49Ωしかない(チップ内の問題)

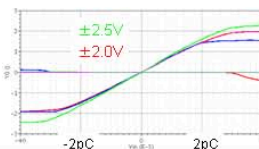
- デジタル電源を付けずに  
電源ON → +2.5V:26mA  
-2.5V:35mA  
アナログ部だけで152.5mW → 19.0mW/ch  
(ほぼシミュレーションどおり)

5

## アナログ部シミュレーション

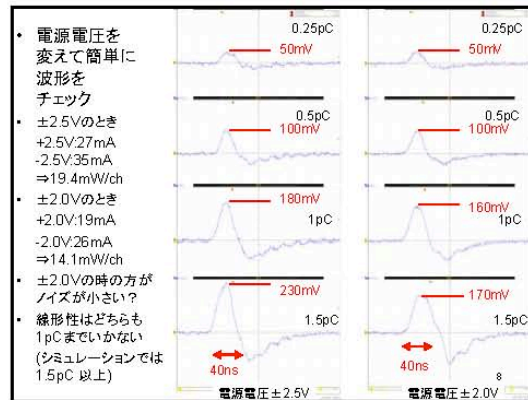
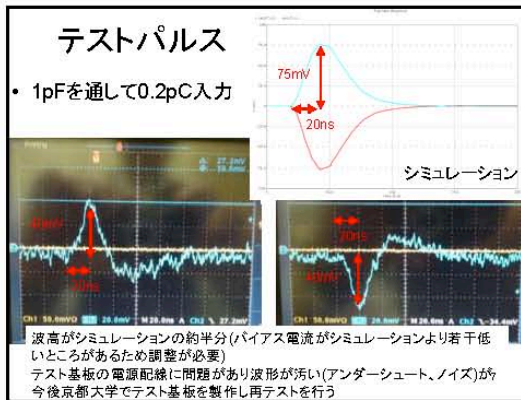


- テストパルス波形
- 電源電圧±2.5V
- 1pFを通して0.2pCを入力した時のシミュレーション波形
- ピーク波高75mV
- ピーク時定数20ns、



- パルス波高リニアリティ
- 電源電圧±2.5Vでも±2.0Vでも1.5pC程度までは線形性あり

6



### 次期チップへの要請

	FE2007	目標	
ピーキングタイム	20ns	<50ns	早い分にはOK
ゲインチャネルばらつき	<8%	<3%	
ノイズ @C <sub>p</sub> =100pF	6000e	5000e	
クロストーク	0.6% (1~3%)	<1%	
タイムウォーク	<6ns	<10ns	
Vth ばらつき補償	5-bit DAC	5-bit DAC	
入力ダイナミックレンジ	±1.5pC	±1.5pC?	
消費電力	30mW/ch	<15mW/ch? <10mW/ch?	一ヶ月程度で決定

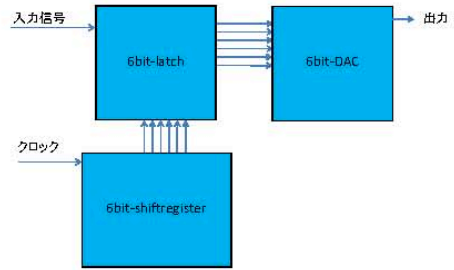
- ### 方針
- まずは低消費電力化
  - デジタル部
    - もう一度LVDSをなくすのをテスト (TEGでテストしたい)
  - アナログ部
    - MOSのWL比の最適化
    - 片電源化?
  - FE2007ボードが流用できるようにPADの位置を調整する
    - 互換性がないとテストしづらい。
  - 問題があった時のためにもTEGの作成は必要

# 6bit-DAC 製作レポート

2009 2/27  
東北大学 板垣憲之輔

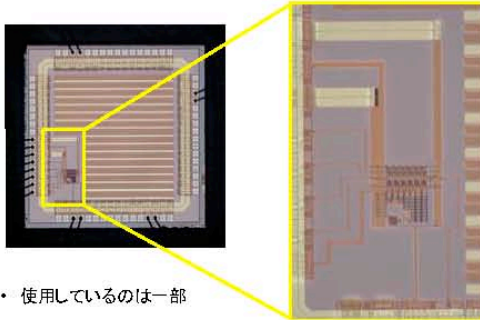
1

## 回路ダイアグラム



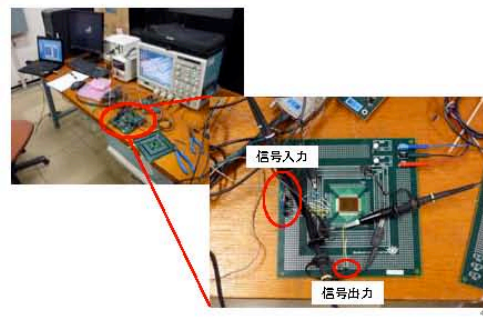
2

## 顕微鏡写真



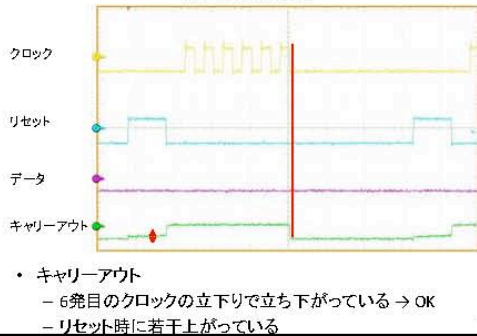
3

## テスト環境



4

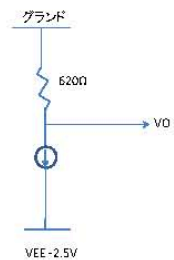
## 測定結果



5

## DACからの出力

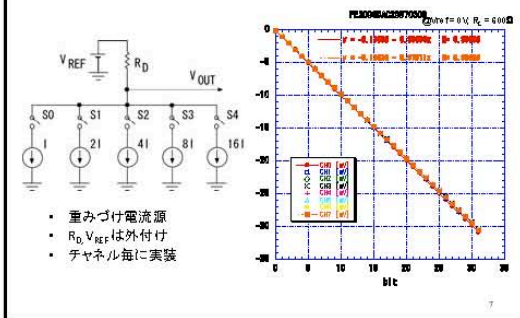
- $1.6\mu\text{A} \times 1 \sim 63$  の電流を流せる
  - このとき  $V_O$  は  $1 \sim 63\text{mV}$  になっているはず
- 測定結果(6bitすべてhighのとき)
- 約1V
  - おかしい



- 電源周りに何らかの問題がある?
- 5月くらいに再びKEKでテスト

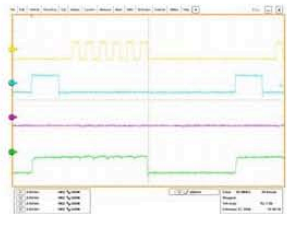
6

### 閾値ばらつき補償用 DAC @FE2006



### テスト治具 by Y.F

- $I_{DREF} = 0.50\mu A$  (@ 予定  $1.6\mu A$ ),  $0.3mV/bit$ ?
- $V_{out} = -68.1mV@ALL1$



別基板で実装、テスト実施

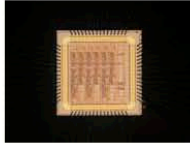
$V_{out}$  : リセット時には  $0mV$  で正常  
 CO : タイミングは OK だがレベルが低い

## Dual Gain FECの製作まとめ

片寄祐作(横浜国大工)  
2008年5月27日

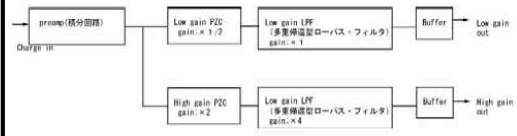
目的: 全撮収カロリメータ用 FEC回路を開発する。

要求性能: ダイナミックレンジ 1fC ~ 10pC(4桁以上)



1

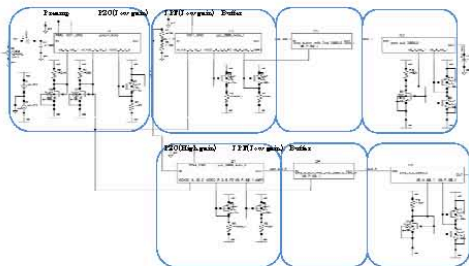
## 回路の概要



- 積分用コンデンサの容量は12pF、波形の時間定数は約4  $\mu$ 秒である
- preamp出力はHighゲインとLowゲインの2つの波形整形部に入る
- Low gain FZCのゲイン調整は入力部分に分圧抵抗をつけ1/2にした
- High gain FZCは初段のコンデンサを9pFに変更し2倍を確保した。
- 多重極選型ローパスフィルタである、カットオフ数は約30MHzでゲインは-1倍(Low gain LFF)、-4倍(High gain LFF)である。

2

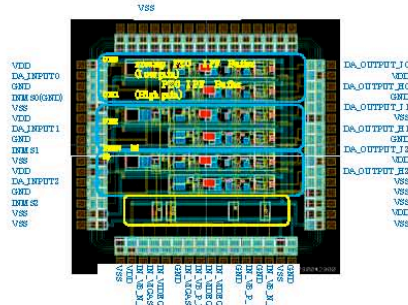
## 1ch分の回路構成



シミュレーションによって決定した回路図。各ノードのポテンシャルは正確で解像された。回路の0.01%コンプライアンス、最終で確認されている。回路は500MHz、最終出力はVDD。

3

## レイアウト



4

## 性能まとめ

### 消費電力:

+2.5V : 28.59mW  
-2.5V : 37.72mW

最大レンジ: 正入力 Low-gain: ~1300fC(<5%)  
High-gain: ~28000fC(<5%)

負入力 Low-gain: ~700fC(<5%)  
High-gain: ~8600fC(<5%)

ノイズスロープ ~  $5.2 \times 10^{-4}$  fC/pF  
 $4.3 \times 10^{-4}$  fC@0pF

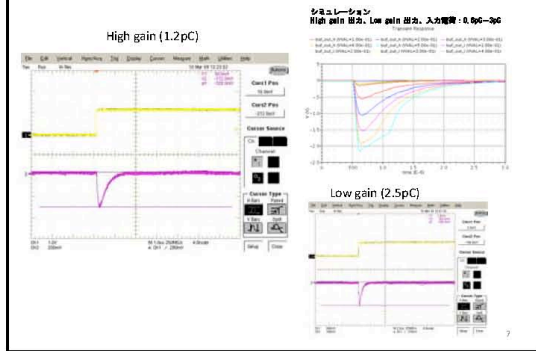
5

## 各バイアスの消費電力

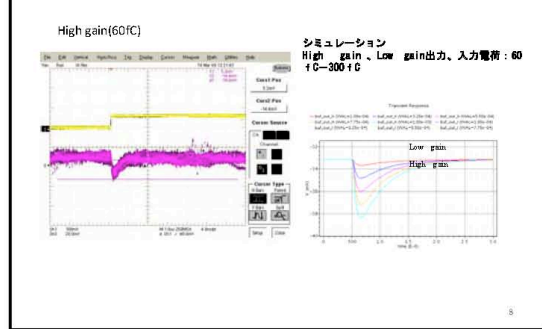
Pin番号	電源+シミュレーションで決定した抵抗値	実際の抵抗値( $\Omega$ )	電圧(mV)	消費電力( $\mu$ W)
10	VDD+1.4k $\Omega$	1.3008k	1883	3.02298
11	VDD+59k $\Omega$	55.8k	3588	2.2887
12	VSS+99k $\Omega$	100.09k	3432	0.11674
14	VDD+59k $\Omega$	55.8k	3547	0.22843
19	VSS+67k $\Omega$	68.44k	3838	0.21923
16	VSS+4.25M $\Omega$	4.2245M	4026	0.0038368
17	VSS+924k $\Omega$	926.8k	3889	0.01632
19	VSS+67k $\Omega$	67.99k	3826	0.14939
21	VDD+8k $\Omega$	82.09k	4030	0.19784

6

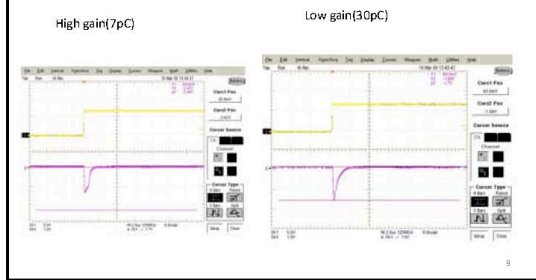
## 信号応答の例



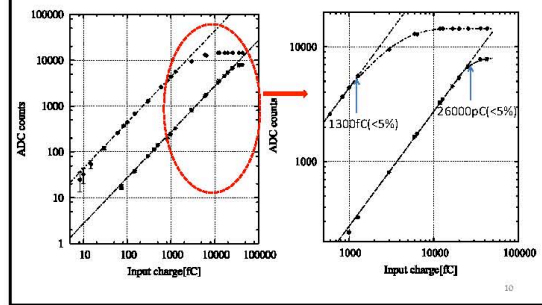
## 信号応答の例



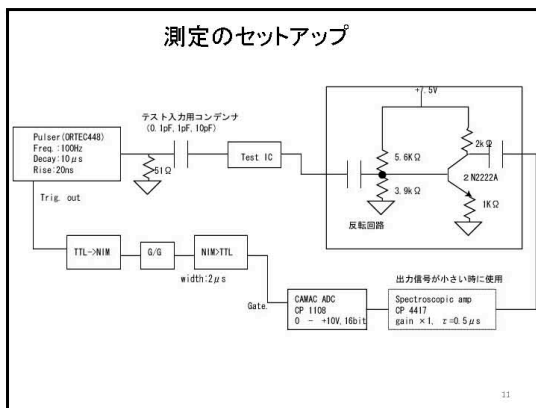
## 信号応答 (High-gainで飽和したとき)



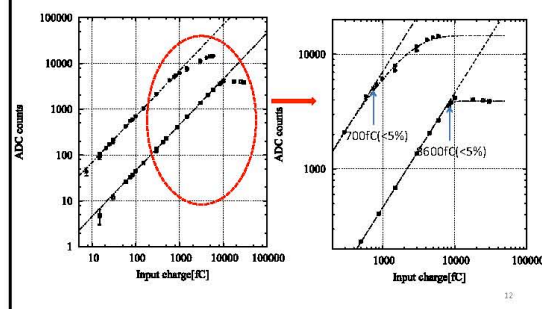
## リニアリティ(正パルス入力)



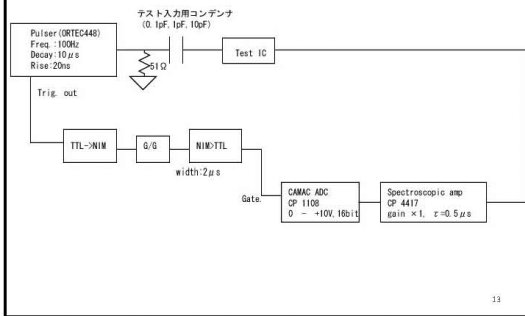
## 測定のセットアップ



## リニアリティ(負パルス入力)



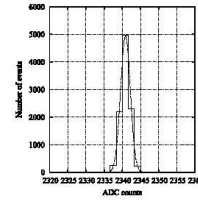
### 測定のセットアップ



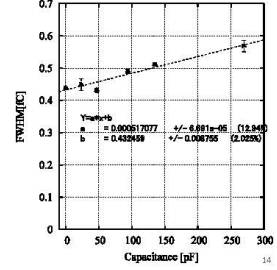
13

### ノイズスロープ

コンデンサ (135pF) 着莖時でのペダスタル分布

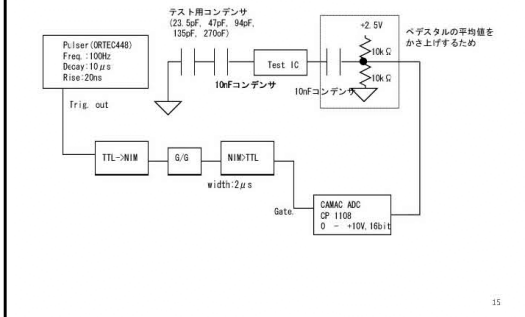


入力容量 v.s. ノイズ



14

### 測定のセットアップ



15



# ASIC講習会2008報告 (miuchip2008系設計)

2009年1月

2009年2月27日 追加

2009年3月17日 追加

2009年3月18日 追加

身内賢太郎(京都大学・大学院理学研究科)

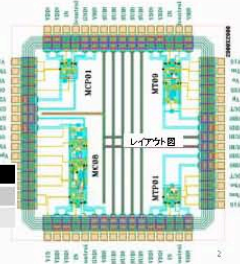
1

## 目的

- QPIXの開発に向けて、ASICを製作する
- FE系に比べてS/Nを多少犠牲にしても消費電力、小面積の初段アンプを試作する

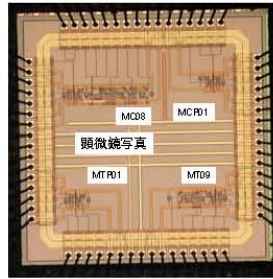
- 検出器は QPIXなどのガス検出器(1pF程度)を想定
- 片電源(+5V)とした
- 二系統のアンプを試作(それぞれプリアンプのみとバッファ付、計4種類)

	プリアンプ	高速化
プリアンプのみ	MCP01	MTP01
+PZC、バッファ	MCP08	MTD9



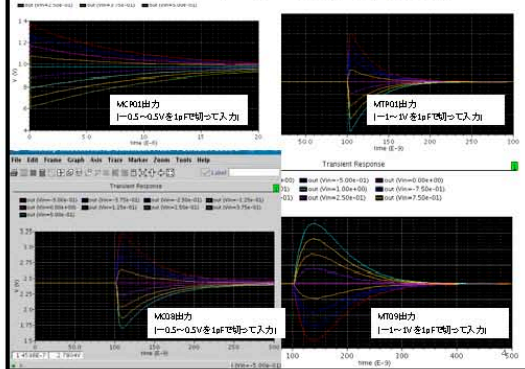
2

- 完成品顕微鏡写真(2009・2・27撮影)

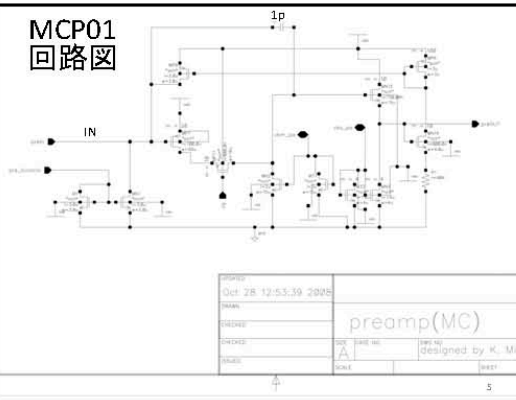


3

## 出カシミュレーション結果



## MCP01 回路図



5

## MCP01動作試験

入力はすべて1pFと500で電荷量を微分して入力

シミュレーション INPUT=±0.5pC

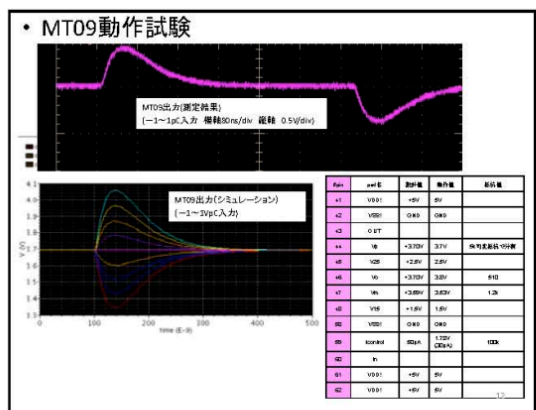
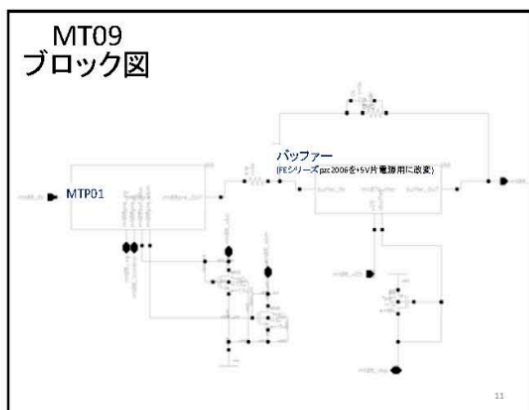
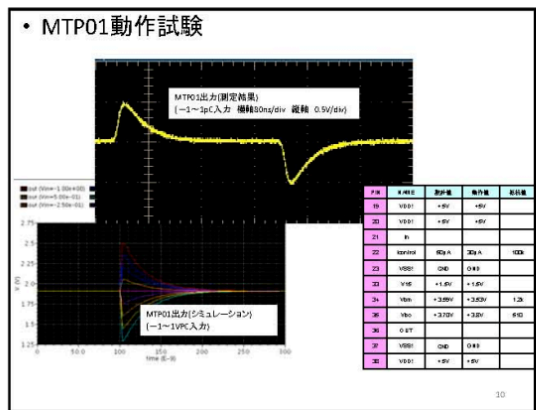
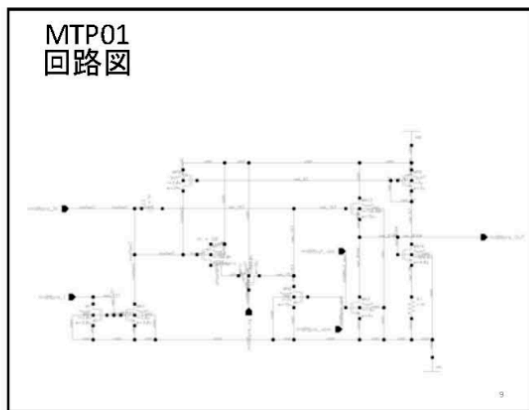
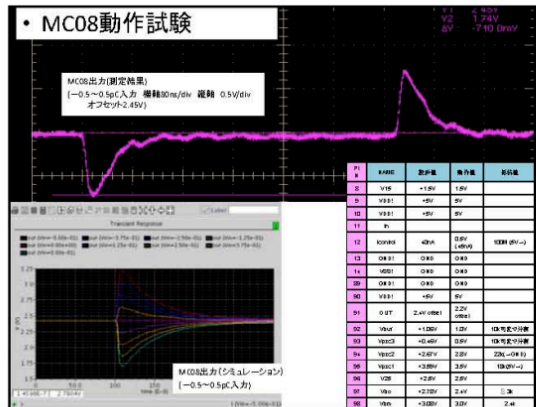
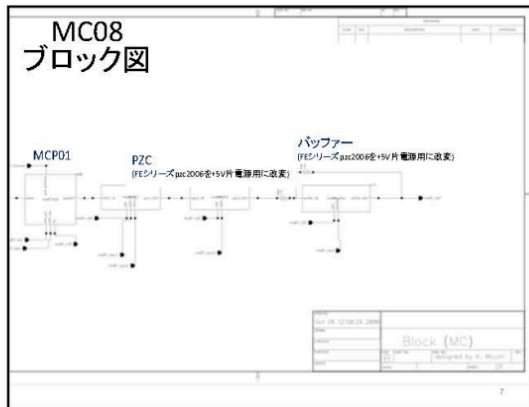
0.4V  
20us

実測 INPUT=±0.5pC

0.5V  
20us

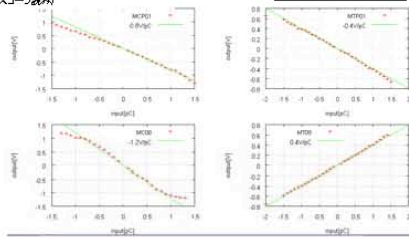
Pin	NAME	接続	駆動値	制約値
10	Vp	1.5V	0.00V	
11	MCP01_VDD	1.500V	1.500V	2.40V
12	MCP01_VDD	1.500V	1.500V	3.0V
13	MCP01_VDD	1.5V	1.50V	
14	MCP01_VDD	1.5V	1.500V	
15	MCP01_VDD	1.5V	1.50V	
16	MCP01_VDD	1.5V	1.50V	

Pin	NAME	接続	駆動値	制約値
10	MCP01_VSS	0V	0.00V	
11	MCP01_VDD	0V	0.00V	
12	MCP01_VDD	0V	0.00V	
13	MCP01_VDD	0V	0.00V	
14	MCP01_VDD	0V	0.00V	
15	MCP01_VDD	0V	0.00V	
16	MCP01_VDD	0V	0.00V	



## ゲイン・ダイナミックレンジ・ノイズ測定

入力電圧を変化させて出力電圧を測定  
 0.1μV/cVの増幅のノイズレベル(μV)を目標値として記録した  
 (いずれも10MHzプロブで対称ロースローゲイン)



モデル名	MCO91	MCO9	MTR01	MT06
ゲイン (V/cV)	-0.8	-1.2	-0.4	0.4
ダイナミックレンジ	-1~1μC	-0.75~0.75μC	-1.3~1.3μC	-1.3~1.3μC
ノイズレベル	1K 1~6000e1	2K 1~12000e1	5.5K 1~3000e1	6K 1~3000e1

注: ノイズレベルは測定環境によるものが大きいため、ASIC intrinsicなものはもっと小さいはず。(要 専用基板やオペアンプ)

# 低雑音フロントエンド

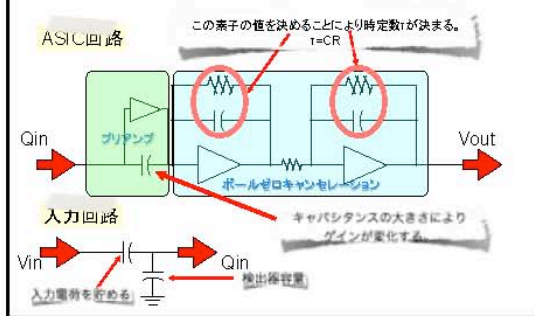
東貴俊

## 仕様

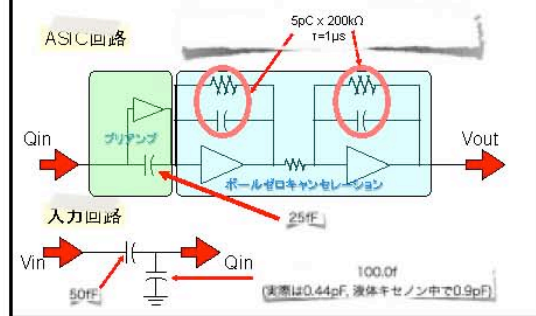
\* 1チャンネル

	FE2006	For LXeTPC
入力電荷範囲	-1.5 ~ 1.5pC	-75 ~ 25fC
ゲイン	0.44V/pC	31.68V/pC
ゲインばらつき	15%	なるべく低く(~1%)
コンパレータ入力ゲイン	1.3V/pC	コンパレータ無し
ノイズ	5900e(Cd=100pF)	2000e予定(Cd=1pF)
クロストーク	0.6% (1~3%)	なるべく低く(~1%)
ピーキングタイム	30ns	1us
Vth 補償用 DAC	1 ~ 30mV (1mV/bit)	無し
消費電力	29mW/ch	? mW/ch
温度耐性	未測定	-100°C

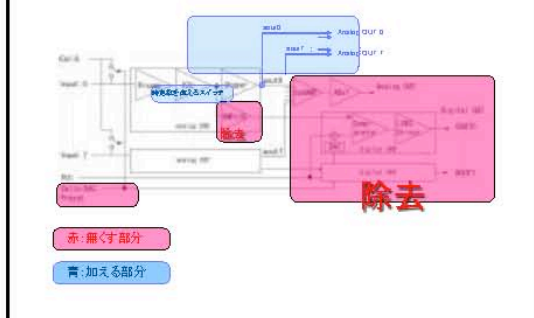
### テスト回路の簡略図



### テスト回路の簡略図



### FE2006回路を変更

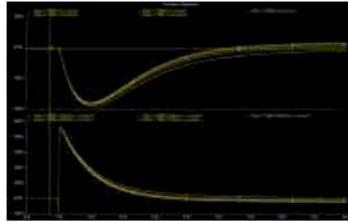


## シミュレーション



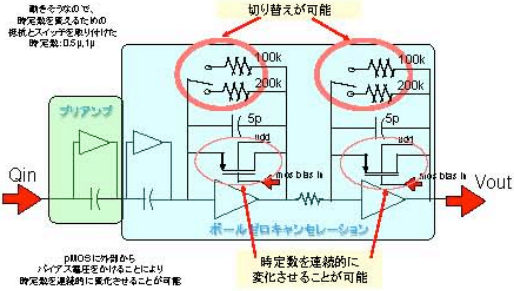
## 抵抗値の決定

15M ~ 20M Ωの値がよき場合、0.5V  
17.5MΩに設定した。



## 時定数の切り替え

### テスト回路の簡略図



### 実際の回路図1



### 実際の回路図2 (pole zero cancelation)

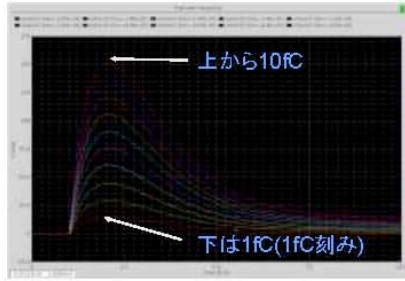


## 確認

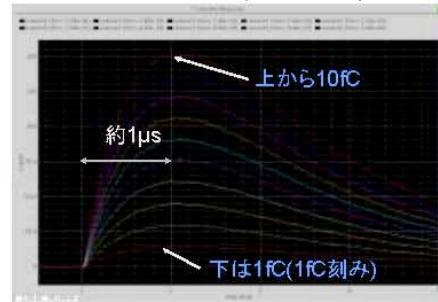
回路が正常に動くかを確認する

まず、電荷を  $1f \sim 10f[C]$  を与えたときの出力をみた

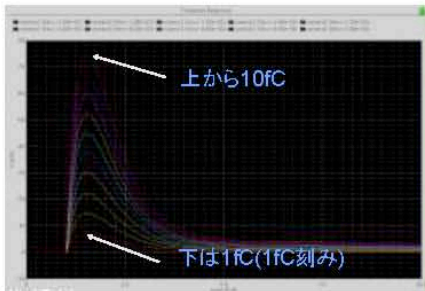
スイッチ(200Ω)



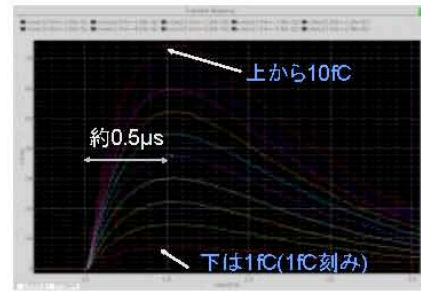
スイッチ(200Ω)



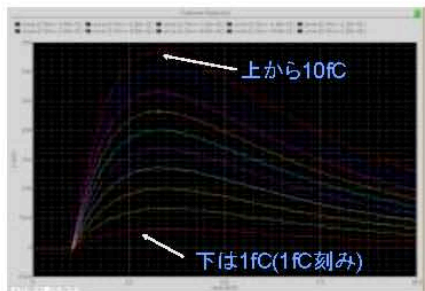
スイッチ(100Ω)



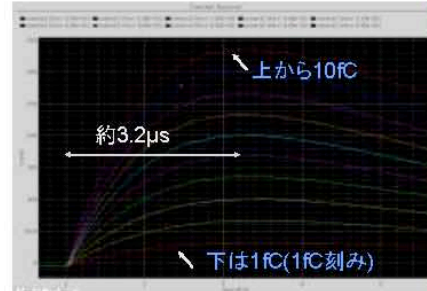
スイッチ(100Ω)



pMOS(@-1.55V)



pMOS(@-1.55V)



## スイッチ仕様に先立ちって

- 抵抗の決定

今回、時定数を1 $\mu$ sに設定している。そのために使用した抵抗およびキャパシターはそれぞれ200k $\Omega$ , 5pFであり、それぞれに大きさを要する。

しかし10pFと200k $\Omega$ を比べた場合に、両方とも大きいのが200k $\Omega$ の方がまだましであるので今回の決定に至った。

スイッチで切り替えるための抵抗、キャパシター両方をつける考えもあったが、やはり先述のように大きさがあるので抵抗100 $\Omega$ のみとし、大きな時定数はpMOSで補うこととした。

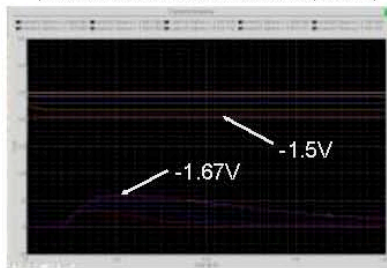
## スイッチ仕様に先立ちって

- pMOS

pMOS与えるバイアス電圧ならびにpMOSの大きさに関してパラメトリックプロットを行ってみた。

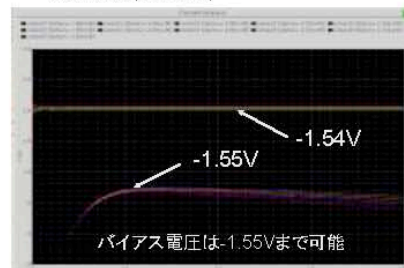
### pMOSのバイアス電圧に対しての出力

- pMOSに与える電圧の変化による出力の変化をみる(-0.5~-2.0V)



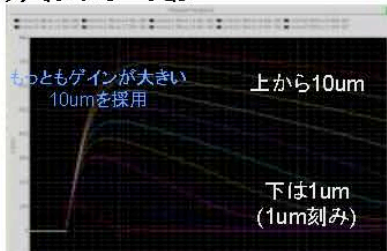
### pMOSのバイアス電圧に対しての出力

- さらに細かくみる(-1.50~-1.60V)



## pMOSの大きさ

- pMOSの大きさ(Length)をパラメトリックプロットでシミュレーション



## 予定

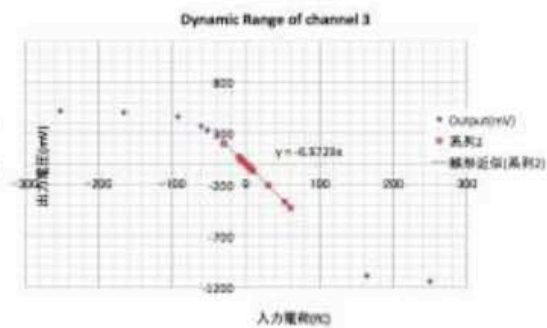
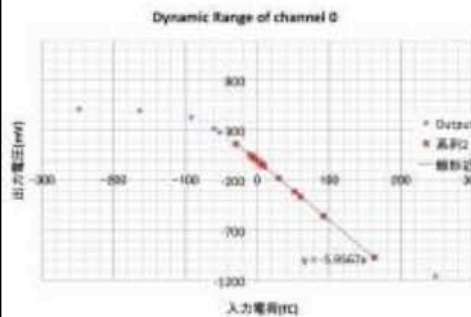
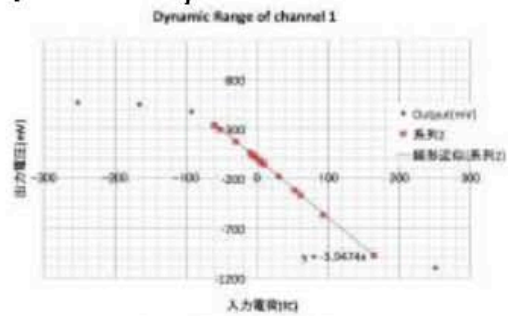
- コーナーシミュレーションを行い、今回見たような入力電荷に対しての出力がどのようなものであるかを調べたい
- 来週にはレイアウトデザインに入りたい



# ゲイン, リニアリティー

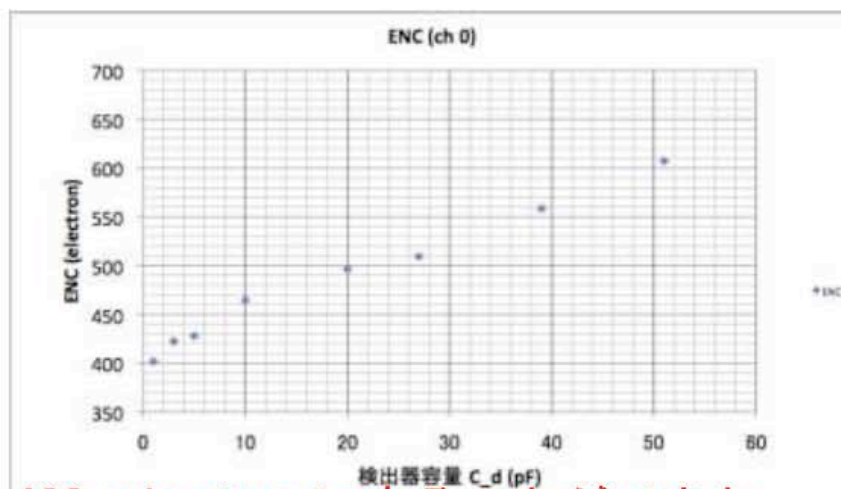
□ ダイナミックレンジ(ゲイン±0.5)

-30 fC ~ 100 fC ?



# ノイズ測定(ENC)

□ Chip 2 の全チャンネルに対して測定。プロット中



400 electronにすることができた

ゲイン補正無し

## ASIC製作実習

佐賀大学  
山口 博史

1

## 目的

- アナログ信号を用いての高解像度のX線イメージング
- 位置分解能 $50\mu\text{m}$ 以下
- GEM、足付きGEMやMicromegasに対応できるようなもの

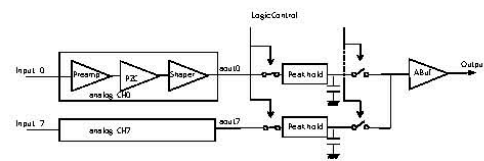
2

## 測定器概要

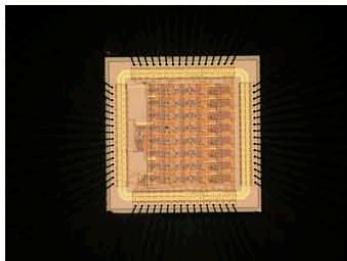
- X線イメージング。
- $400\mu\text{m}$ ピッチのストリップを用いて $1.2\text{cm} \times 1.2\text{cm}$ の領域での2次元読み出し
- ガス増幅の部分にMPGD(GEMなど)を用いる。

3

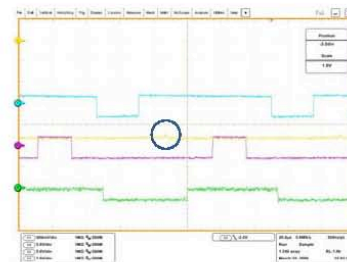
## 回路ダイアグラム



4



5



6

## AMC 用 ADC の開発

このレポートでは、1GHz 高速サンプリング用 IC アナログメモリーセル(AMC)と組み合わせて使用する ADC の設計及びその性能について述べる。レポートの構成は、以下のようにした。まず作成する ADC の概要 (1) を述べ、ADC の説明 (2)、ADC の仕様 (3) を述べる。次に開発の背景 (4) を説明する。5 では、ASIC 講習会での ADC 開発の流れとシミュレーション結果をまとめる。6 では、ASIC 講習会後におこなった ADC 改良のための開発のまとめ、7 では、AMC に開発した ADC を組み込むための開発を述べる。8 はレイアウト作成について

### 1. 概要

アナログメモリーセル(AMC)と組み合わせて使用する ADC を作製する。

AMC の特徴は、高速波形記録、高分解能、低消費電力、比較的ゆっくりとした読み出し時間である。したがって AMC と組み合わせて使用する ADC は、サンプル速度より高分解能 (10 ビット以上) を重視した、低消費電力タイプのものが望ましい。以上の条件と、回路が比較的単純である、との理由により、ウィルキンソン型 ADC の作成を目指す。

今回の作成により、ウィルキンソン型 ADC の変換時間、分解能、ノイズ、消費電力、サイズなどの評価を行い、AMC と ADC をひとつのパッケージに乗せるための知見を得たい。

### 2. 説明

#### 2-1 回路構成

図 0 に、典型的なウィルキンソン型 ADC の回路図を示す。回路は、保護回路、入力データの波形をホールドする回路 (積分回路)、ランプ信号発生回路、比較器、カウンタ回路、ラッチ回路、から構成される。比較器と、ラッチ回路を増やすだけで、ADC の数を増やせるので、多チャンネル化が容易という特徴を持つ。

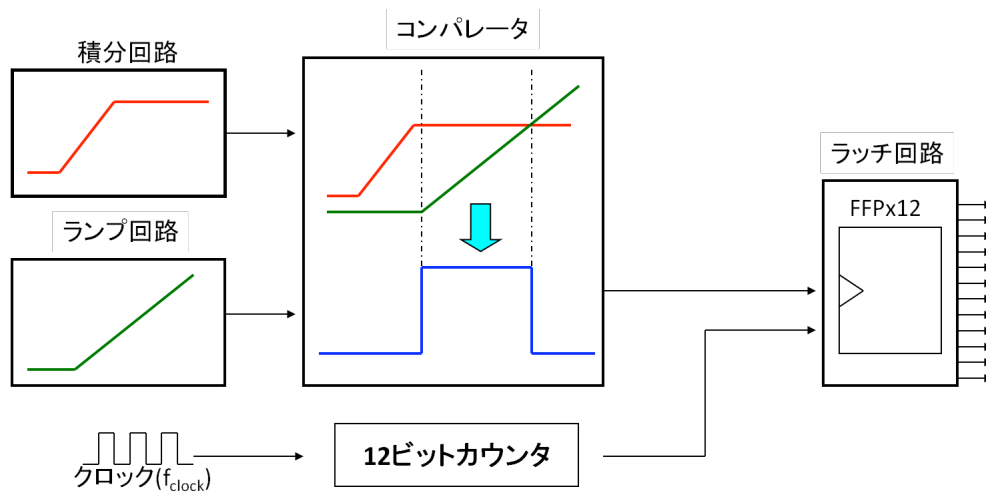


図 0 ウィルキンソン型 ADC 回路図

今回、ASIC 講習期間中に、講師と議論したところ、KEK ライブラリ内の  $V_{toT}$  コンバータ回路を基に TSMC0.5 $\mu\text{m}$  用に改良するという方針が進めことになった。ライブラリ内の回路は、前述のウィルキンソン型 ADC そのままではなく、下図に示すような動作を行う。回路の出力信号には、AD 変換を開始した時刻が出力信号の立ち上がりで、スレッシュホールド電圧と同じになった時刻が出力信号の立下りで与えられる。この出力信号の立ち上がりと、立下りの間の時間を TDC で計測することにより、AD 変換を行う。これは、前述のウィルキンソン型 ADC 回路に比べて、AD 変換に要する時間が速い、という利点がある。TDC 回路が必要であるが、クロック、ラッチ回路は不要である。TDC は、1ns の分解能を持つ回路が、FPGA に組み込み可能である。

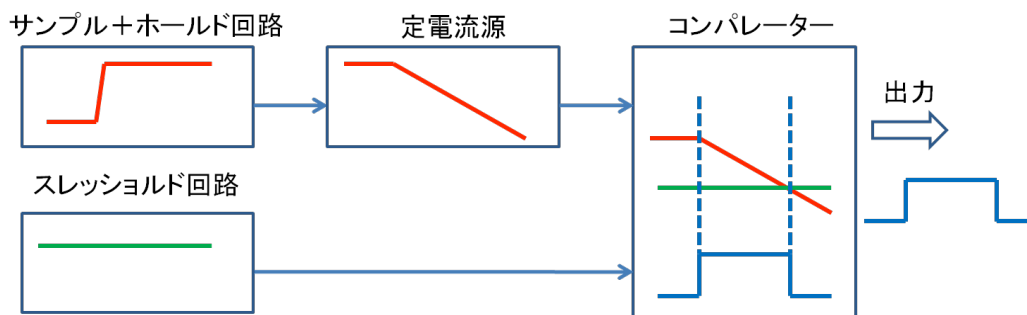


図 1 電圧時間変換回路ブロック図

## 2-2 要求される性能

AMC の性能は、現状で、11bit の分解能、2V の出力ダイナミックレンジ、である。このことより、ADC は、12bit の分解能、2V<sub>p-p</sub> の入力ダイナミックレンジ、を満たさなくてはならない。また、12bit の出力は、パラレルに 12 本の線でおくるのではなく、シリアルで 1 または 2 本(差分出力)の線でおくる。これは、AMC の出力が複数本 (8 本以上) あり、それぞれに ADC を接続することを考えると、①すべての ADC の出力をパラレルに送るのはピンの数から無理、②スリーステートバッファを用いて、複数の ADC の出力線を共有する方法は、回路の規模が大きくなる、およびコントロール線が必要で複雑、という点で問題がある、ためである。なお、AD 変換時間は、ウィルキンソン型 ADC を 200MHz のクロックで動作した場合、 $4096(=12\text{bit})/f_{\text{clock}}=4096/200\text{MHz}=20\mu\text{s}$  となる。AMC の読み出しクロックは 1MHz であるので、要求された性能からは、かなり遅くなる。電圧時間変換回路 (VTOT 回路) をもとにした場合、TDC の時間分解能が 1ns であれば、ウィルキンソン型 ADC を 1GHz のクロックで動作させていることと同等であるので、 $4096/f_{\text{clock}}=4096/1\text{GHz}=4\mu\text{s}$  となる。

## 2-3 入出力ピン

ADC の入出力ピンは、AMC の出力がシングルエンドで与えられると仮定すると、1 チャンネルの場合、信号入力に 1 本、基準電圧入力に 1 本(V<sub>thr</sub>)、出力に差分出力で 2 本(OUT<sub>+</sub>,OUT<sub>-</sub>)、サンプル開始信号用に 1 本(CS)、比較器基準電圧(V<sub>ref</sub>)に 1 本、定電流源の調整用端子に 1 本、電源に 2 本(AVDD,DVDD)、グラウンドに 2 本(AGND,DGND)の合計 11 本である。複数チャンネルでは、3 × (チャンネル数) + 8 本となる。

## 3. 仕様のまとめ

回路ブロック名称		値	備考
ADC	チャンネル数	1	
	分解能	12bit	
	ダイナミックレンジ	2V <sub>p-p</sub>	
	サンプル速度	250kSPS	TDCの時間分解能が1ns。
	入力帯域	>10MHz	
	消費電力/チャンネル	<10mW	

## 4. 開発の背景

現在 HAPD 用読み出し回路を開発している。読み出し回路の小型化、および、低

消費電力化のために、ADC の ASIC 化を目指している。特に、現在の読み出し回路では、ADC に付随する部分が、かなりの面積を占めており、回路の小型化を進めるうえでは、大きな問題となっている。ASIC 化した ADC は、現在使用している高速波形サンプリング用 IC(AMC)と SoC などと組み合わせ、同じパッケージに入れて使用することができる。したがって、今回の開発により、現在問題となっている回路上の ADC の専有部分をなくし、半径 8cm 以内に回路をまとめる、という目標に、大きく前進することができる。また、ADC と一緒のパッケージに入ることにより、AMC の使用が容易になり、HAPD 以外のさまざまな応用が、広がっていくと考えている。

## 5. 開発の進展

TSMC0.5um で動作させるために、以下の作業を検討した。

1. TSMC0.5um で回路設計、およびシミュレーションを行うために、MOS モデルの名前を変える。
2. TSMC0.5um での動作の最適化を行うために、MOS トランジスタの W と L を調整する。また、電圧をホールドする回路のコンデンサーの値の調整をする。
3. TSMC0.5um の既存の設計資源を有効に使用するために、回路ブロックごと既存のライブラリと交換できるものは、交換する。具体的には、アナログスイッチ、コンデンサー、比較器、オペアンプ、など
4. 高性能化（比較器）、カウンターを内蔵するか、などは、あとで検討する。

とりあえず、MOS のモデルの名前を、NMOS-->NCH PMOS-->PCH と変更し、シミュレーションが動作するようにした。ただし、電圧時間変換回路（VTOT 回路）は、なぜか、そのままでは、TSMC0.5um の環境では動作しなかった。動作させるために、以下の変更を行った。

1. クロック信号の取り扱いを変更した。これは、2 個のクロックの信号線(a と a\_bar)に入っているインバーターの数が、矛盾していたためである。
2. アナログスイッチ、定電流源を TSMC0.5um 用 FE2007 のライブラリの回路に変更した。これは、TSMC0.5um のプロセスでの動作の保証を確立するためである。このとき、定電流量を調整するための抵抗を IC の外につけるため、ピンを追加した。
3. 比較器は、オリジナルの回路を使用しようとした（FE2007 ライブラリの回路が大きい）ため、問題が起きたため断念した。サンプルした電圧

から、定電流源により一定の傾きで電圧が変化していくのであるが、比較器に与えられているスレッシュホールド電圧付近で、この変化の直線性が失われていることが判明した。このことにより、比較器の出力から与えられる ADC の分解能が、8 ビット程度になってしまった（出力のばらつきが 5ns 程度になってしまう）。この問題を解決するために、FE2007 ライブラリにある比較器を使用することにした。0V-5V の電源で使用するために、必要な変更を行った。この変更により、比較器の基準電圧を調整するためのピン(VREF) が、IC に加わった。

以上の変更により、回路は動作するようになった。次に、回路のパフォーマンス（分解能）の最適化のために、下記の回路内のパラメータ値の調整を行った。読み出しは、2us 以内に行うように設定されている。

1. まず、比較器に入力する、電圧値の変化の傾きが、比較器の性能に影響を与えることが確認された。したがって、以下のチューニングの作業には、電圧値の傾きが一定になるように、定電流値を調整して行った。
2. アナログスイッチ回路内の MOS トランジスタの W 値を変更して、最適化を行った。W=10u が標準値、これを 10 倍、10 分の一に変更して、挙動を確認した。結果は、W の値を小さくしたほうが、出力の直線性がよくなった。W 値を大きくすると、MOS トランジスタ内の電圧が安定する一方で、MOS トランジスタ内の容量が大きくなるので、電荷の受け渡し時に、問題になる可能性がある。一方で、W 値が小さくなると、MOS 内の電圧が不均一になるが、MOS 内の容量が小さくなって、電荷の受け渡し時の問題は少なくなる。結果は、W の値を小さくしたほうが、分解能が向上した。(図 2 図 3 図 4)
3. 電圧を保存するコンデンサーの値の最適化を行った。1pF が標準値、10pF と 200fF で動作させると、1pF の性能（出力の直線性）が一番良かった。(図 5 図 6)
4. ミラー回路による定電流源の MOS トランジスタの L 値の最適化を行った。L=10u が標準値、5u と、20u で性能を比較した。L 値が大きいかほうが、出力の直線性は良くなるが、ダイナミックレンジが小さくなる。(図 4 図 7 図 8)
5. オリジナルの回路には、アナログスイッチが 3 個ついているが、一番最後を外した時、性能がどうなるか確認した。結果は、性能は大して変わらなかった。(図 4 図 9) ただし、Vin が 1.3V~1.6V の入力するとき、比較器が正しく動作しなくなった。この問題は、比較器の基準電圧を調整することにより、改善できるか、検討しなくてはならない。アナログスイッチが少なく

なると、回路を小さくできるが、この ADC では、比較器が、ほとんどの部分を占めているので、あまり影響がない。

6. ミラーの定電流回路の上の抵抗の取り外しをして、性能を比較した。抵抗をつけていたほうの性能が良かった。(図 9 図 10)
7. ミラーの定電流回路の MOS トランジスタの W 値を、10um, 50um, 200um と変更したところ、100um(標準値)が一番良かった。(図 9 図 11 図 12 図 13)
8. コーナシミュレーションも行った。(図 14 図 15 図 16 図 17)

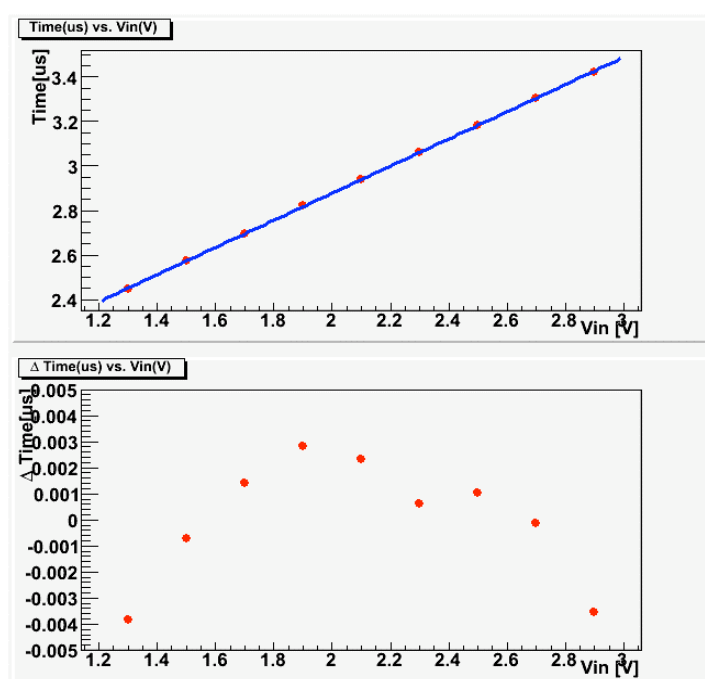


図 2 nchw=10um pchw=14um での Time(us) vs. Vin(V) (上)と Δ Time(us) vs.



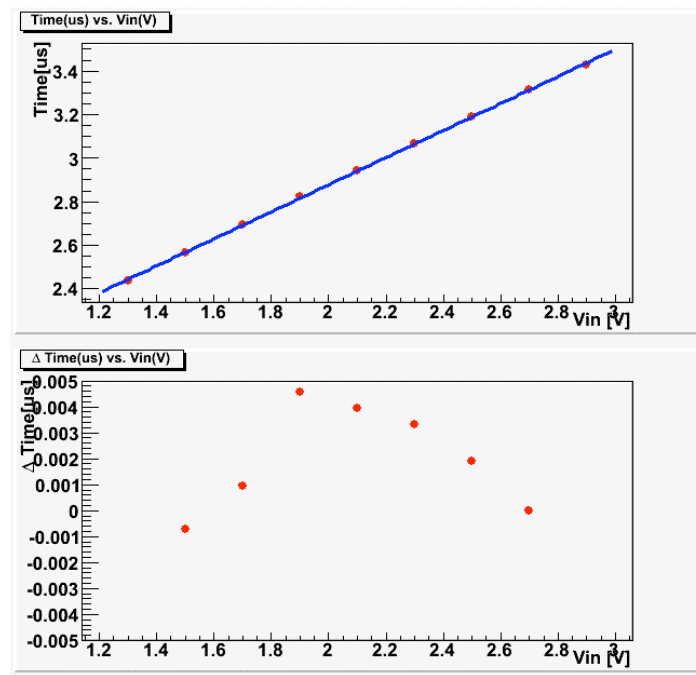


図 3 nchw=100um pchw=14.0um での Time(us) vs. Vin(V) (上)とΔ Time(us) vs.

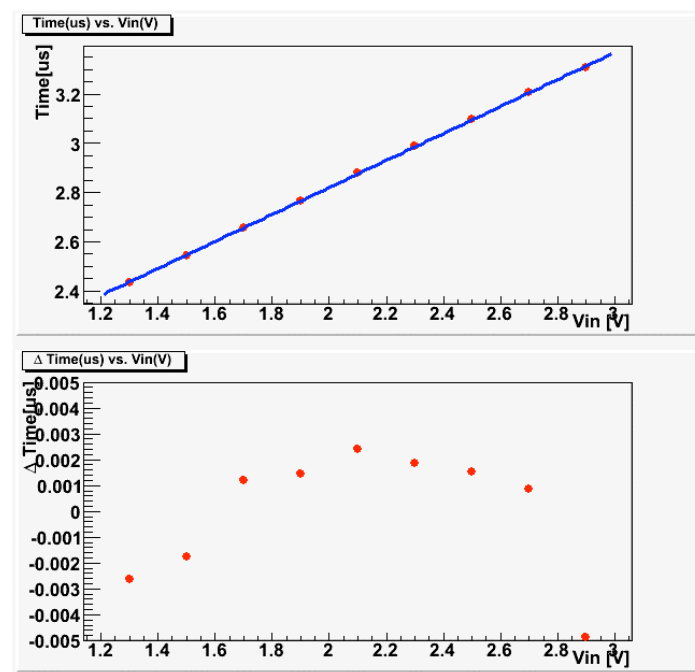


図 4 nchw=1.0um pchw=1.4um での Time(us) vs. Vin(V) (上)とΔ Time(us) vs.

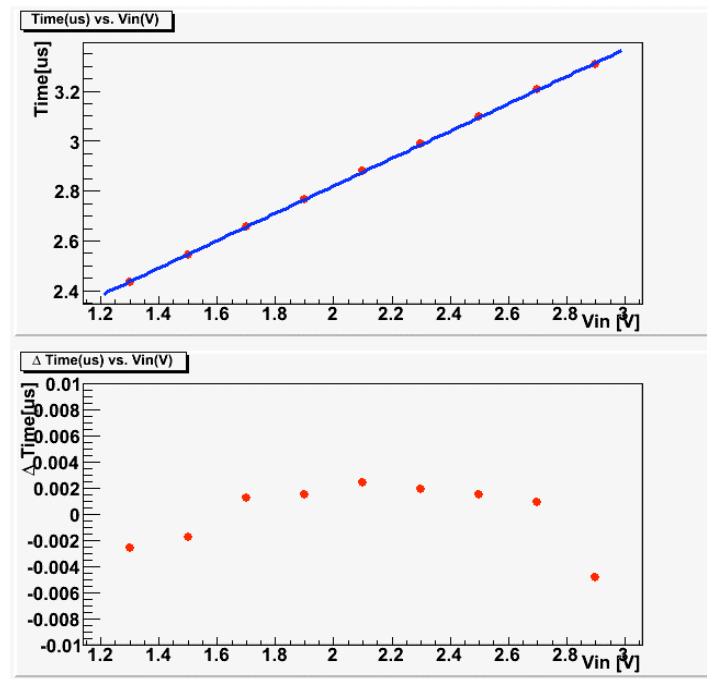


図 5  $C=1\text{pF}$  での Time(us) vs. Vin(V) (上) と  $\Delta$  Time(us) vs. Vin(V) (下)

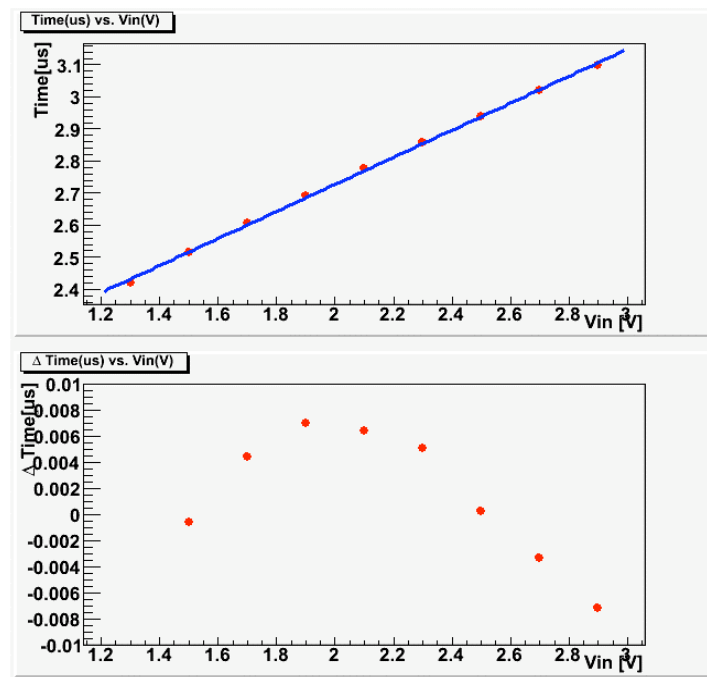


図 6  $C=10\text{pF}$  での Time(us) vs. Vin(V) (上) と  $\Delta$  Time(us) vs. Vin(V) (下)

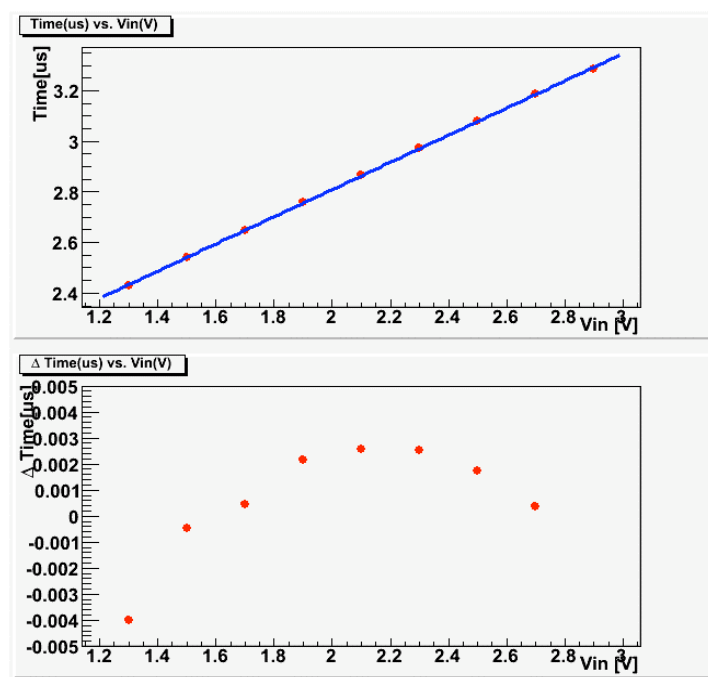


図 7 定電流源 MOS L=5um での Time(us) vs. Vin(V) (上) と  $\Delta$  Time(us) vs.

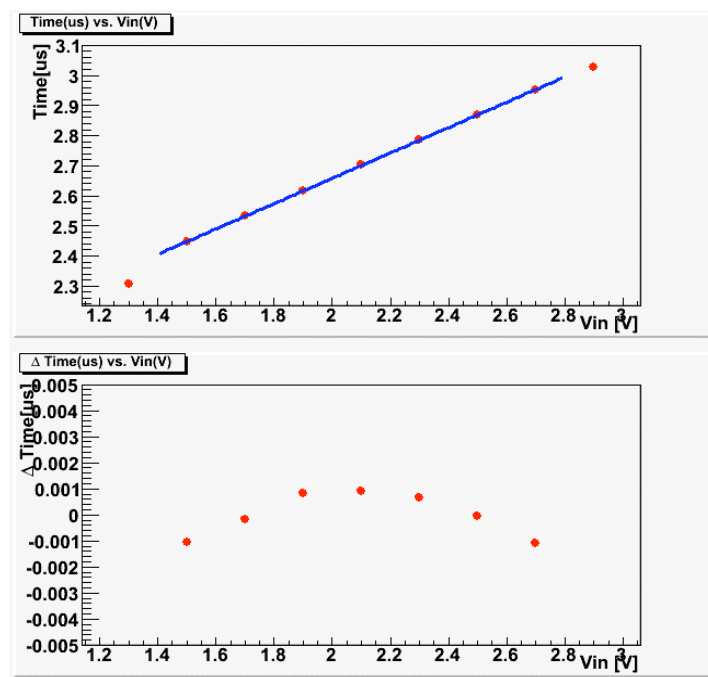


図 8 定電流源 MOS L=20um での Time(us) vs. Vin(V) (上) と  $\Delta$  Time(us) vs.

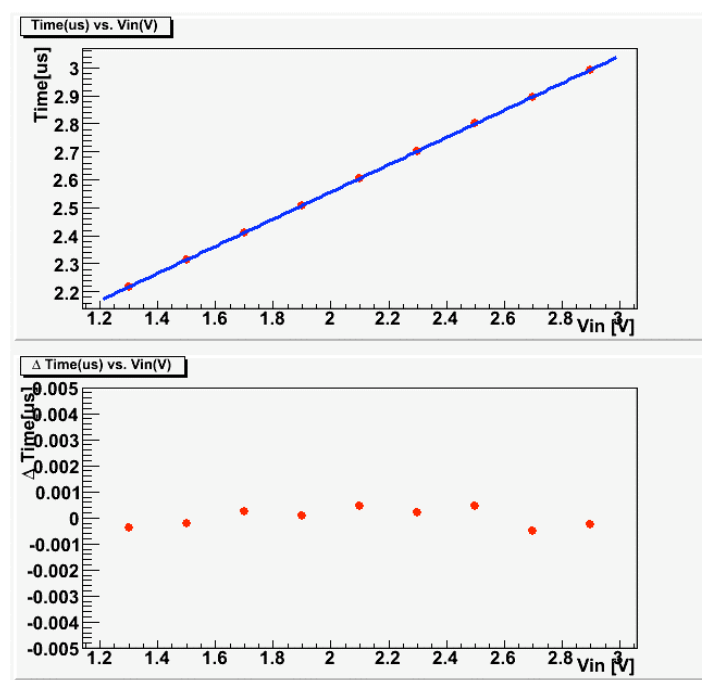


図 9 アナログスイッチ 2 個での Time(us) vs. Vin(V) (上)と  $\Delta$  Time(us) vs.

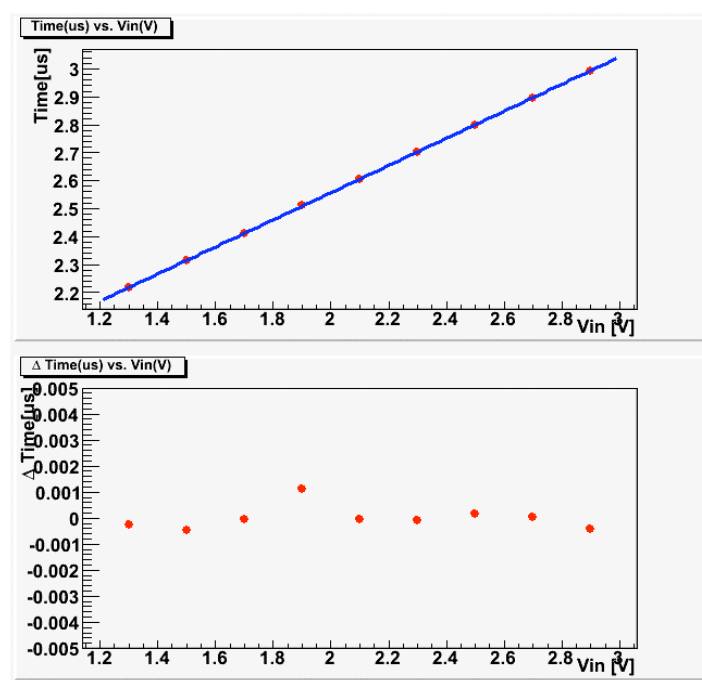


図 10 定電流回路への抵抗なし Time(us) vs. Vin(V) (上)と  $\Delta$  Time(us) vs.

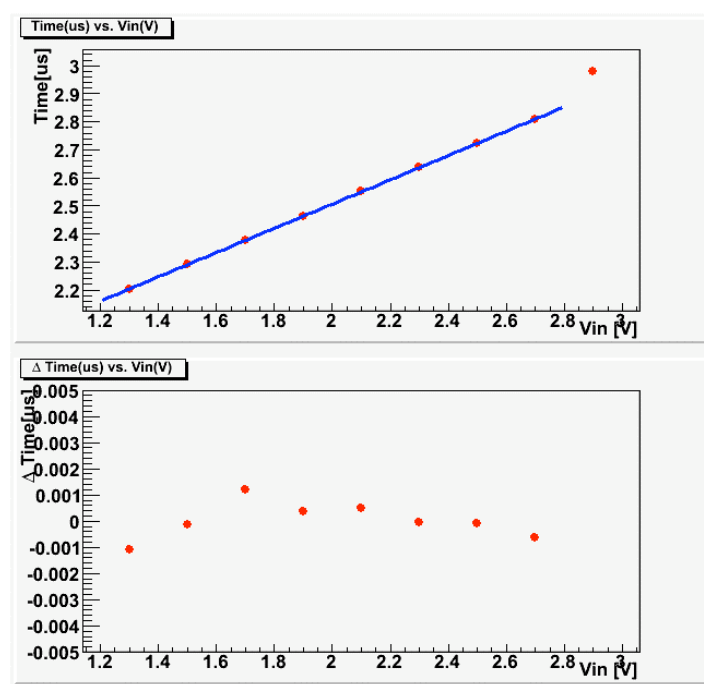


図 11 定電流回路の MOS トランジスタ  $W=10\mu\text{m}$  Time(us) vs. Vin(V) (上)と  $\Delta$  Time(us) vs. Vin(V) ( 下)

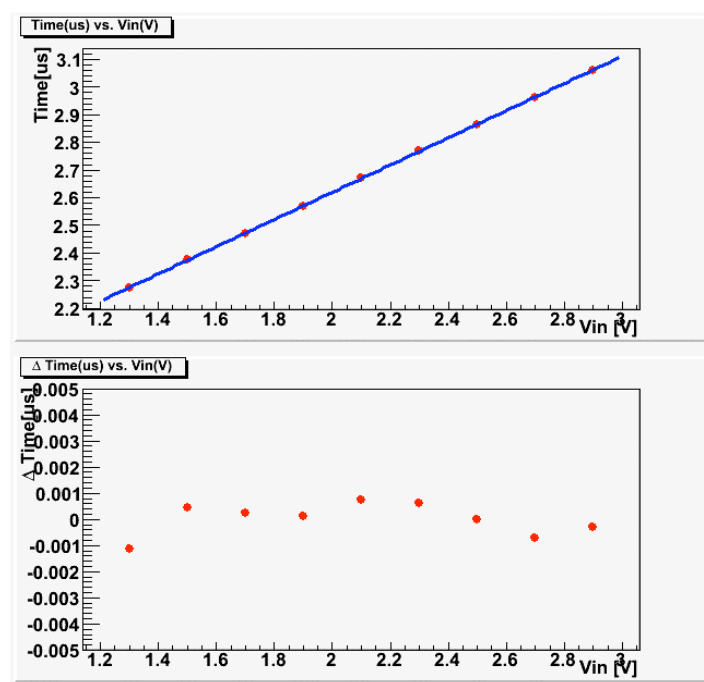


図 12 定電流回路の MOS トランジスタ  $W=50\mu\text{m}$  Time(us) vs. Vin(V) (上)と  $\Delta$  Time(us) vs. Vin(V) ( 下)

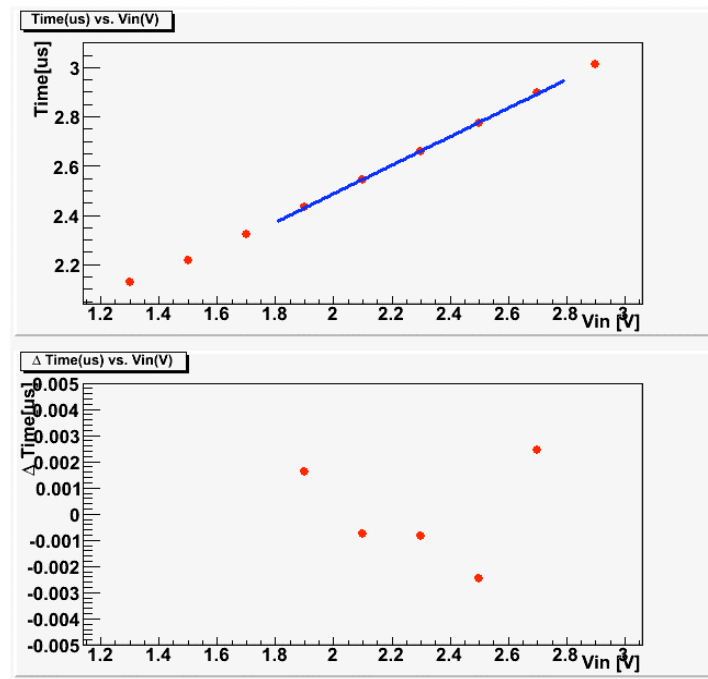


図 13 定電流回路の MOS トランジスタ W=200um Time(us) vs. Vin(V) (上)と Δ Time(us) vs. Vin(V) ( 下)

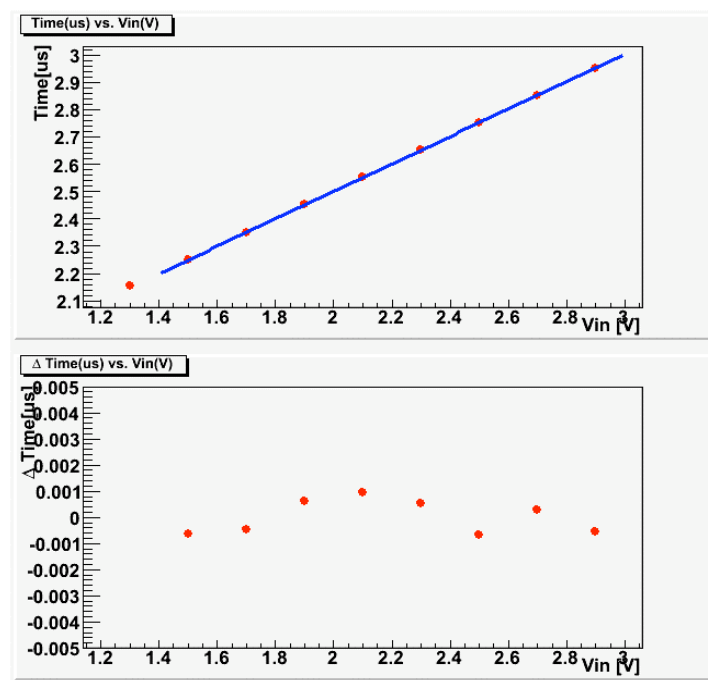


図 14 コーナーシミュレーション SS Time(us) vs. Vin(V) (上)と Δ Time(us) vs.

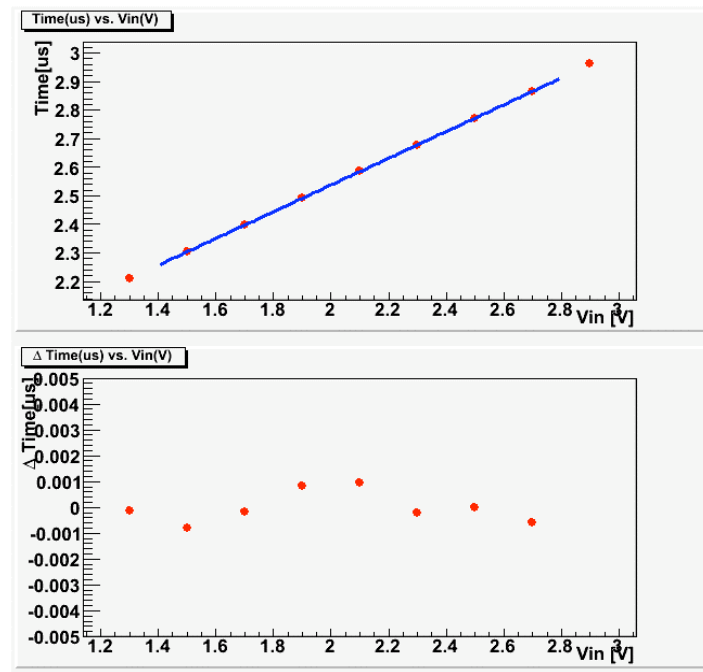


図 15 コーナーシミュレーション FF Time(us) vs. Vin(V) (上)とΔ Time(us) vs.

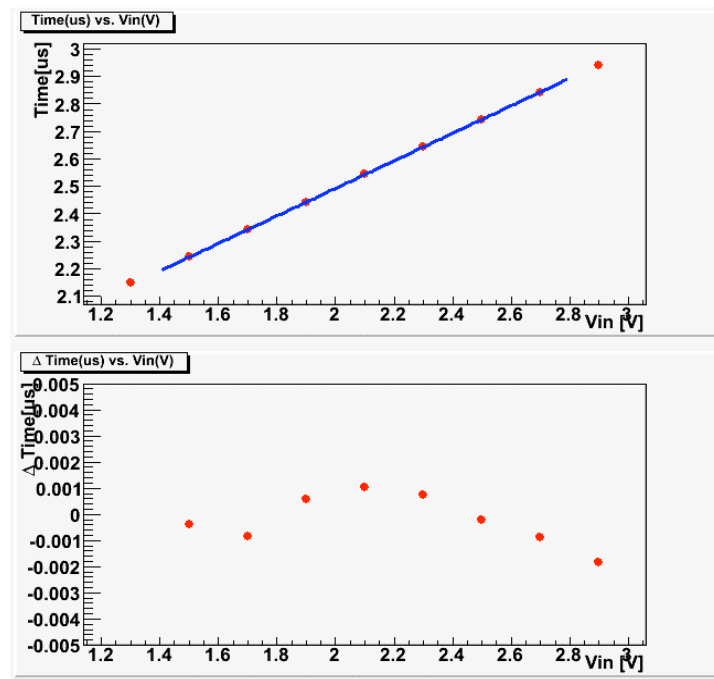


図 16 コーナーシミュレーション SF Time(us) vs. Vin(V) (上)とΔ Time(us) vs.

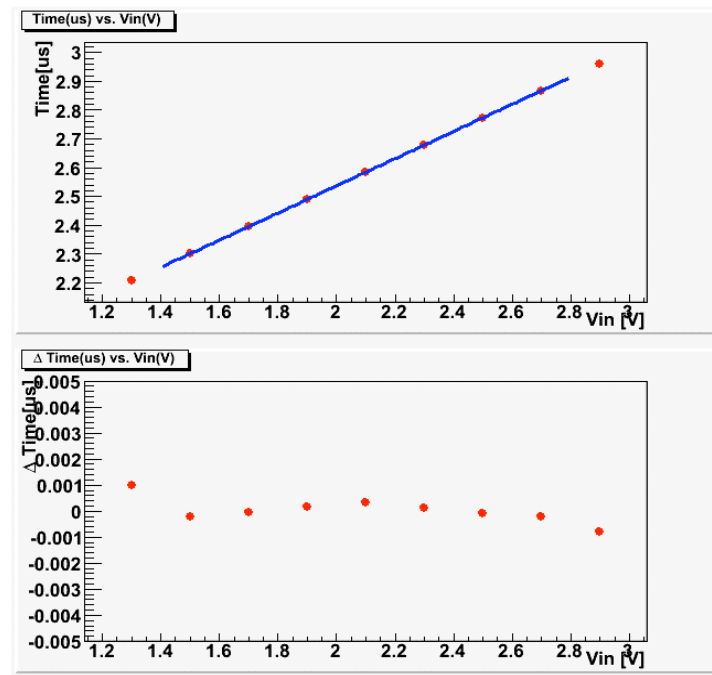


図 17 コーナーシミュレーション FS Time(us) vs. Vin(V) (上)とD Time(us) vs. Vin(V) (下)

### さらなる改良について (フィードバックとシンク型電流源)

回路図に、フィードバックと電流源の改良を行い、性能の向上を試みた。今回作成しているADCの非線形性は、電流を引き抜く電流源の回路とスイッチからきている。この部分をフィードバックループの中に置くことにより、この非線形性の改善を試みた。



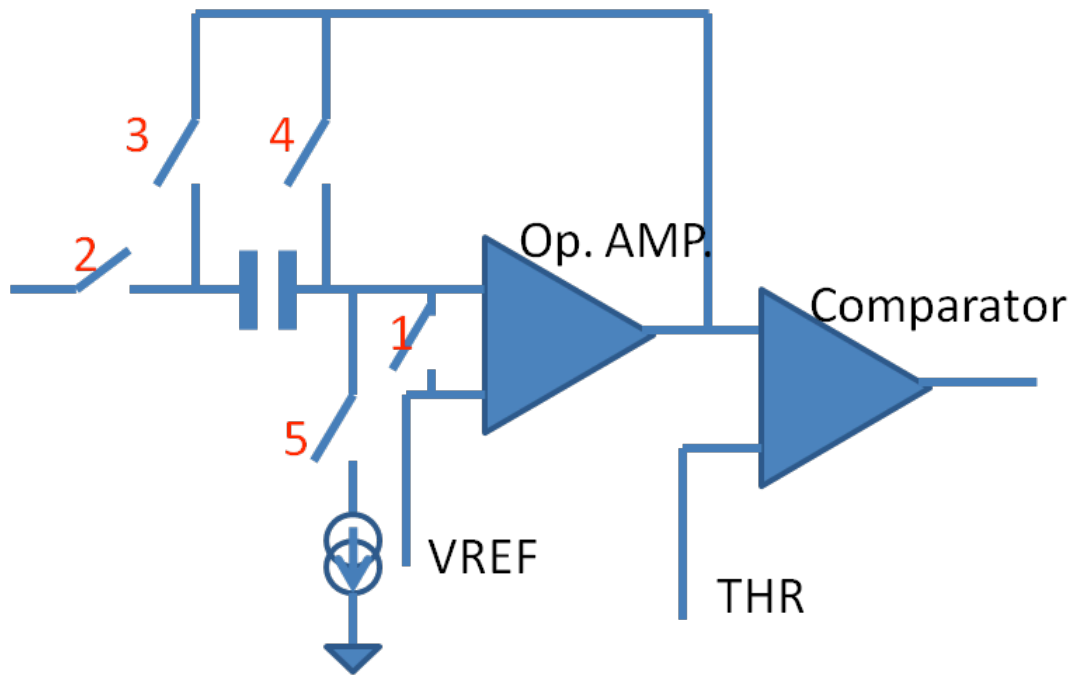


図 18 フィードバック付き回路図

フィードバックなしとフィードバックありの結果を比較する。シミュレーション結果は、5次の多項式でフィットし、その残差を表示した。図 18 にフィードバックなし回路での入力電圧(V)と出力パルス幅(us)と回帰直線との残差(us)の結果、図 18 にフィードバック付き回路での結果をしました。フィードバック付き回路のほうが、広い入力ダイナミックレンジを持っていることが分かる。

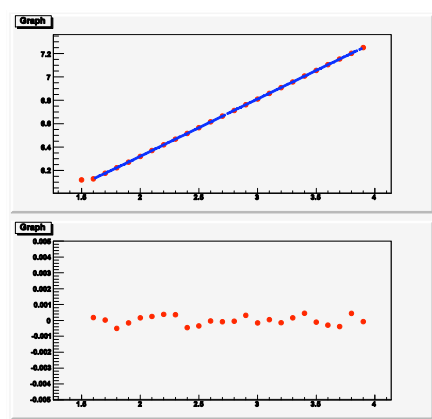


図 18 フィードバックなし回路（縦軸：出力  $u_s$  (上)、残差  $u_s$  (下) vs. 入力電圧  $V$ )

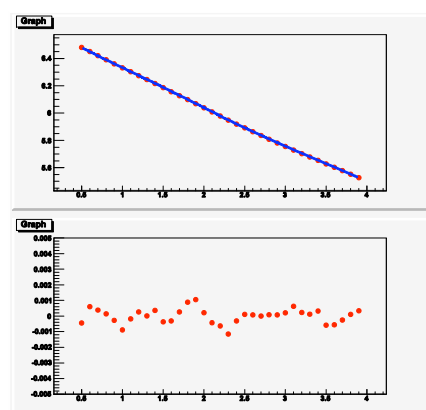


図 18 フィードバック付き回路（縦軸：出力  $u_s$  (上)、残差  $u_s$  (下) vs. 入力電圧  $V$ )

今回作成しているADCは、波形をサンプルした電圧を保持しているコンデンサーから、電荷を引き抜き、基準電圧と比較を行い、基準電圧まで到達した時間により、AD変換を行う。この電荷を引き抜く回路は、ミラー回路を用いて、参照電流をコピーすることにより行っている。単純ミラー回路によるコピー電流の電流変動量  $\Delta I$  は、出力電圧の変動量  $\Delta V$  と、電流源回路の出力抵抗  $r_{o1}$  によって、  

$$\Delta I = \Delta V / r_{o1}$$

と記述される。この式により、出力抵抗 $r_{o1}$ を大きくすれば、電流源の性能が良くなることが分かる。出力抵抗を大きくする常とう手段として、カスコード接続がある。カスコード接続をすると、コピー電流の電流変動量は、

$$\Delta I = \Delta V / \{(g_{m2}r_{o2})r_{o1}\}$$

となり、トランジスタ $M_2$ の真性利得 ( $g_{m2}r_{o2}$ ) だけ小さく抑えることが可能である。ただし、出力電圧の下限値が $V_T + 2 \Delta_{ov}$  ( $\sim 0.5V + 2 \times 0.2V = 0.9V$ ) と大きくなる問題があります。図 18 にフィードバックとカスコード接続電流源付き回路での入力電圧(V)と出力パルス幅(us)と回帰直線との残差(us)の結果を示します。予想した改善が得られていません。現在この理由として、これはシミュレーション時のパラメータが最適化されていない、またはシミュレーションの限界ではないか、と考えている。

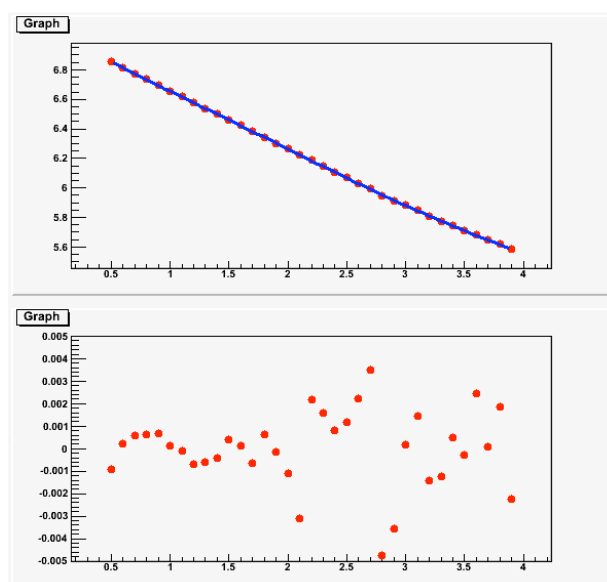


図 18 フィードバックとカスコード接続電流源付き回路（縦軸：出力 us (上)、残差 us (下) vs. 入力電圧 V)

ついでに、出力電圧の下限値の改善を行った低電源電圧用電流源回路を使用した時の結果を図 18 に示す。

以上の結果により、フィードバック付き回路のADCを作製することになった。出力パルスの時間ジッターの最適化をシミュレーションにより調べたが、計算精度の問題が大きくあまりはっきりしたことはわからなかった。田中さんと議論して、後はICを作製して実際に測定してみないとわからないだろうとの結論に達した。

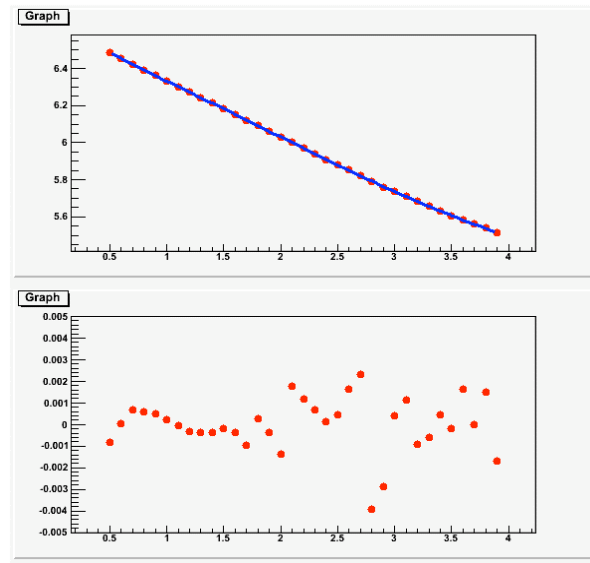


図 18 フィードバックと低電源電圧用電流源付き回路（縦軸：出力 us(上)、残差 us (下) vs. 入力電圧 V)

## 6. AMCへの組み込み

フィードバック付きADC回路をAMCに組み込む開発を行った。図 19に、ADC用参照電流源付きAMC回路の概念図

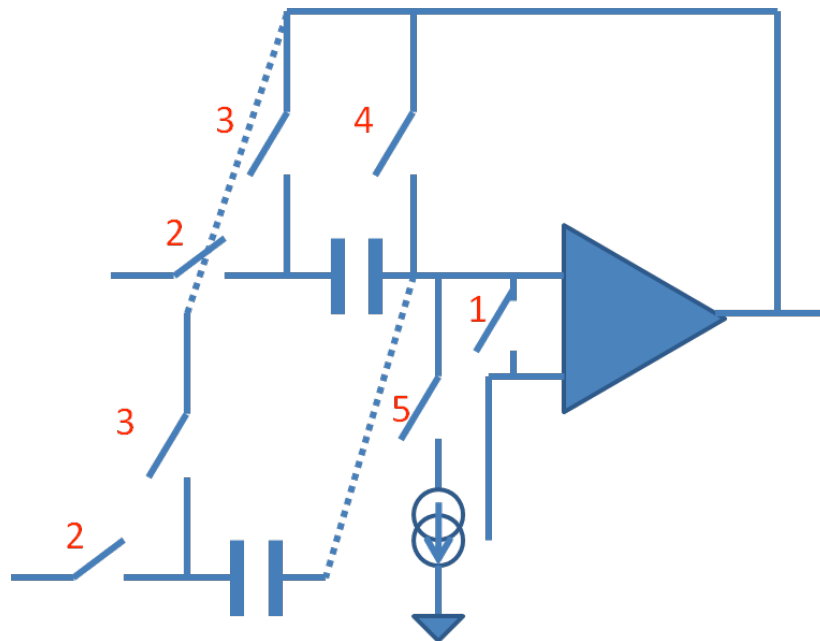


図 19 ADC 用参照電流源付き AMC 回路概念図

当初のスイッチのタイミングチャートは下図の通り。

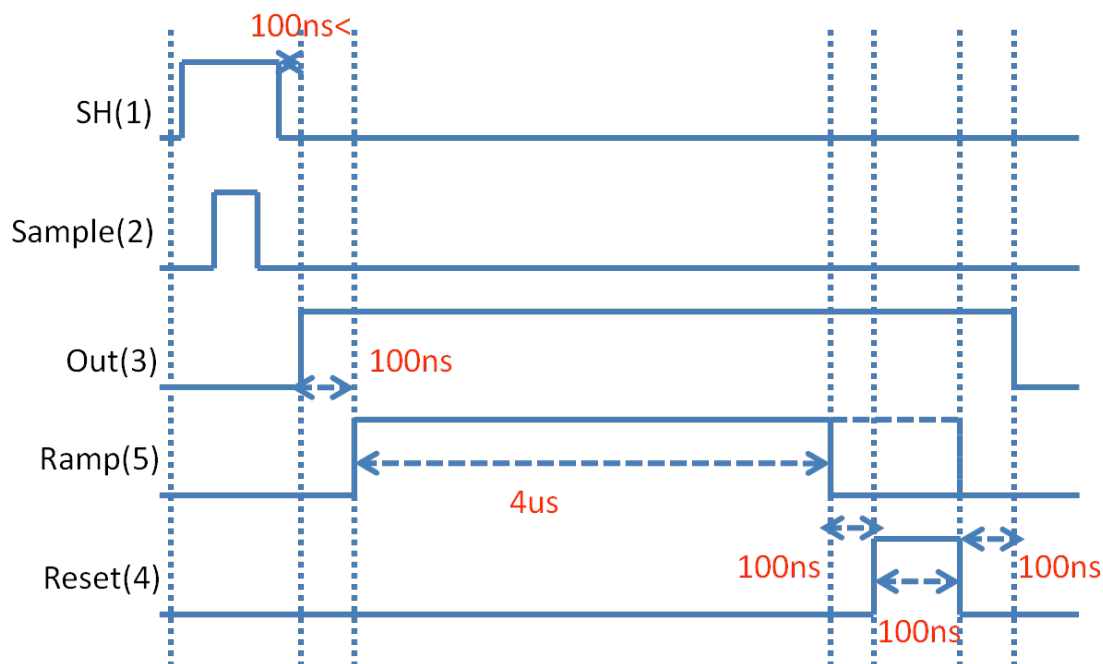


図 20 開発当初のデジタルタイミングチャート

このタイミングだと、スイッチ4をオフにしたときにスイッチ4のトランジスタにある電荷も波形電圧保存用コンデンサーに充電されてしまう。すると、次のサンプルされた波形電圧を読み出すときに、一度リセット(スイッチ1をON)をかけないと、出力段のオペアンプが正しく動作しない問題が発生した(図 21参照)。そこで、図 22のようにタイミングチャートを変更した。スイッチ4のONのタイミングを、スイッチ3がOFFになってからも100ns程度ONのままにしてある。このことにより、問題が解決された。この経験により、デジタル制御部に関して今回新たに放電スイッチの機能を追加したことにより、予期せぬ問題が起きる可能性が分かった。したがって、デジタル信号の処理は、外部から行うように仕様を変更し、この問題に対処できるようにした。

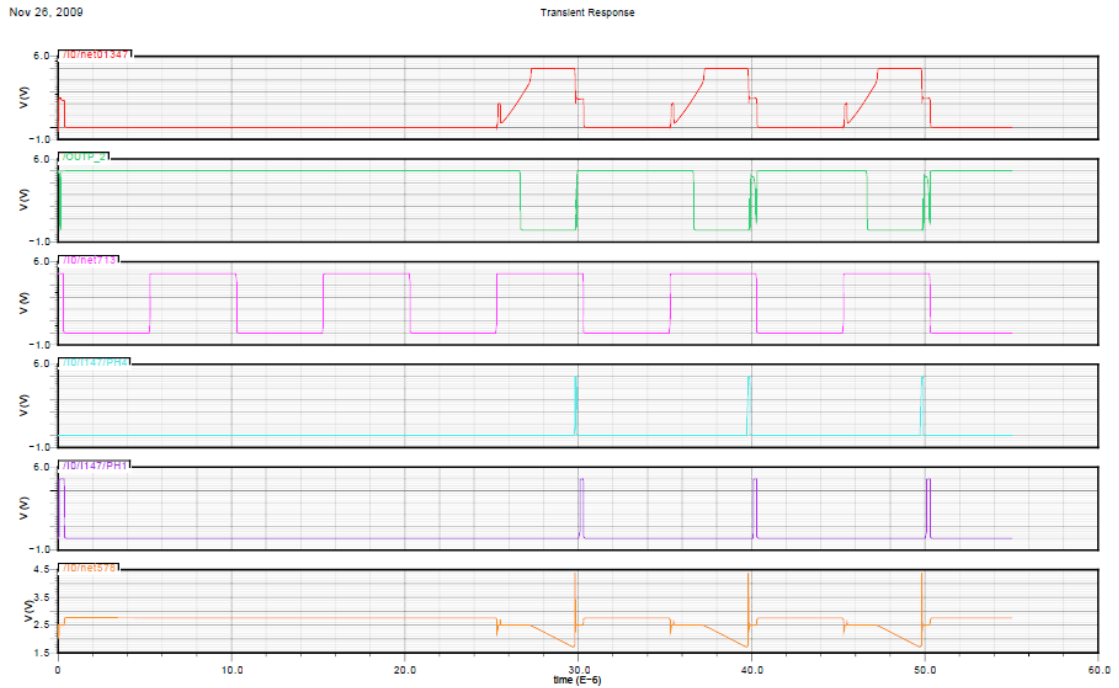


図 21 ADC 付き AMC の出力波形（修正前）。上から出力バッファアンプの出力、比較器の出力、読み出しクロック、スイッチ 4、スイッチ 1、出力バッファアンプ入力部。

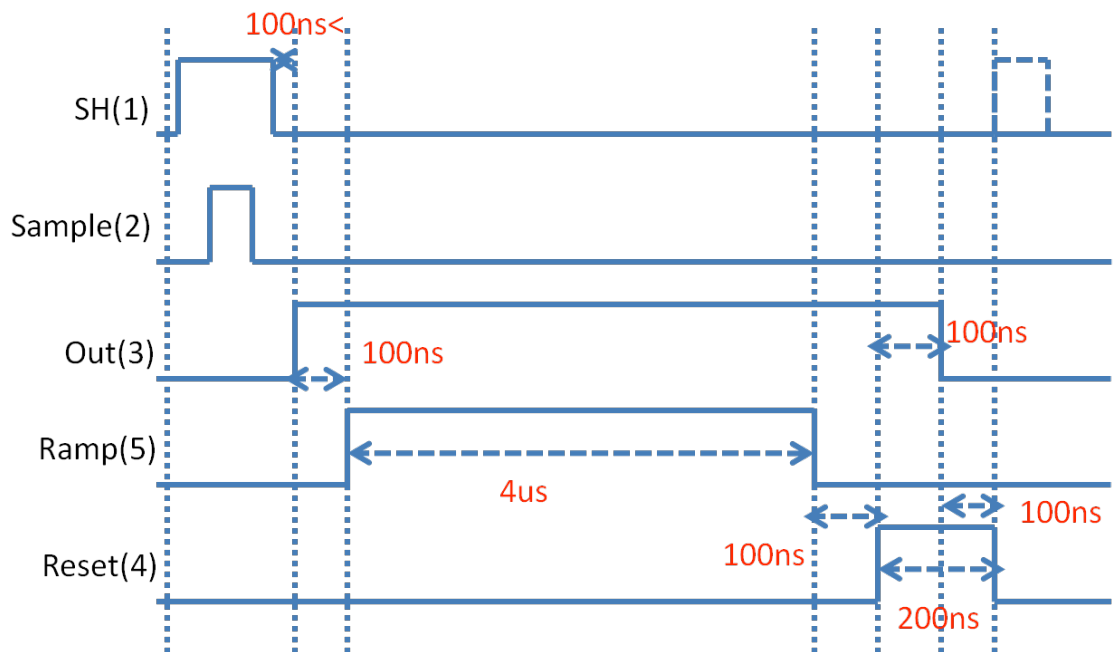
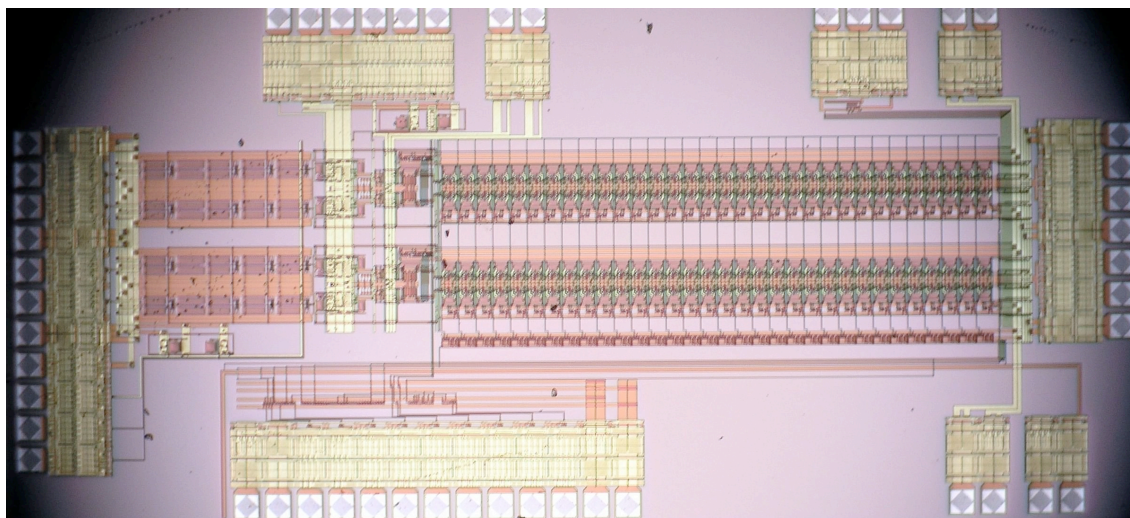


図 22 修正したデジタルタイミングチャート

## 7. レイアウト (チップ写真)



## ASIC 製作経過報告 1

### 1. 概要

本計画では、多チャンネルフォトダイオード型光検出器用のアナログ読み出しを行なう ASIC を製作する。読み出しを行なう検出器自体の最終的なゲインは低い( $\sim 10^4$ )ものの、光入射の有無だけが興味の対象であるため、あまりに高いゲインは必要としない。したがって、当該 ASIC の 1ch あたりの構成は、前置増幅(pre-amp)と波形整形(shaper)のみでゲインを調節し、検出対象となる光電子識別のための比較器(comparator)を最終段に備えるだけとなる。これより、増幅段での増幅率は 10 倍程度に設計する。

デジタル処理はそれに伴うノイズの影響を分離するために、ASIC 外部で行なうことにするため、比較器の出力が 1ch の最終出力となる。この 1ch 基本構成のユニットを複数配置して、1 チップで数チャンネル同時読み出しを可能にすることを目標としている。

### 2. 現在までの状況

#### 回路設計

上記の回路を制作するために、まず一から設計するのではなく、昨年 ASIC を作成された佐賀大の東さんが設計された「FEXE08」をベースに自分の欲しい機能回路を設計することにした。

「FEXE08」の基本構成は前置増幅、波形整形までだったので、新たに、比較器とモニター用のアナログバッファを接続した。これらも KEK アナログライブラリで用意してあるものを利用した。

これ以外の変更点は、前置増幅段のシェイピングタイムを調整した。想定している入力が 40000 $\sim$ 60000[electron]で、この信号の有無だけを判断できればいいので、時定数を初期値からやや長め( $\sim$ 数  $\mu$  s)に設定した。

図 1 に 1ch 分の設計回路のブロック図を示す。



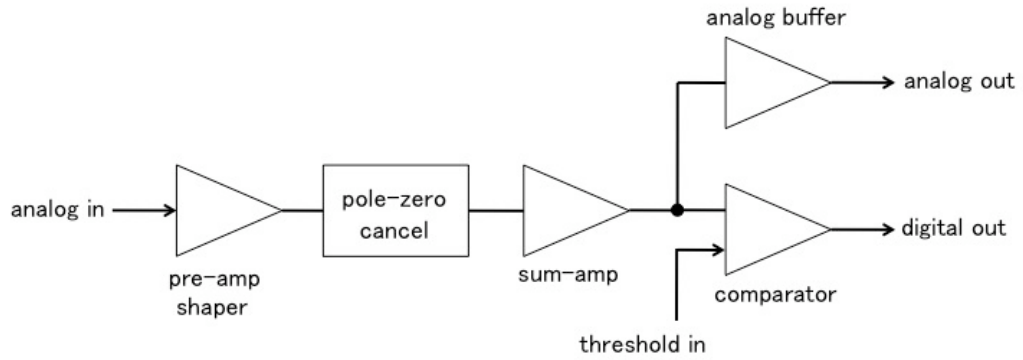


図 23 1ch ブロック図

### 設計回路の検証

1ch 分の回路に対するテスト回路を図 2 に示す。想定している入力電子数は約 40000~60000 であり、これに相当する入力電圧を与えた場合の挙動を tran 解析によってシミュレートした。実際に入力した電圧は、10[mV]、45[mV]、80[mV]、115[mV]、150[mV]で（電子数換算では約 6300、28000、50000、72000、94000 となる）、想定範囲より広くシミュレートした。これらの入力に対する sum-amp からの出力を図 3 に示す。

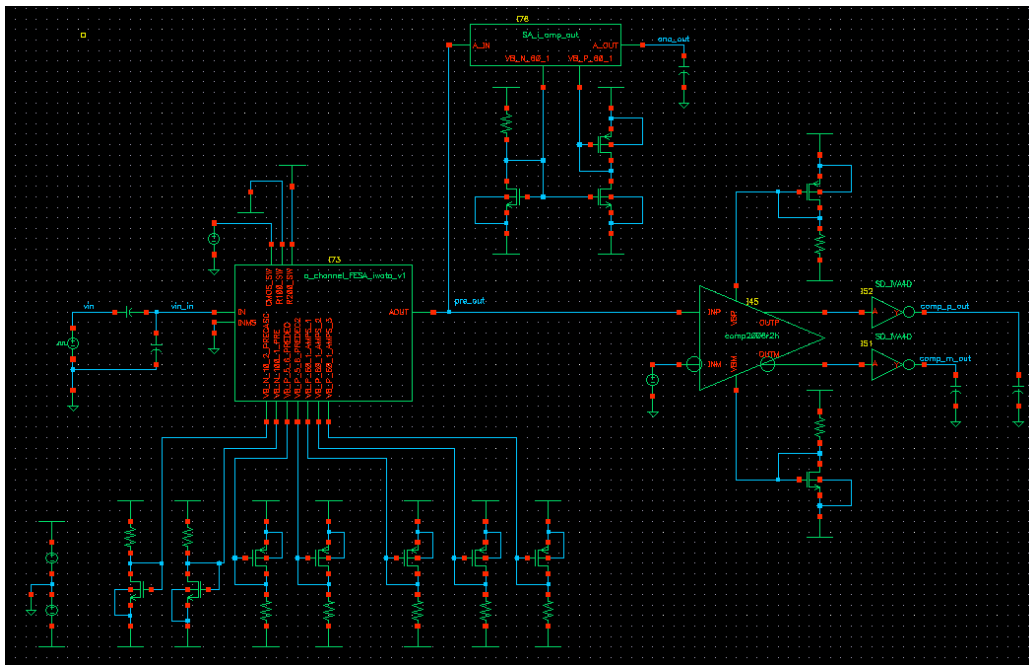


図 24 テスト回路

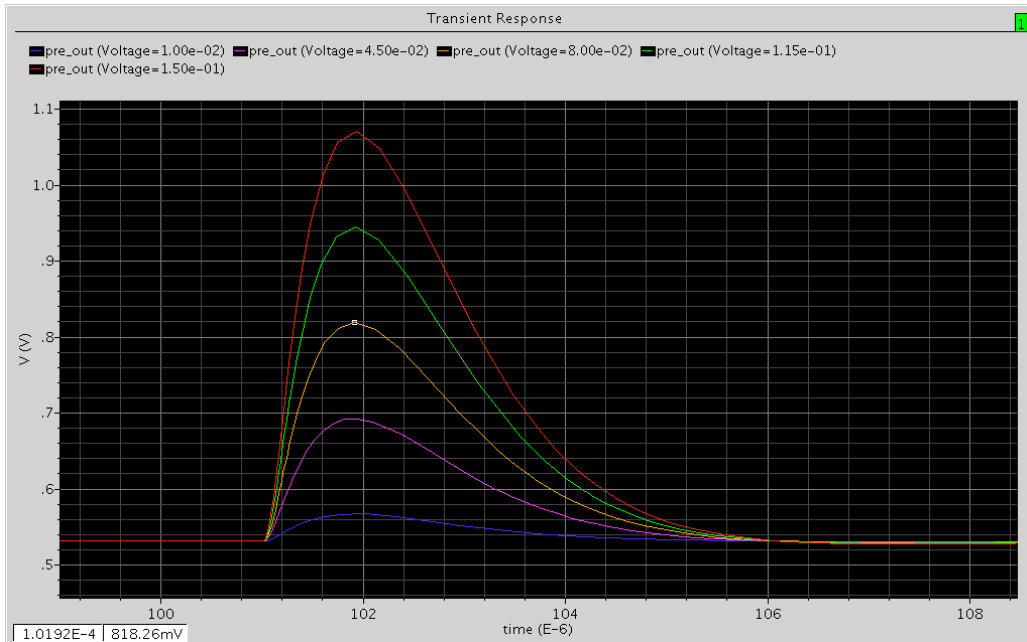


図 25 sum-amp からの出力の tran 解析結果

この結果から、増幅段における最終的なゲインは約 10 倍と見積もられ、必要な性能を満たしていることが確認できた。中間の 80[mV] 近辺での応答が最も実際の状況に近いが、それより下や上の入力に対しても出力が歪むことなく動作していることも確認できた。また、シェイピングタイムもおおよそ 4[ $\mu$ s]となっていて、これについても設計値通りの動作をしていることが確認できた。

次に 80[mV]の入力に対する回路全体の動作の tran 解析結果を図 4 に示す。表示されているのは sum-amp 出力と、それに対する比較器の出力、比較器の閾値電圧(600[mV]に設定)である。比較器についても正常に動作していることが確認できた。

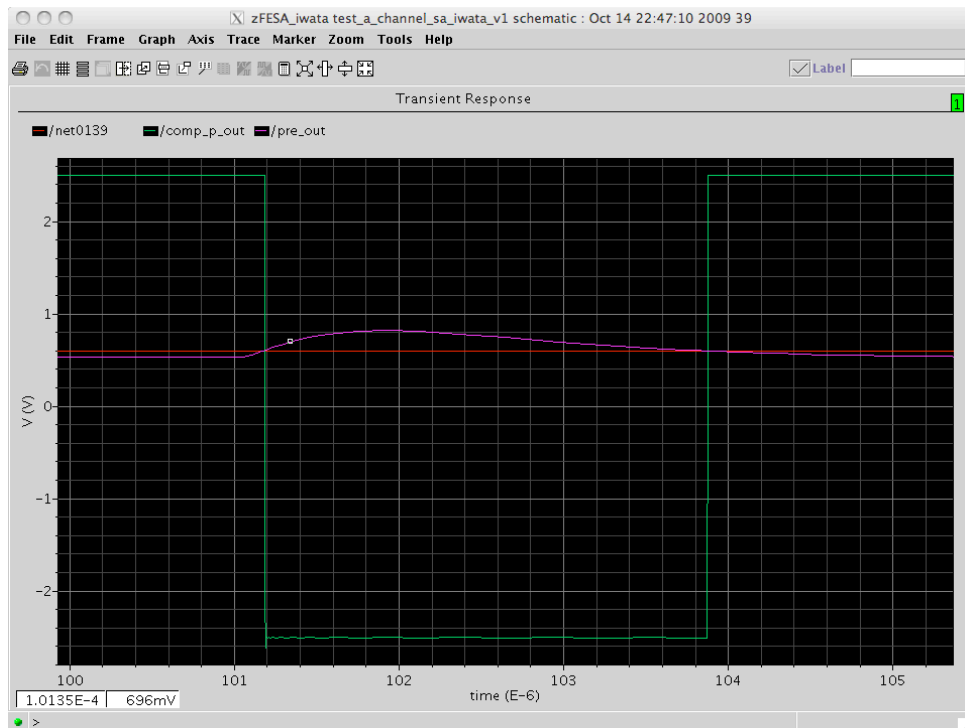


図 26 閾値電圧と sum-amp、比較器出力

### 3. 今後の方針

以上、光検出器読み出し回路の1ch分の設計については、基本的にはほぼ完了したといえる。次の段階は、実際のレイアウトに合わせたチャンネル数とパッドも含めた全体的なシミュレーションの後、レイアウトに入る予定である。

レイアウトに関しても、既存のレイアウトを参考にしてなるべく余計な変更をしないつもりである。表1は、1chにおける機能回路ブロックごとに使用するライブラリをまとめたものである。修正変更する必要があるものは明記してある。これ以外に新たに描く必要があるレイアウトは、ブロック同士の接続や追加の抵抗などである。

機能ブロック	回路 [ライブラリ]	変更点
pre-amp	pream_700fC_2006v2_H [FE20xe_n]	東さん引用
	damp_51_pver_2006 [FE2007e]	
	divider_2006 [FE2007e]	
pole zero cancel	pzc_2006_csw_cmos [FE20xe_n]	東さん引用 素子変更
	amp_pp_smp_2006v3 [FE2007e]	
	csw [FE2007e]	
analog out	amp_out_2006v2 [FE2007_1]	配線等変更
comparator	comp2006r2h [FE2007e]	
	difinv2r1 [FE2007]	
	SD_IVA4D [FE2007e]	

## ASIC 名称(RIKENDGCSP)

### 1. 概要

RIKEN Dual Gain Charge Sensitive Preamplifier (RIKENDGCSP)は、4桁のダイナミックレンジを持つシリコンストリップ型検出器用電荷有感型前置増幅器である。一つの入力信号につき、高利得用、低利得用2台の前置増幅器を搭載する。全エネルギー領域における線形性を保持することを目的として、高利得用前置増幅器は飽和防止機能を有するものとする。

### 2. 説明

#### 2-1 回路構成

要求される4桁(4 fC から 40 pC)のダイナミックレンジを獲得するため、高利得用ならびに低利得用2台の前置増幅器から構成される回路を作成する(図1)。2台の前置増幅器の仕様は共通とする(実現可能な値として、3.6 fC から 3.6 pC に渡る3桁のダイナミックレンジ、1 fC のノイズレベルを仮定)。前置増幅器に供給される電荷量は、入力初段に配置されたコンデンサーの容量に比例する。よって、それらの比を1(低利得用)対10(高利得用)に設定することで、低利得用前置増幅器の実質的ダイナミックレンジは40 fC から 40 pC であると見なすことができる。シリコン検出器中でのエネルギー損失量で表した場合には、0.9 MeV から 0.9 GeV に相当する。高利得用増幅器の実質的ダイナミックレンジは、同様に4 fC から 4 pC に匹敵する。よって、これら2台を組み合わせることで目的のエネルギー領域における測定が可能となる。

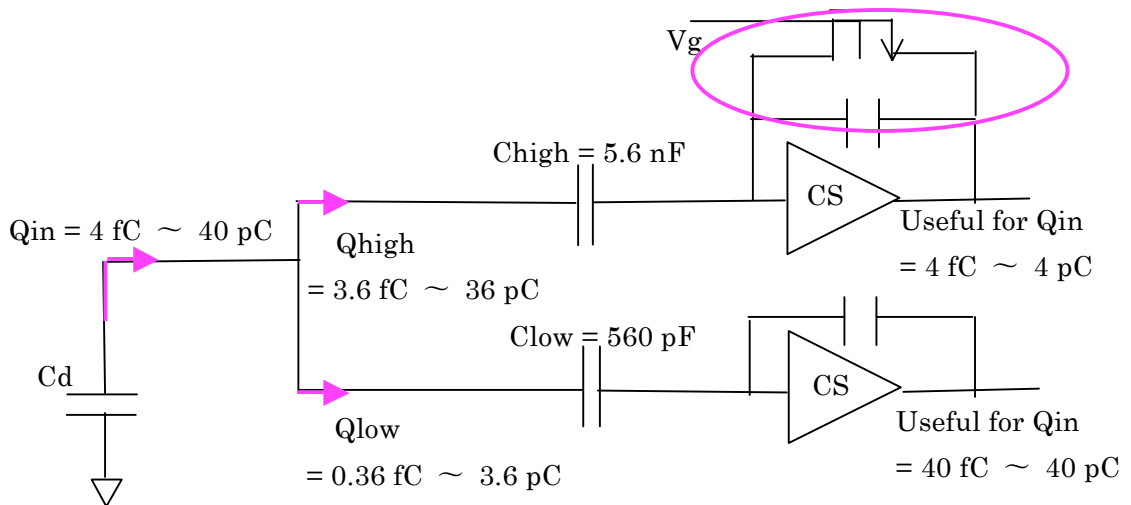


図 1

## 2-2 高利得用前置増幅器

シリコン検出器中でのエネルギー損失が 4 pC を超えた場合には、高利得用前置増幅器からの出力が飽和を起こすだけでなく、低利得用前置増幅器がその影響を受けることによって線形性が劣化し、結果としてダイナミックレンジの減少を生じてしまう(Ref.) N. Uematsu and S. Nishimura, RIKEN Accel. Prog. Rep. 41, 151 (2008).)。そのような劣化を避けるため、飽和防止回路を導入する。FET による高速スイッチングを利用した回路を図 1 中の囲みの中に示した。飽和防止回路としての動作は、個別回路を用いた測定によって確認されている。(Ref.) T. Machida, Master thesis of Rikkyo Univ. 2007, and private communication with H. Murakami.。ASIC においても飽和防止回路として有用であることを実証することは、本開発課題のひとつである。

## 3、仕様のまとめ

回路ブロック名称		値	備考
電荷分割用コンデンサー	高利得用	5.6 nF	外付け
	低利得用	560 pF	
前置増幅器	実効的ダイナミックレンジ(高利得用)	4 fC ~ 4 pC	飽和防止回路付き
	実効的ダイナミックレンジ(低利得用)	40 fC ~ 40 pC	
その他	テスト入力		

## 4、開発の背景

陽子放出を伴うクーロン分解反応  ${}^Z\text{X}(\gamma, p){}^{Z-1}\text{X}-1$  によって生成される陽子とその残留核  ${}^{Z-1}\text{X}-1$  の粒子識別、ならびに散乱角度を決定する事を目的としたシリコン検出器系の開発を行っている。この反応は、初期宇宙における元素合成過程のひとつである陽子捕獲反応  $p + {}^Z\text{X}-1$  の逆反応にあたり、不安定核  ${}^Z\text{X}$  のビームを使用するものである。同時測定される陽子と重い残留核の核子当たりのエネルギーは共に 250 MeV、残留核の最大原子番号は 50 番(Sn)を想定している。厚さ 325 $\mu\text{m}$  のシリコン検出器を用いた場合、陽子、Sn の検出器中における平均のエネルギー損失量は、それぞれ 10 fC、25 pC と計算されることから、2500 倍のダイナミックレンジが要求される。それに加えて、ビームの軌道上に検出器が配置されることから、重い残留核とビーム粒子がパイルアップを起こす確立も高く、そのような状況下における情報取得を可能にするには、さらなるダ

イナミックレンジの拡大が必要となる。既存の回路による対応は不可能なので、独自の回路を製作することにした。また、要求される角度分解能を基に算出した信号チャンネル数が約 5 千となることと、ダイナミックレンジの拡大に対する要求が、放射光を使った実験等、他の研究領域にも存在することを想定し、ASIC の開発を考えるに至った。重イオンの測定を中心とした中低エネルギー領域における原子核実験では、ASIC の適用が積極的にすすめられてはこなかった。特有の課題や条件を克服し、普及をはかることは、実験準備の効率化、実験手法の改良等に貢献できるものと考えられる。

## 5、回路図とシミュレーションの結果

### 5-1 変更前

シミュレーションに用いた回路図を図 2 に、その結果を図 3 に示す。

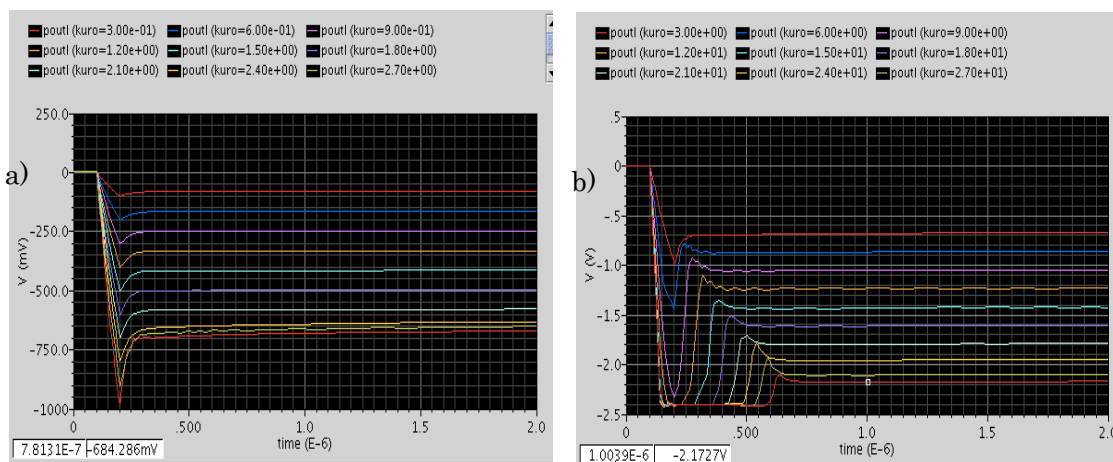
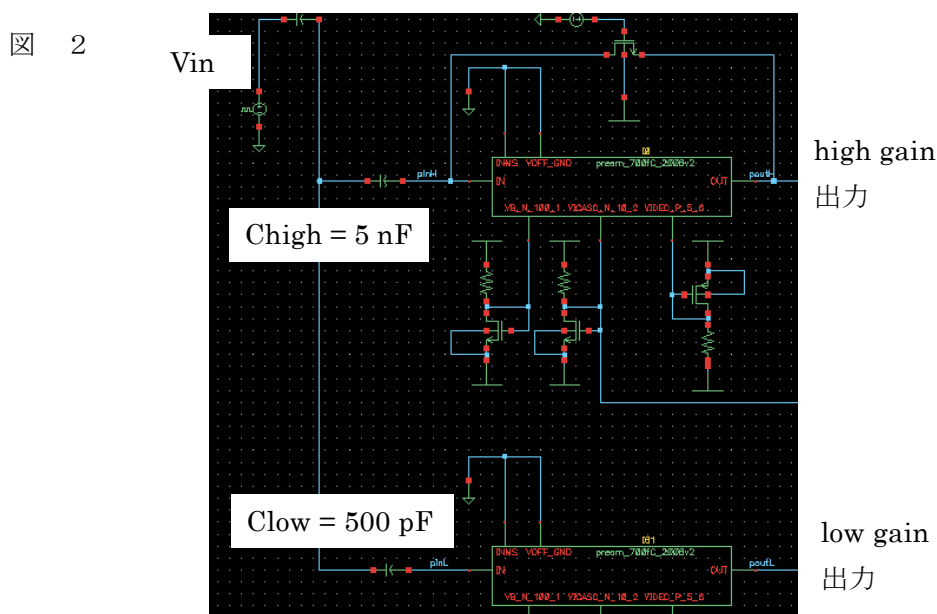


図 3: low gain 出力。a)  $V_{in} = 0.3 \sim 3.0$  V。b)  $V_{in} = 3.0 \sim 30$  V。

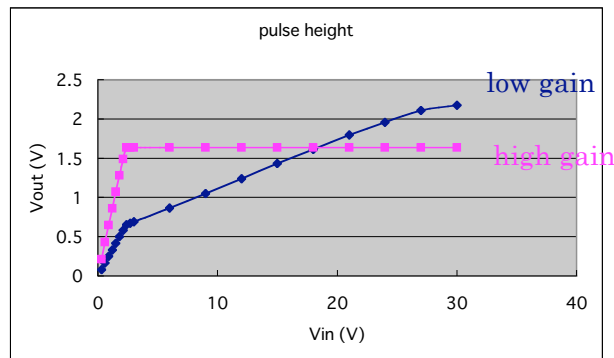


図 4

図 3 の波形において、時間が 1 us の時の波高をプロットしたものを図 4 に示す。入力電圧が 3 V 以上の領域において、高利得側出力の波高が一定となっているのは、飽和防止回路が機能していることを示している。ここでの問題は、その電圧以下の所で二つの直線の傾きの比が  $Chigh$  と  $Clow$  の比、すなわち 10 に等しくなっていないことである。原因は、前置増幅器の入力抵抗が  $Chigh$  並びに  $Clow$  と匹敵する値をもっていることにある。入力抵抗を小さくするには開利得を大きくしなければならない。そこで前置増幅器の開利得が大きくなるような変更を行った。図 4 において、低利得側の出力に相当する直線の傾きが、飽和防止回路が機能し始める入力電圧を境に変化しているのは、飽和防止回路が動作することによって、高利得側の前置増幅器の入力抵抗がゼロになったことによるものである。すなわち、入力電荷が、 $Chigh$  に依存する値と  $Clow$  に依存する値+入力抵抗の比で分割された結果であり、こちらの方の傾きが本来、低利得側出力が示すべきものに近い。

### 5-2 変更後

前置増幅器の開利得の増大を目的として変更を加えた結果の回路図を図 5 に示す(Ref.) G.L. Engel, *et al.*, Nucl. Instr. and Meth. A573 (2007) 418.)。その前置増幅器の開利得について調べた結果を図 6 に示す。変更前の開利得が 500 であったのに対して、変更後は 10000 以上(82 db)となった。図 2 における前置増幅器部分を図 5 で示されたものに置き換え、さらに結合コンデンサーの値を 5.6 nF、560 pF としたときに前置増幅器の出力で観測された波形を図 7 に示す。また、図 7 の波形において、時間が 1.0 μs の時の波高を入力電荷の関数としてプロットしたものを図 8 にしめす。高利得側が飽和するまでの出力波高比は 1:9.57 となっており、著しい改善がみられた。

図 7 に示された低出力側の波形において、立ち上がり部分に現れている角(つのは、容量分割を行ったことによって入力電荷が非対称に分割されたことに起因するものである。前置増幅器の出力にみられる角の影響が、Shaping Amplifier によって整形が加えられた後の波形にどのように反映されるのかを調べるために、0.36 μs の時



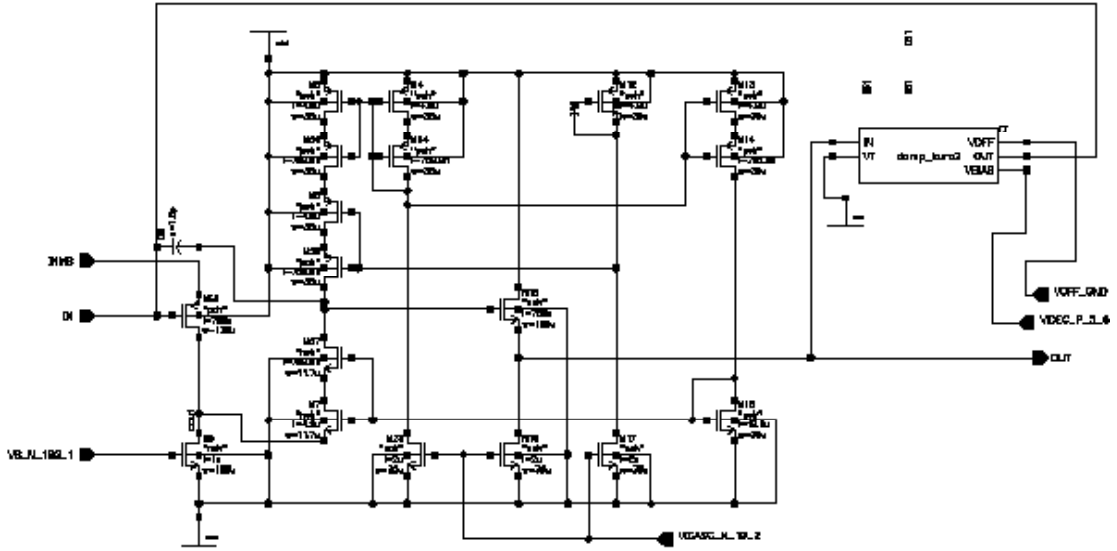


图 5

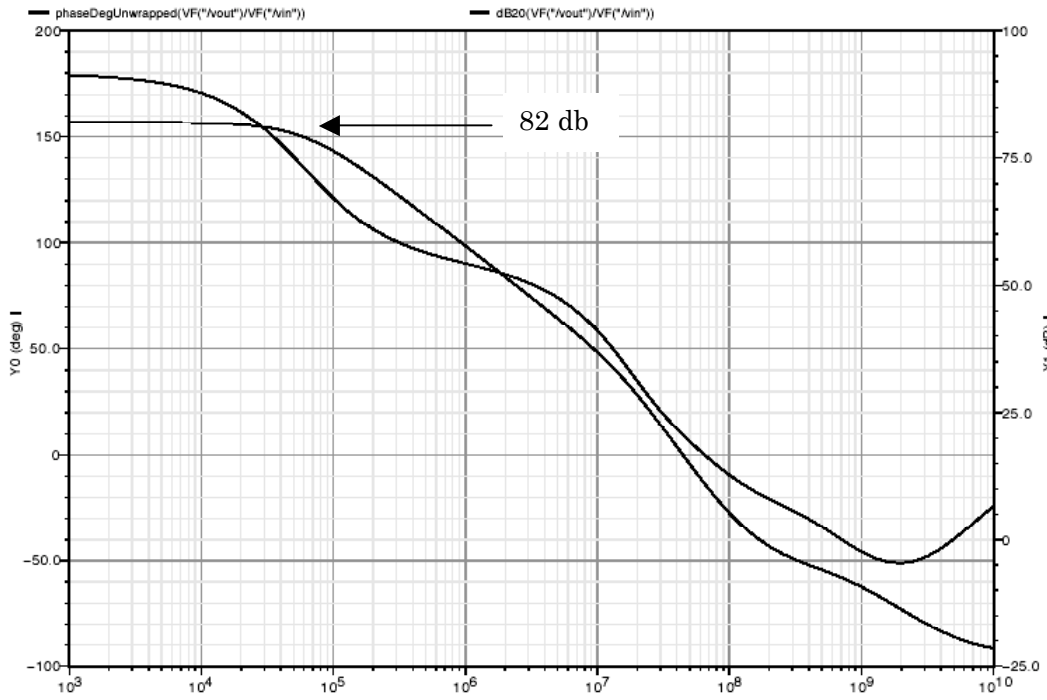


图 6

図7：前置増幅器の出力波形。a)高利得側。Vin = 0.3 ~ 3.0 V。b)高利得側。Vin = 3.0 ~ 30 V。c)低利得側。Vin = 0.3 ~ 3.0 V。d)低利得側。Vin = 3.0 ~ 30 V。

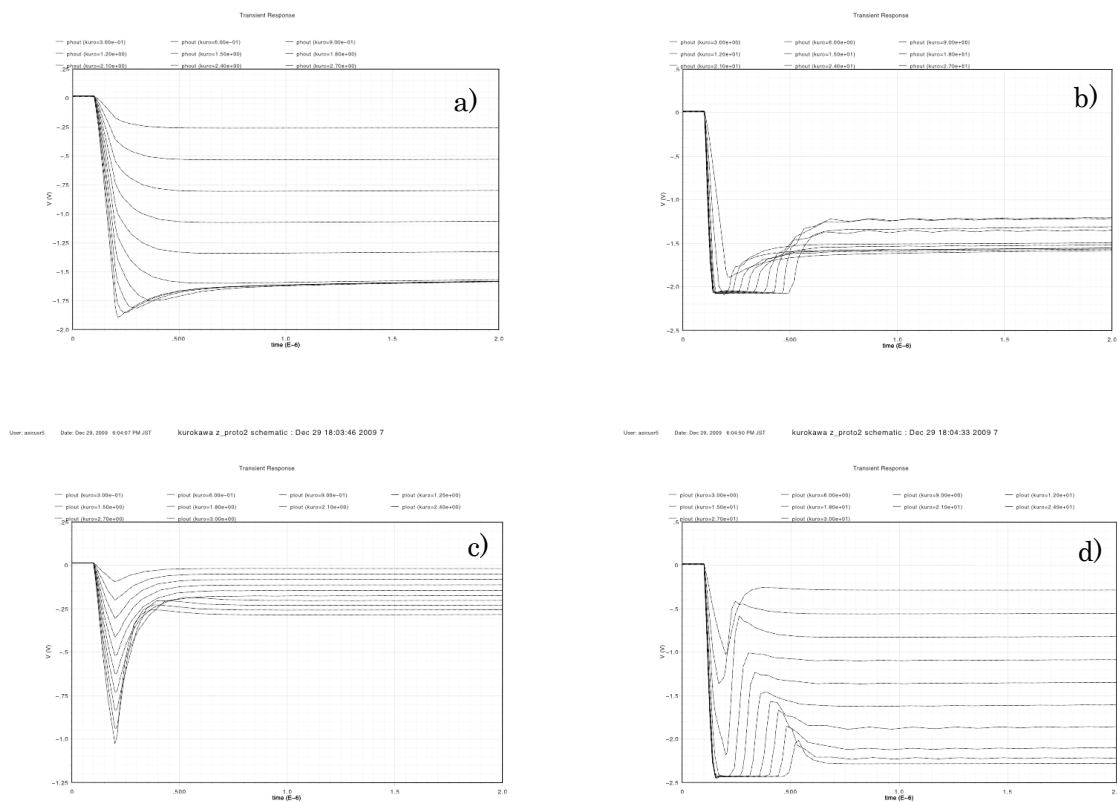
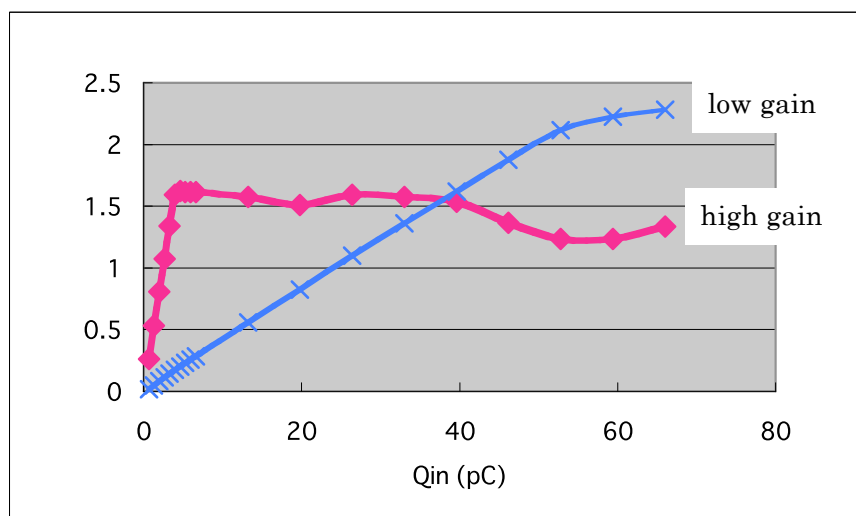


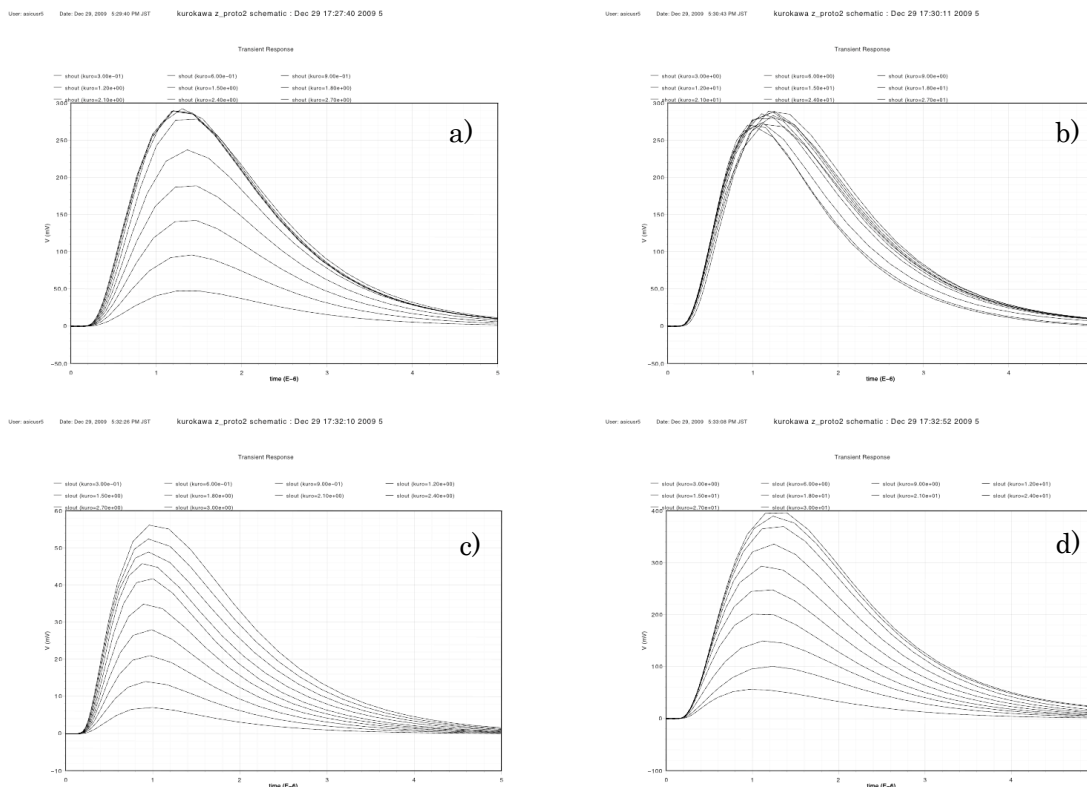
図8



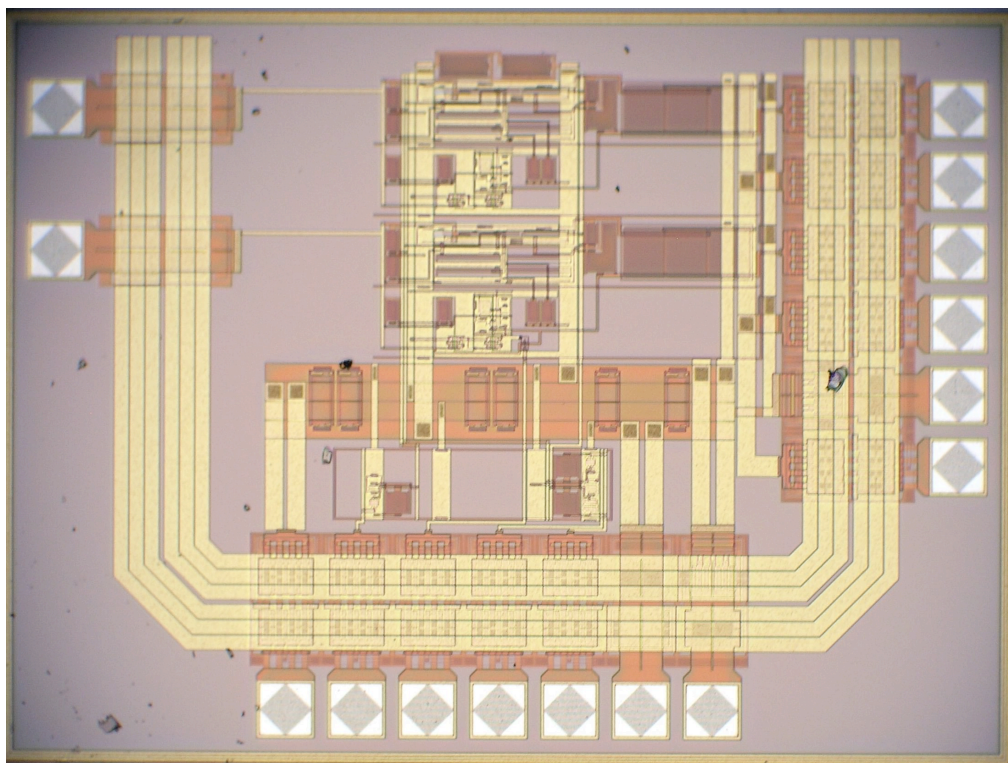
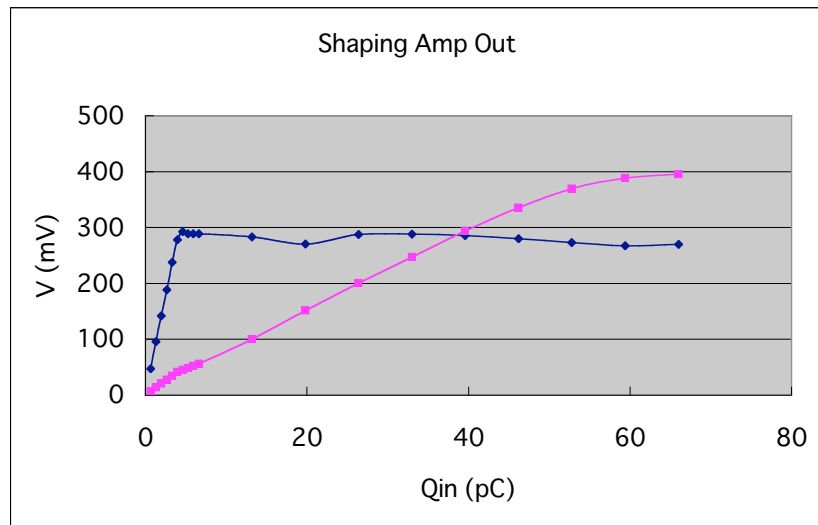
定数を持ったポールゼロキャンセレーション(pzc\_2006)並びに Shaping Amplifier(amp\_butter\_mfb\_2nd\_2006v3)で整形を行った場合についてシミュレーションを行った。Shaping Amplifier の出力における波形を図9に示す。それぞれの波高と入力電荷の関係をプロットしたものが図10である。高利得側において飽和防止回路が動作しはじめるまでの傾きの比は1:7ほどとなり、角の影響によって利得比が1:10と比べて若干劣化しているものの、ダイナミックレンジは保持されているという結果が得られた。

以上のように、容量分割法ならびに飽和防止回路を適用した今回の前置増幅器は4 fCから40 pCの範囲にある入力電荷を正しく測定できるものであるということをシミュレーションによって裏付けることができた。

図9 : Shaping Amplifier の出力波形。a)高利得側。Vin = 0.3 ~ 3.0 V。b)高利得側。Vin = 3.0 ~ 30 V。c)低利得側。Vin = 0.3 ~ 3.0 V。d)低利得側。Vin = 3.0 ~ 30 V。



☒ 10



## GEM 用 amp & セルフトリガー回路の製作

ASIC 名称: TKYGEMFE2009

### 1. 目的と原理

セルフトリガーによる GEM 用 AMP を作成する。回路の入力レンジは  $-0.01 \sim -0.05 \text{pC}$  を想定している。

回路の構成としては、まず GEM の出力を preamp と pzc で処理し、そのシグナルを速いシェーパー(トリガー用)および遅いシェーパー(シグナル用)につなぐ。

- ・速いシェーパー側は、コンパレータを通し、読み出しのトリガーとして使用する。
- ・遅いシェーパー側は、sample&hold 回路を通し、外部からトリガーを入力するとシグナルのピークの値が出力される。

### 2. 回路

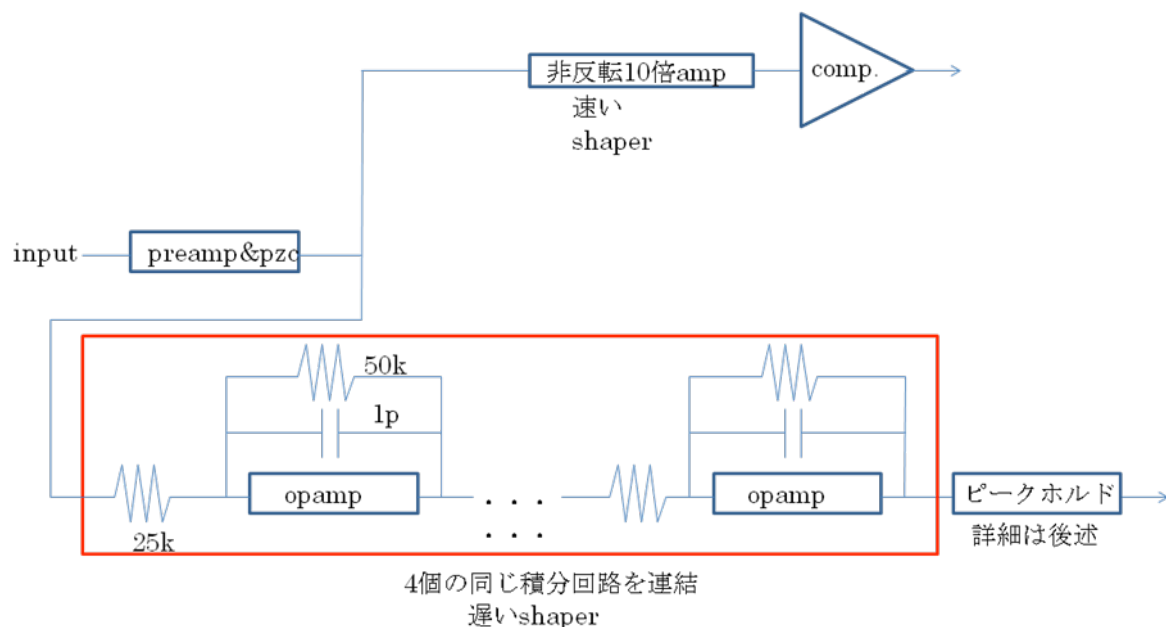


図 1 : 回路の概要

Sample&hold 回路の構造は以下の通りである。

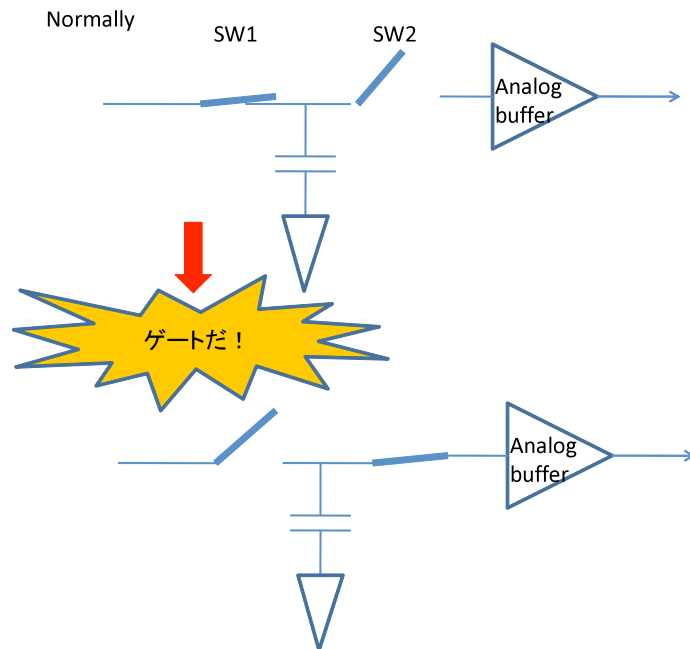


図 2 : sample&hold 回路の概要

回路の特徴を挙げると、

- ・遅い shaper の方は、 $R, C$  を調整した積分回路を 4 個連結することで作り、遅い shaper のピークは速い shaper のピークに対し約 160ns 遅らせられた。
- ・速い shaper → comparator からゲート信号をつくり、遅い shaper 出力を sample & hold する。sample&hold のスイッチの on/off は FPGA で行う。

### 3. シミュレーション

シミュレーションは、入力レンジ-0.01~-0.05pC の範囲を想定して行った。

#### 3.1. 遅いシェーパーと速いシェーパーのシミュレーション

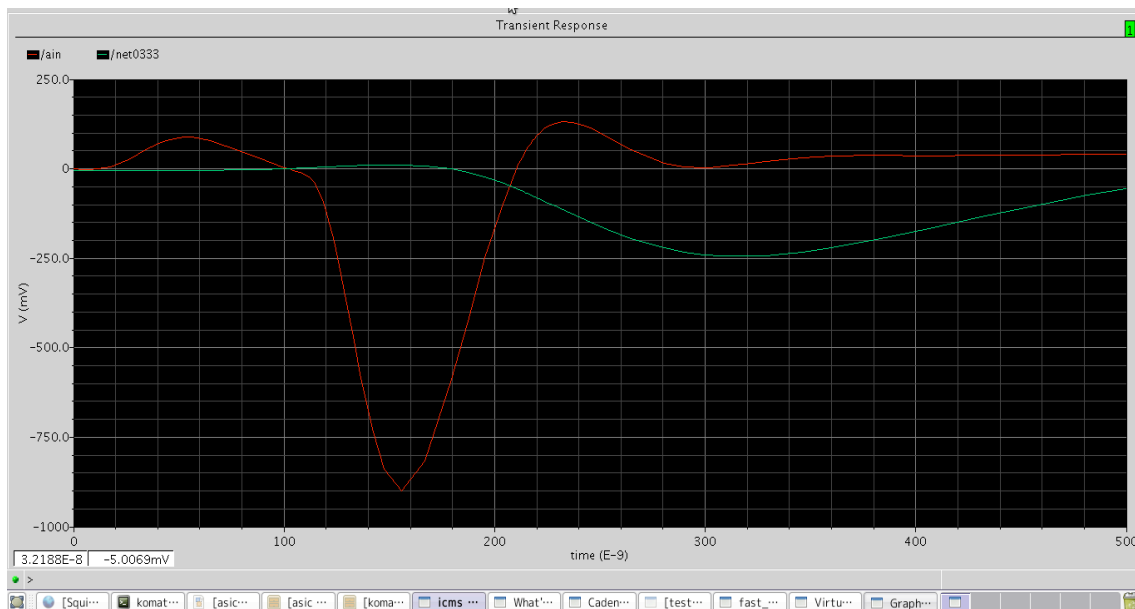


図 3 : -0.01pC 入力での遅い shaper (緑) と速い shaper (赤) 出力 横軸 ns、縦軸 mV

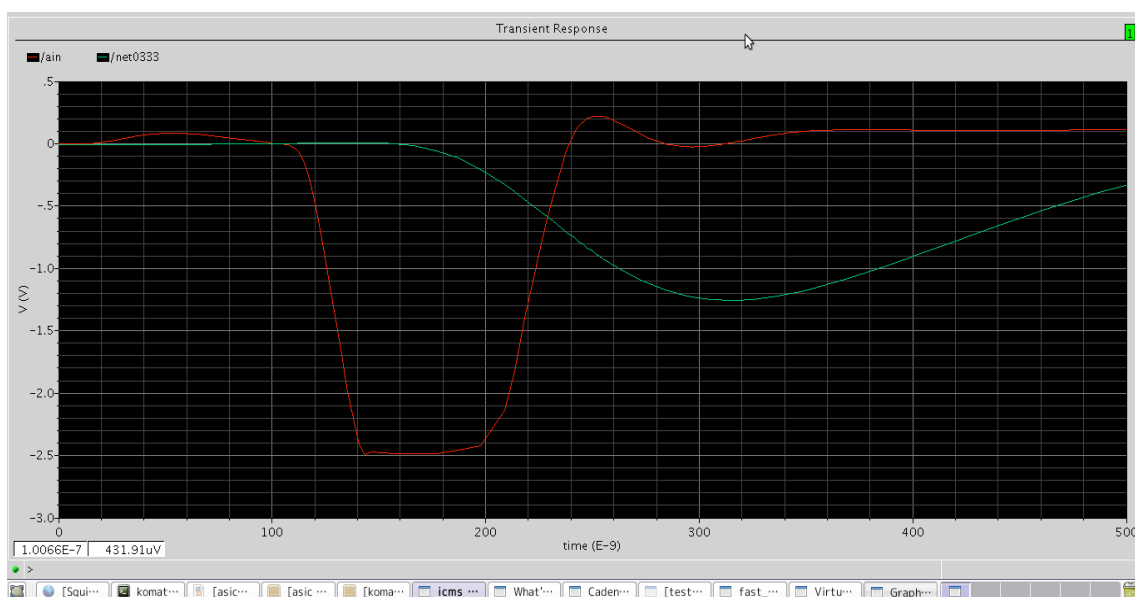


図 4 : -0.05pC 入力時の遅い shaper と速い shaper 出力 横軸 ns、縦軸 mV  
-0.05pC のとき速い shaper の出力は飽和した。

### 3.2.コンパレータのシミュレーション

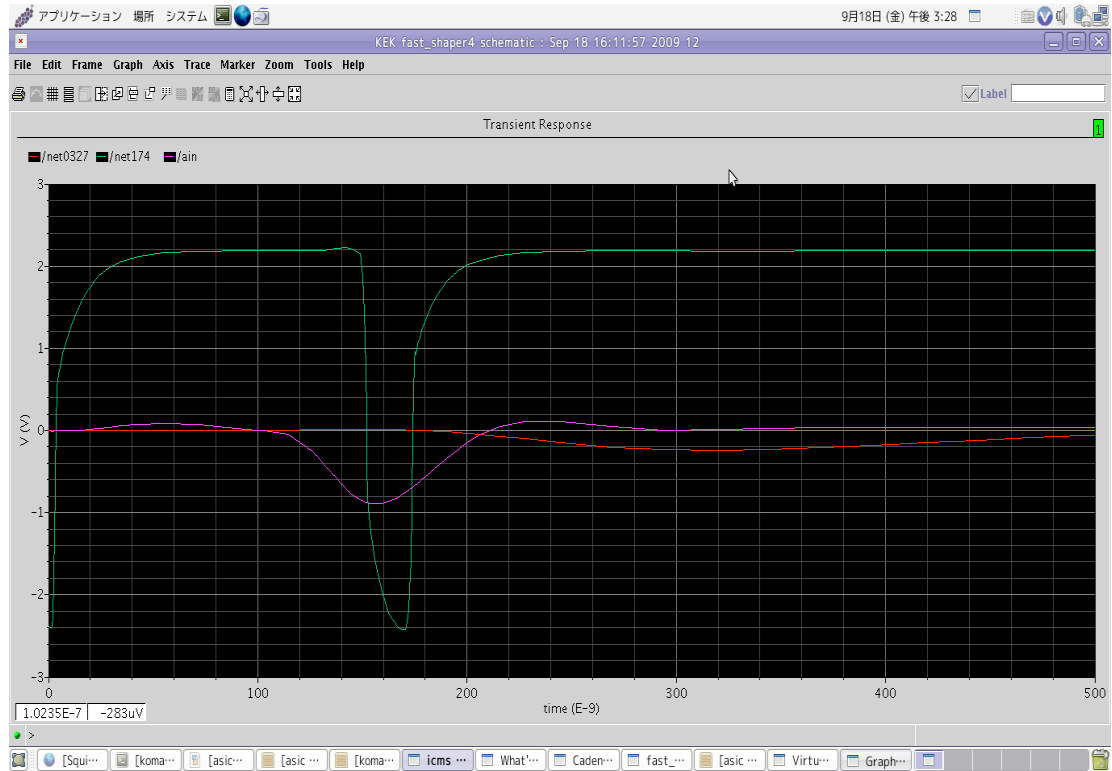


図 5 : -0.01 入力で comparator の v threshold -800mV のときの comp 出力 (緑)

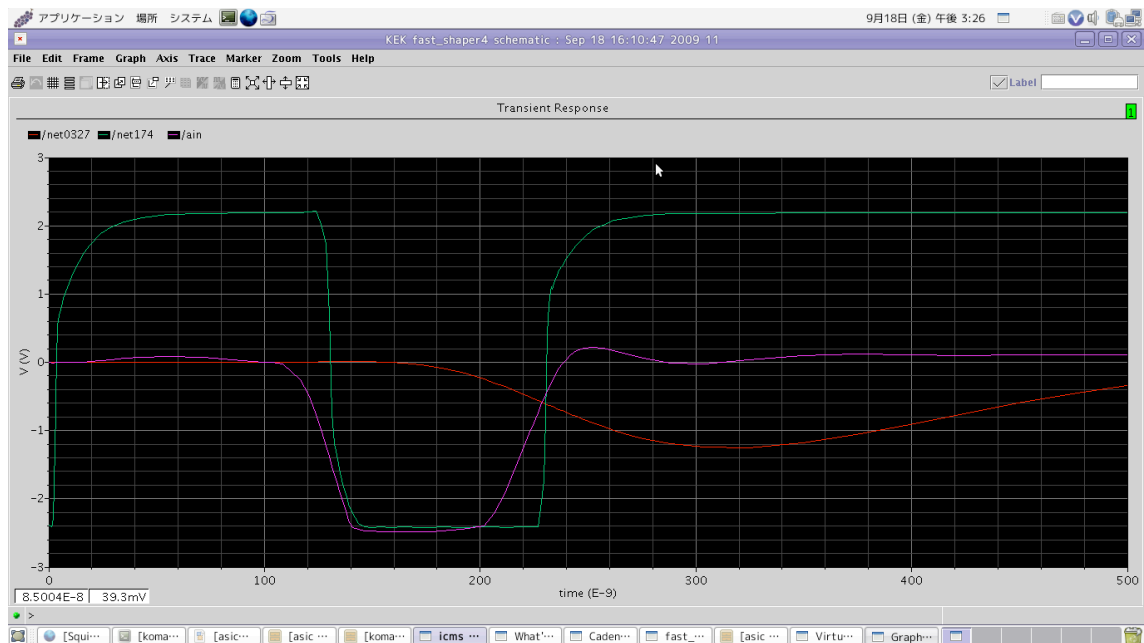




図 6 : -0.05 入力で comparator の v threshold -800mV のときの comp 出力 (緑)

### 3.3.sample&hold 回路シミュレーション

CSW の on/off 電源は外部から FPGA でつくる予定で、現在のシミュレーションでは下図のような on/off 電圧を入力している。赤が左側の CSW で、緑が右側の CSW の on/off である。

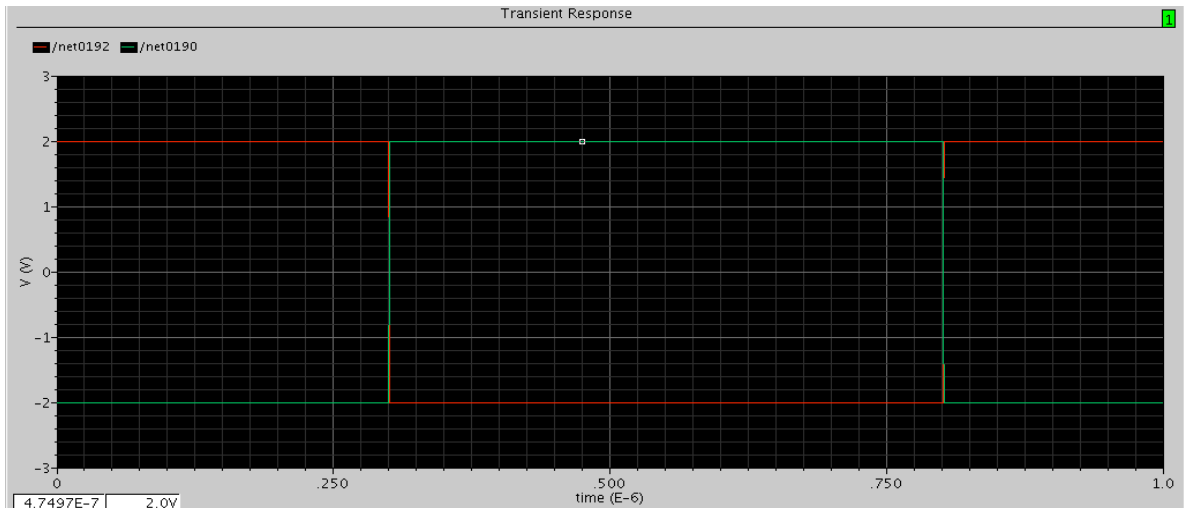


図 7 : CSW の on/off 電源の入力

遅いシェーパーの出力に対するピークホールド回路の出力が図 8 である。

ピンク・青・赤がそれぞれ、入力が 0.01,0.03,0.05pC のときの遅いシェーパーの出力、それらに対するピークホールドの出力が紫・水色・黄色。

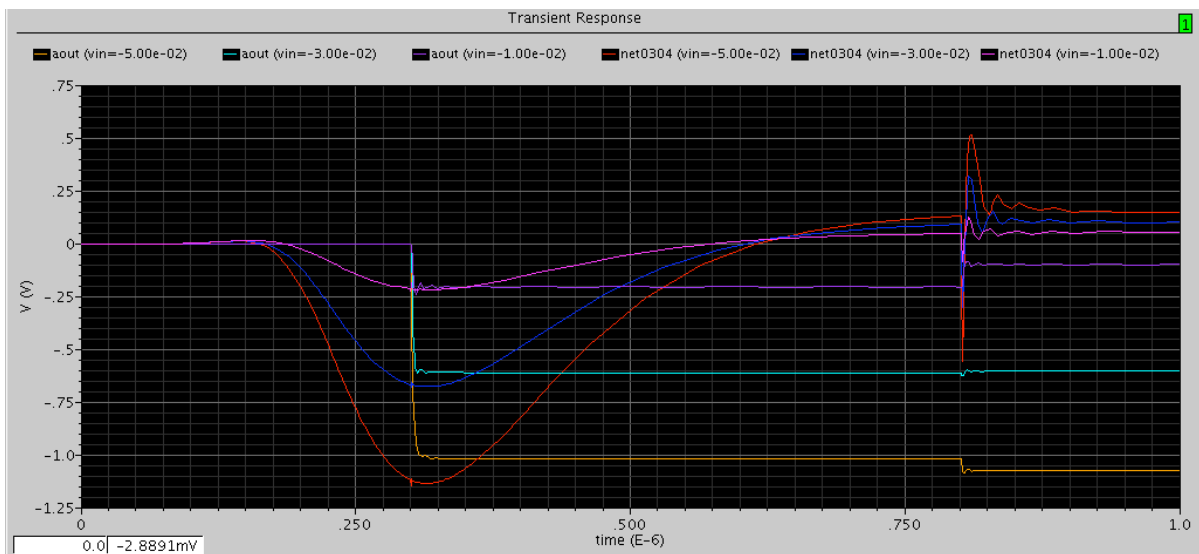


図 8 : 遅いシェーパーの出力に対する sample&hold 回路の出力

## 4. Schematic

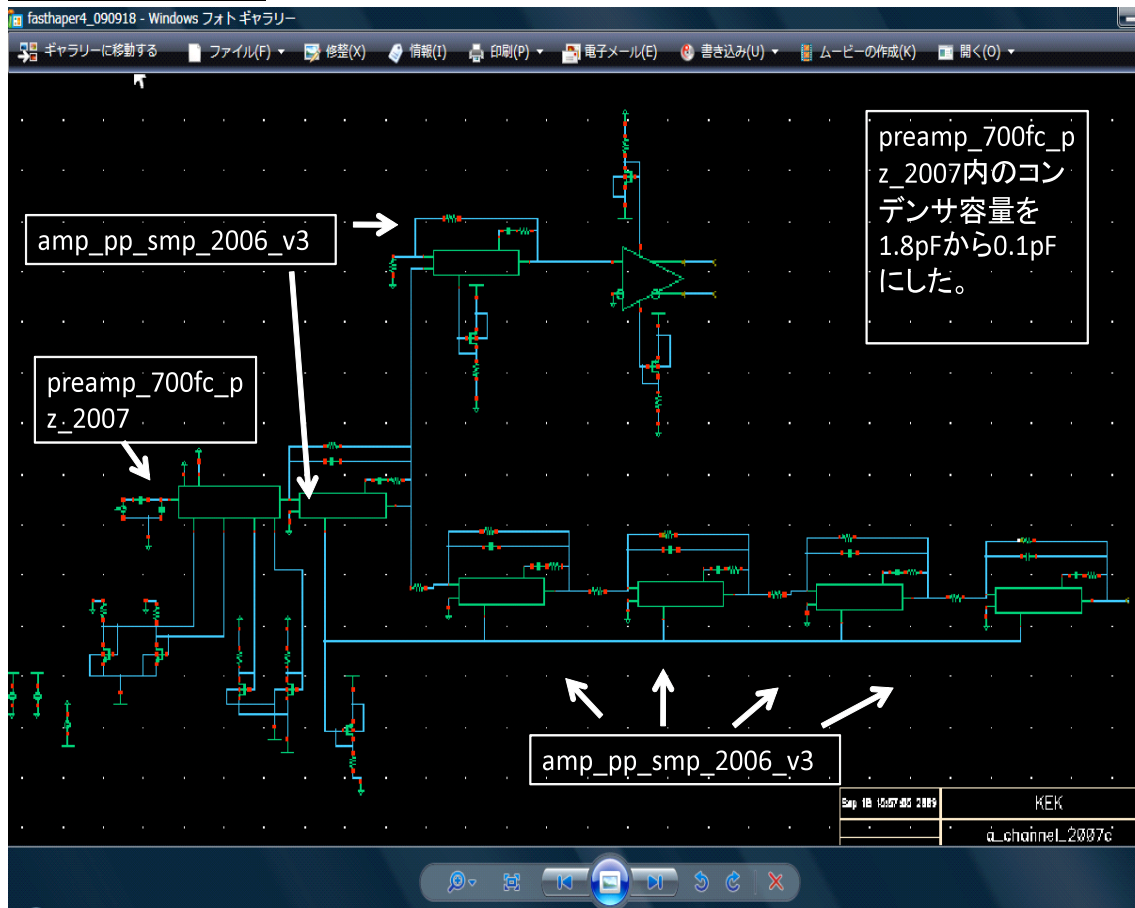


図 9:.回路図前半

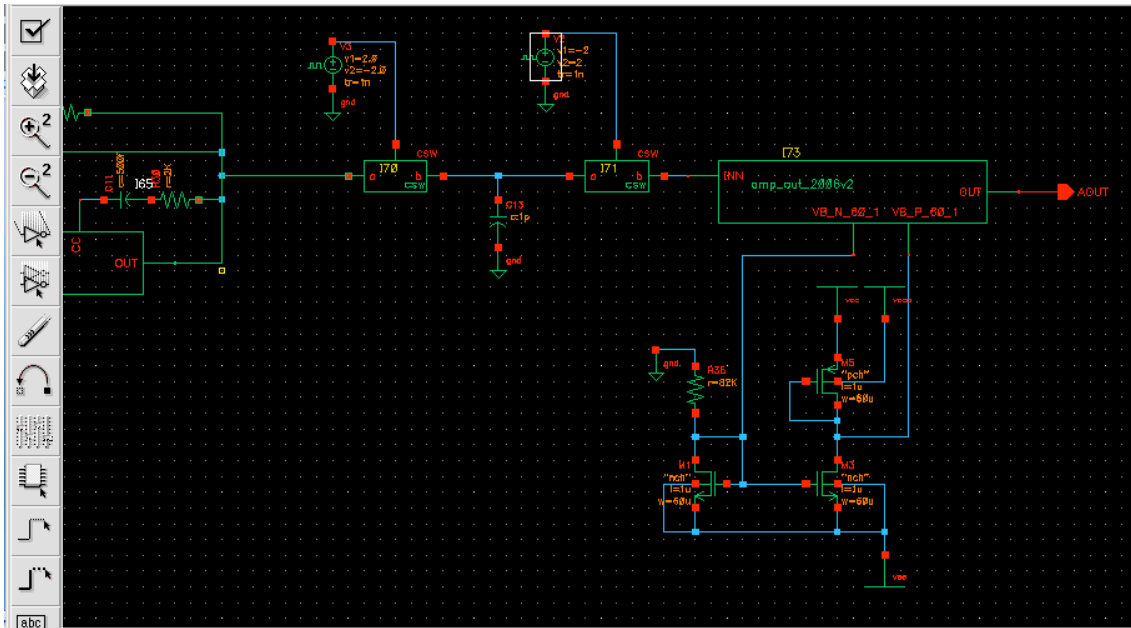


図 10:回路図後半(CSW と amp\_out\_2006v2 を使用、抵抗値などの変更点無し)回路を階層構造にし、さらに PAD をつけた回路図が下図である。

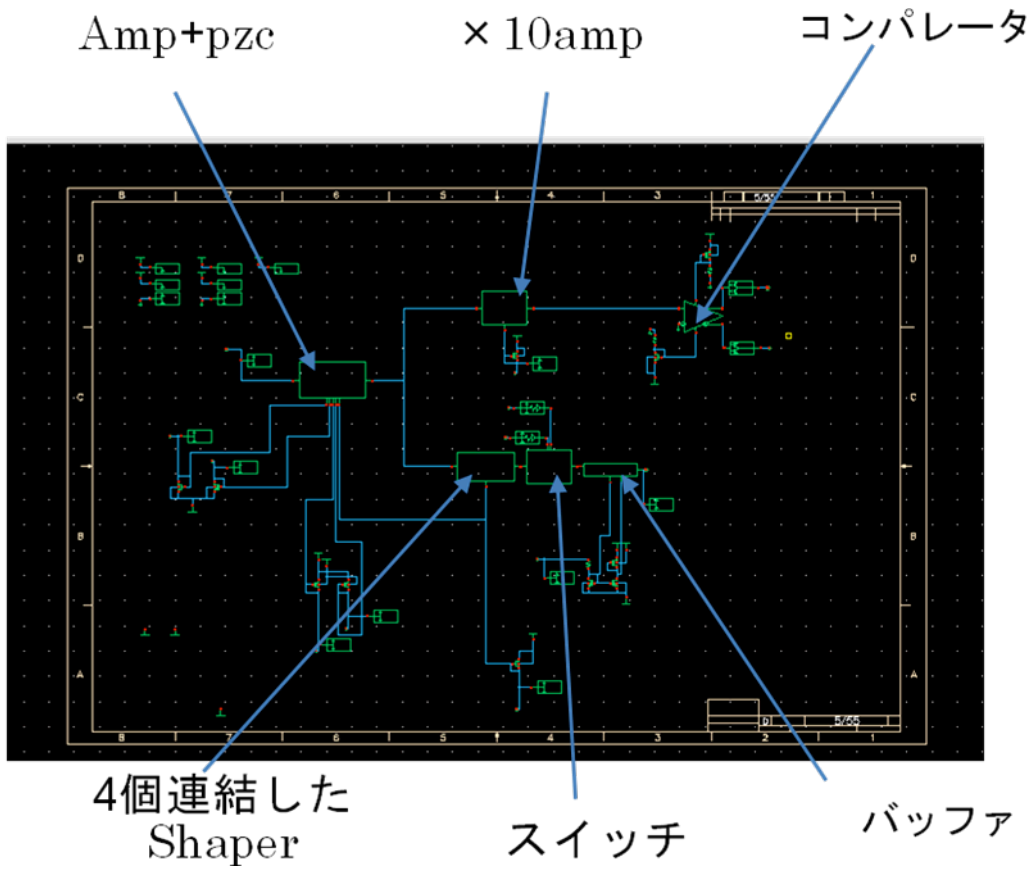


図 11 : 階層構造と PAD

## 5. レイアウト

IC のサイズは 3000 $\mu\text{m}$ ×1600 $\mu\text{m}$  となった。

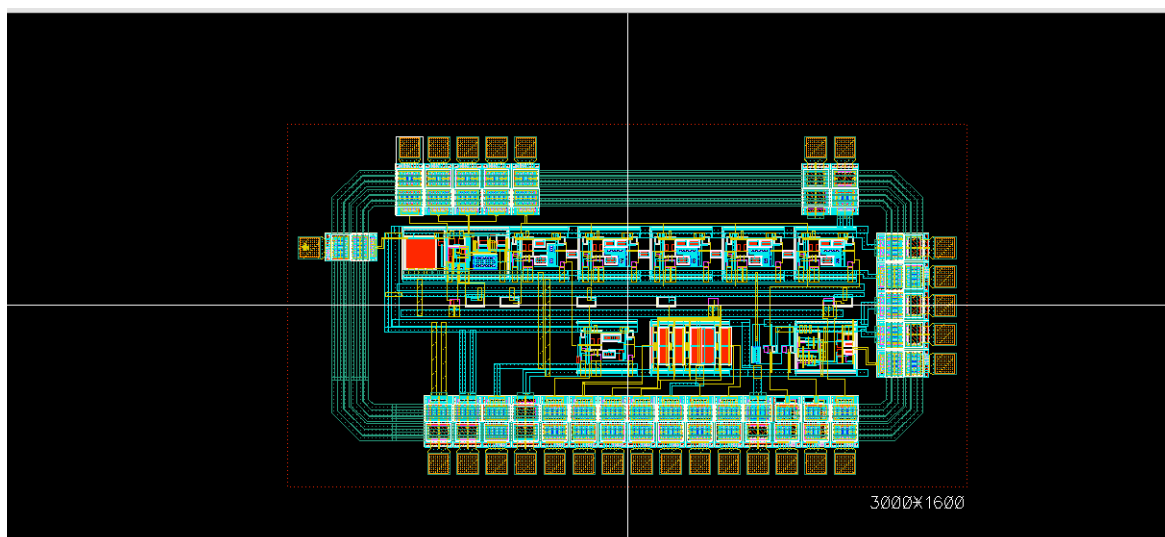
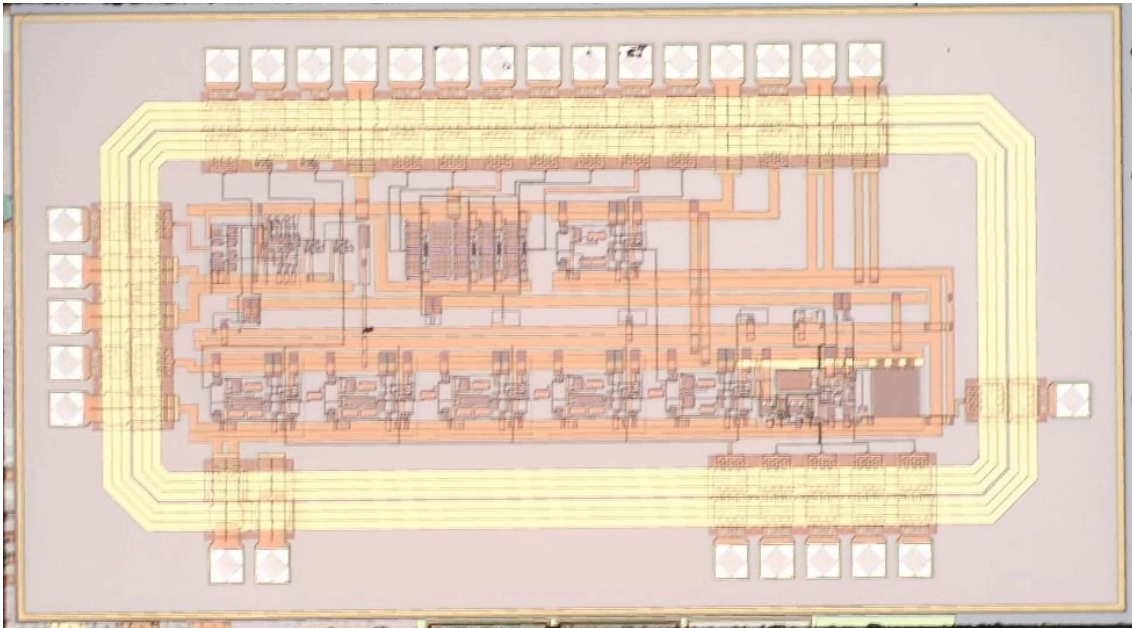


図 12 : TOP\_TKYGEMFE2009 レイアウト

## 6. ボンディングダイアグラム

pad 番号	pad 名	X 座標	Y 座標	pin 番号
1	IN	-1100	255	90
2	VDD	-832	-395	8
3	VDDA	-704	-395	9
4	GND	-576	-395	10
5	VSS	-448	-395	11
6	VIAS_P_60_1BIAS2	-320	-395	12
7	INMTH	-192	-395	13
8	VBPBIAS	-64	-395	14
9	VBMBIAS	64	-395	15
10	GNDD	192	-395	16
11	OUTP	320	-395	17
12	OUTM	448	-395	18
13	VDDD	576	-395	19
14	SW1	704	-395	20
15	SW2	832	-395	21
16	VB_N_60_1BIAS	960	-395	22

17	OUT	1100	-257	38
18	VCCA	1100	-129	39
19	VCC	1100	-1	40
20	GND	1100	127	41
21	VDDA	1100	255	42
22	VDD	960	395	60
23	VSS	832	395	61
24	VBIAS_P_60_1BIAS1	-448	395	66
25	VIDEC_P_5_6_PZBIAS	-576	395	67
26	VIDEC_P_5_6BIAS	-704	395	68
27	VICASC_N_10_2BIAS	-832	395	69
28	VB_N_100_1BIAS	-960	395	70



## ASIC 名称：He3 中性子検出器用・多チャンネルプリアンプ仕様

### 1、中性子チャージアンプ 1（2ch作製）仕様のまとめ、差動出力型

回路ブロック名称		値	備考
プリアンプ	チャンネル数	2ch	
	ノイズ	1000e	要再考
	ダイナミックレンジ	3fc~1pc	固定ノイズが3fc
チャージアンプ	時定数	10usec	
	ゲイン	0.2V/pc	
シェーピングアンプ	時定数	0.5us	
	ゲイン	5	
バッファアンプ	負荷抵抗：ピークV	200Ω:2V、10mA以上	
	ゲイン	1	
その他	電源	±2.5V	
	消費電力	0.5W/8回路以下	
	最終目的	8回路/チップ	

### 2、中性子チャージアンプ 2（2ch作製）仕様のまとめ、バターワース型

上記シェーピングアンプとバッファアンプ間にバターワースアンプを入れる。また、チャージアンプ出力を出す。

### 3、中性子チャージアンプ 1 (2ch作製) 回路図、差動出力型

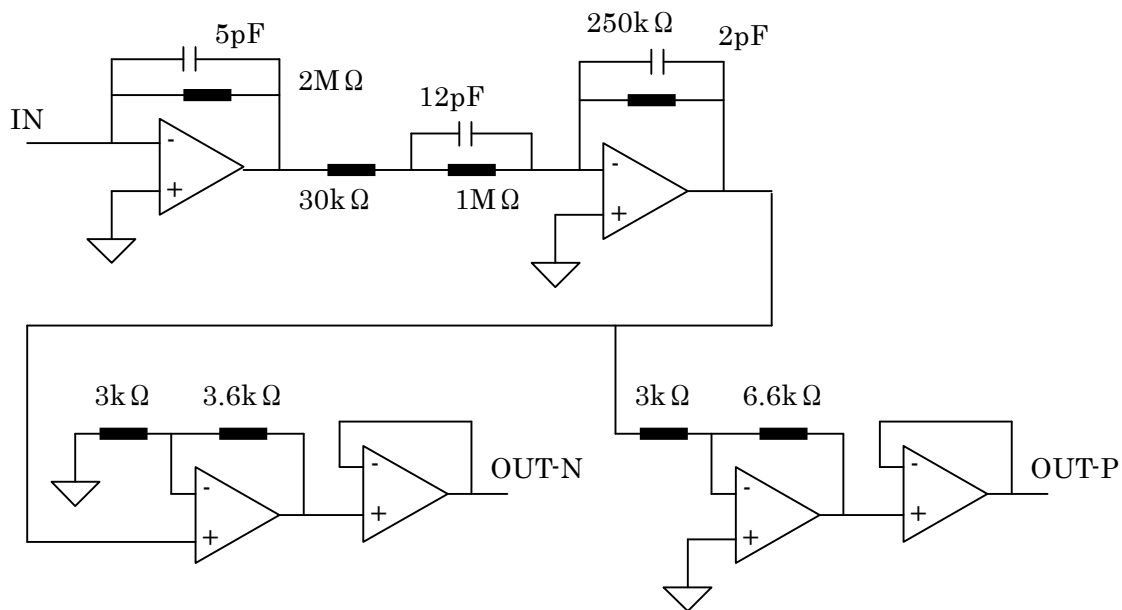


図2 プリアンプ回路1 (シェーピング : 0.5us、ゲイン : 2V/pc 差動出力)  
減衰抵抗、2MΩと1MΩはトランジスタで代用する

### 4、中性子チャージアンプ 2 (2ch作製) 回路、バターワース型

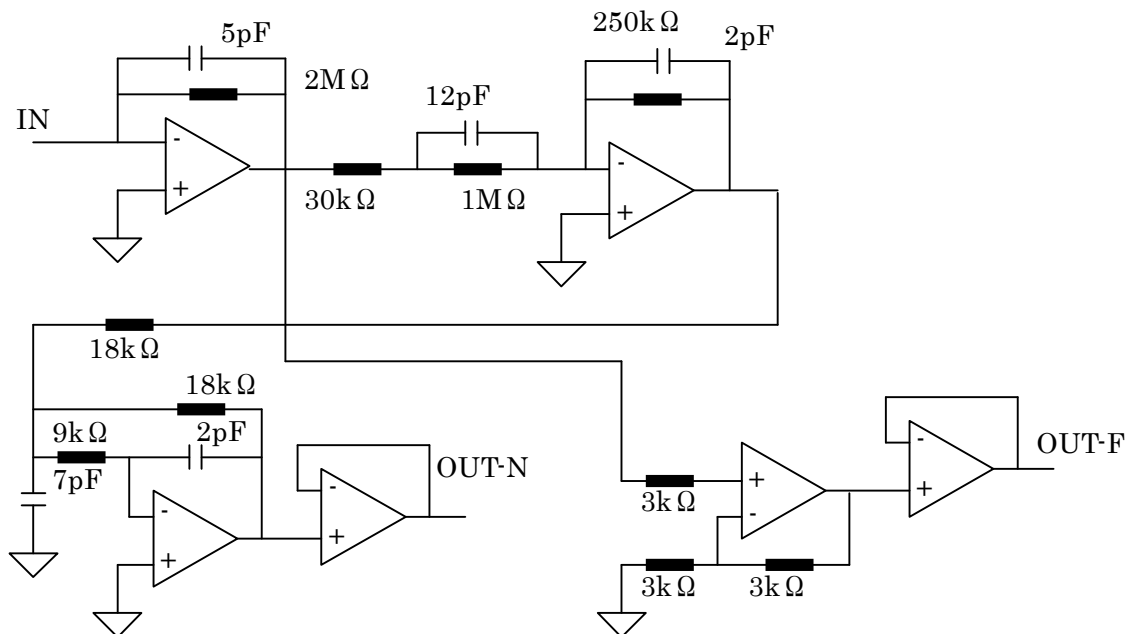


図3 プリアンプ回路2 (シェーピング : 0.5us、ゲイン : 0.5V/pc+チャージアンプ出力)  
減衰抵抗、2MΩと1MΩはトランジスタで代用する

## 5、中性子チャージアンプ1のCAD図

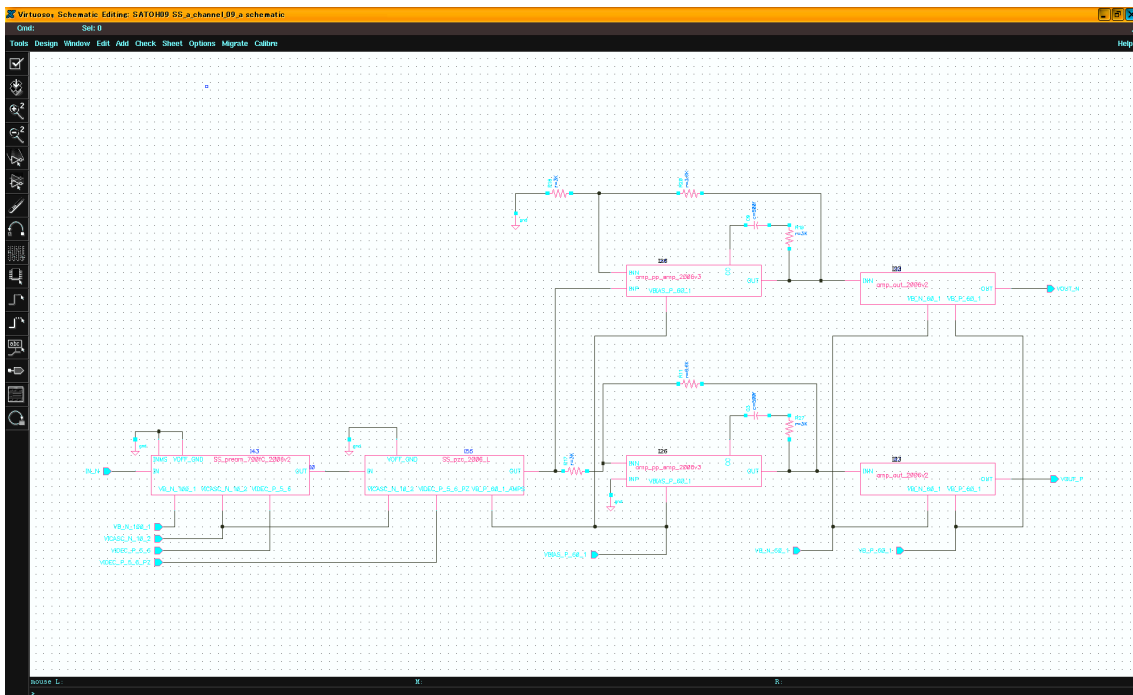


図4 中性子チャージアンプ1の全体回路図

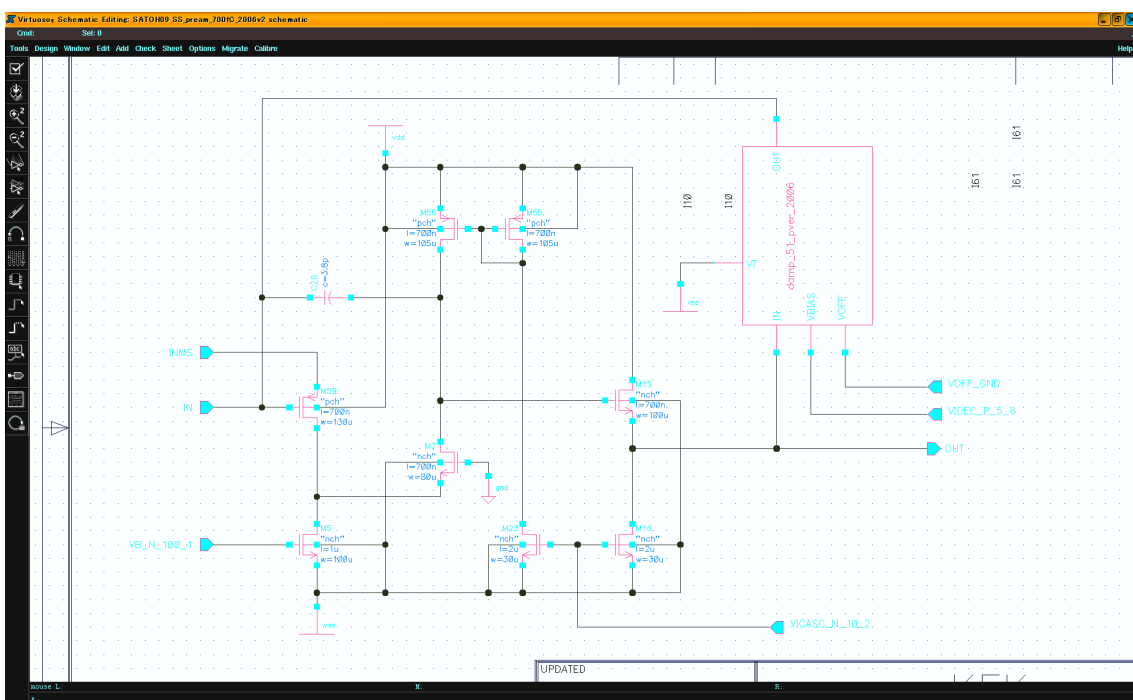


図5 チャージアンプ回路図、標準から、C28を1.8pFから3.8pFに変更



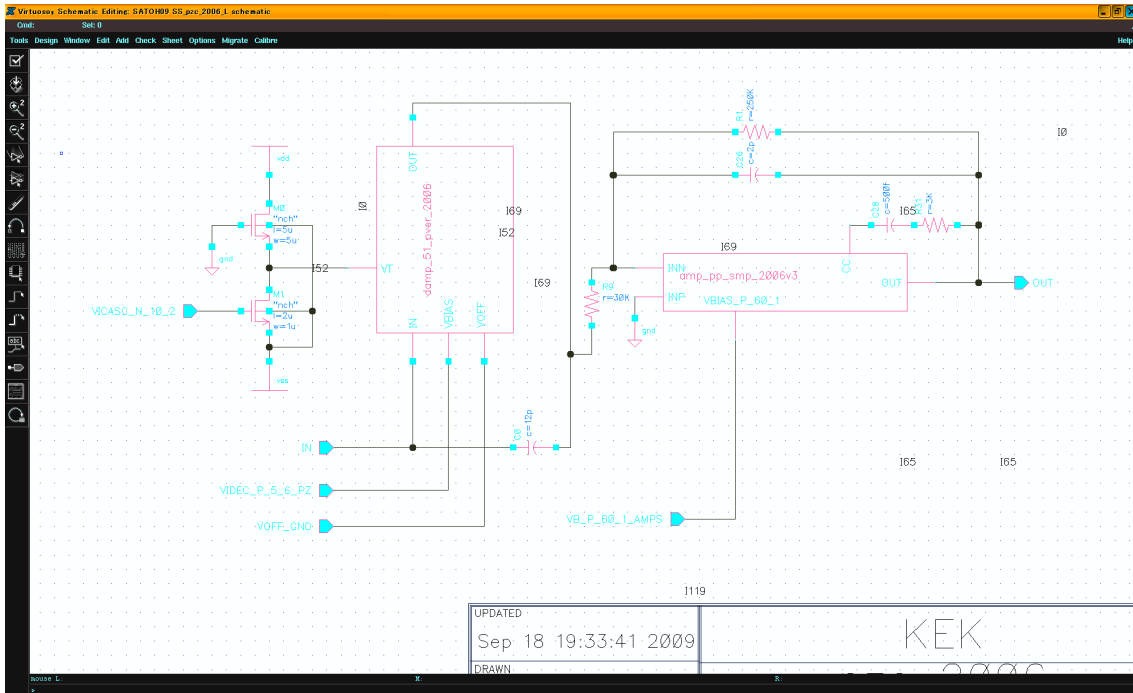


図6 P/Z回路図、標準から、C0を4pFから12pFに変更、後半アンプを0.5us波形整形回路に変更

## 6、中性子チャージアンプ2のCAD図

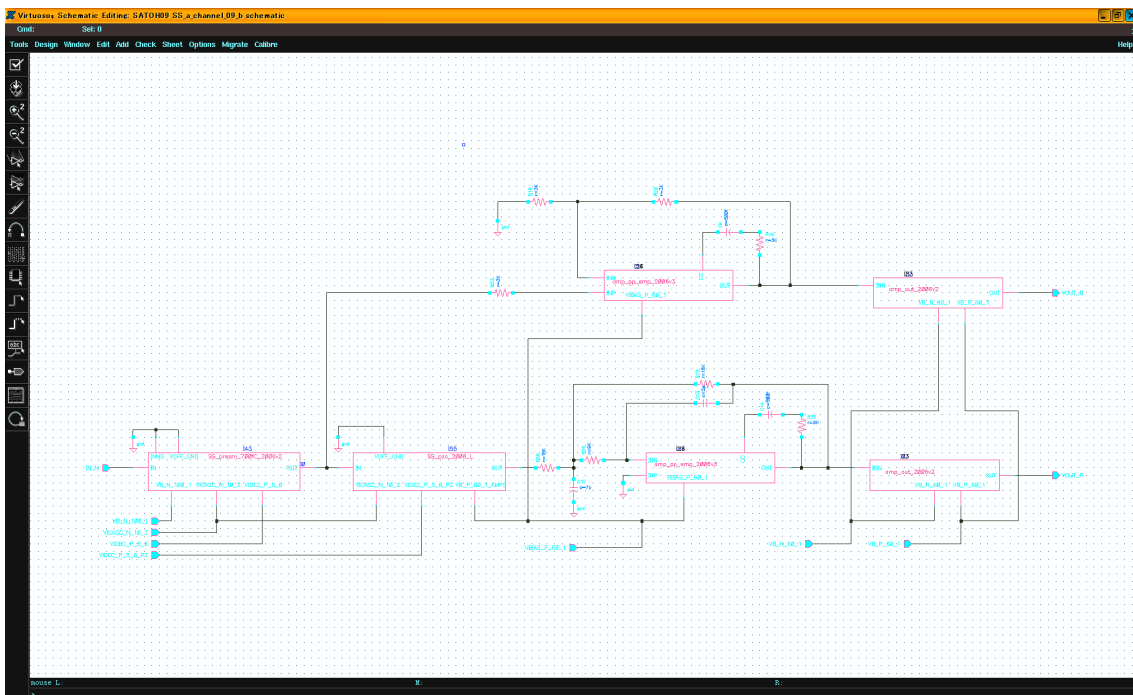


図7 中性子チャージアンプ2の全体回路図（図5と6も参照）

## 7、中性子チャージアンプ1のシュミレーション結果

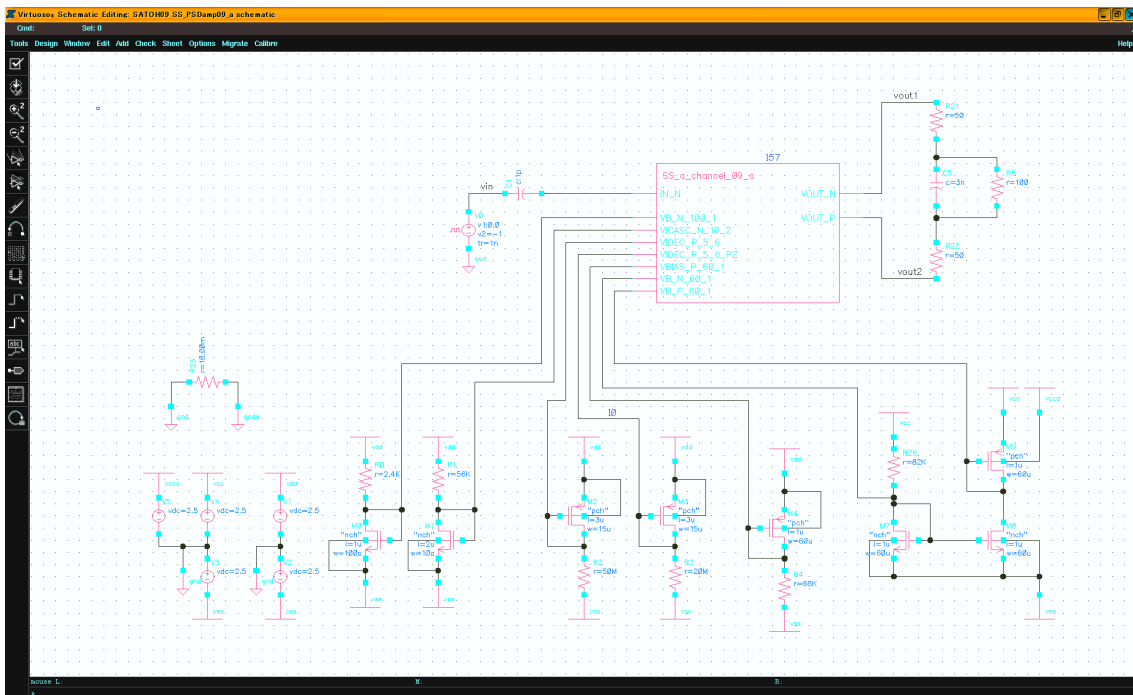


図8 中性子チャージアンプ1のシュミレーション用回路図

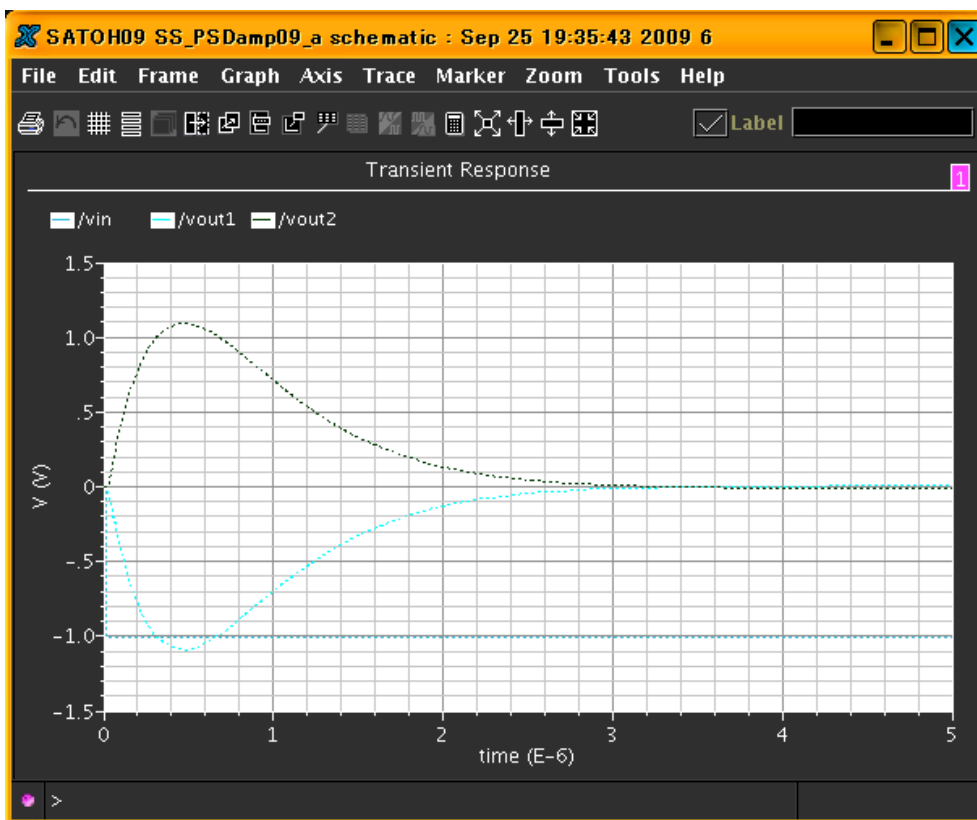


図9 中性子チャージアンプ1のシュミレーション結果

## 8、中性子チャージアンプ 2 のシュミレーション結果

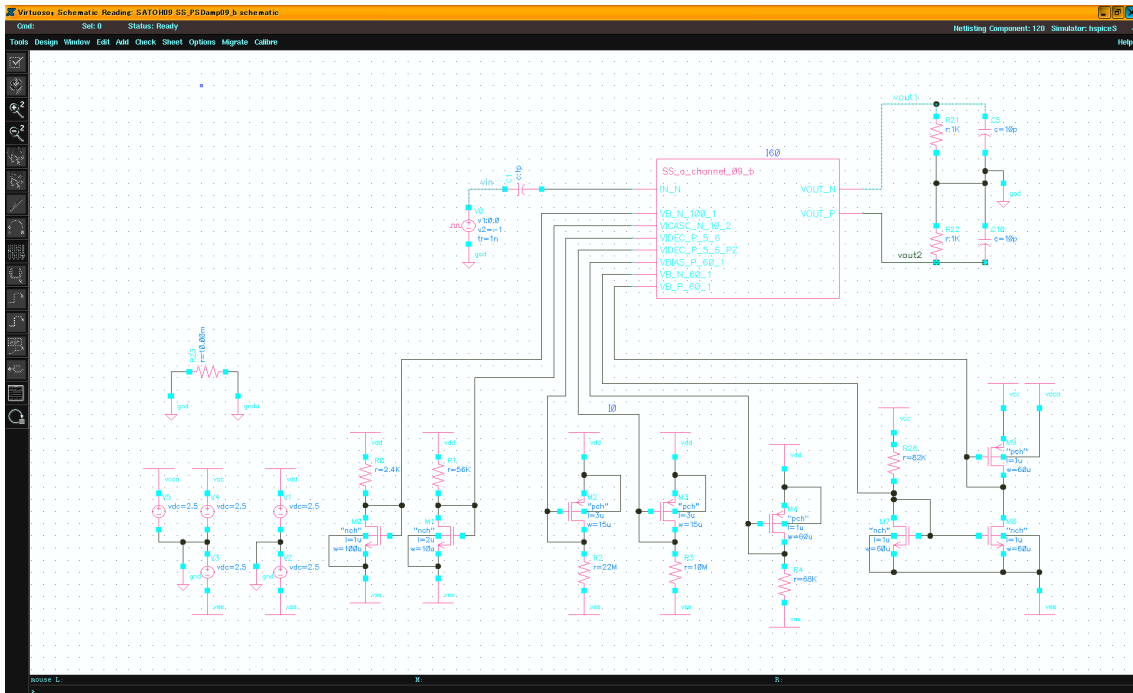


図 1 0 中性子チャージアンプ 2 のシュミレーション用回路図

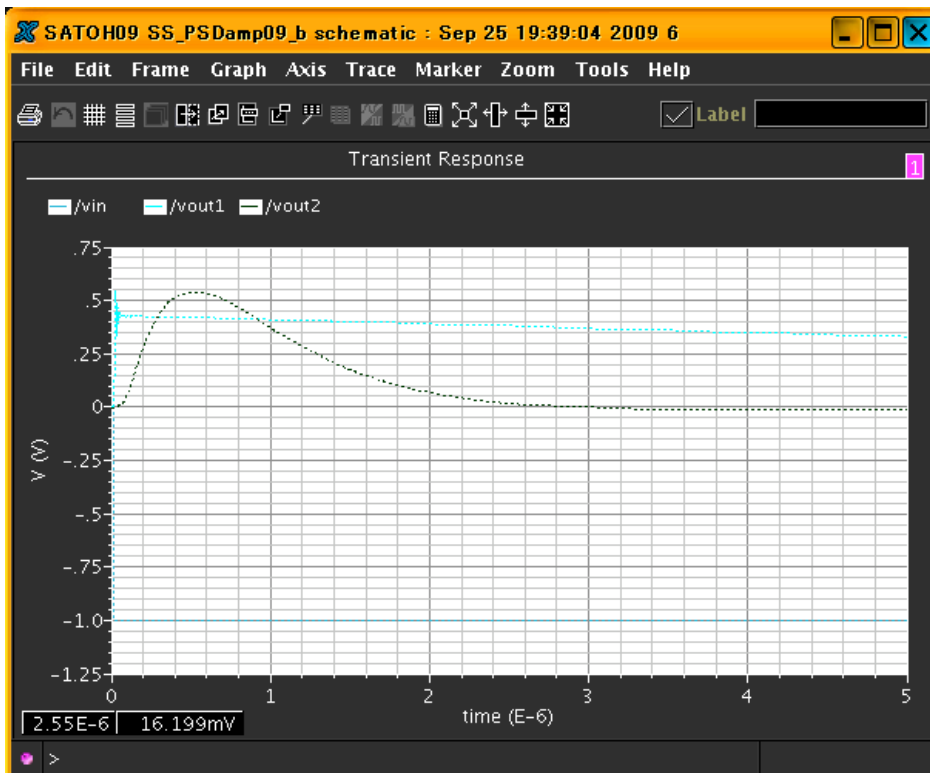
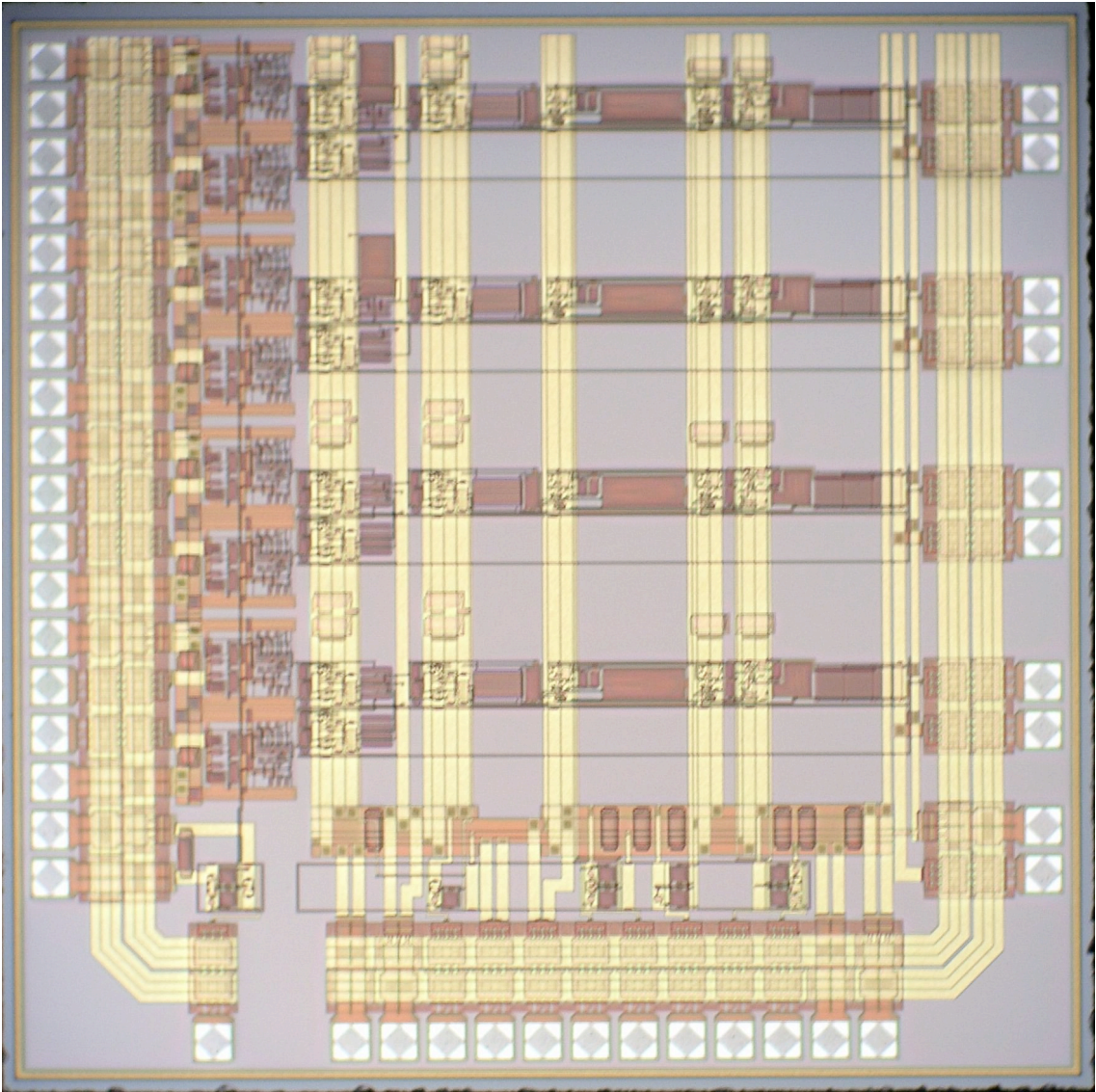


図 1 1 中性子チャージアンプ 2 のシュミレーション結果



## ASIC 名称: 中性子シンチレータ検出器用・多チャンネルプリアンプ

### 1、チャージアンプ（2ch作製）仕様のまとめ

回路ブロック名称		値	備考
プリアンプ	チャンネル数	2ch	
	ノイズ	1000e	要再考
	ダイナミックレンジ	0.01pc~10pc	
チャージアンプ	時定数	10usec程度	
	ゲイン	0.5V/pc	
シェーピングアンプ	時定数	0.1us	
	ゲイン	1	
バッファアンプ	負荷抵抗：ピークV	1kΩ：2V、2mA以上	
	ゲイン	1	
その他	電源	±2.5V	
	消費電力	0.5W/8回路以下	
	最終目標	32回路/チップ	

### 2、高速アンプ（2ch作製）仕様のまとめ

回路ブロック名称		値	備考
プリアンプ	チャンネル数	2ch	
	ノイズ	1000e	要再考
	ダイナミックレンジ	0.1pc~100pc	
高速アンプ	周波数帯域	30MHz程度	
	ゲイン	電圧で20倍程度	
バッファアンプ	負荷抵抗：ピークV	1kΩ：2V、2mA以上	
	ゲイン	1	
その他	電源	±2.5V	
	消費電力	0.5W/8回路以下	
	最終目標	32回路/チップ	

### 3、チャージアンプ (2ch作製) 回路図

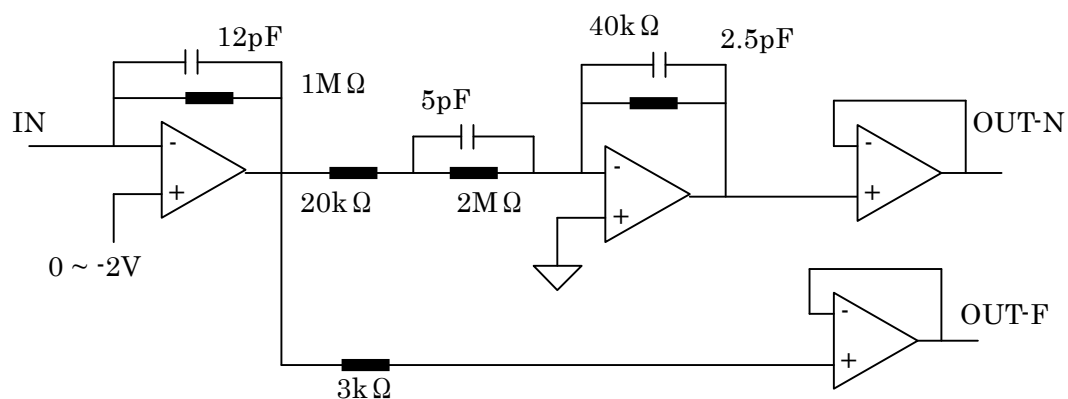


図2 プリアンプ回路1 (シェーピング : 50ns)

### 4、高速アンプ (2ch作製) 回路図

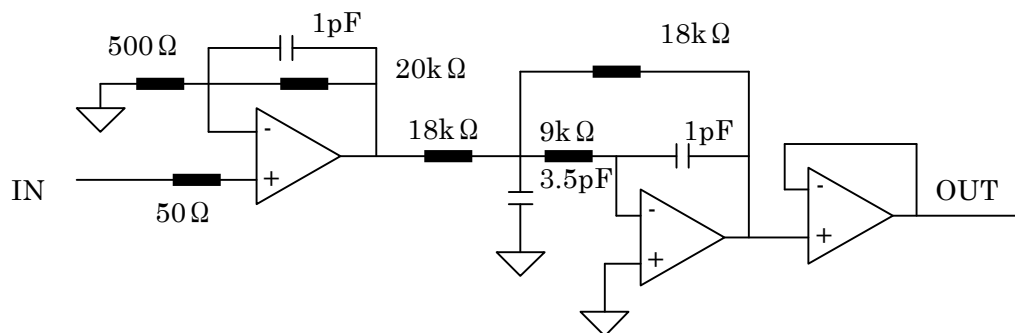


図3 高速アンプ回路

### 3、チャージアンプのCAD図

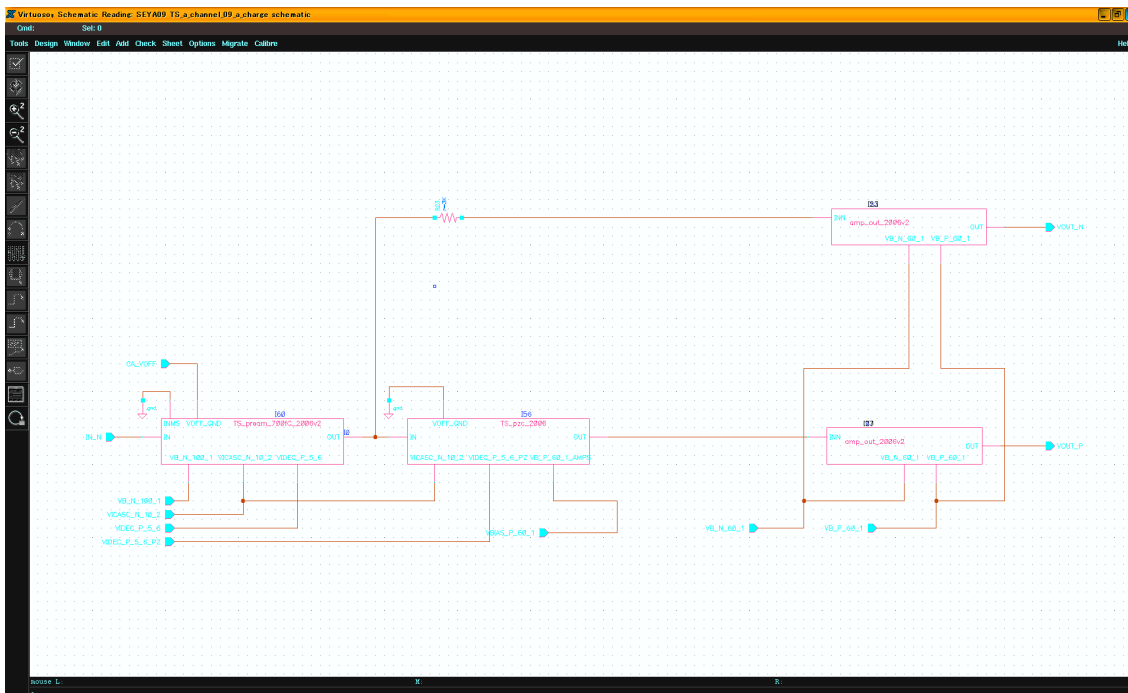


図4 チャージアンプの全体回路図

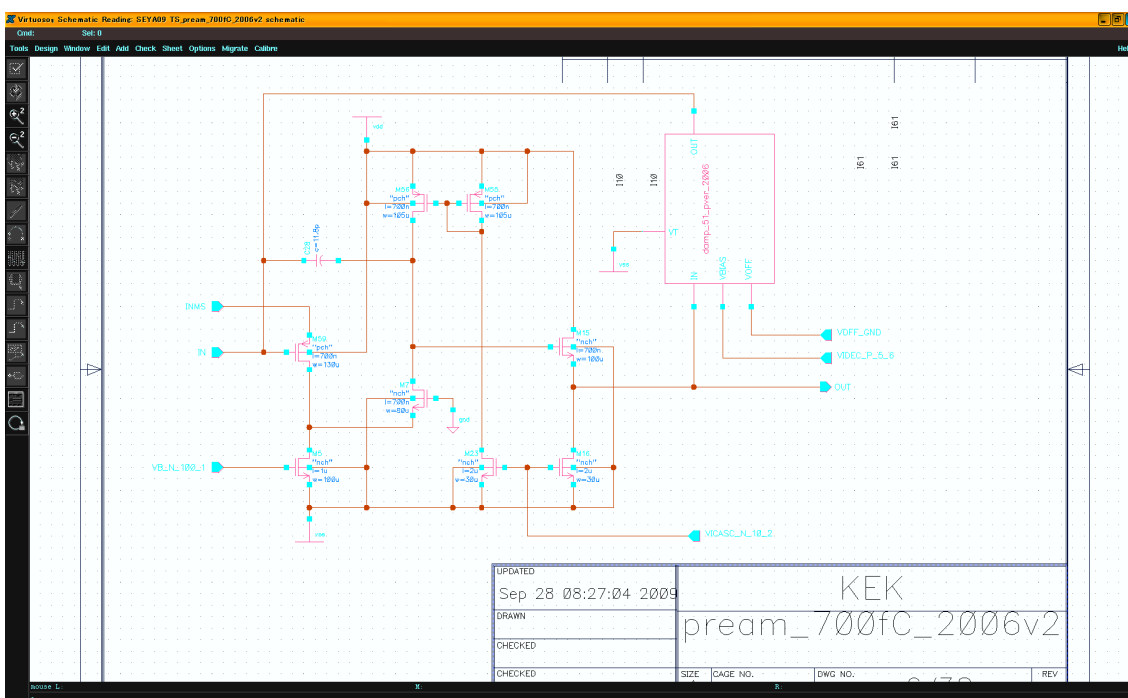


図5 チャージアンプ回路図、標準から、C28を1.8pFから11.8pFに変更

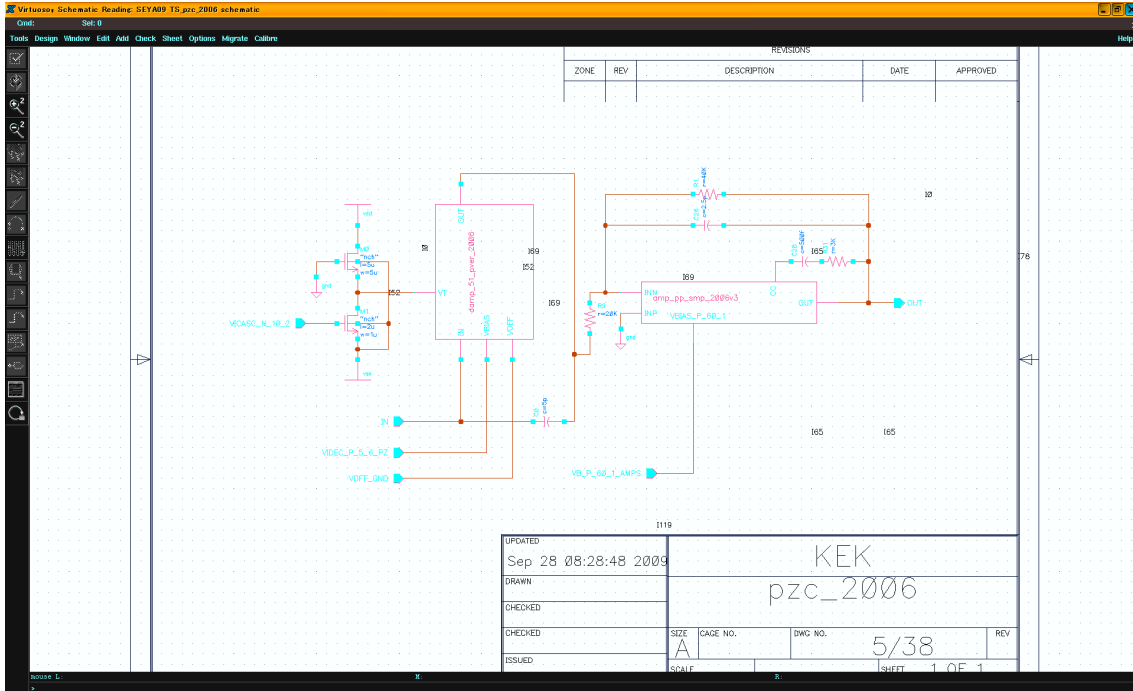


図6 P/Z回路図、標準から、C0を4pFから12pFに変更、後半アンプを0.5us波形整形回路に変更

## 6、高速アンプ2のCAD図

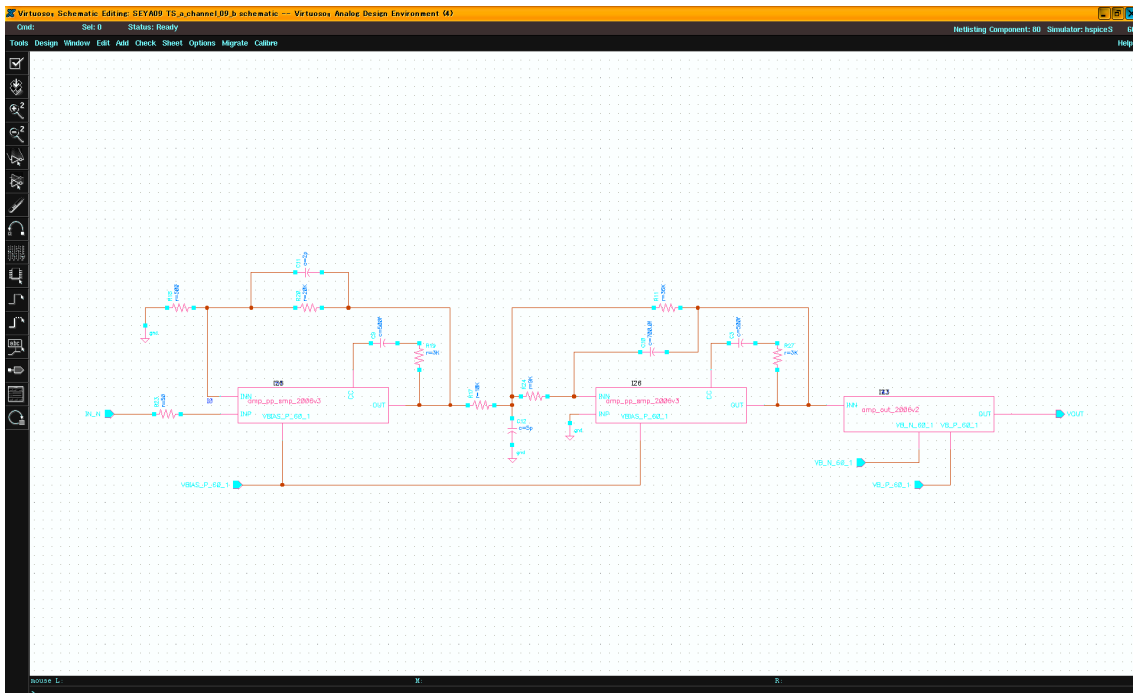


図7 高速アンプの全体回路図



## 7、中性子チャージアンプ1のシュミレーション結果

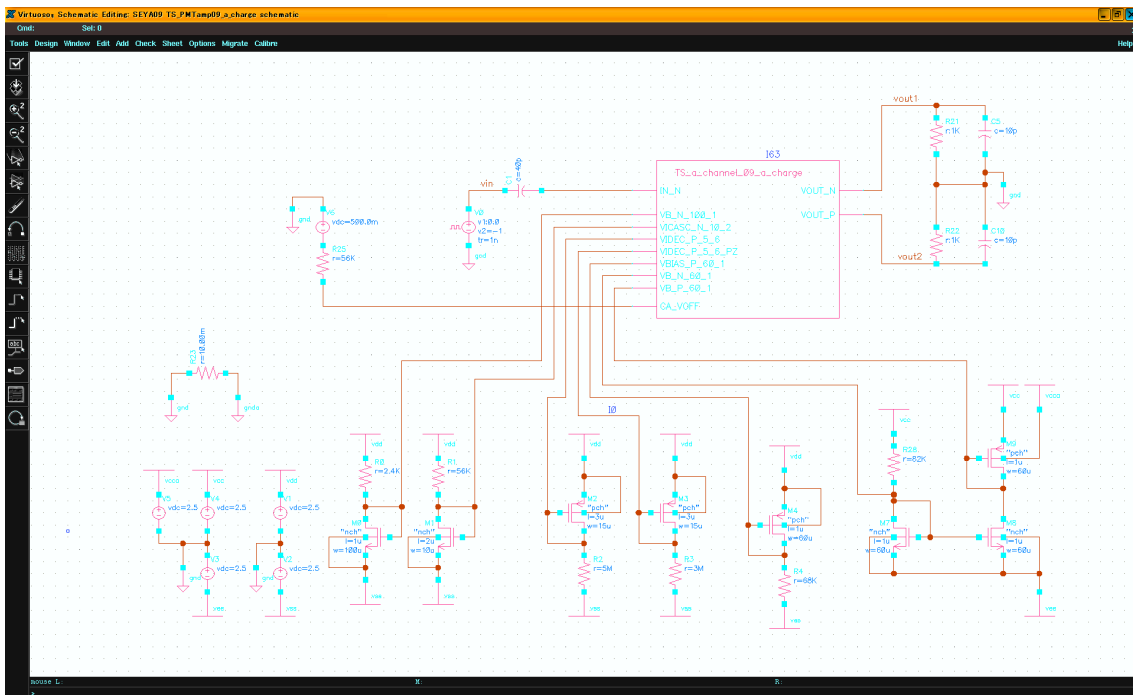


図8 中性子チャージアンプのシュミレーション用回路図



図9 中性子チャージアンプのシュミレーション結果1

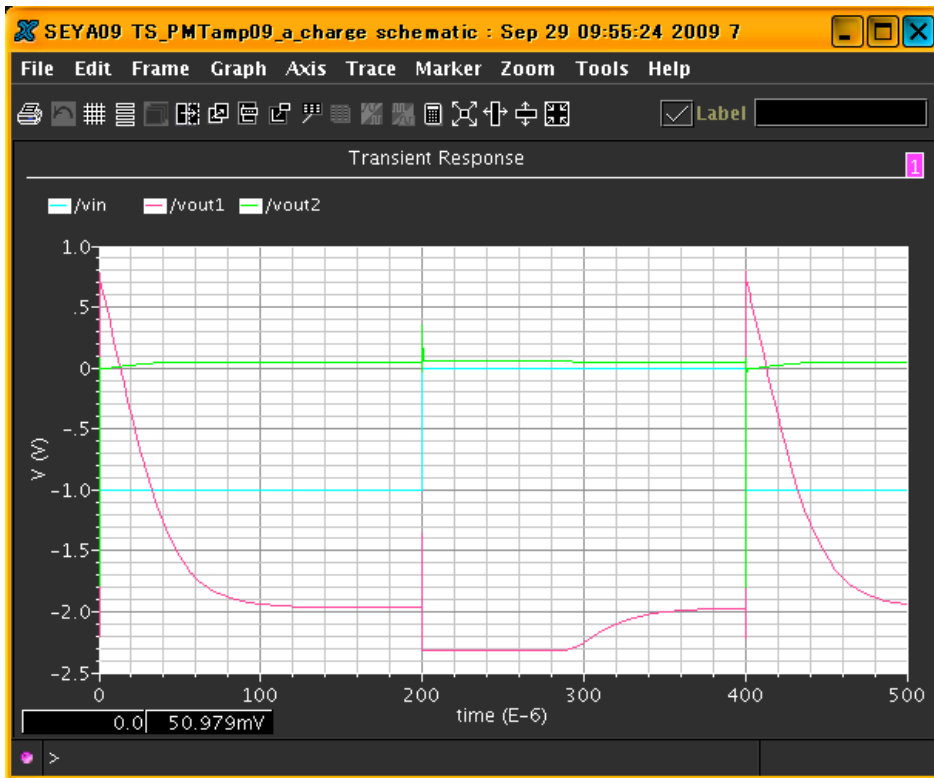


図 1 0 中性子チャージアンプのシュミレーション結果 2

## 8、高速アンプのシュミレーション結果

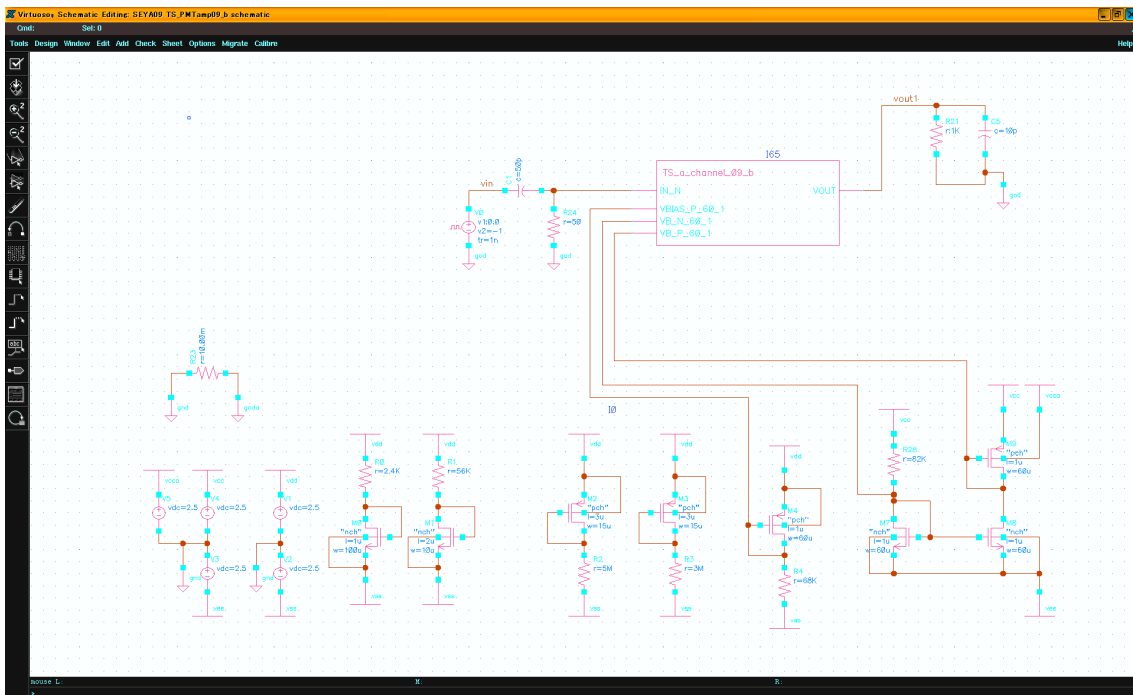


図 1 1 高速アンプのシュミレーション用回路図

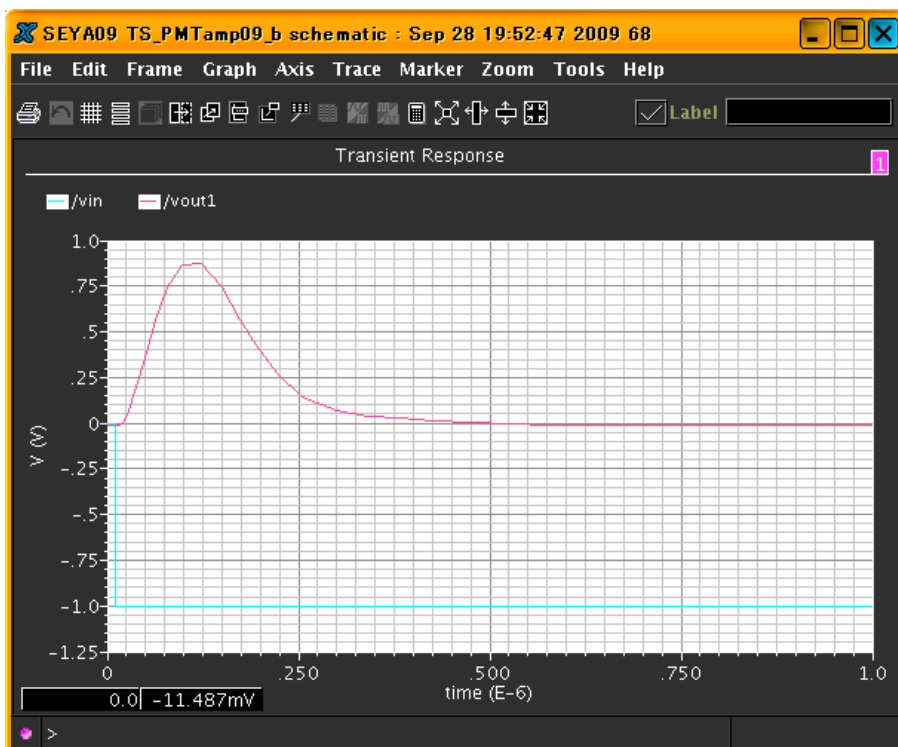
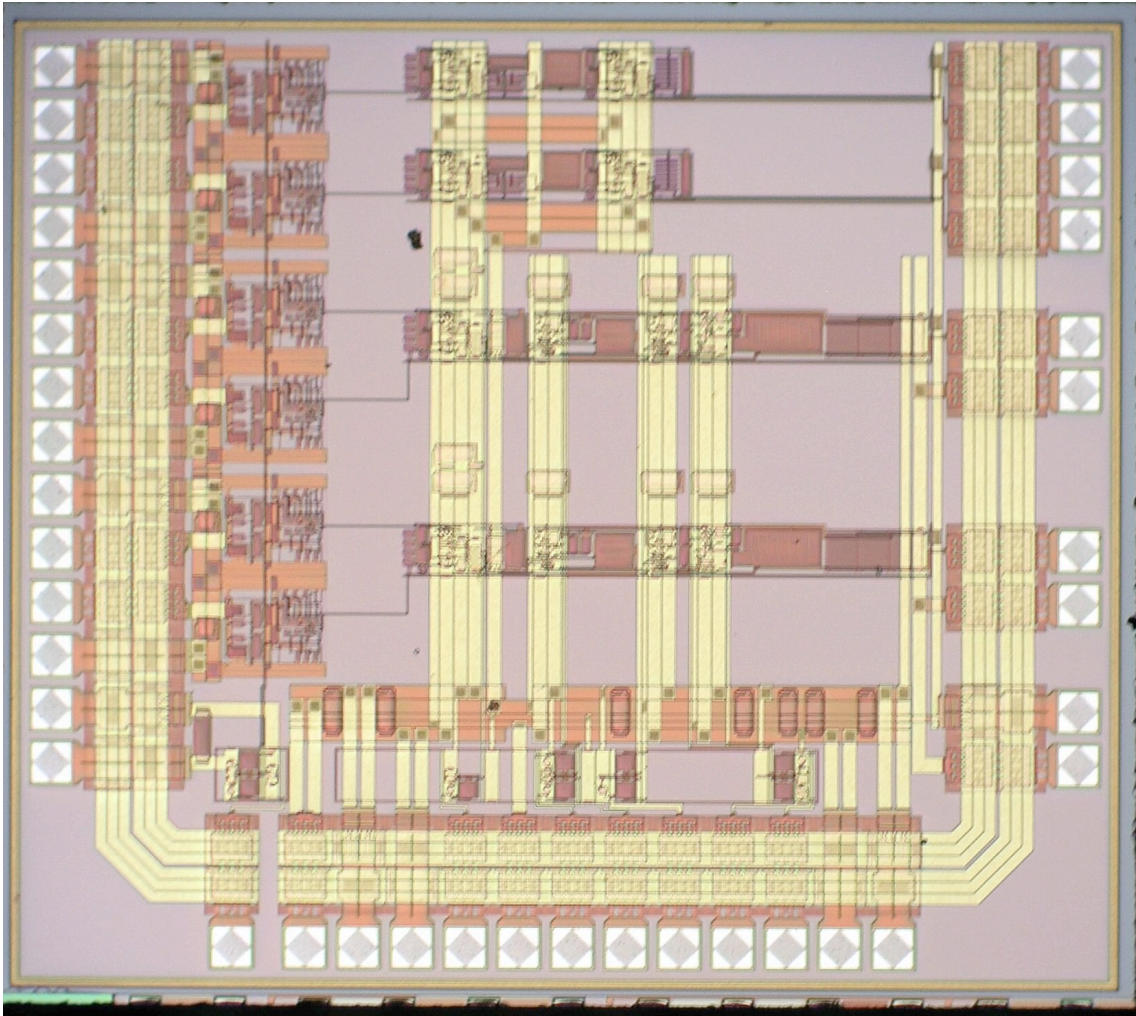


図 1 2 高速アンプのシュミレーション結果



## ASIC 名称:MPPC 基礎特性評価用・プリアンプ、ディスクリミネータ

### 1. 概要

MPPC 用 1ch プリアンプ、コンパレータからなる。MPPC からの出力がプリアンプで増幅されコンパレータに入力される。コンパレータでは波高に比例した width をもつ矩形波が出力されることになり、外部の TDC でその width をカウントすることで入力波高を知ることができる。

### 2. 説明

#### 2-1 回路構成

回路はプリアンプとコンパレータからなる。

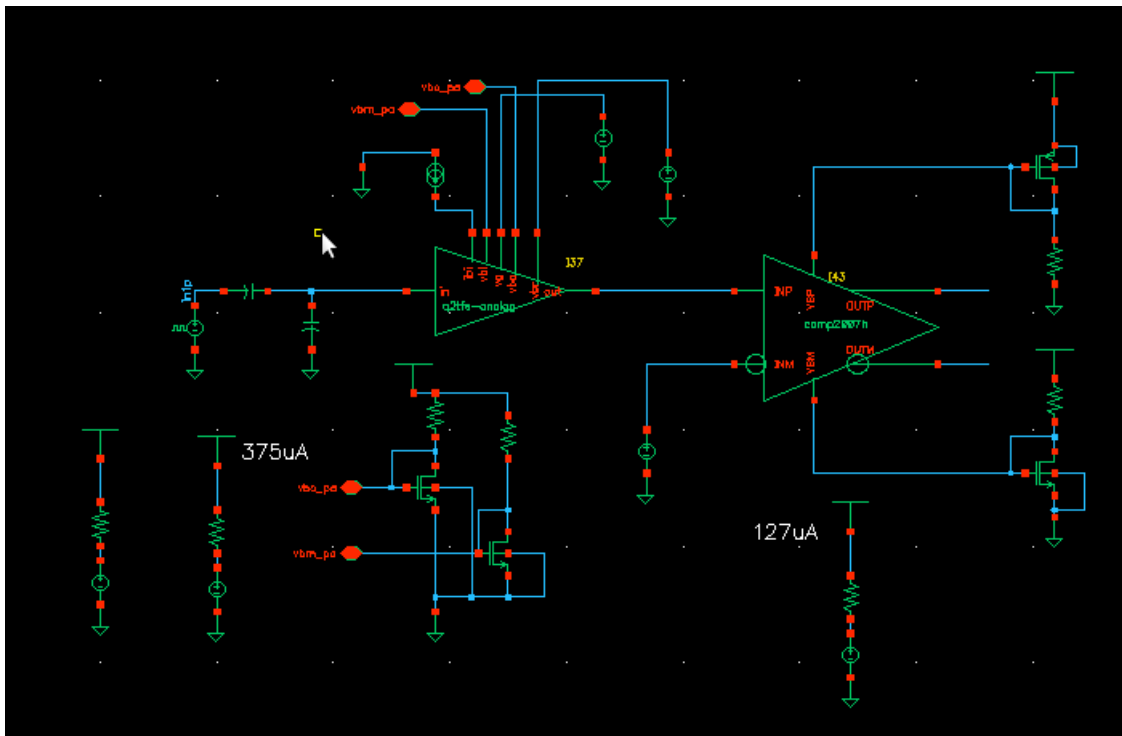


図 1 : 回路のブロック図

### 3、仕様のまとめ

回路ブロック名称	値	備考	
プリアンプ	チャンネル数	1	
	ノイズ	1000e	要再考
	ダイナミックレンジ	10 <sup>6</sup> ~10 <sup>8</sup> electron	要再考
その他	コンパレータ		

### 4、開発の背景

現在真空バルブとシンチレータを用いた光増幅機構に光検出器を組み合わせた新しい光検出器を開発している。光検出器にはMPPCを搭載することを考えており、MPPCの特性評価を行うことは必須である。基本的な特性評価を行うテストベンチがASICによりコンパクトであることは望ましい。また将来的にはこの光検出器がハイパーカミオカンデなどの水チェレンコフ検出器としての使用を目論んでおり、その際の読み出しは非常に多くのチャンネルからなる。そのため、ASICを用いて読み出しをコンパクトで低消費電力にすることは必須となり今回製作するASICがそのための良い練習となる。

### 5、corner simulation

入力信号を-0.5[V]から5[V]まで500[mV]ステップでふったcorner simulationの結果を図2に示す。それぞれの結果に概ね線形性が見られる。

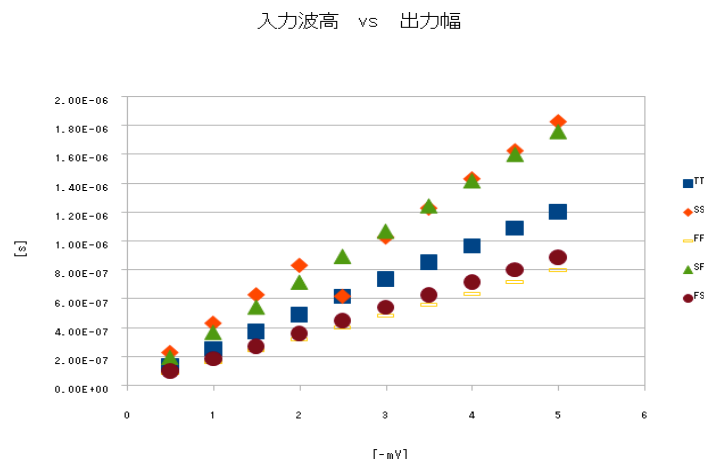
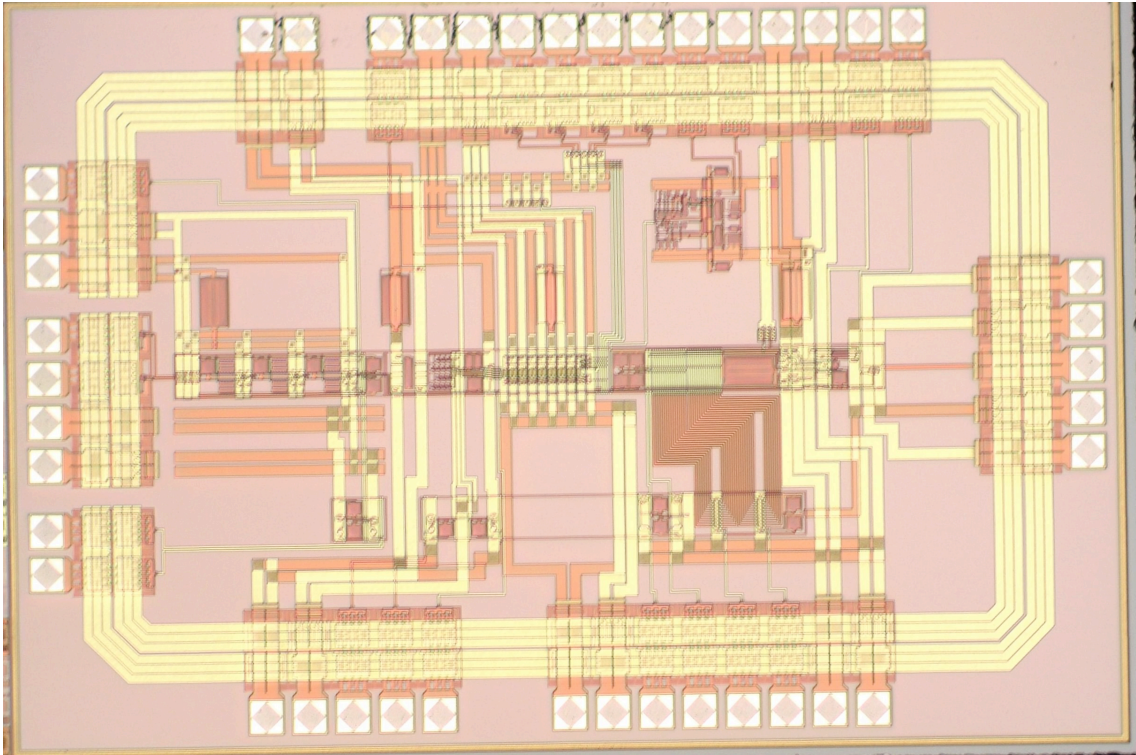


図2 : corner simulation の結果



## Belle II 実験用 SOI ピクセル検出器のプリアンプ ASIC

### 1. 概要

Belle II 実験用の SOI ピクセル検出器試作品が含む、プリアンプの動作を確認するための ASIC である。

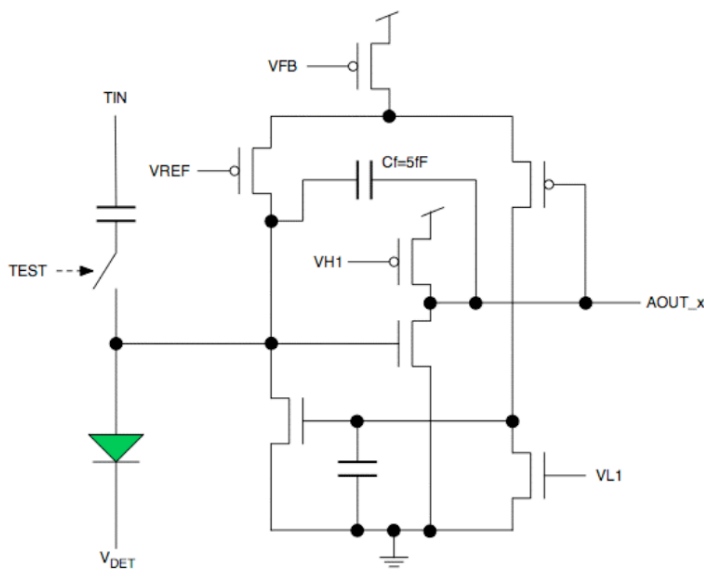
#### 1-1 開発の背景

私は現在 BELLE II 実験用の SOI ピクセル検出器を開発している。ASIC は共同研究者が開発してくれたため、自分は開発を行う機会を持たず、ASIC 開発の勉強や設計の練習をできればと思った。

練習用の ASIC として、現在試験中のチップ内のプリアンプ回路を再現できないかと考えた。再現できれば、チップのプリアンプの動作確認の助けになるだけでなく、自分の回路に対する理解の手助けにもなると思う。試作チップは、プリアンプの内部を確認するための端子を持っていないので、シミュレーションを除いてはこれまでで唯一の実際の確認になる。

### 2. 回路の説明とシミュレーション

#### 2-1 Belle II 実験用 SOI ピクセル検出器のプリアンプ回路

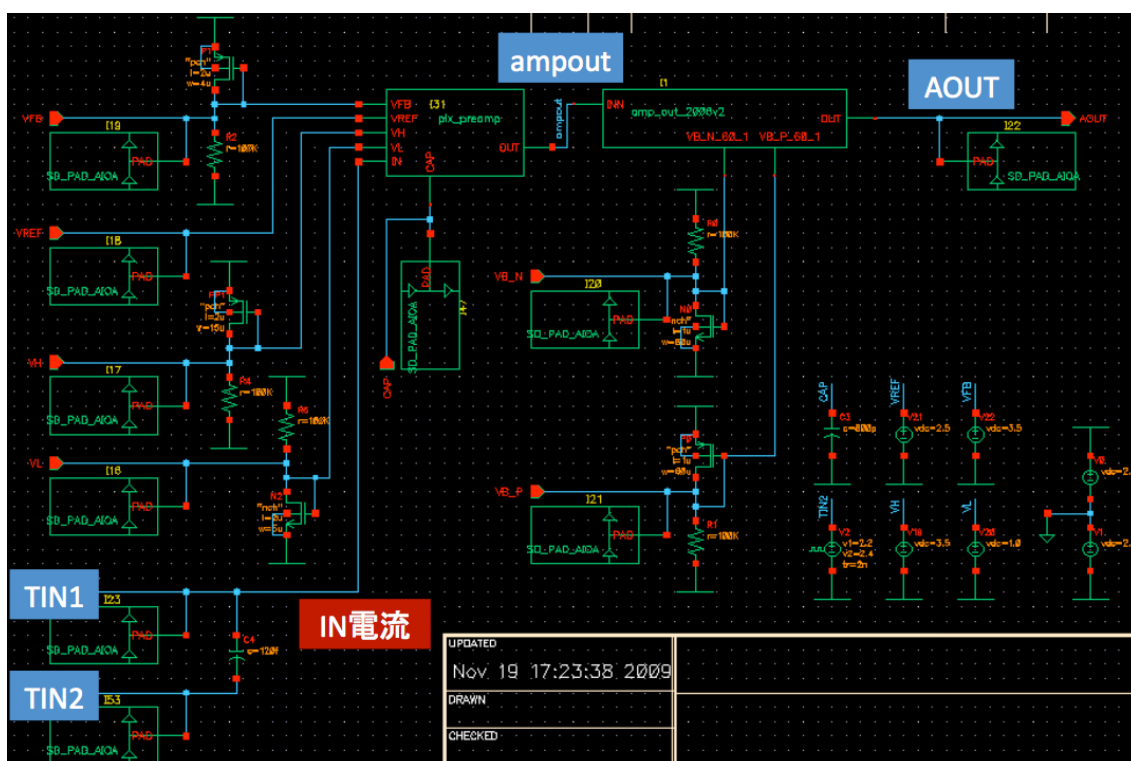






た。キャパシタは、(既存のレイアウトを使うために) 適当なサイズにした。電荷 (プラス) の入力があると、TIN1 電位が上がり、C1 に電荷がたまり、ampout 電位は下がる。すると、P3 の電流が大きくなり、P2 の電流が小さくなる。すると、全体的に電流が元の大きさに戻る方向に変化し、安定して行く。CAP はパッドとして外に出して、キャパシタをつなぐ。これは、この部分の Wire の電位変化を小さくするためである。

### 2-2-2 回路の全体



上図は、回路全体のブロック図である。ブロック `pix_preamp` が、2-2-1 のプリアンプ回路に対応する。

電圧の入力や出力の線を外部に出す際には、`SD_PAD_AIOA` をつないだ。これは、VDD や VSS をまたぐような大きな電圧変化を、2つのダイオードを用いて吸収する機能を持つ。

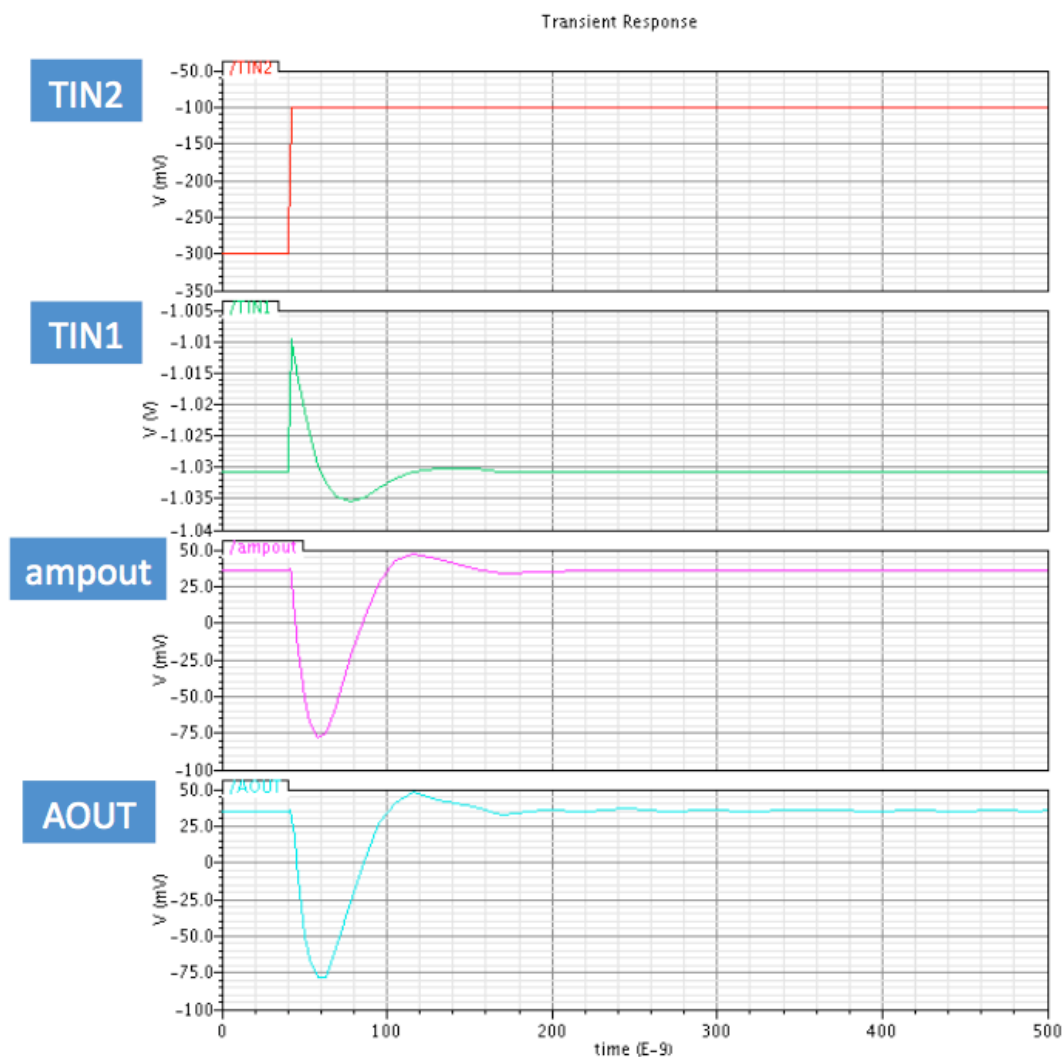
プリアンプの出力部には、`amp_out_2006v2` をつないだ。これは出力電圧を変化させずに電流を増やすオペアンプで、ドライブ能力を上げる。プローブ等により出力部に小さなキャパシタ (pF レベル) が存在することが想定されるため、電流値が小さいと応答に時間がかかってしまい期待通りの波形を得られないためである。

電流源にかける電圧 `VFB`, `VH`, `VL`, `VB_N`, `VB_P` には、電流をモニタするためのミラー回路を設けた。

SD\_PAD\_AIOA や amp\_out\_2006v2 の回路図は、Appendix A, B に載せる。

図中の右下部には、シミュレーション時の外部からの電圧設定を載せた。シミュレーションは HSPICE を用いて行い、結果は次の節で示す通りになった。

### 2-2-3 HSPICE を用いたシミュレーション

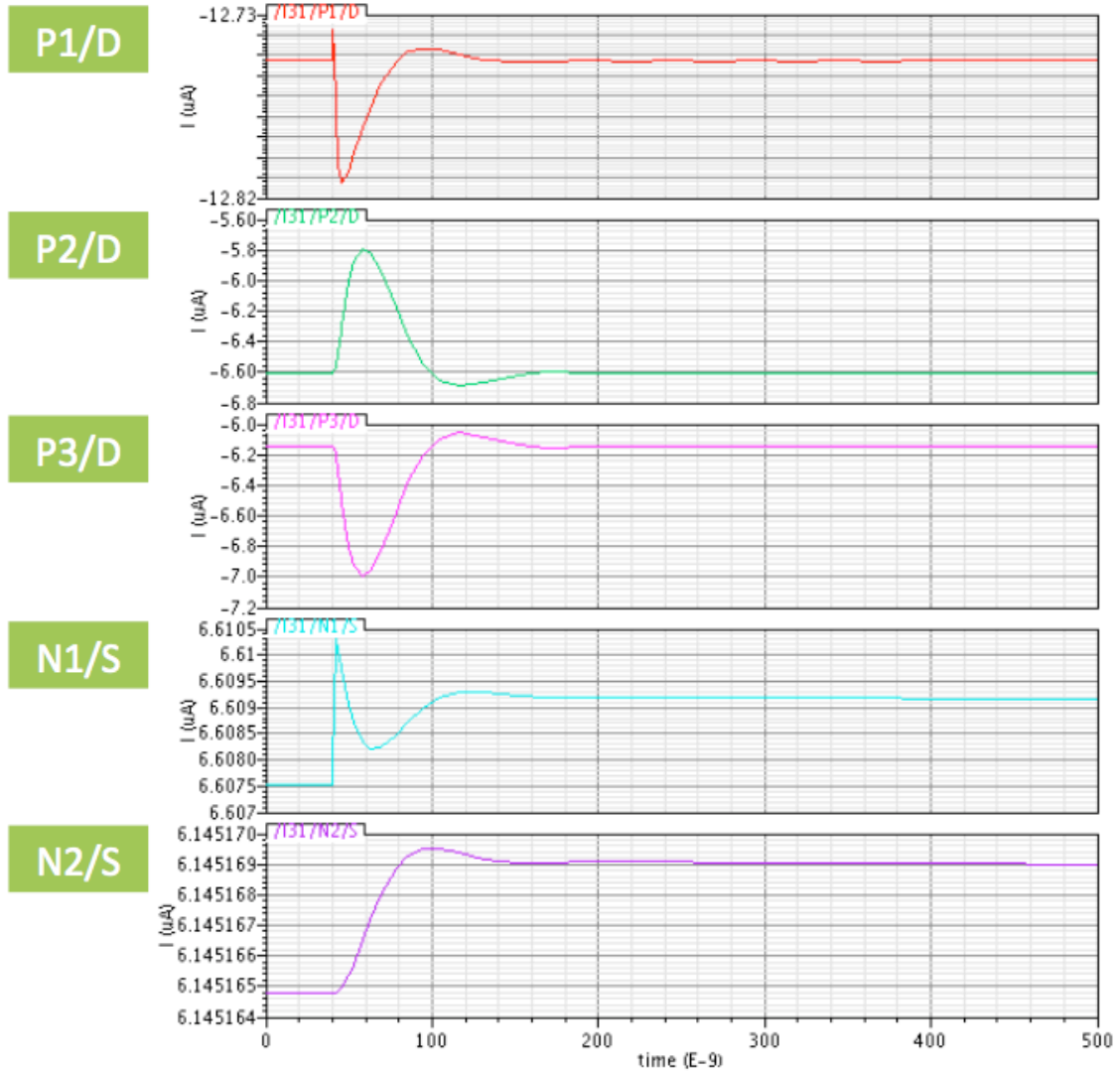


TIN2 に 200 mV の入力電位を入れると、キャパシタを介し、TIN1 の電位は上図のように変化した。これは、検出器で実際に期待される電荷入力を再現するために行った。(後のページに、入力電流を載せたので、それが参照である。)

プリアンプからの出力は、ampout のようになった。AOUT が、オペアンプを通った後の出力であり、ampout と同等の出力を実現できている。

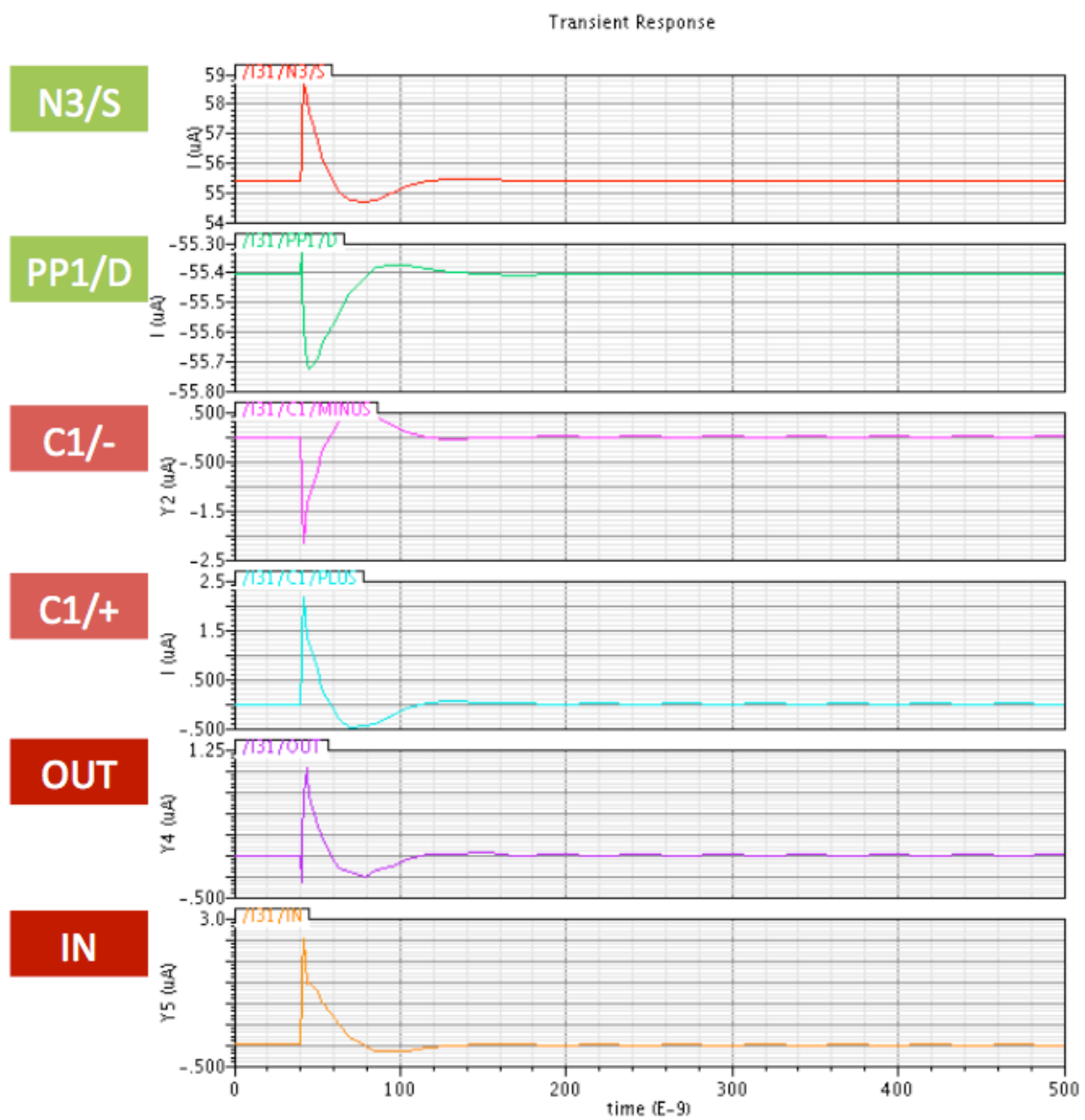
Appendix C に、プリアンプ内の他の Wire の電位も載せた。

### Transient Response



上図は、トランジスタを流れる電流を示す。

入力の直後に、TIN1 電位の上昇により N1 を流れる電流が増加する。その後 P2, P3 の電流がそれぞれ減少、増加し、しだいに各電流値は元の値に戻っていく。この文中では、電流の増減を、電流の絶対値で判断している。



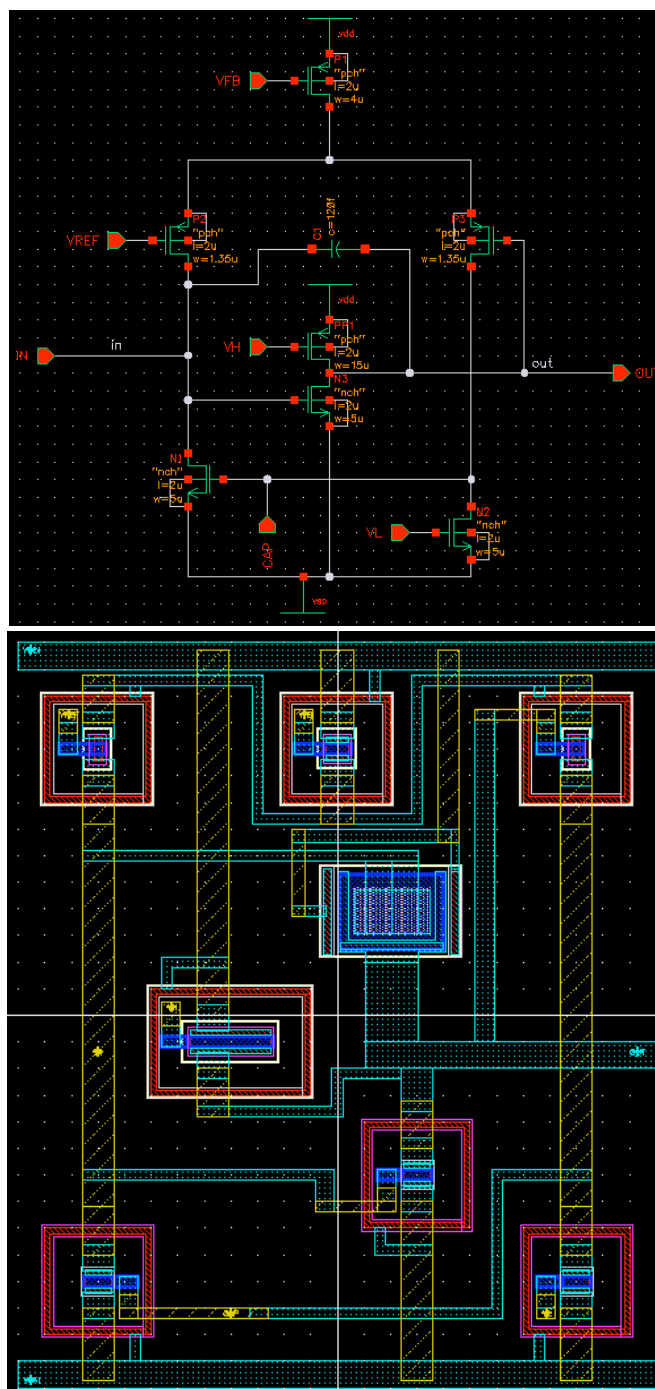
上図は、その他の電流値である。

入力の電流は IN のようになる。これは、Tail を持っているが、実際の検出器における電荷入力の場合と、そう異なったものではないと期待できる。

P3, PP1, C1 とともに、電流値は入力と共に変化し、その後落ち着いていく。

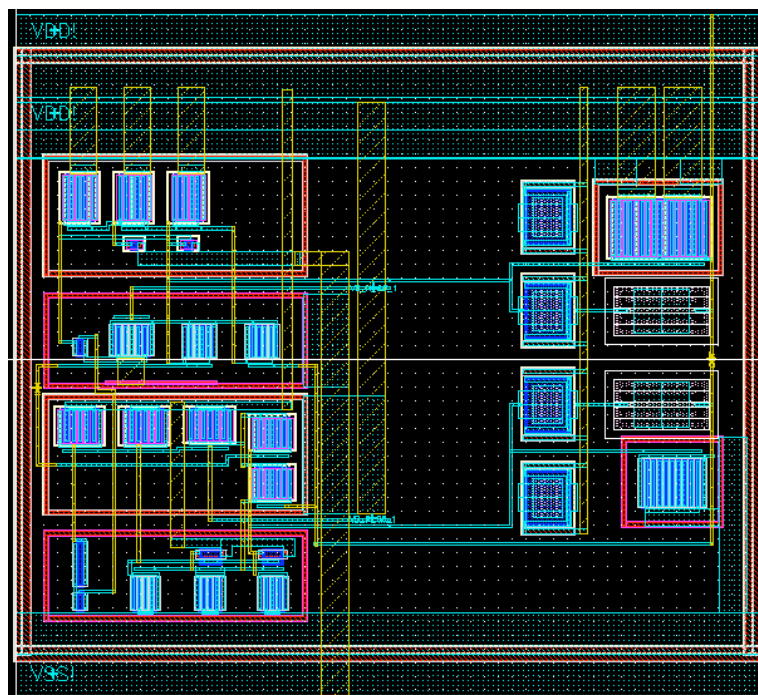
### 3. レイアウトと検証

プリアンプ部 (右図) のレイアウトを下記にのせる。

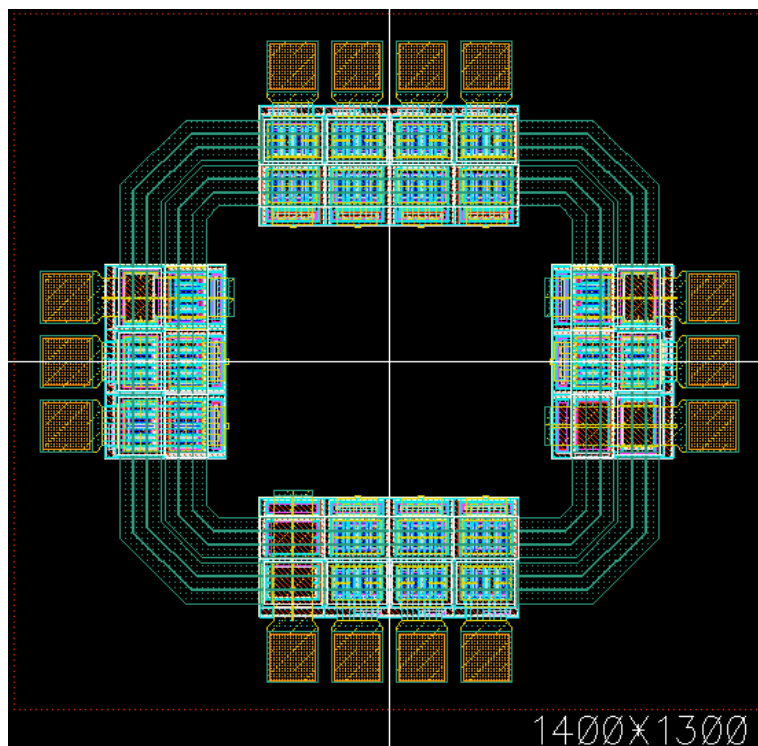


トランジスタの Body は、トランジスタを囲うようにコンタクトを立てて接続した。Metal 1 を横方向、Metal 2 を縦方向に使うようにした。確認として、DRC/LVS 検証を行った。エラーは一つも出なかった。

他の主要なパーツであるアナログバッファとアウトラインを、下にのせる。これらは、講習のスタッフの方が用意してくれたものである。

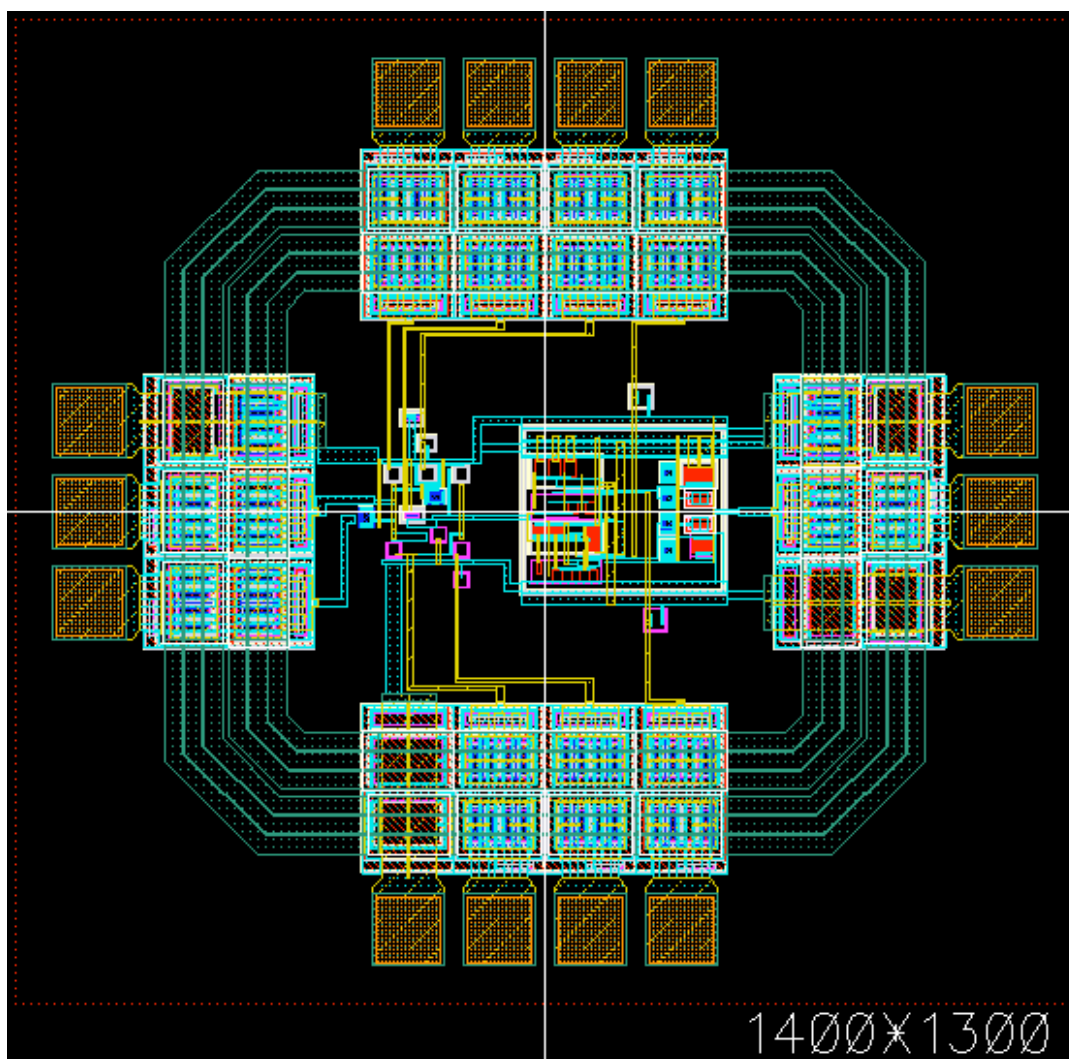
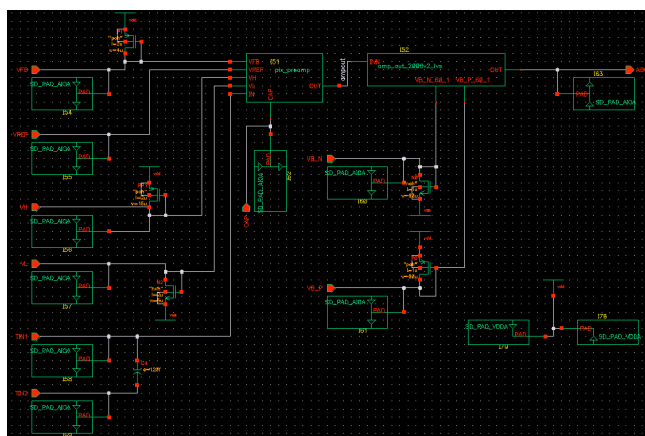


上図が amp\_out\_2006v2 であり、DRC/LVS 検証でエラーが出ない事を確認した。



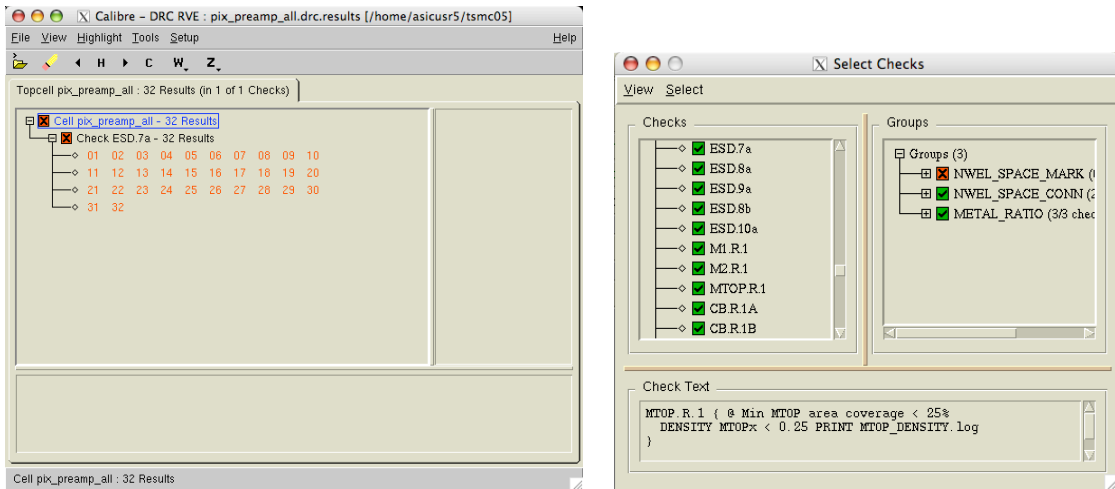
アウトラインについては、DRC 検証を行い、無視して良いというエラー ESD.7a のみしか出ない事を確認した。

回路全体について、DRC/LVS 検証に使う Schematic と、レイアウトをのせる。

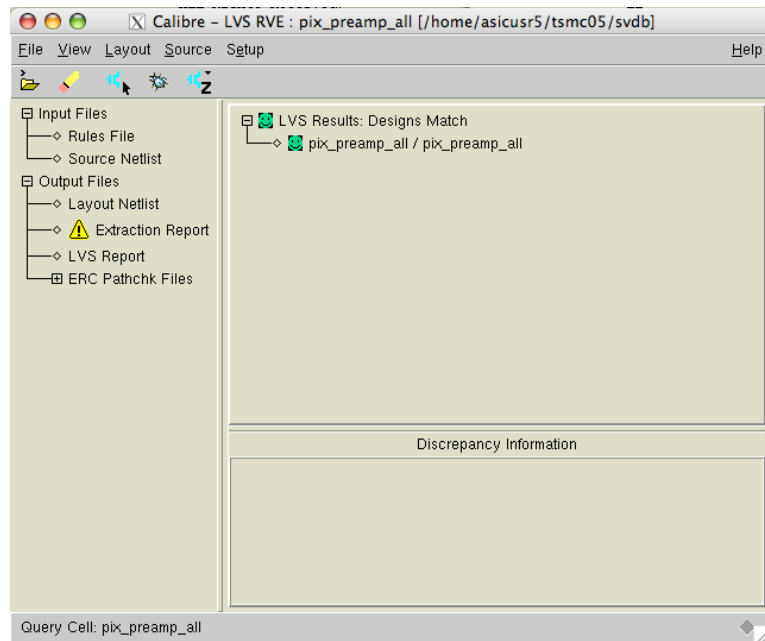


前頁の Schematic とレイアウトについての、DRC/LVS 検証結果をのせる。

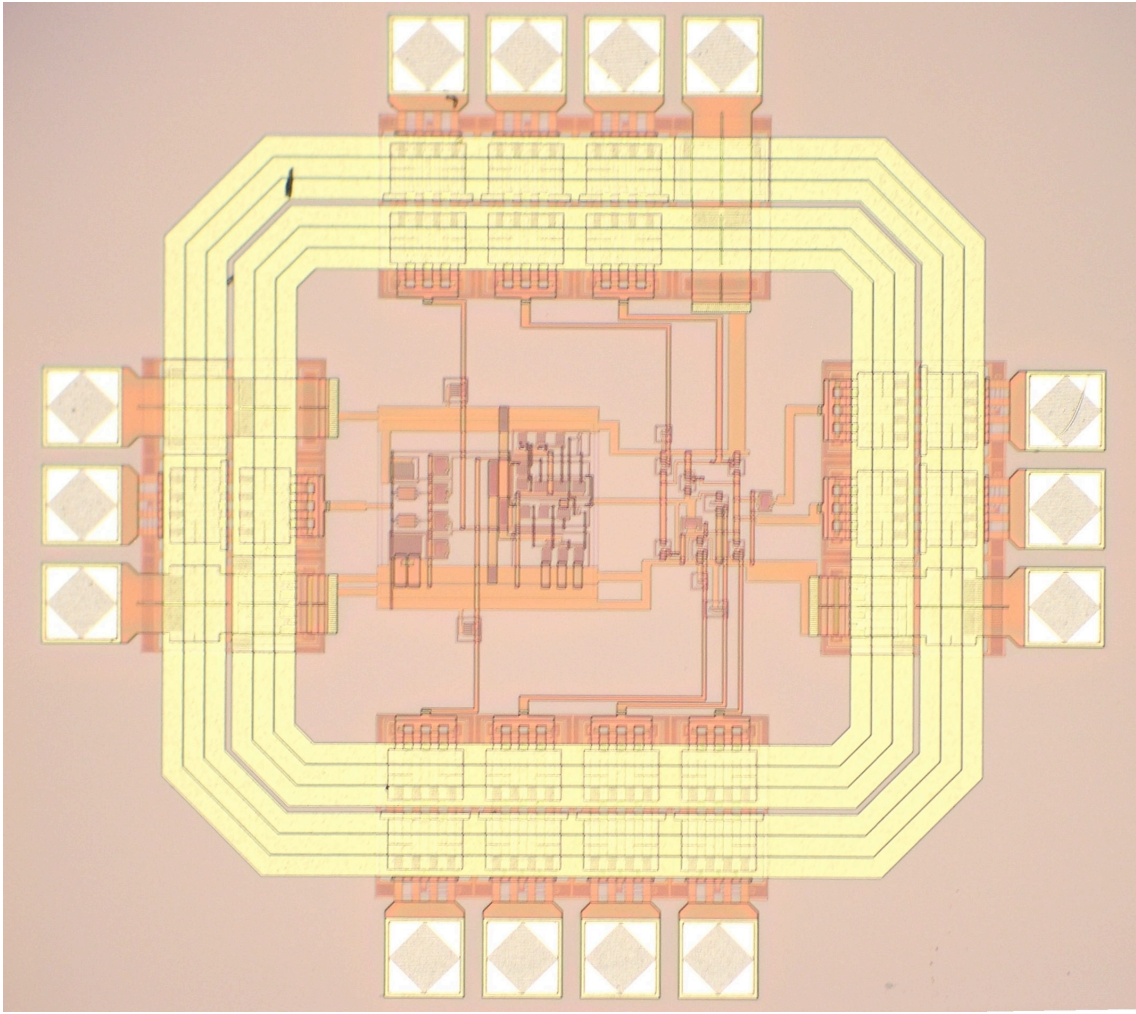




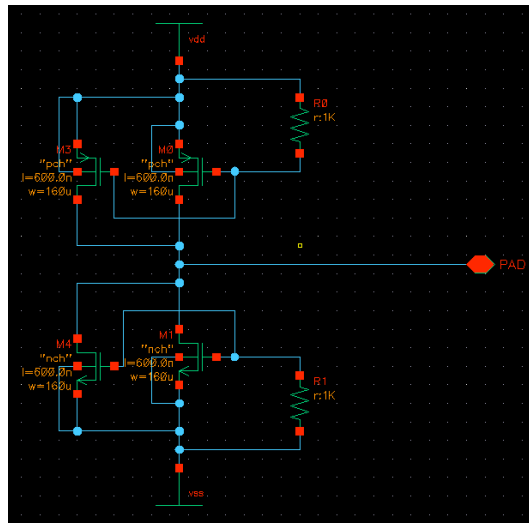
左上図が、DRC 検証の結果である。アウトライン中の無視して良いエラー ESD.7a-32 しかエラーがないことがわかる。ここで、右上図のように Metal の使用率の検証も含めている。



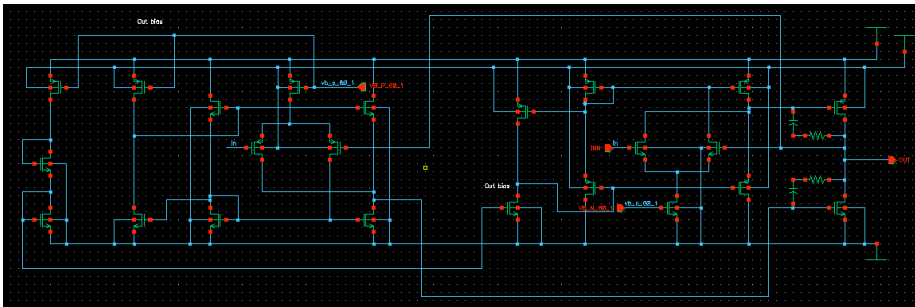
上図が、LVS 検証の結果である。エラーは出なかった。  
マスクデータ出力は、行った後、再度展開し、元のファイルを取り出せる事を確認した。取り出したファイルに DRC/LVS 検証を行った結果、同じ結果を得られた。



## Appendix A SD\_PAD AIOA 回路



## Appendix B amp out 2006v2 回路



## Appendix C 本文中で示されなかったプリアンプ内 Wire の電位

