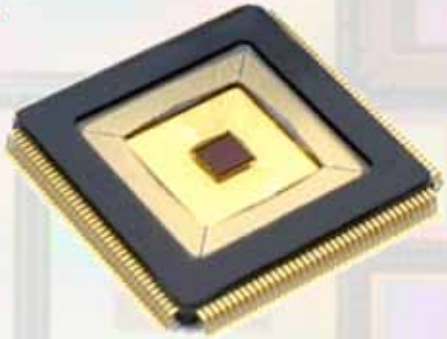
CMOSプロセス、エレクトロニクス入門

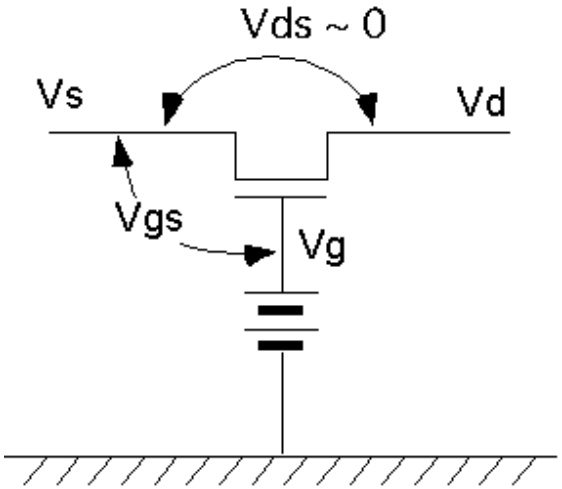
2009年7月27日
エレクトロニクスDAQセミナー
高エネルギー加速器研究機構
素粒子原子核研究所
新井康夫　(yasuo.arai@kek.jp)

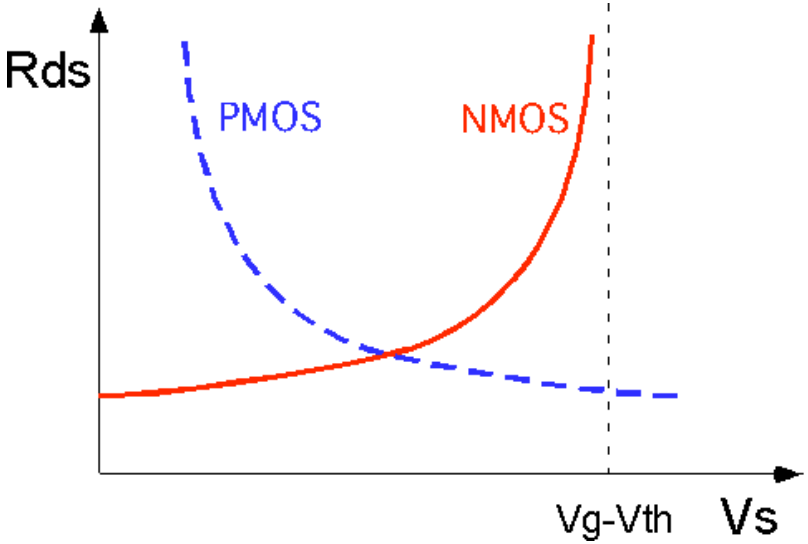
講義内容

- 0.はじめに
- 1. MOSトランジスターの基礎
- 2. MOSアナログ回路
- 3. CMOSデジタル回路
- 4. SOI Pixel回路



デジタル回路でのMOSトランジスター





Vd~Vsの時、線形領域なので

$$I_{ds} = \beta\left[\left(V_{gs} - V_{th}\right)V_{ds} - \frac{V_{ds}^2}{2}\right] \approx \beta\left(V_{gs} - V_{th}\right)V_{ds}$$

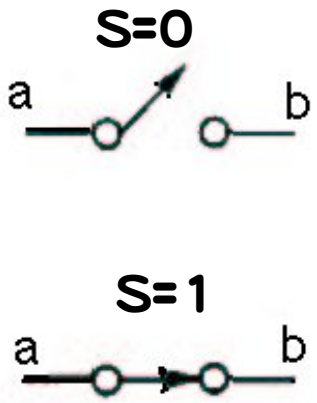
$$R_{ds} = \frac{V_{ds}}{I_{ds}} \approx \frac{1}{\beta\left(V_{gs} - V_{th}\right)} = \frac{1}{\beta\left(\left(V_g - V_{th}\right) - V_s\right)}$$

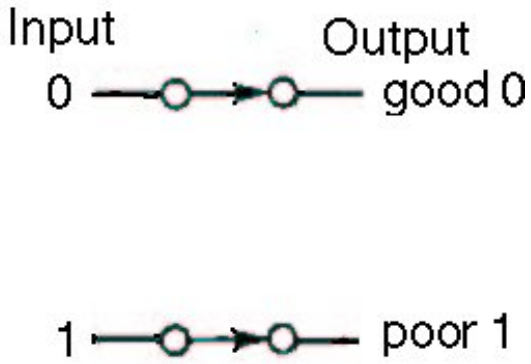
NMOS: Vsが低い時は抵抗が小さいが、Vsが高いと抵抗が大きい。

(PMOSは逆)

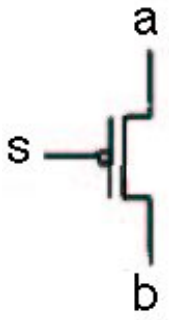
MOS Transistors in Digital Circuit

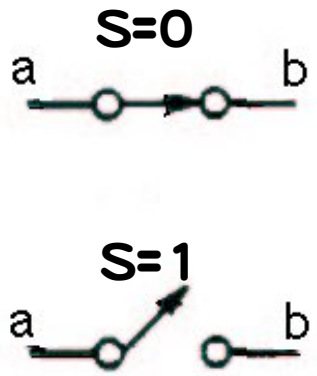
NMOS

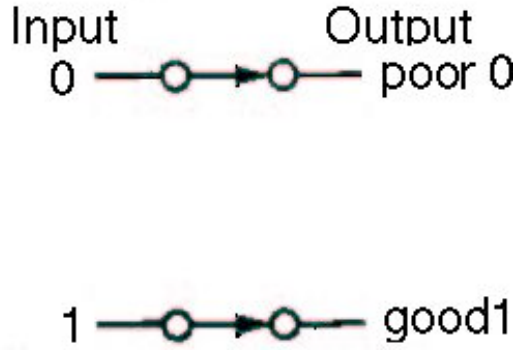




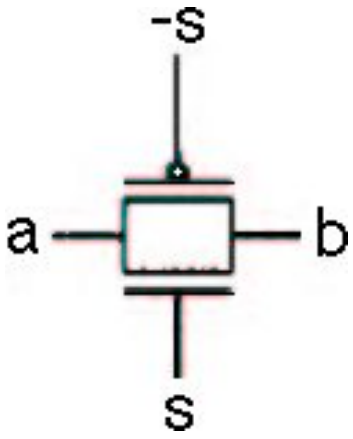
PMOS



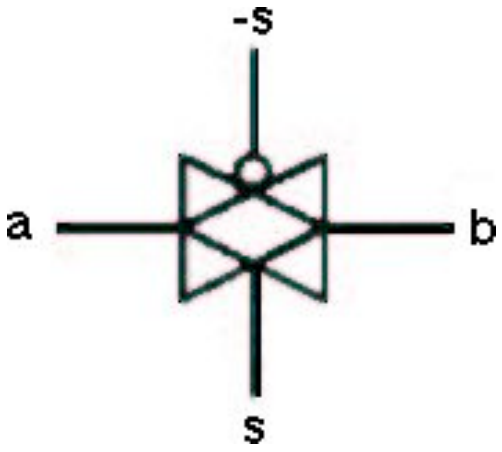




Transfer gate



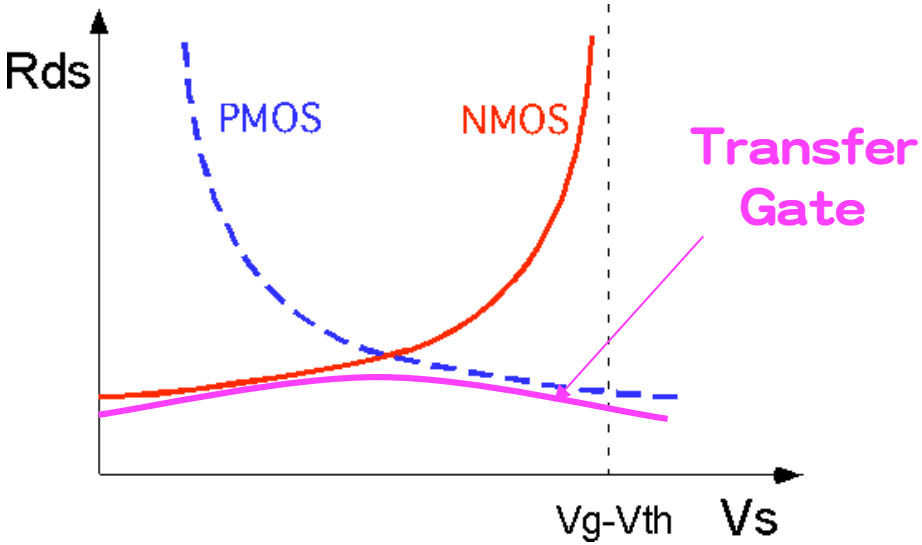
又は



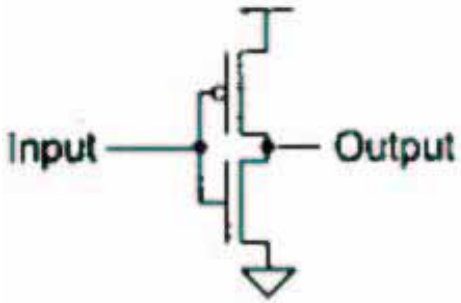
S=1, -S=0

Input 0 → Output good 0

Input 1 → Output good1

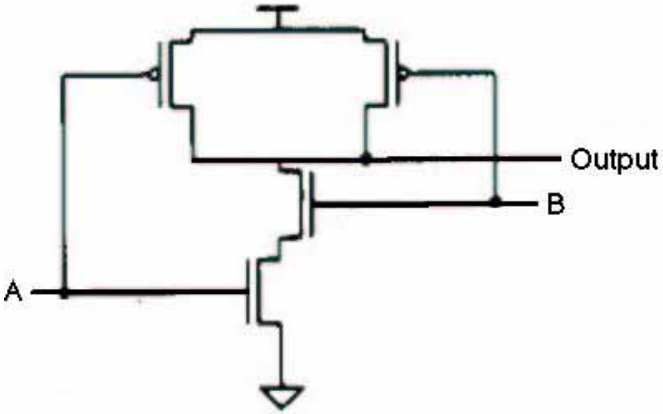


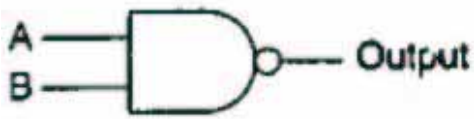
Inverter

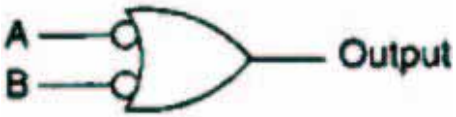


Input	Output
0	1
1	0

2 input NAND

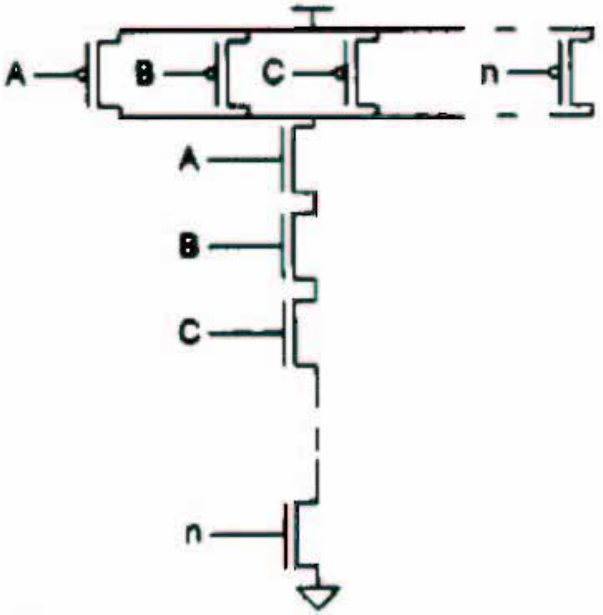




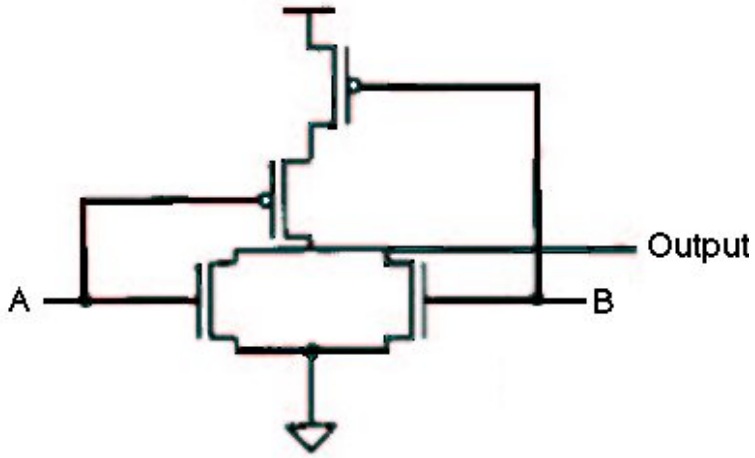


A	B	Output
0	0	1
0	1	1
1	0	1
1	1	0

n input NAND

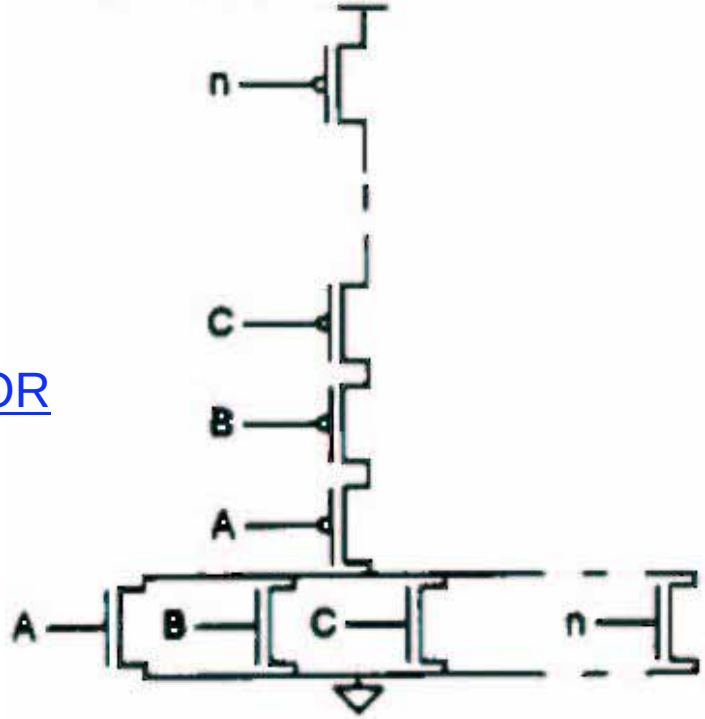


2 input NOR



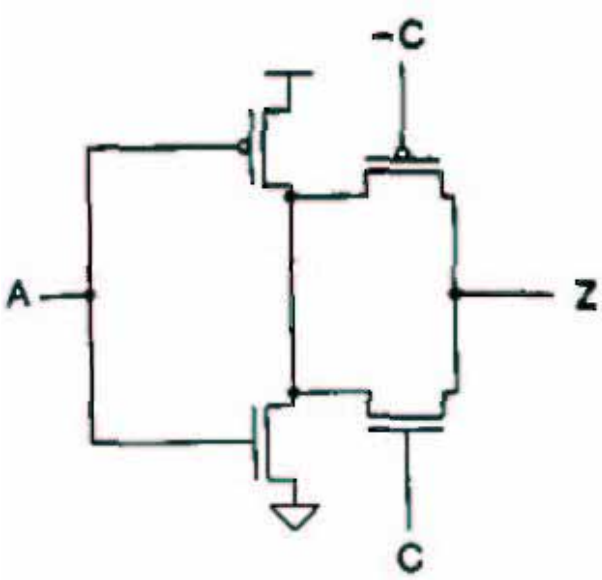
A	B	Output
0	0	1
0	1	0
1	0	0
1	1	0

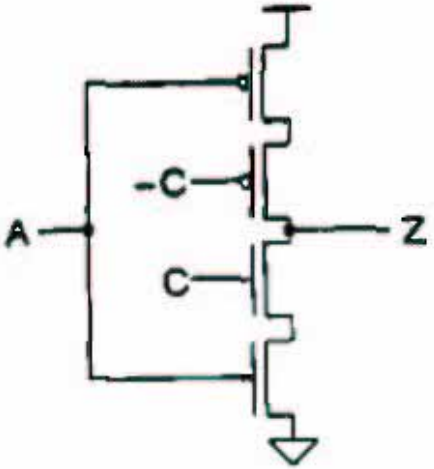
n input NOR

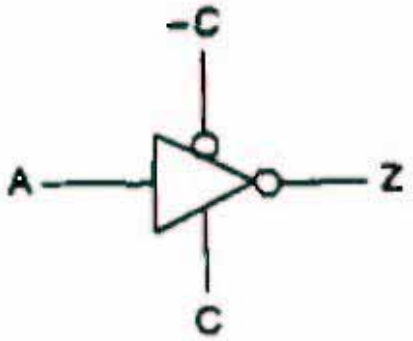


Tri-State Inverter

If C = H then Z = A*
else Z = Hi Impedance

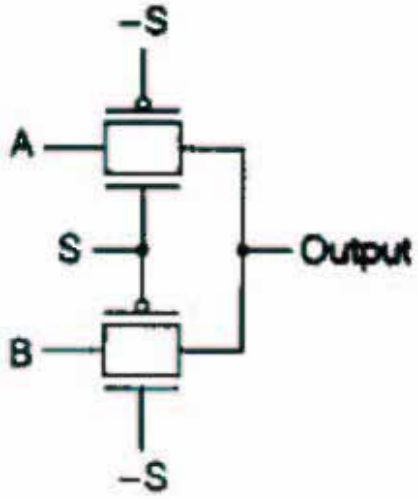


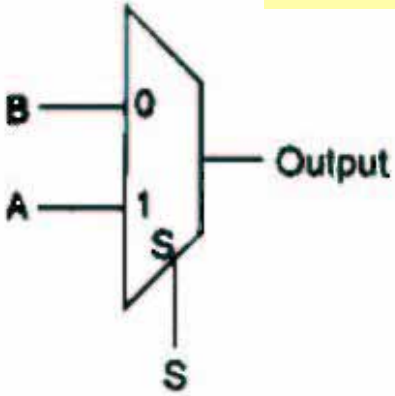




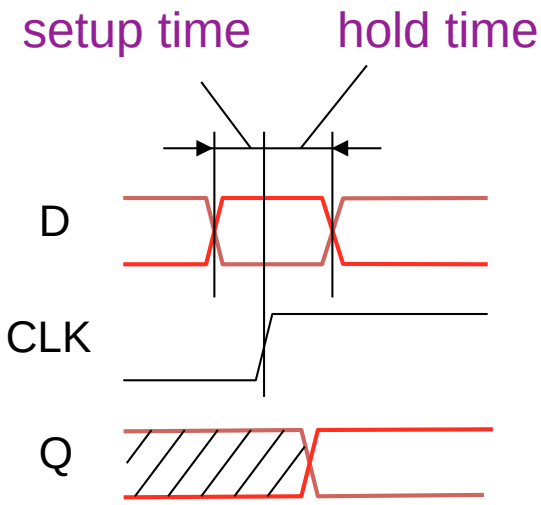
Multiplexor

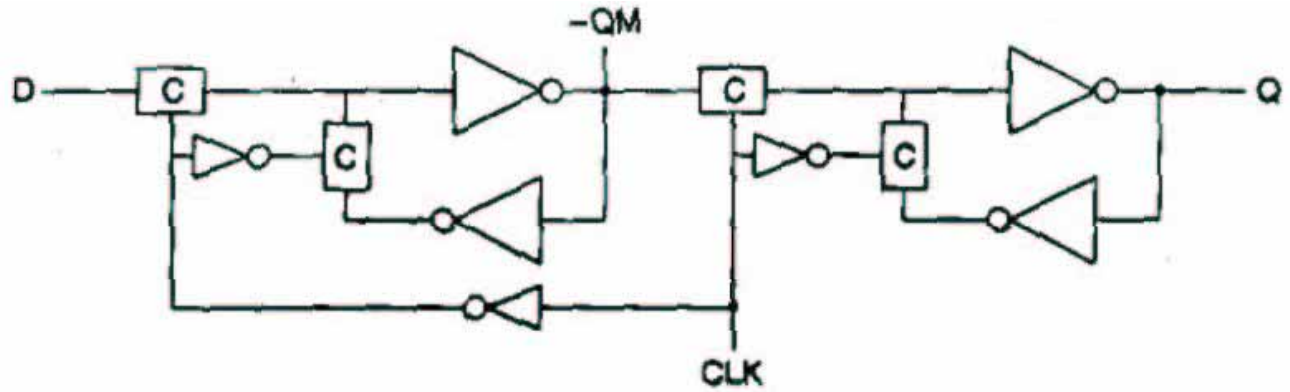
If S = H then Output = A
else Output = B

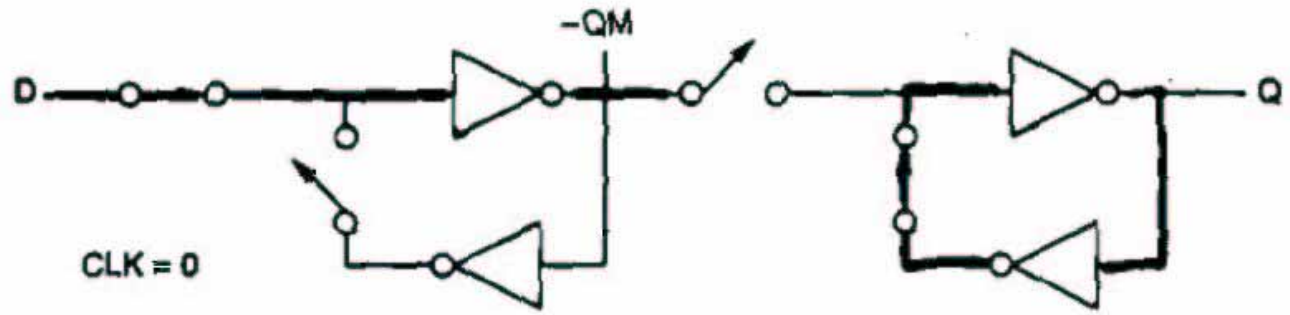


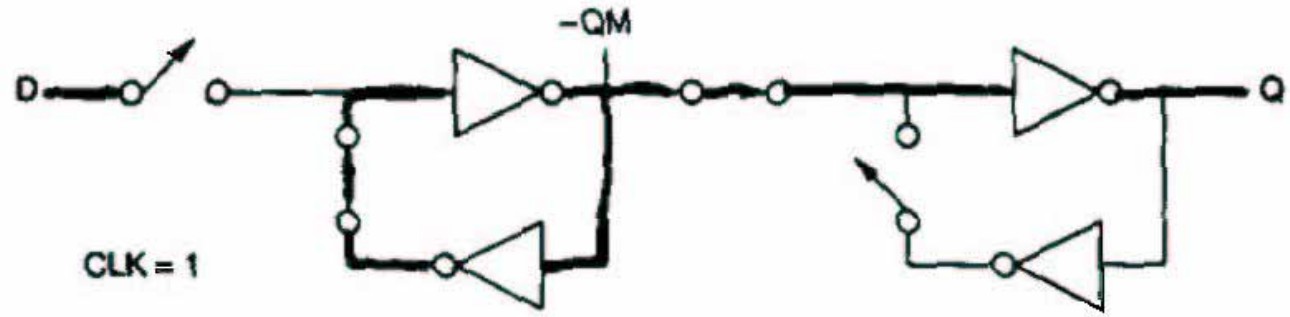


D-type Flip/Flop





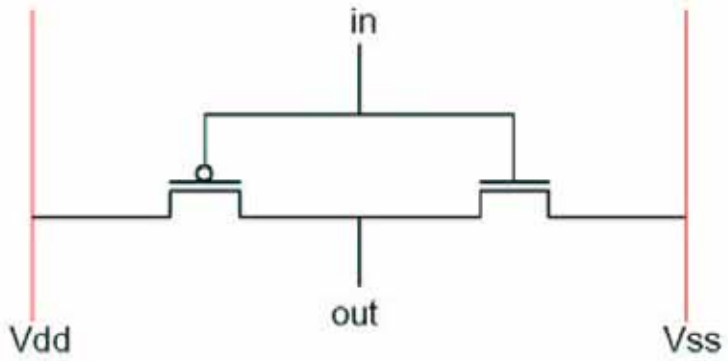


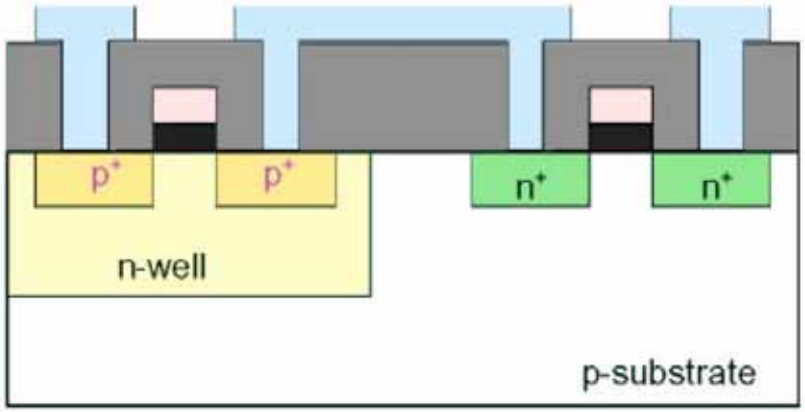


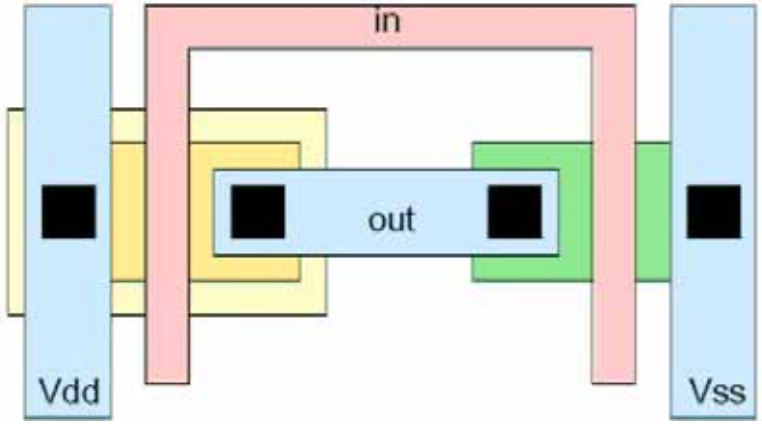
Inverter

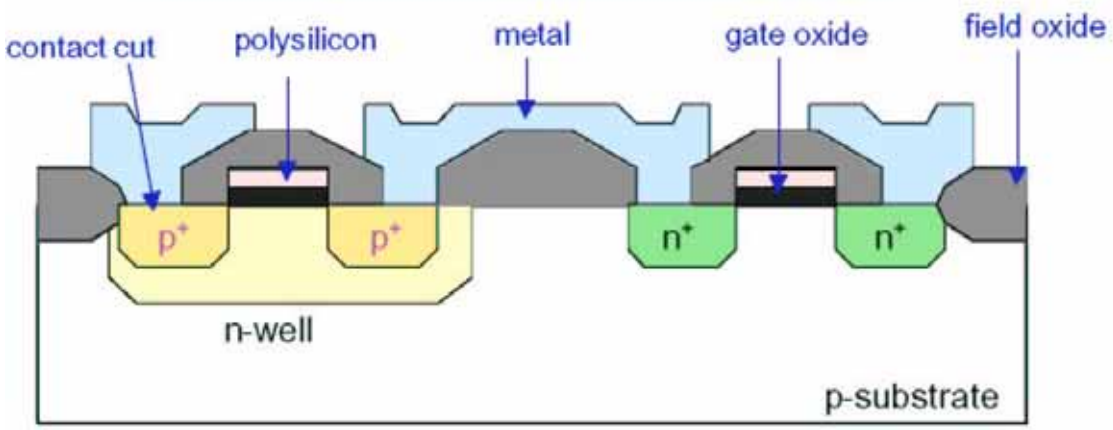
入力が0なら出力は1

入力が1なら出力は0





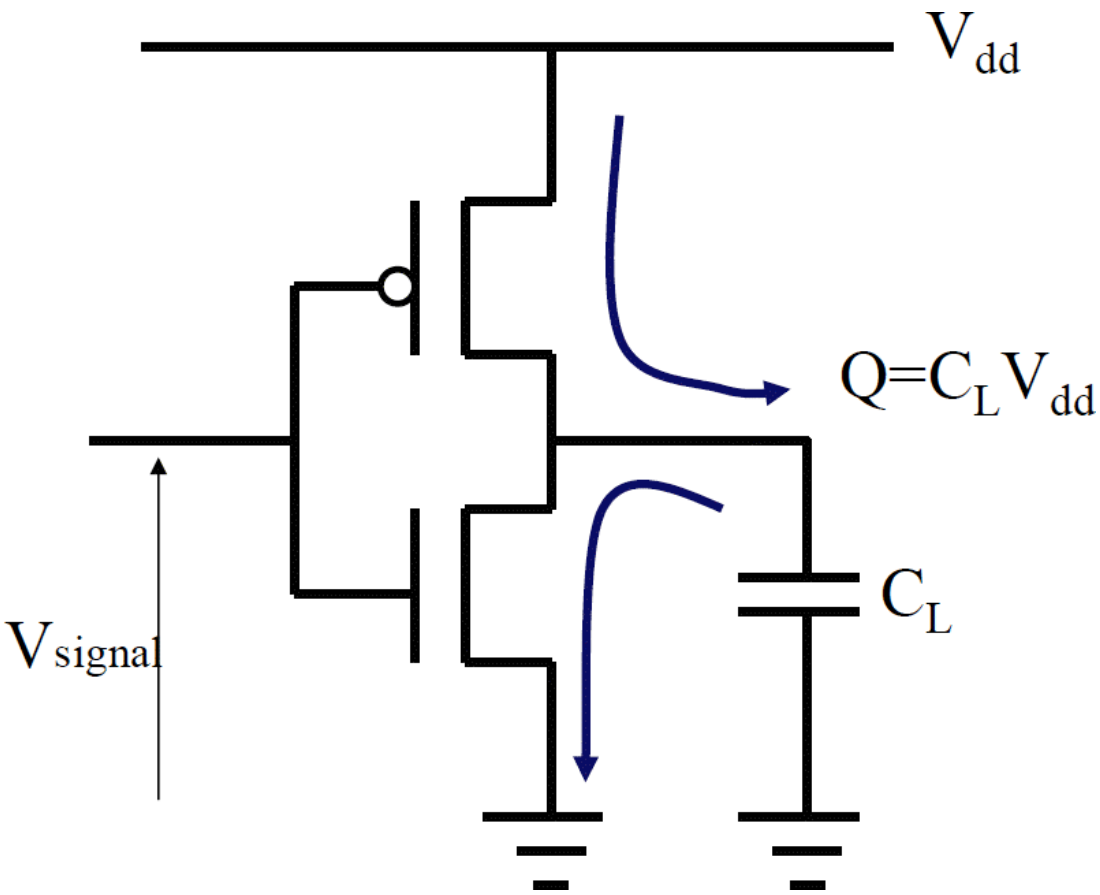




消費電力

$$P = C \cdot V^2 \cdot F$$

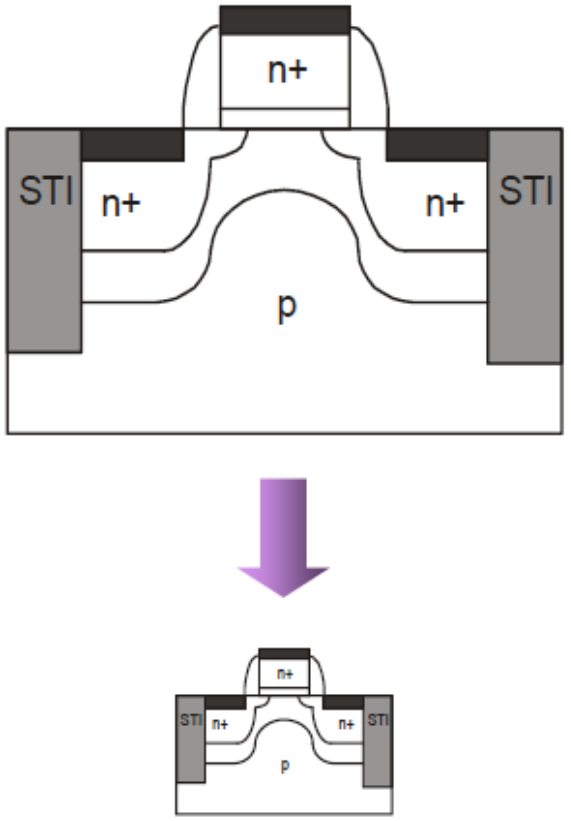
C: Load Capacitance
V: Power Supply Voltage
F : Switching Frequency



CMOSではスイッチングの際に電流が流れるのみで、定常状態では電流が流れない。

スケーリング則

トランジスタ寸法　L, W	1/k
膜厚　tox	1/k
接合深さ　xj	1/k
空乏層幅　Wd	1/k
基板不純物濃度　Na	k
電源電圧　Vdd	1/k
電流　Id	1/k
容量　C	1/k
遅延時間　t = CV/I	1/k
消費電力　P = IV	$1/k^2$
トランジスタ数	k^2



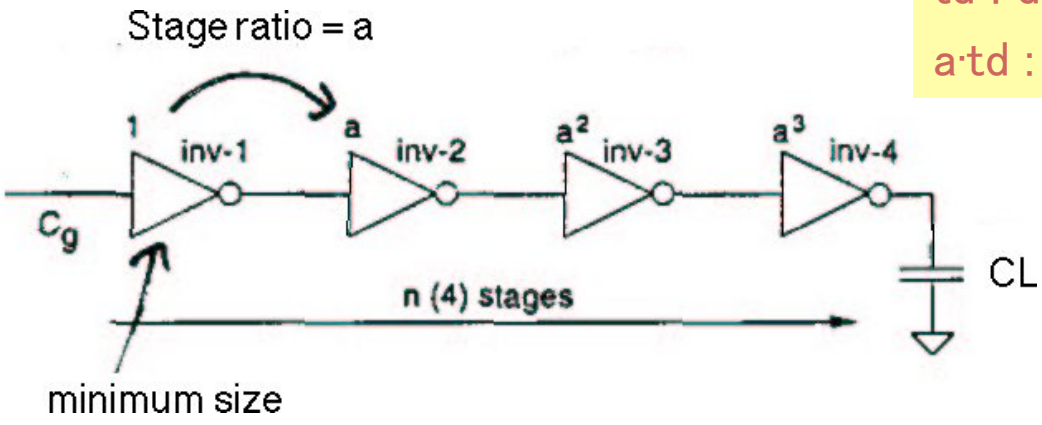
微細化すると高速化，低消費電力化，高集積化がはかれる。

Stage Ratio

min. inv.から大きな負荷C_Lを駆動する

td : dalay of min. inv -> min. inv.

a·td : delay of inv(n-1) -> inv(n)



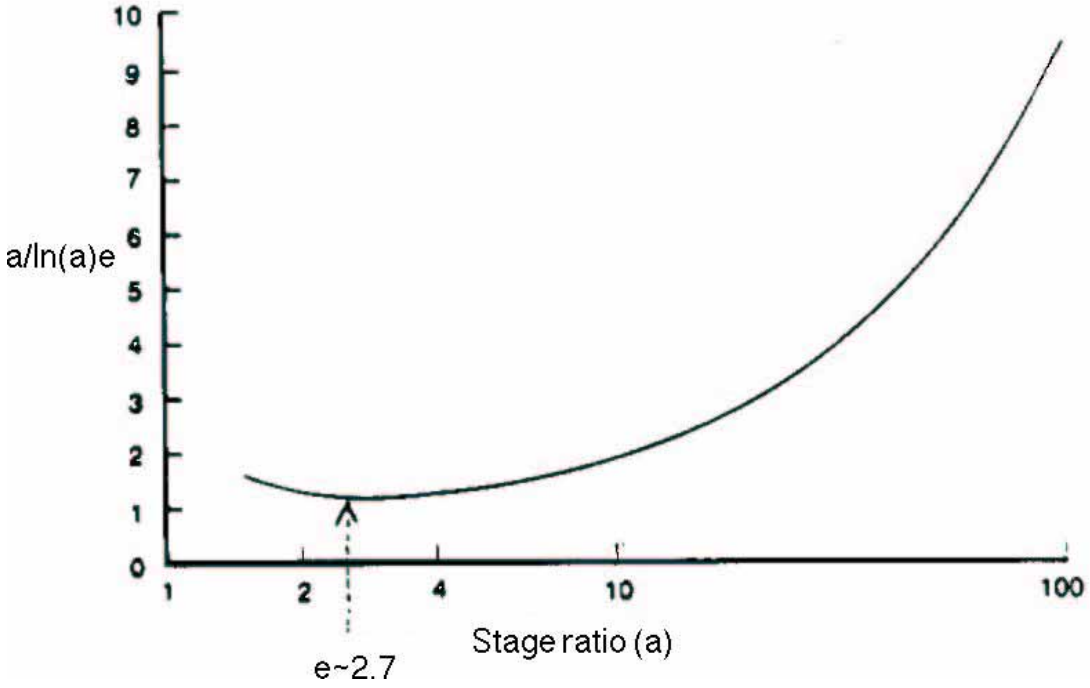
最適な比率aは？

$$R = \frac{C_L}{C_g} = a^n$$

$$n = \frac{\ln(R)}{\ln a}$$

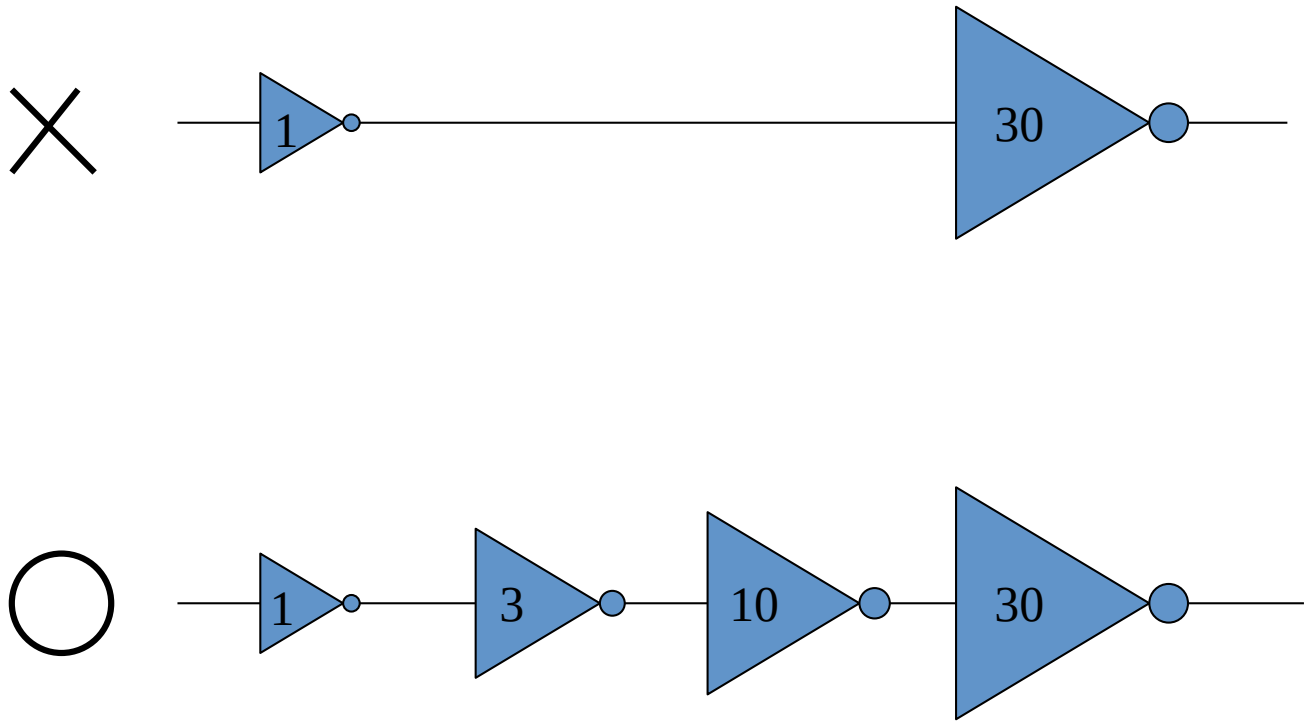
$$\text{Total Delay} = n \cdot a \cdot t_d$$

$$= \ln(R) \cdot t_d \cdot \frac{a}{\ln(a)}$$



a = 3 ~ 5 を使用

例：load 30の負荷を駆動

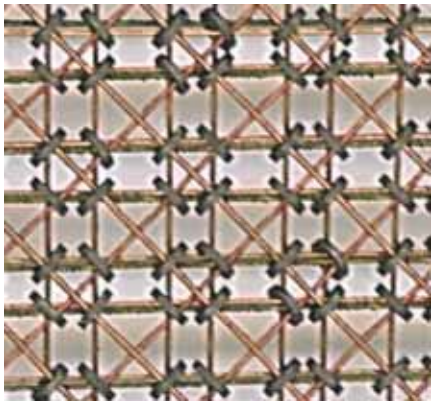


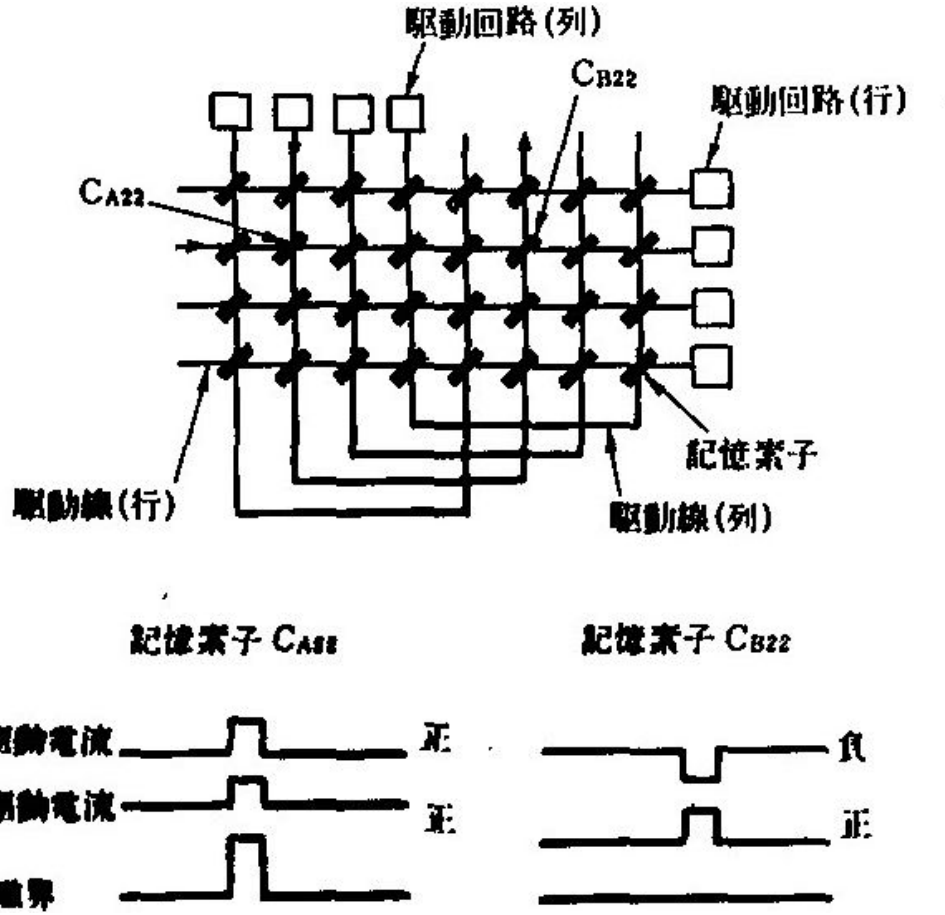
この方が速い！

Memory

コアメモリー（~1960年代）

1k**ビットコアメモリー：**
50 x 50 x 20 cm, ~100W

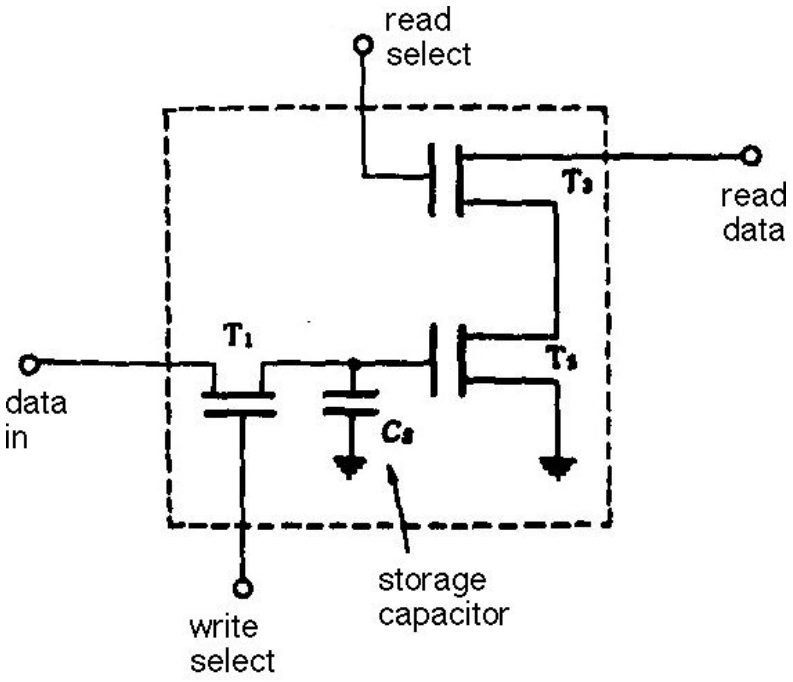




MOS Memory
- SRAM (Static Random Access Memory)
- DRAM (Dynamic Random Access Memory)
- Non-Volatile Memory (EPROM, Flash Memory . . .)
- ROM (Read Only Memory)
- :

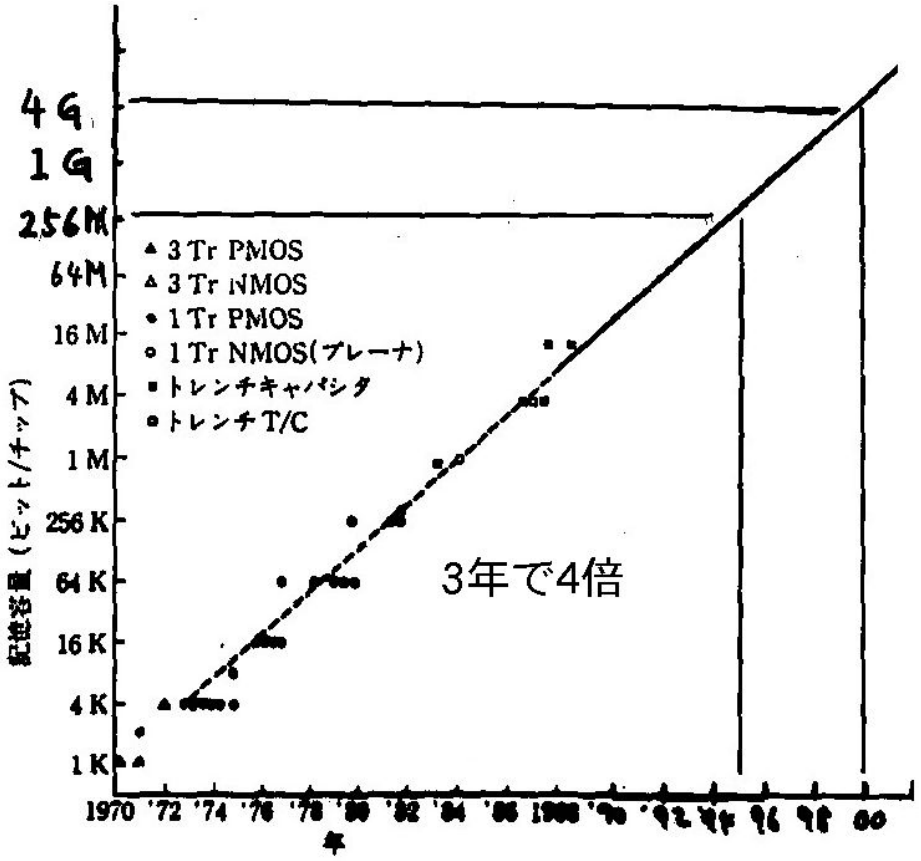
DRAM

1971 Intel
3 Tr DRAM

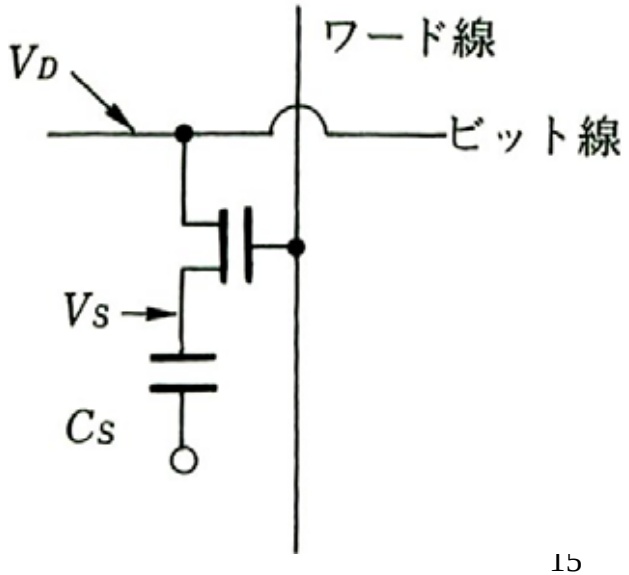


インテル社の開発した1KビットDRAMメモリセル

T_1：データ書き込み用選択トランジスタ
T_2：読み出し用トランジスタ
T_3：データ読み出し用選択トランジスタ
C_S：記憶用キャパシタンス

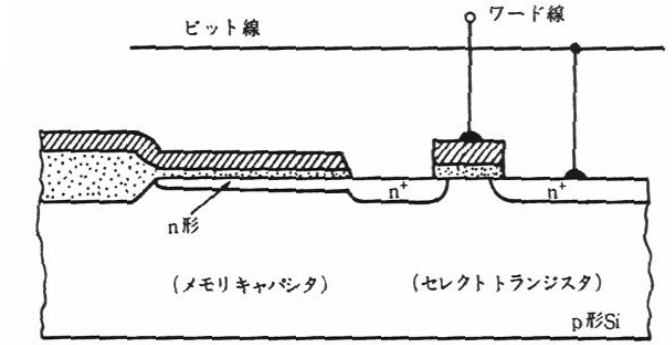


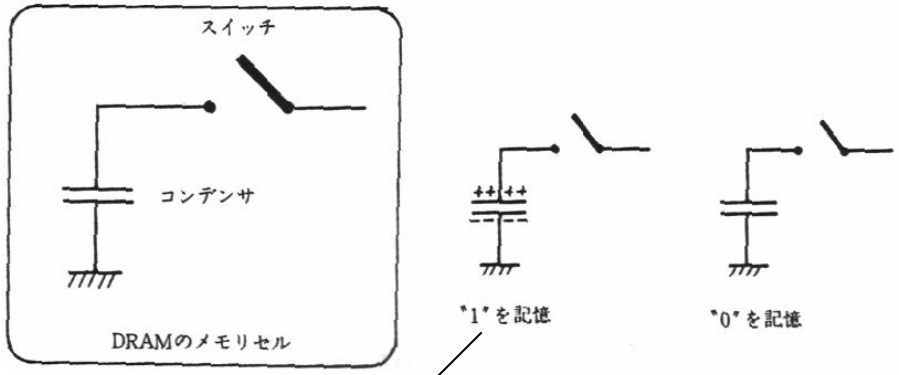
1972
Texas Instruments
1 Tr DRAM



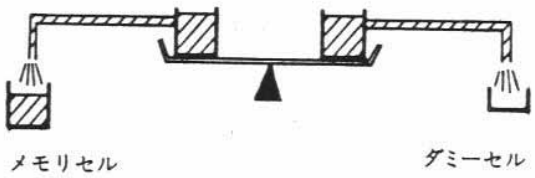
DRAM Refresh

Refreshが~msec毎に必要





少しずつ蓄積電荷が減少。



定期的にチェックして不足分を足す。

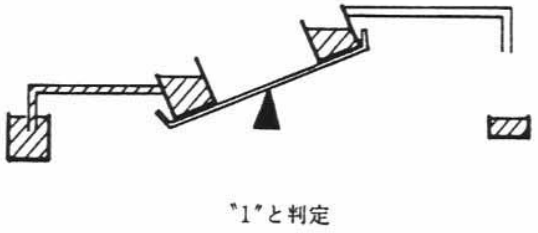


図 I-31 メモリセル用バケツの水位が半分以上か否かを判定する仕掛け

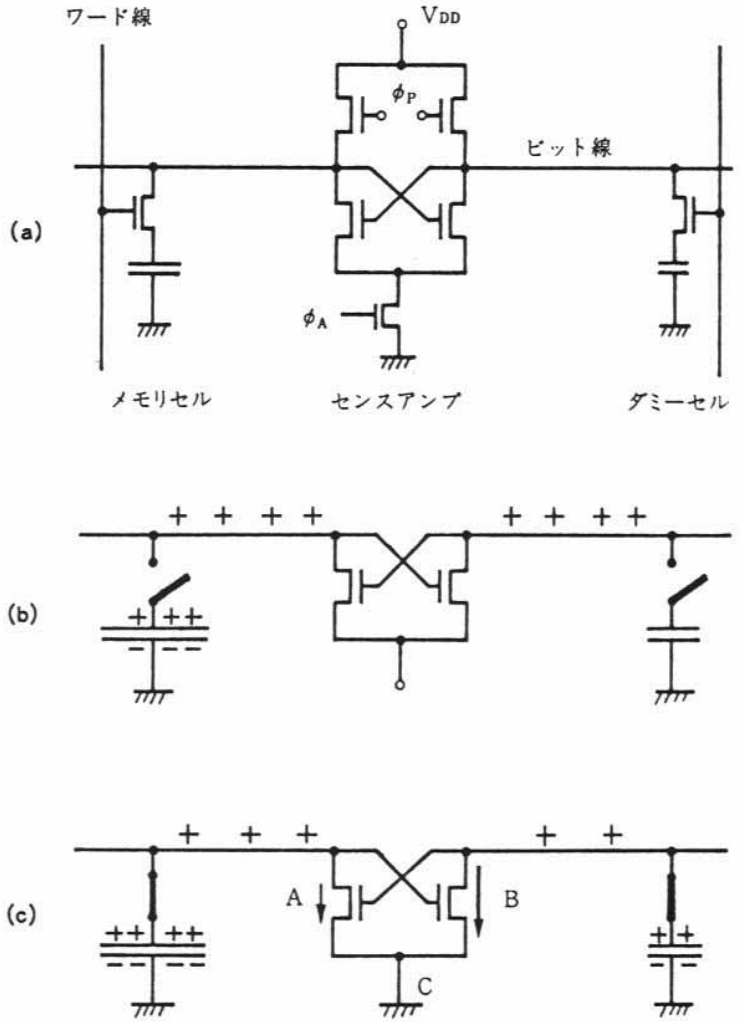
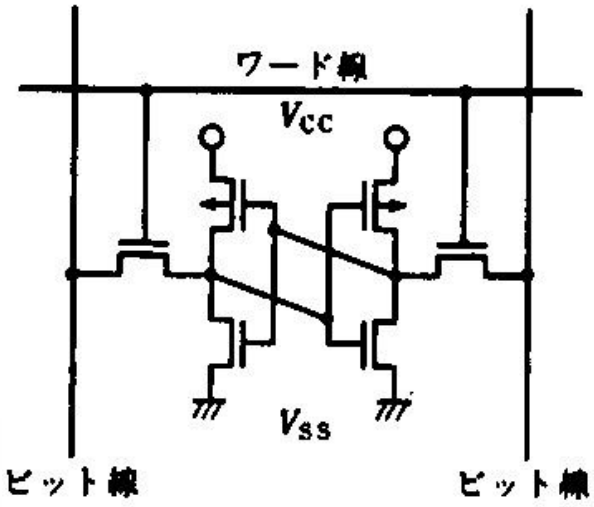
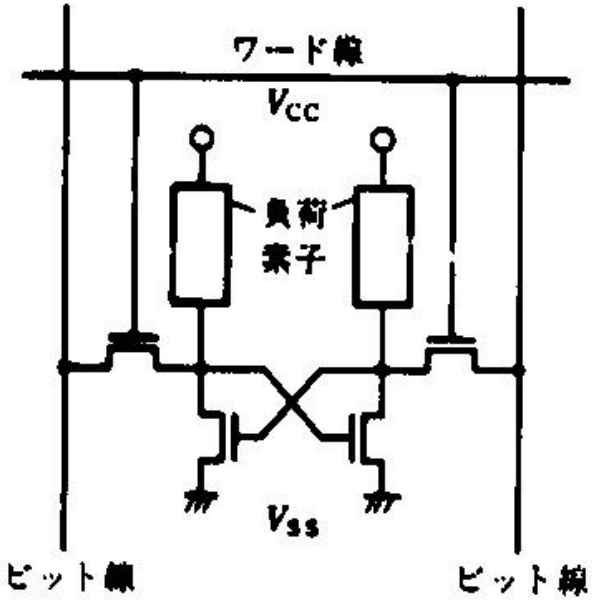


図 I-32 DRAMセンスアンプの動力原理。「1」の書き込まれたメモリセル(5Vに充電されたセル)のデータを読み出す

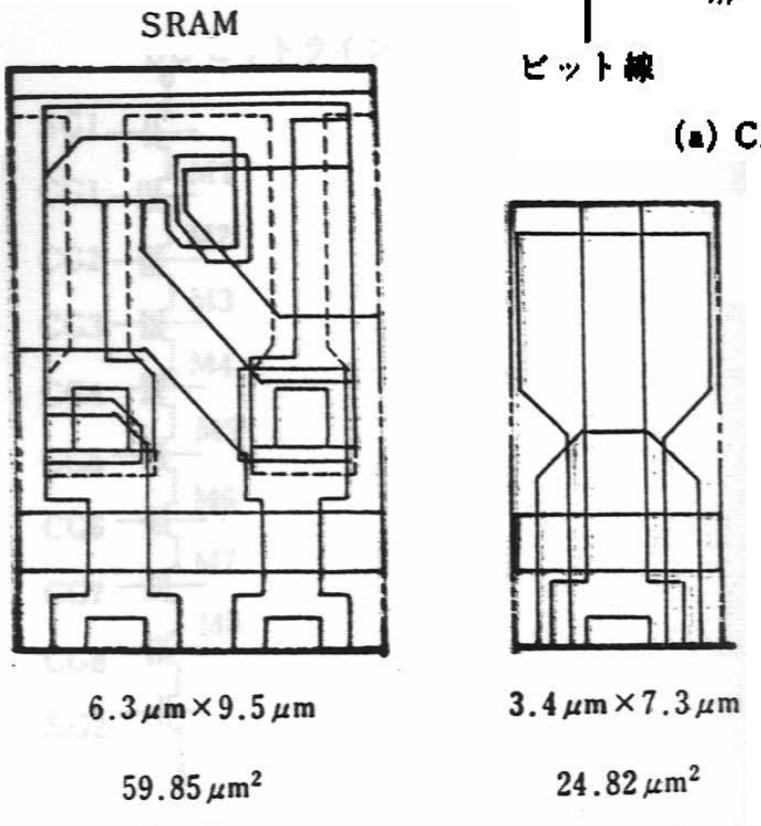
SRAM



(a) CMOS 6Tr形



(b) 受動負荷素子形



DRAMとSRAMの1ビット
当たりの面積比較（1μmルール）

高速アクセス

Refresh**動作がいらない。**

EEPROM

(Electrically Erasable Programmable ROM)

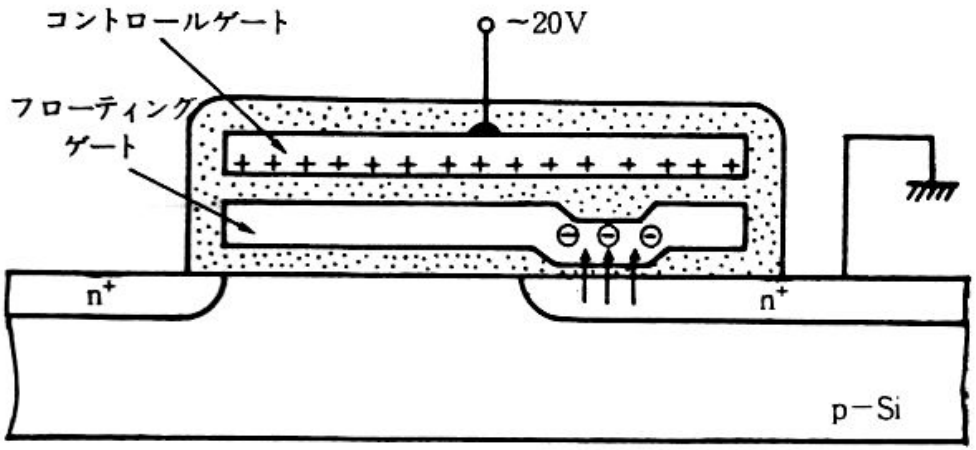


図 I-35 E^2PROMセルの断面構造。薄い酸化膜（~100Å）を通して電子をトンネリングさせることにより、フローティングゲートに電子を出し入れし、データを記憶

トンネリング注入

電源を切っても内容が失われない。

書き換え可能。

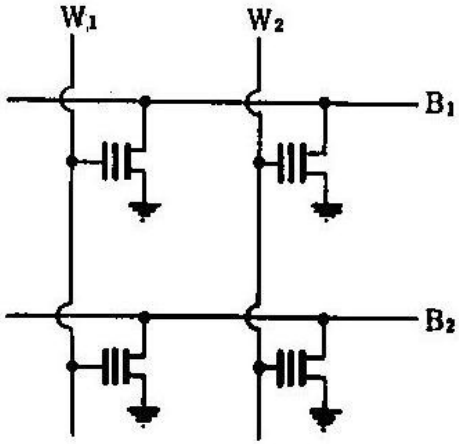
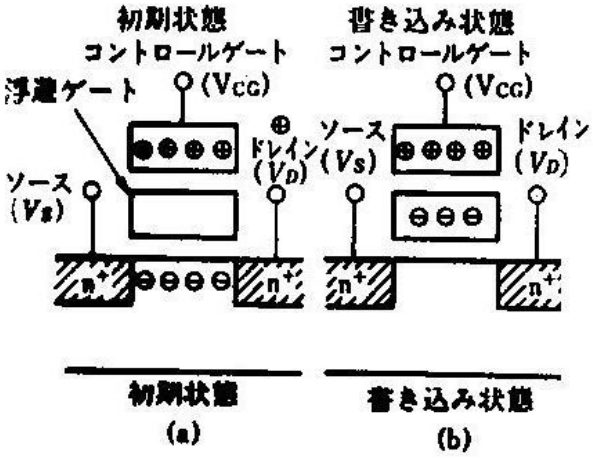
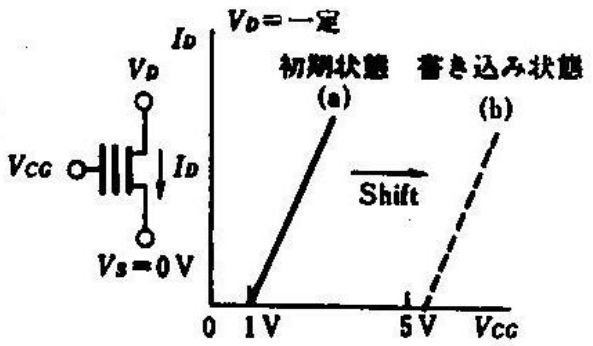


図 1.34 UVEPROMの等価回路



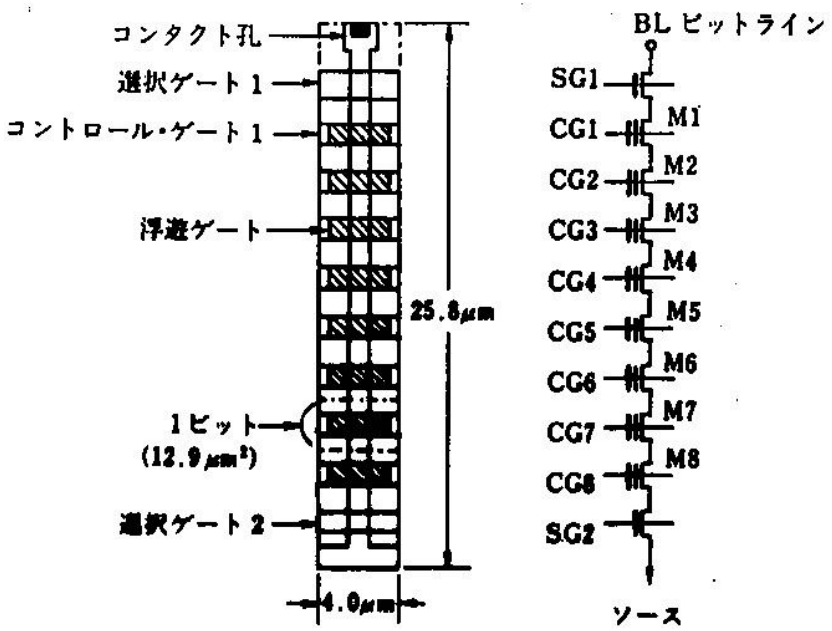


Flash Memory

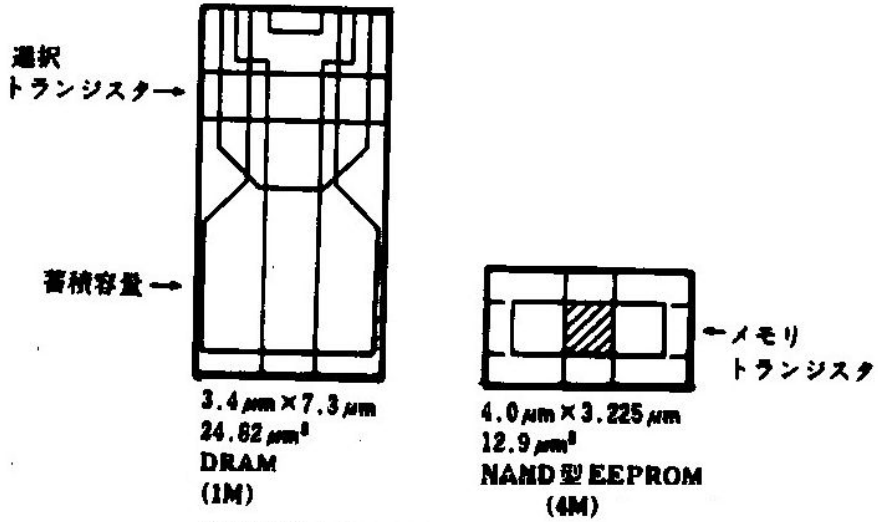
1987 東芝
NAND型EEPROM

一括消去
高密度

ホットエレクトロン注入

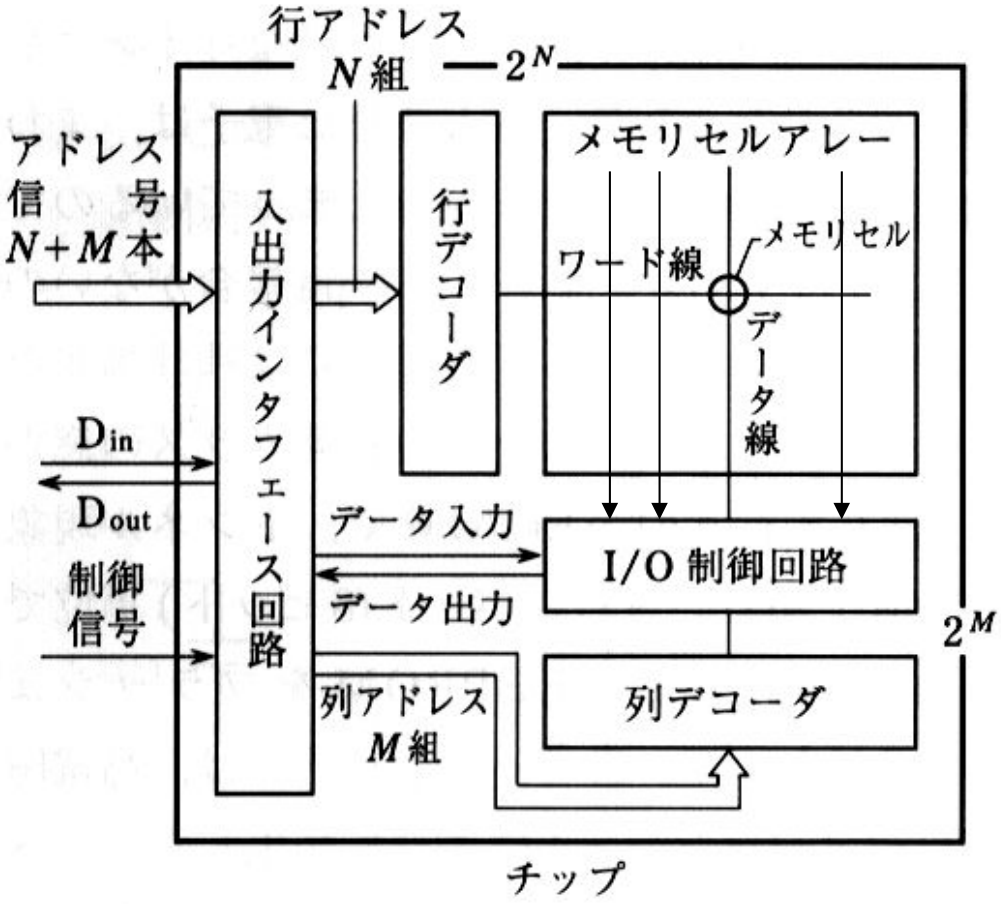


NAND型EEPROMの平面図と等価回路



DRAMとNAND型EEPROMセルの1ビット当りの面積比較（1μmルール）

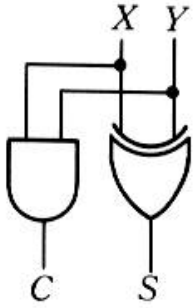
メモリーの全体構成



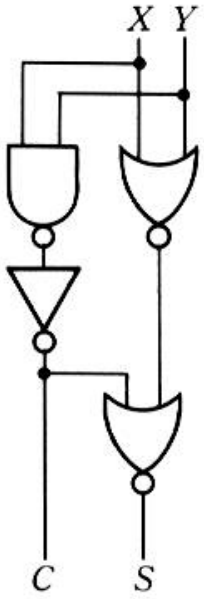
メモリチップの内部構成

足し算器

Half Adder



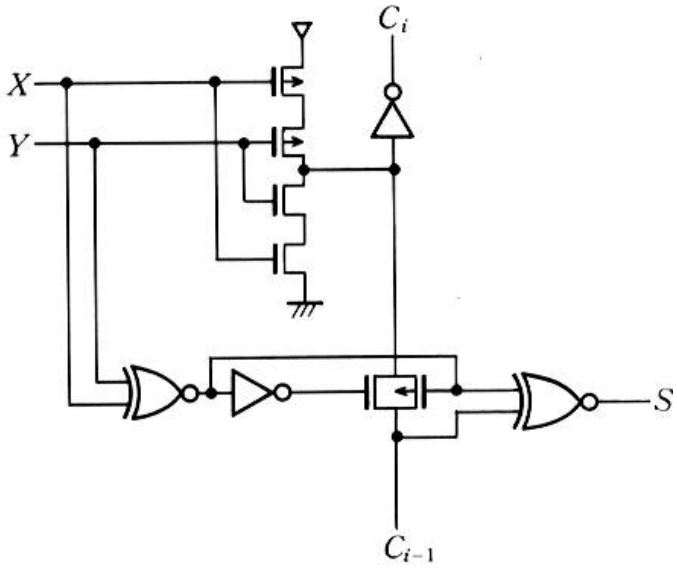
（a）論理式どおりの論理回路図



（b）CMOS インプリメントを考慮した論理回路図

X Y	S C
0 0	0 0
0 1	1 0
1 0	1 0
1 1	0 1

Full Adder



全加算器の回路例

全加算器の真理値表と論理式

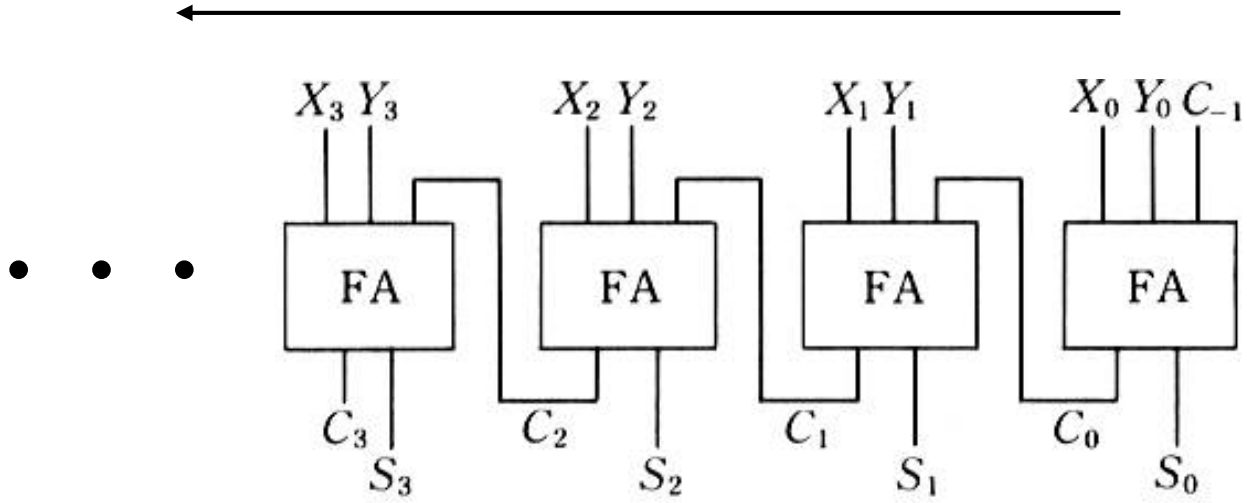
入力			出力	
X	Y	C_{i-1}	S	C_i
0	0	0	0	0
0	1	0	1	0
1	0	0	1	0
1	1	0	0	1
0	0	1	1	0
0	1	1	0	1
1	0	1	0	1
1	1	1	1	1

$$S = C_{i-1} \oplus (X \oplus Y)$$

$$C_i = X * Y + Y * C_{i-1} + X * C_{i-1}$$

ケタが増えると

ケタ上がりが増えてどんどん遅くなる！



（FA：Full Adder）

4 ビットリップルキャリーアダー

Carry Look Ahead (CLA)
(桁上げ先見方式)

全加算器の真理値表と論理式

入力			出力	
X	Y	C_{i-1}	S	C_i
0	0	0	0	0
0	1	0	1	0
1	0	0	1	0
1	1	0	0	1
0	0	1	1	0
0	1	1	0	1
1	0	1	0	1
1	1	1	1	1

$S = C_{i-1} \oplus (X \oplus Y)$

$C_i = X * Y + Y * C_{i-1} + X * C_{i-1}$

X, Y がともに“1”のときは下の桁からの桁上げ信号 C_{i-1} の値にかかわらず桁上げ信号 C_i が発生し，X, Y のどちらかが“1”のときは C_{i-1} の値で C_i が決定されているのがわかる。この様子を式で表すと，次のようになる。

$$C_i = G_i + P_i * C_{i-1}$$

ただし，$G_i = X_i * Y_i$

$$P_i = X_i \oplus Y_i$$

ここで G_i は桁上げ生成信号(generator)とよび，P_i は桁上げ伝搬信号(propagator)とよぶが，機能的には半加算器の C および S と全く等しい。

これを用いて各桁の桁上げ信号 C_i を表すと，

$$C_0 = G_0 + P_0 * C_{-1}$$

$$C_1 = G_1 + P_1 * C_0 = G_1 + G_0 * P_1 + P_0 * P_1 * C_{-1}$$

$$C_2 = G_2 + G_1 * P_2 + G_0 * P_1 * P_2 + P_0 * P_1 * P_2 * C_{-1}$$

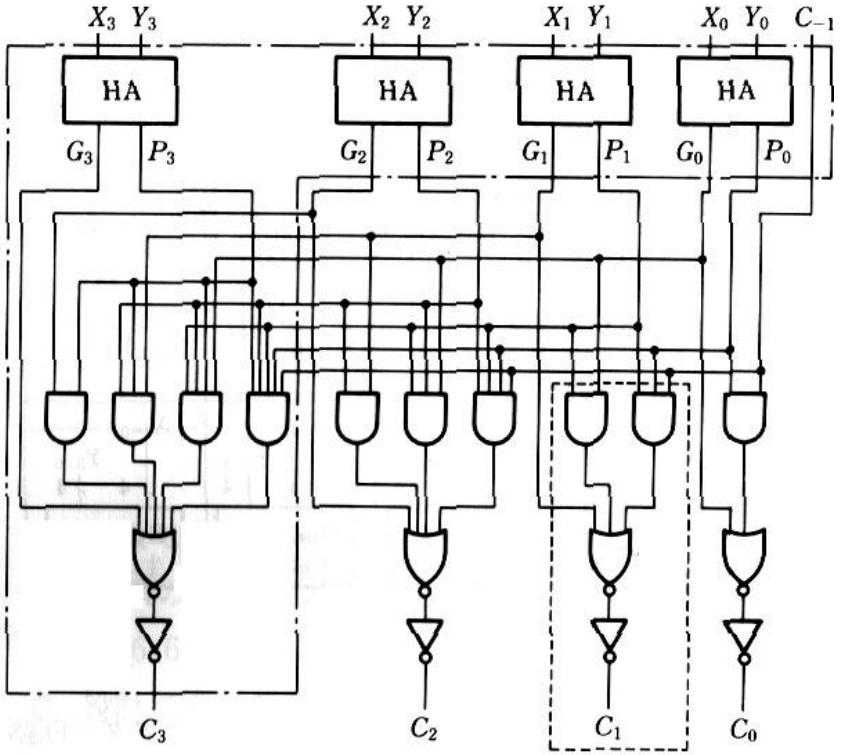
$$C_3 = G_3 + G_2 * P_3 + G_1 * P_2 * P_3 + G_0 * P_1 * P_2 * P_3 + P_0 * P_1 * P_2 * P_3 * C_{-1}$$

$$\cdots$$

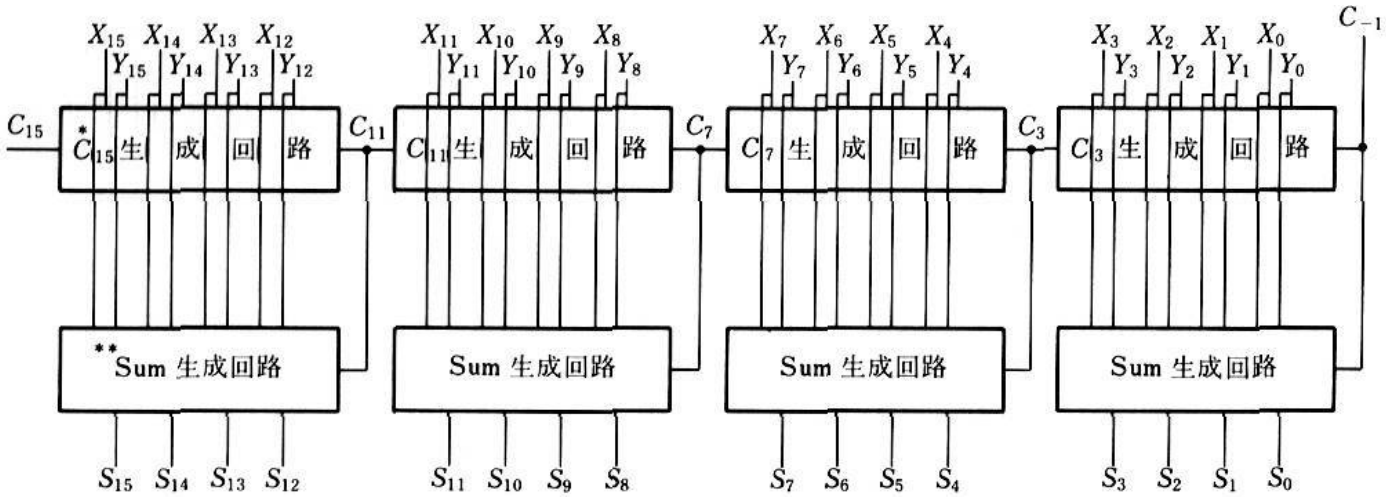
$$C_n = G_n + G_{n-1} * P_n + G_{n-2} * P_{n-1} * P_n + \cdots + G_0 * P_1 * P_2 * \cdots * P_n + P_0 * P_1 * P_2 * \cdots * C_{-1}$$

となり，すべての桁の桁上げ信号は自桁の入力値と最下位の桁上げ信号だけで生成できることがわかる。これを桁上げ先見方式(Carry Look Ahead)略して CLA とよぶ。

CLA



(a) 4 ビット分の回路例



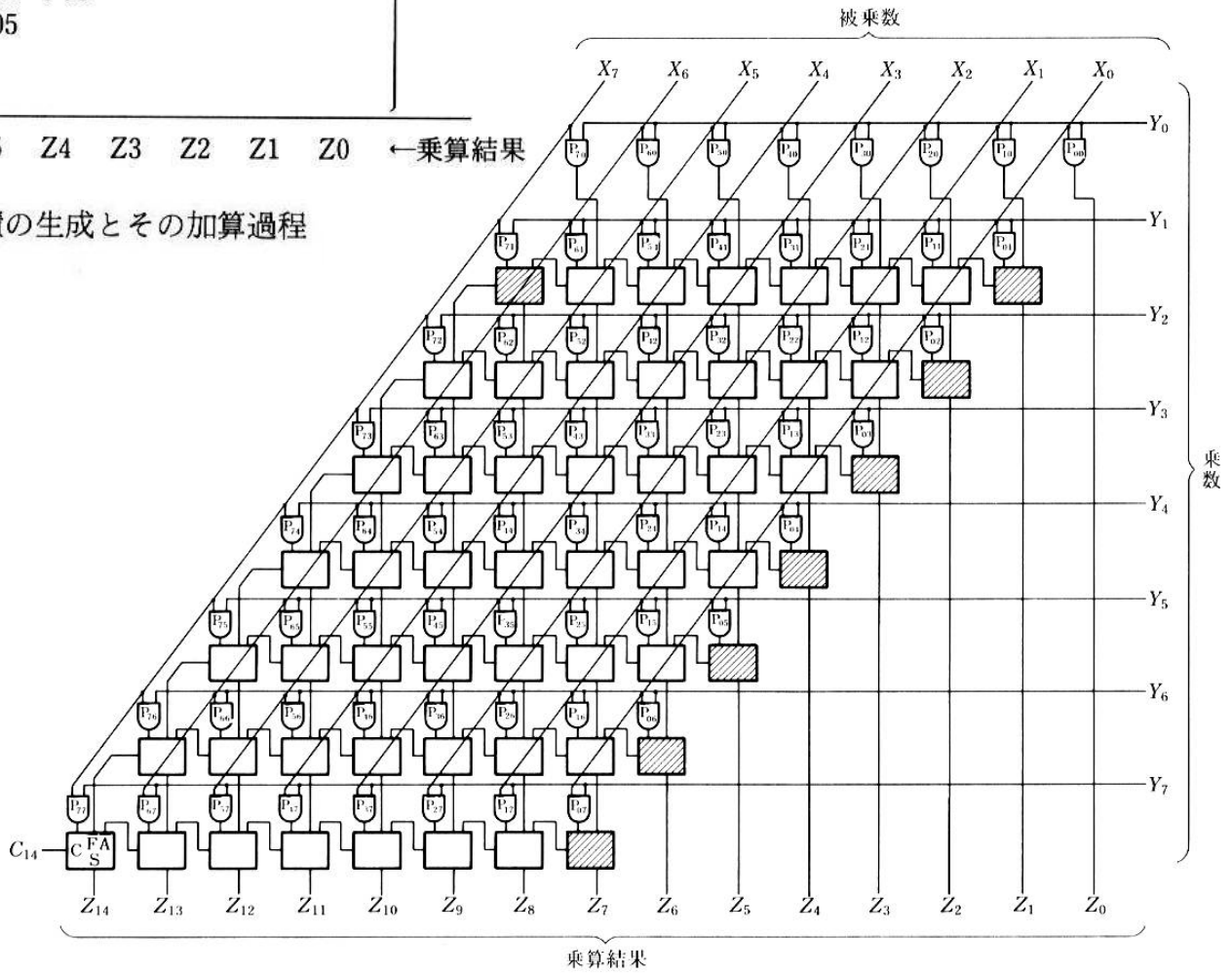
ブロック CLA を用いた 16 ビットアダー回路

乗算器

桁の重み							2^7	2^6	2^5	2^4	2^3	2^2	2^1	2^0	
							↓	↓	↓	↓	↓	↓	↓	↓	
							X7	X6	X5	X4	X3	X2	X1	X0	←被乗数
						×)	Y7	Y6	Y5	Y4	Y3	Y2	Y1	Y0	←乗数
							P70	P60	P50	P40	P30	P20	P10	P00	
						P71	P61	P51	P41	P31	P21	P11	P01		
					P72	P62	P52	P42	P32	P22	P12	P02			
				P73	P63	P53	P43	P33	P23	P13	P03				
			P74	P64	P54	P44	P34	P24	P14	P04					
		P75	P65	P55	P45	P35	P25	P15	P05						
	P76	P66	P56	P46	P36	P26	P16	P06							
+)	P77	P67	P57	P47	P37	P27	P17	P07							
Z14	Z13	Z12	Z11	Z10	Z9	Z8	Z7	Z6	Z5	Z4	Z3	Z2	Z1	Z0	←乗算結果

←部分積

8ビット×8ビットの乗算を例にとった部分積の生成とその加算過程
ここで $P_{ij}=X_i * Y_j$(論理積)



最も基本的な構成の8ビット×8ビット並列乗算器
8×8=64個のANDゲートをおくことにより，すべての部分積が同時に得られる。
ハッチした部分の部分積加算回路は2入力なので半加算器でよい。それ以外は全加算器を用いる。

割り算

- 1サイクルで割り算の出来る簡単な回路はない。
- add/subtract -> shift_left -> . . .
- Initial seed (table) -> Iteration

Switched Capacitor回路

CMOS LSIに適したアナログ（デジタル）回路

Parallel switched capacitor resistor

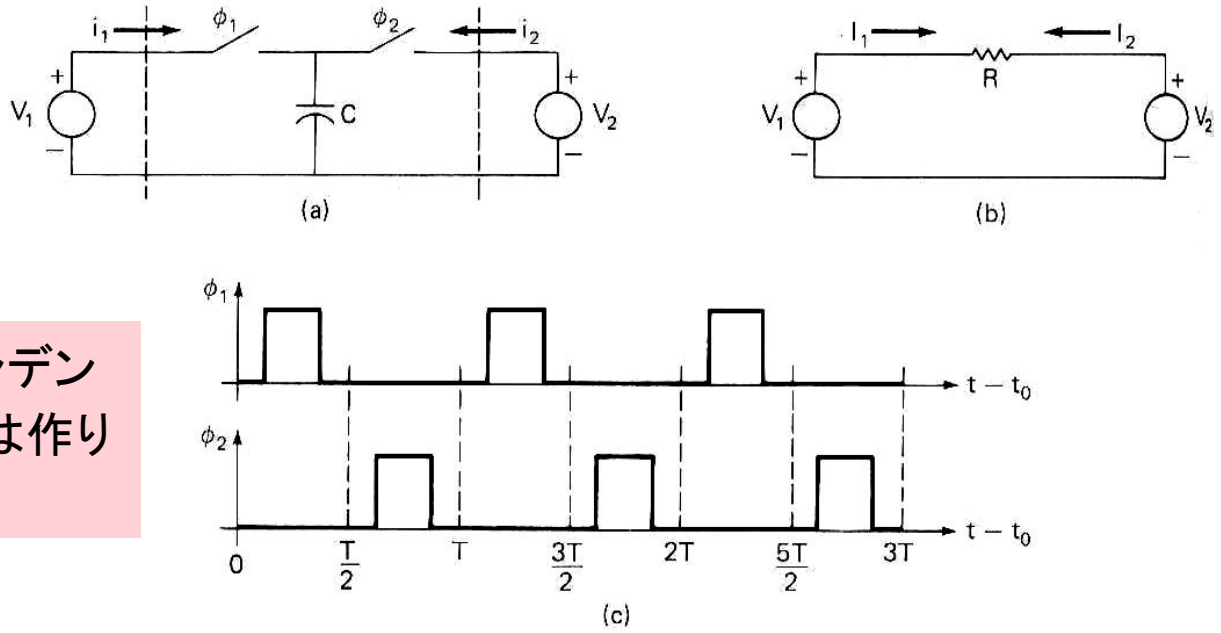


Fig. 2.2–1. (a) Parallel switched capacitor realization of a continuous resistor. (b) Continuous resistor. (c) Clock waveforms for the switched capacitor realization.

LSIでは相対精度の良いコンデンサーは作りやすいが、抵抗は作りにくい。

Cに流れ込む電荷

$$Q_1(t_0+\frac{T}{2}) = CV_1$$
$$Q_2(t_0+T) = C(V_2-V_1)$$
$$Q_1(t_0+\frac{3T}{2}) = C(V_1-V_2)$$
$$\vdots$$

$$Q_1\left(t_0+\frac{3T}{2}\right) = \int_{t_0+T}^{t_0+3T/2} i_1 dt = \int_{t_0+T/2}^{t_0+3T/2} i_1 dt$$

$$I_1(aver.) = \frac{Q_1\left(t_0+\frac{3T}{2}\right)}{T}$$

$$= \frac{C(V_1-V_2)}{T} = \frac{(V_1-V_2)}{R}$$

等価抵抗

$$R = \frac{T}{C} = \frac{1}{f\cdot C}$$

$$R = \frac{V_1-V_2}{I_1} = \frac{V_2-V_1}{I_2}$$

Series switched capacitor resistor

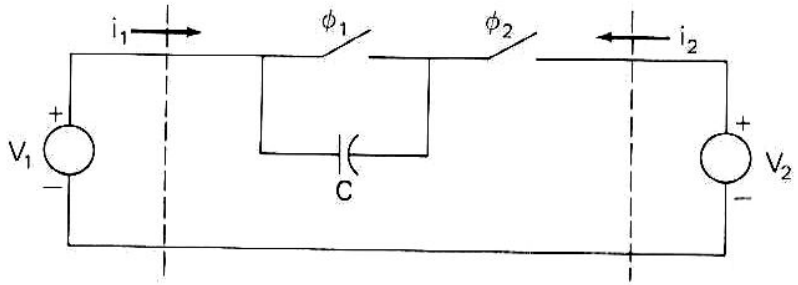


Fig. 2.2–2. Series switched capacitor realization of a continuous resistance.

Cに流れ込む電荷

$$Q_1(t_0+\frac{T}{2})=0_1$$

$$Q_1(t_0+T)=C(V_1-V_2)$$

$$Q_1(t_0+\frac{3T}{2})=0$$

$$\vdots$$

$$Q_1\left(t_0+\frac{3T}{2}\right)=\int_{t_0+T/2}^{t_0+3T/2} i_1 dt$$

$$I_1(aver.)=\frac{Q\left(t_0+\frac{3T}{2}\right)}{T}$$

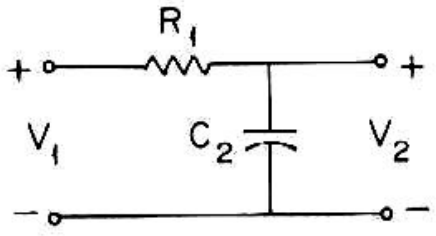
$$=\frac{C(V_1-V_2)}{T}=\frac{(V_1-V_2)}{R}$$

等価抵抗

$$R=\frac{T}{C}=\frac{1}{f\cdot C}$$

$$R=\frac{V_1-V_2}{I_1}=\frac{V_2-V_1}{I_2}$$

Switched Capacitor Equivalent RC Networks



Continuous RC circuit.

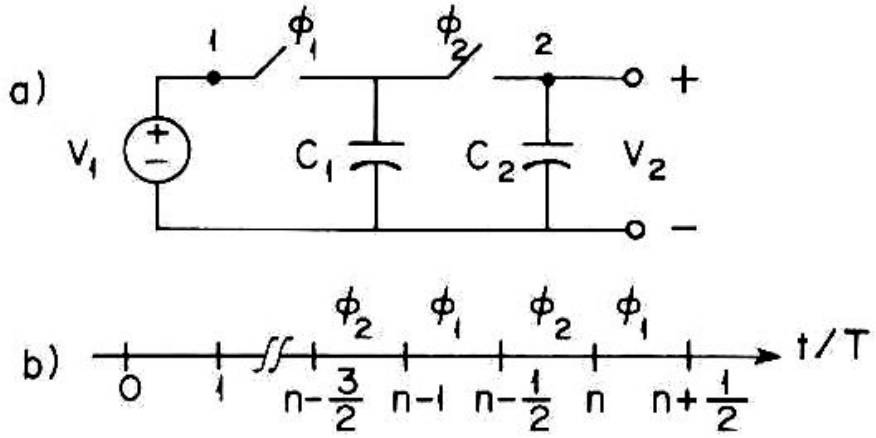


Fig. 2.3–3. (a) Switched capacitor realization of Fig. 2.3–1 using the parallel configuration. (b) Clock phasing.

高級言語による設計

利点

- 複雑な設計が可能(＞百万ゲート)
- LSIプロセスから独立した設計 ---- 設計資産
- テストパターンの自動化 ---- アルゴリズムによる検証
- 開発期間の短縮

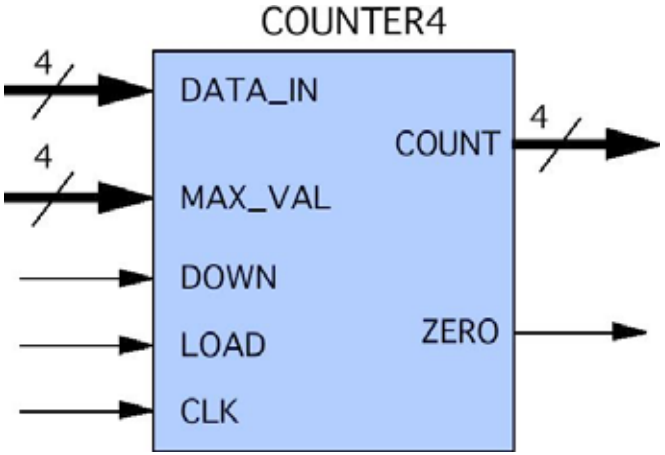
欠点

- 技術者が回路の動作を理解できなくなる。
- 性能がコンパイラーに依存(米国製)

Verilog Hardware Description Language

- 1984 Gateway Design Automation社がVerilog を開発。
- やがて’90年頃米国国防相で規格制定されたVHDL(VHSIC Hardware Description Language)と共に業界標準となる。
- 一見C言語に似ているが、通常のプログラム言語との最大の違いは --- 並列記述言語で有るという点。
- プログラム中のどこに書こうが、すべての回路は同時に動く。

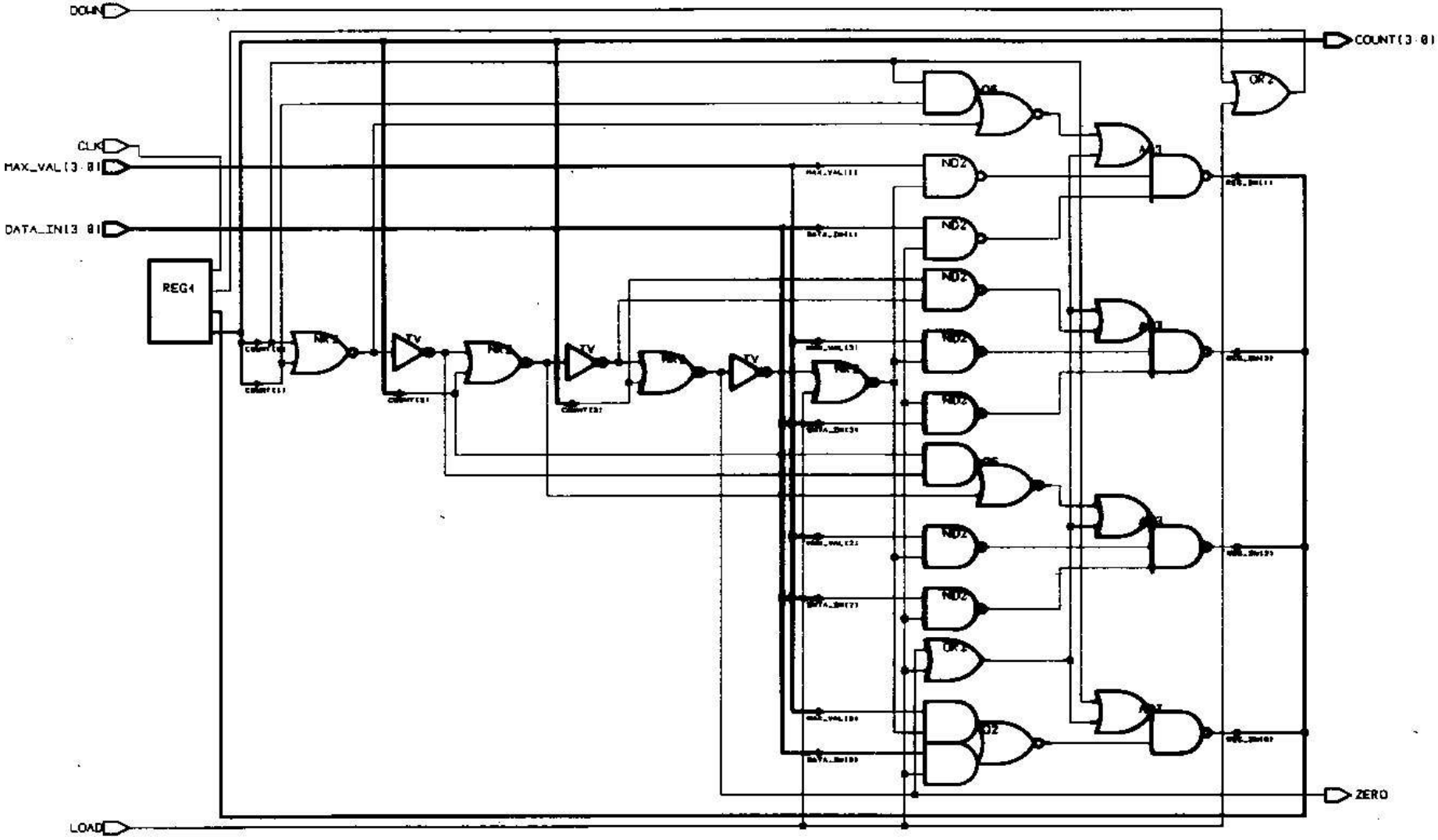
Verilogによる論理合成例



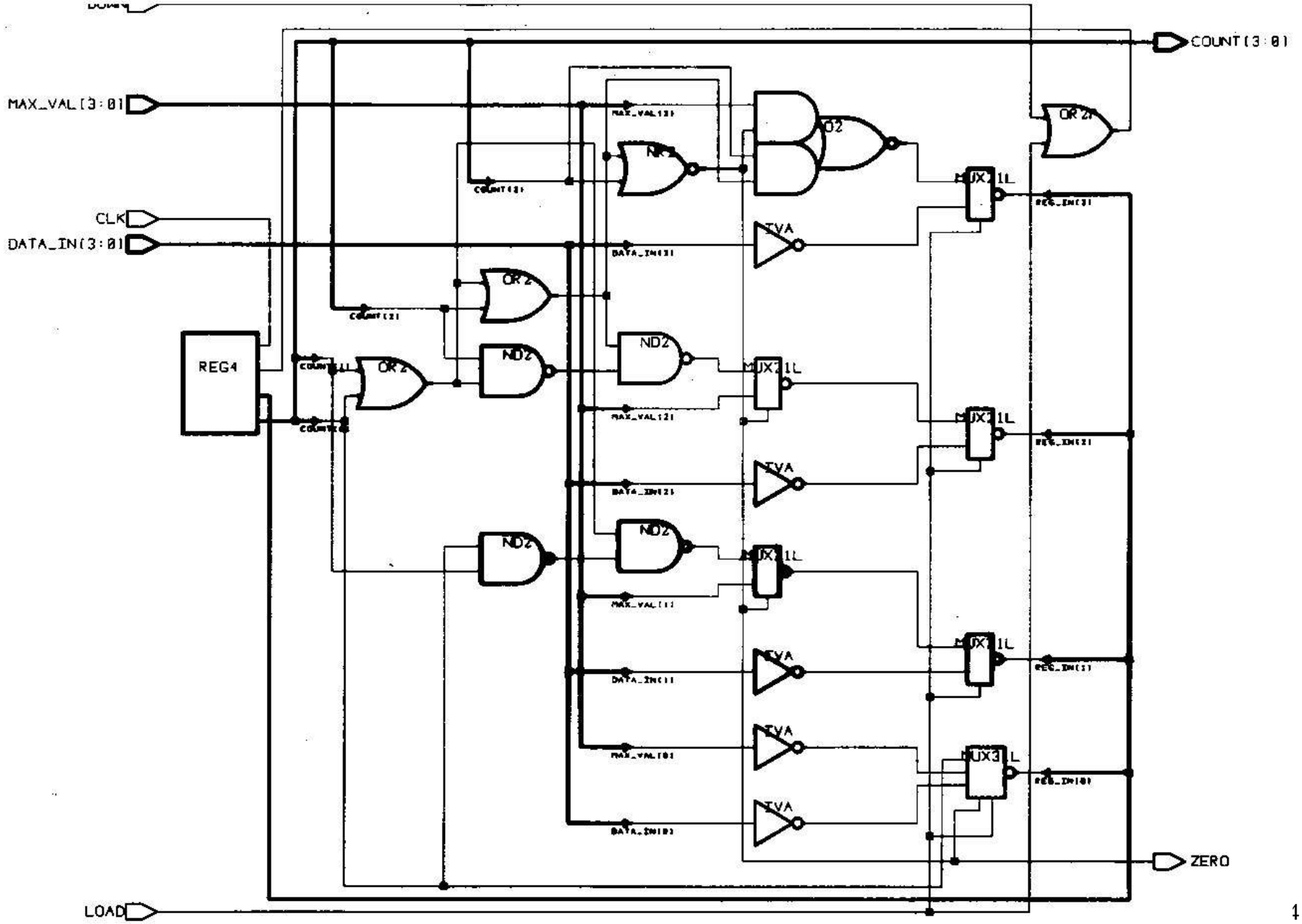

```
module COUNTER4 (DATA_IN,CLK,LOAD,DOWN,MAX_VAL,COUNT,ZERO );
input [3:0] DATA_IN;
input CLK, LOAD, DOWN;
input [3:0] MAX_VAL;
output [3:0] COUNT;
output ZERO;

wire [3:0] REG_IN, NEW_COUNT;
wire REG_LOAD;

assign    ZERO = ( COUNT == 4'b0 );
                          //COUNTゼロでZERO=1

assign    NEW_COUNT = ( COUNT == 4'b0 ) ? MAX_VAL : (COUNT - 1'b1);
                          //COUNTが0ならMAX_VALそれ以外は-1

assign  REG_IN = ( LOAD ) ? DATA_IN : NEW_COUNT;
                          //LOADでDATA_INをそれ以外はNEW_COUNT

assign  REG_LOAD = ( LOAD | DOWN );
                          //LOADまたはDOWNでREG_LOAD=1

REG4   REG_BLK1 ( REG_IN, CLK, REG_LOAD, COUNT );
                          //4ビットRegisterの参照

endmodule
```

→ 詳しくはFPGAのセミナーで

ゲート数最小で最適化した場合



遅延時間最小で最適化した場合



自動配置配線


slb_readout layout
(F) Select: 81
dX:
dY:
Dist:
Cmd:
Edit
Verify
Misc
M: mousePopUp()
R: hiZoomRelativeScale(hiGet

まとめ

- CMOSはデジタル回路に向いている。
- 電力を消費するのは、主にスイッチングの時だけ。
- プロセスを縮小すると、性能が向上する。
- 設計は大部分自動化されているが、個々の回路要素の働きを知っておく事が重要。