

CMOSプロセス、エレクトロニクス入門

2009年7月27日

エレクトロニクスDAQセミナー

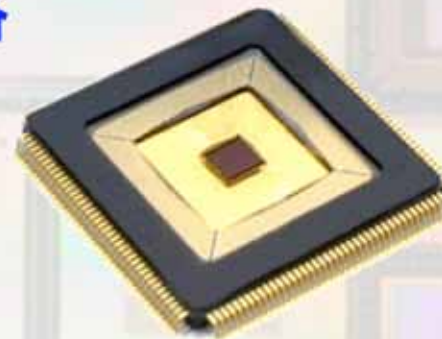
高エネルギー加速器研究機構

素粒子原子核研究所

新井康夫 (yasuo.arai@kek.jp)

講義内容

- 0. はじめに
- 1. MOSTランジスターの基礎
- 2. MOSアナログ回路
- 3. CMOSデジタル回路
- 4. SOI Pixel回路



[参考文献]

- ・ Introduction to VLSI Systems, Mead and Conway, Addison-Wesley 1980.
日本語版:超LSIシステム入門(培風館)
LSI設計の古典的名著。
- ・ Principles of CMOS VLSI Design, Neil H. E. Weste and Kamran Eshraghian, Addison-Wesley, 2nd edition, 1993.
日本語版:CMOS VLSI 設計の原理, (丸善)(第1版の訳)
CMOS VLSIの総合的な解説書。
- ・ Design of Analog CMOS Integrated Circuits, B. Razavi, McFraw-Hill, 2001.
日本語版:アナログCMOS集積回路の設計、基礎編(丸善)
- ・ CMOSアナログ回路入門、谷口研二(CQ出版社)
- ・ Semiconductor Detector System, Helmuth Soieler, Oxford. 検出器エレクトロニクス。
- ・ "Op Amps for Everyone", Ron Mancini, Aug. 2002 (Texas Instruments),
<http://focus.ti.com/lit/an/slod006b/slod006b.pdf>

エレクトロニクスの変遷



1839 半導体 (Michael Faraday) 硫化銀(AgS)の負の抵抗温度係数の発見

1904 真空管(J.A.Fleming) Radio, Radar

1947 トランジスター(Brattin, Barden, Schockley) Bell Lab. Radar

1958 IC(Jack Kilby) Texas Instruments

1970 Microprocessor
1kbit DRAM

1980 LSI (~100k Tr)

1990 VLSI (~1M Tr)

1996 ULSI (>10M Tr)

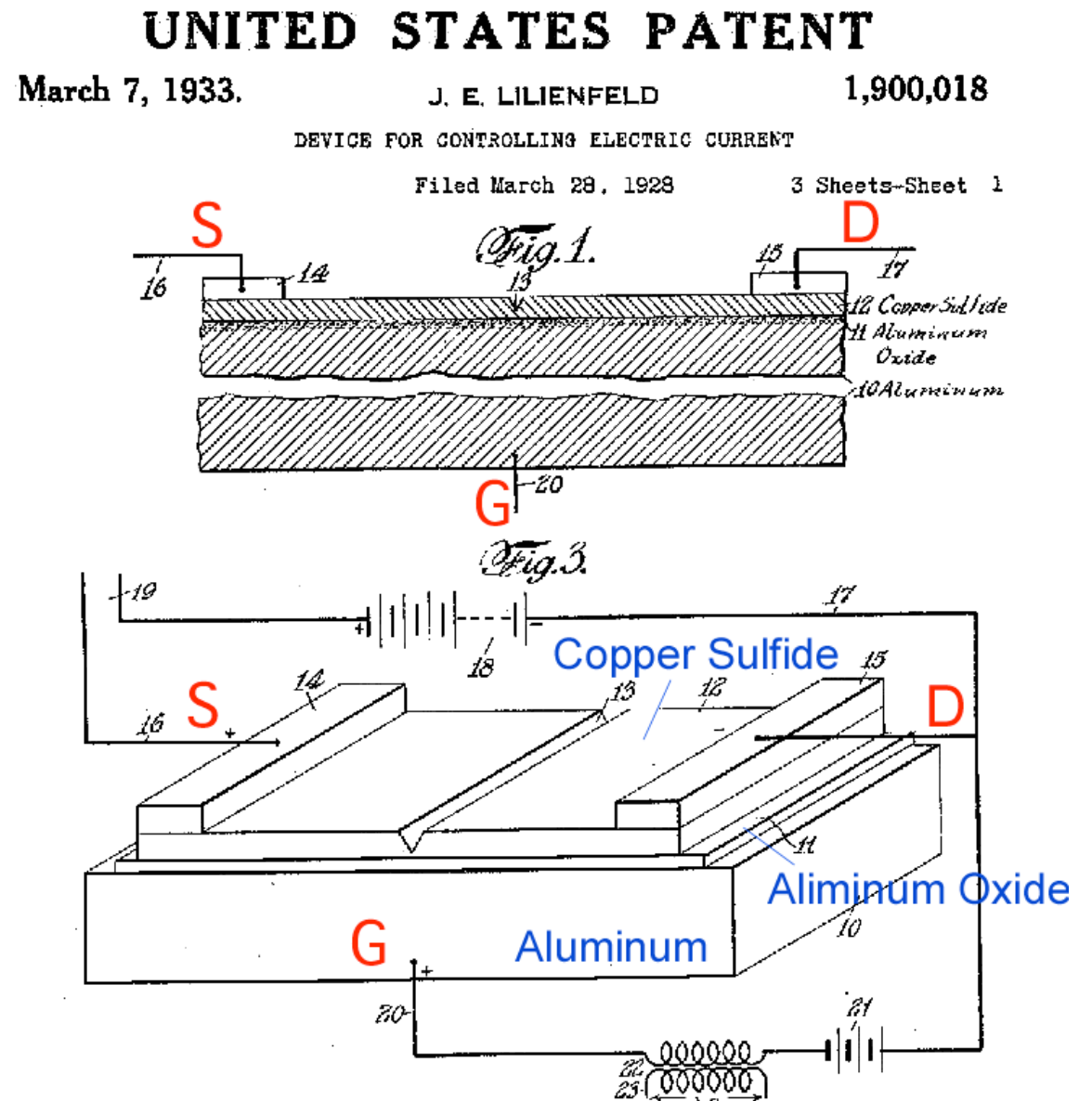
>10 GIPS Processor
>1Gbit DRAM

2009

Historical FET Patent (1928)

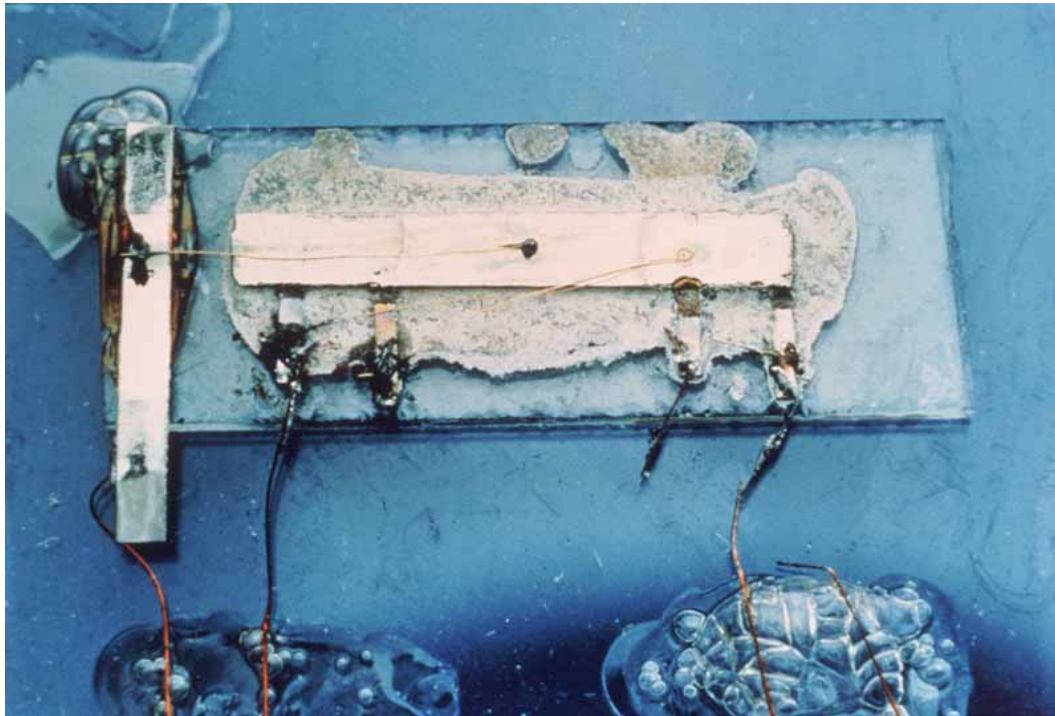
J. E. Lilienfeld
(Poland, 1882-1963)

Transistor is built on a
thin Si Film supported by
an Insulating Substrate.

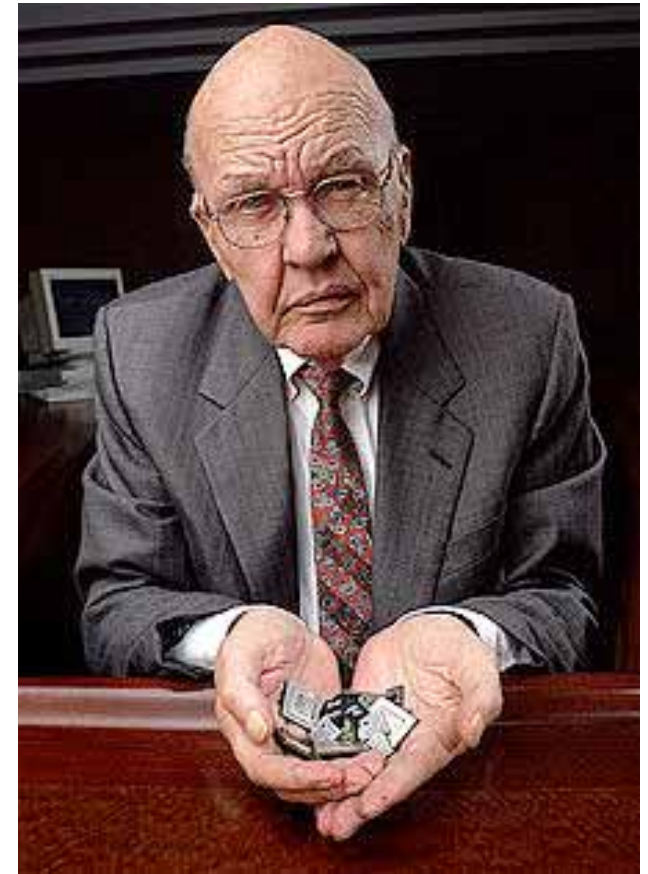


First Integrated Circuit

Nobel Prize in Physics (2000), Jack Kilby, the invention of the integrated circuit.



A transistor and other components on a slice of germanium, 7/16-by-1/16-inches in size. (1958)



Kilbyは新規採用で夏休みがなかったため、一人で実験していた！

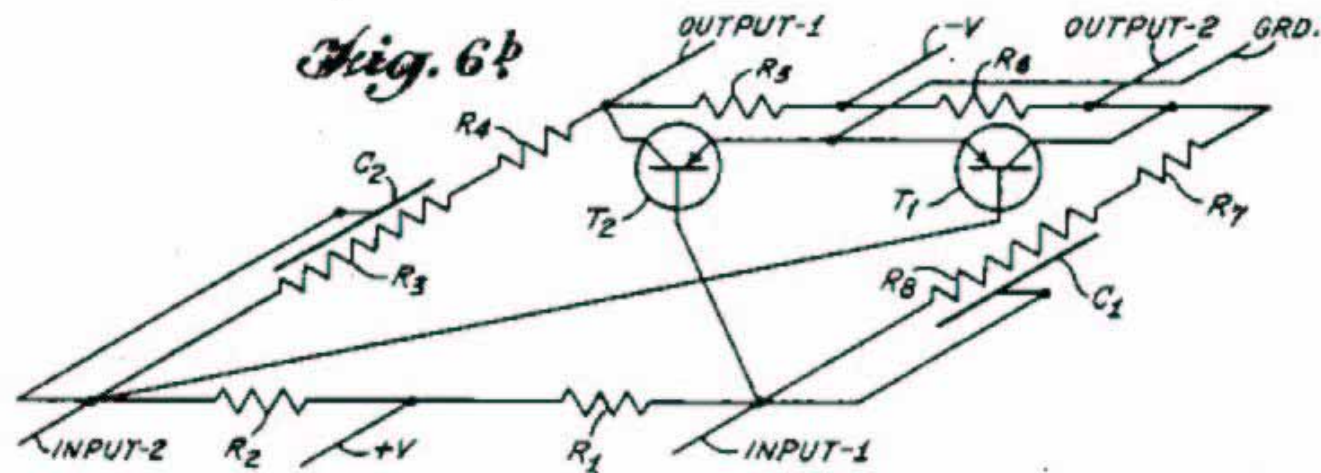
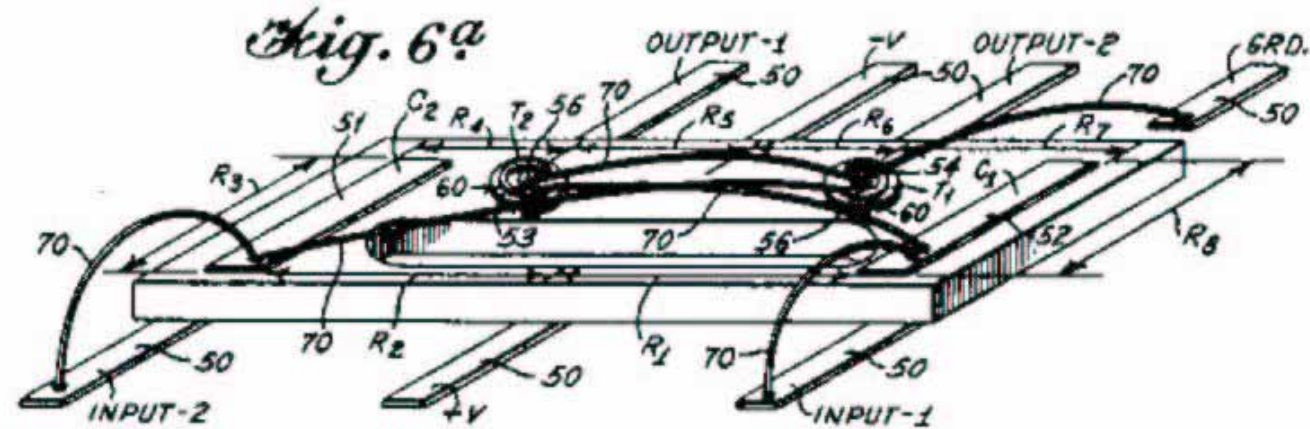
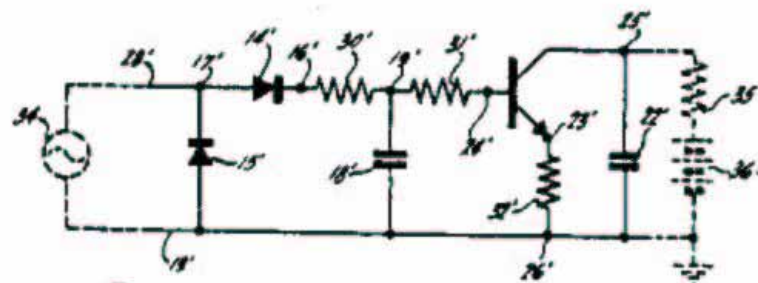
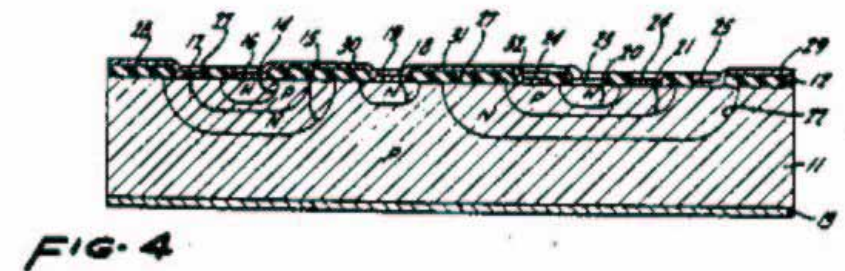
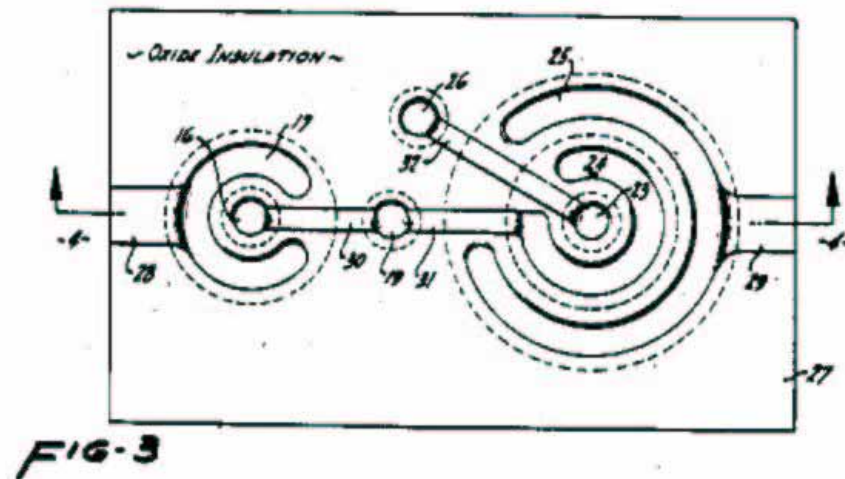
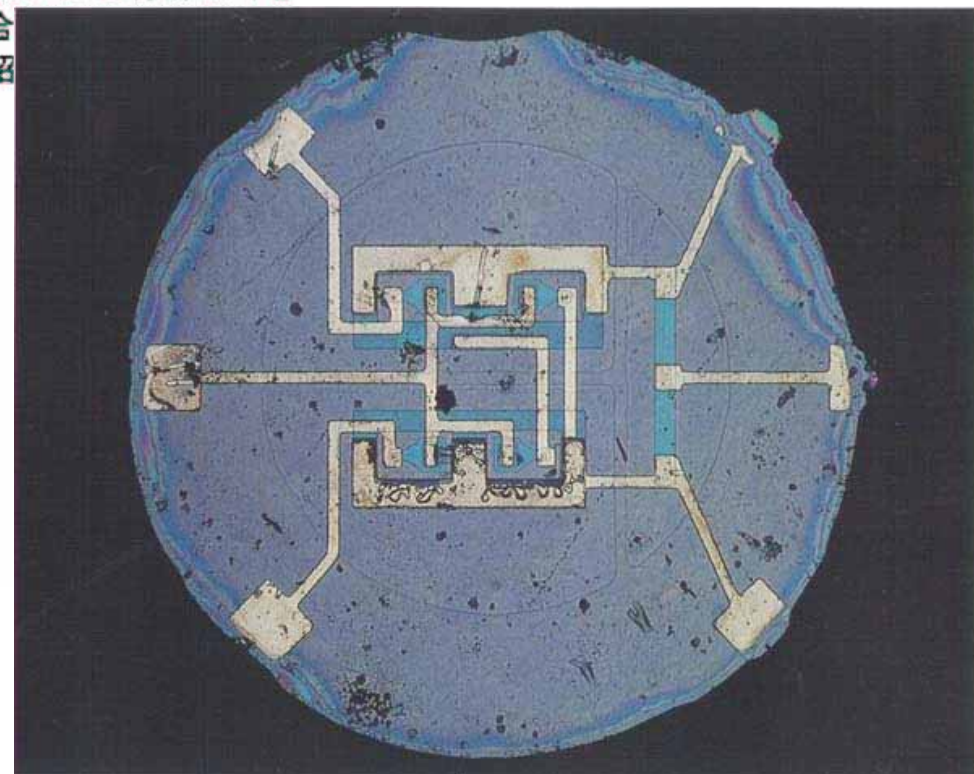


図1 J.キルビーが考案したIC 1959年2月6日に米国出願された特許“Miniaturized Electronic Circuits”(U.S.P.3,138,743)の図より。図の回路はマルチバイブレータ。1964年6月23日に成立している。日本への出願は1960年2月6日。日本特許の名称は「半導体装置」(特公昭61-55256)。



First Planar IC (1959 R. Noyce)
Fairchild Semiconductor

図2 R.ノイスが考案したIC プレーン技術を使ったICである。米国では1959年7月30日に出願されている。特許番号はU.S.P.2,981,871 ("Semiconductor Device and Lead Structure")。1961年7月25日に成立した。図は表面、構造、回路である。日本に出願された特許は「組合昭



Moore's Law:

半導体チップのPowerとComplexityは18ヶ月毎に倍に。
(1965, Gordon Moore, Fairchild → Intel)

過去40年間で同じ面積にトランジスタが1千万倍作れるようになった。

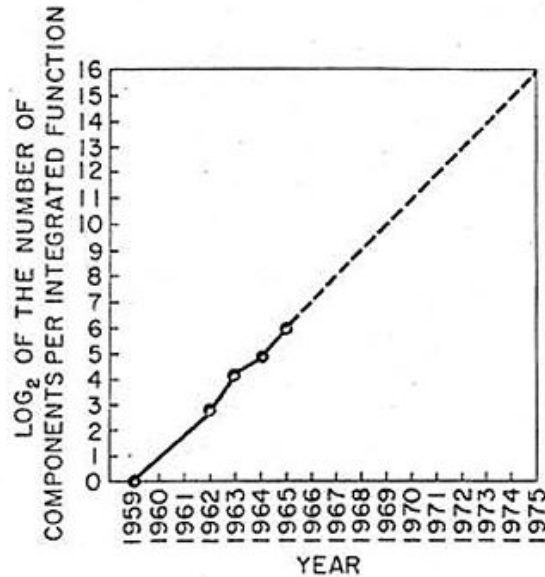
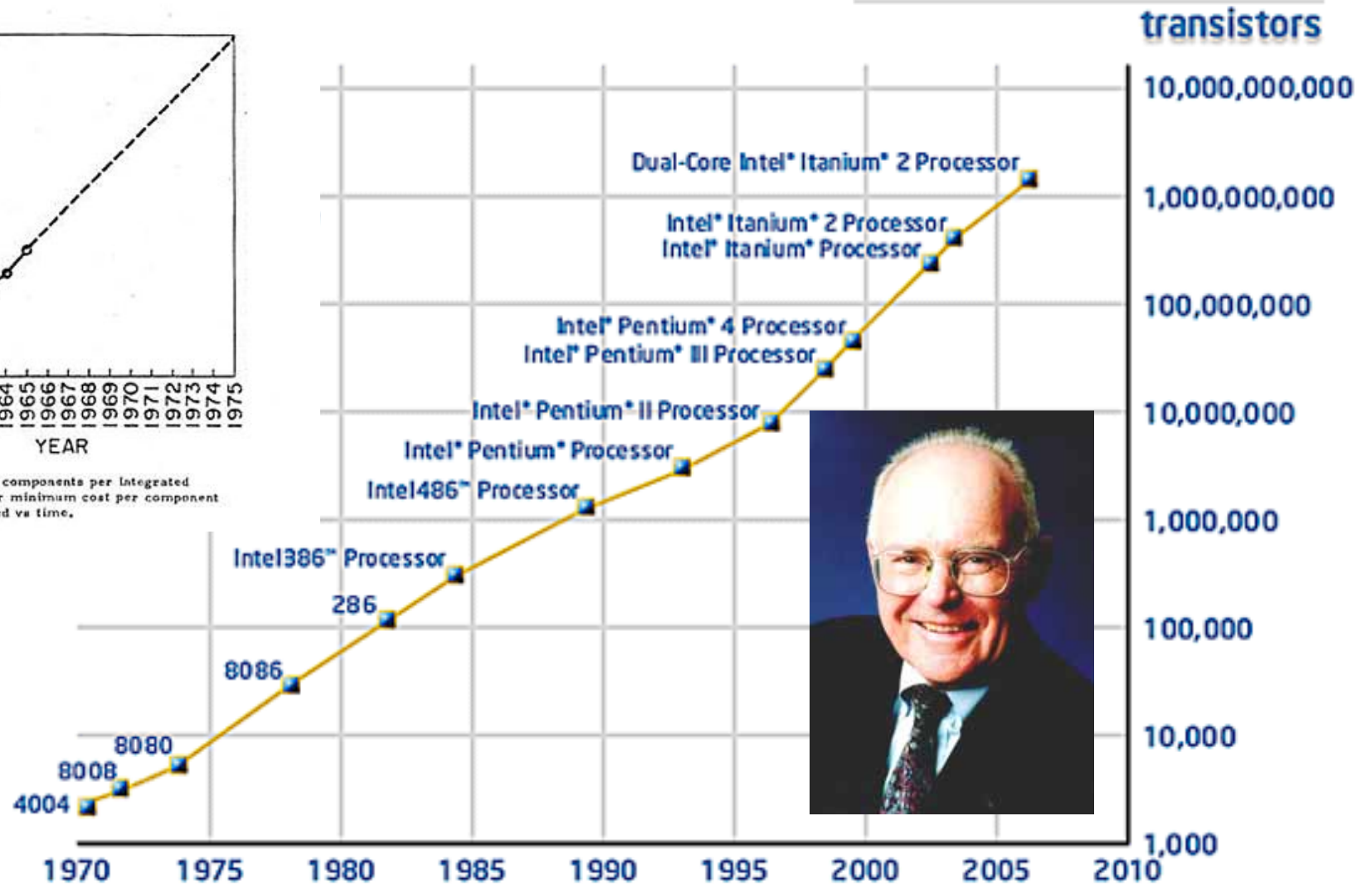


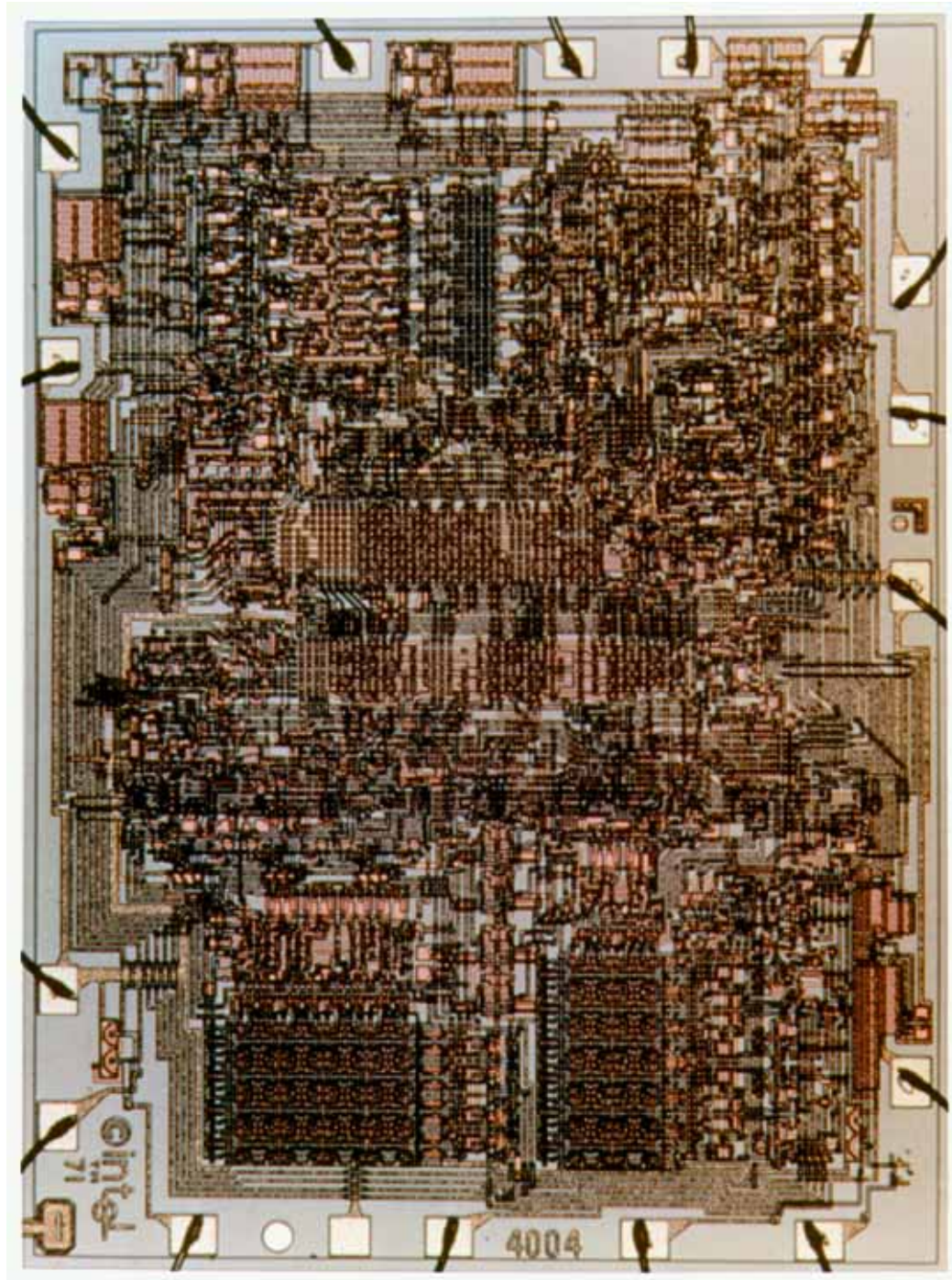
Fig. 2 Number of components per Integrated function for minimum cost per component extrapolated vs time.



Intel 4004

1971年:

10 μm Process,
2300 Transistors,
108 kHz Clock Speed,
4bit CPU



Pentium 4

2000年:

42 M transistors,

0.18 μm process,

1.5 GHz clock,

64 bit CPU

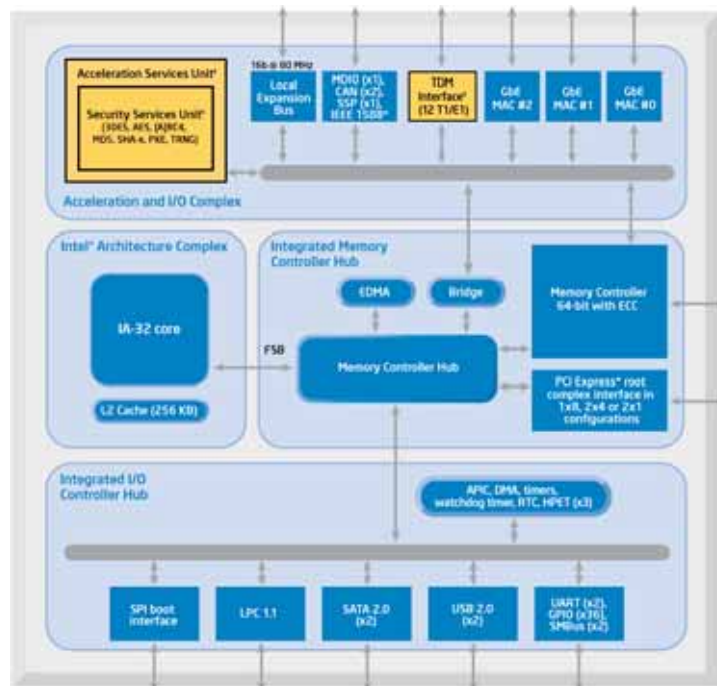


Intel EP80579 System-On-Chip

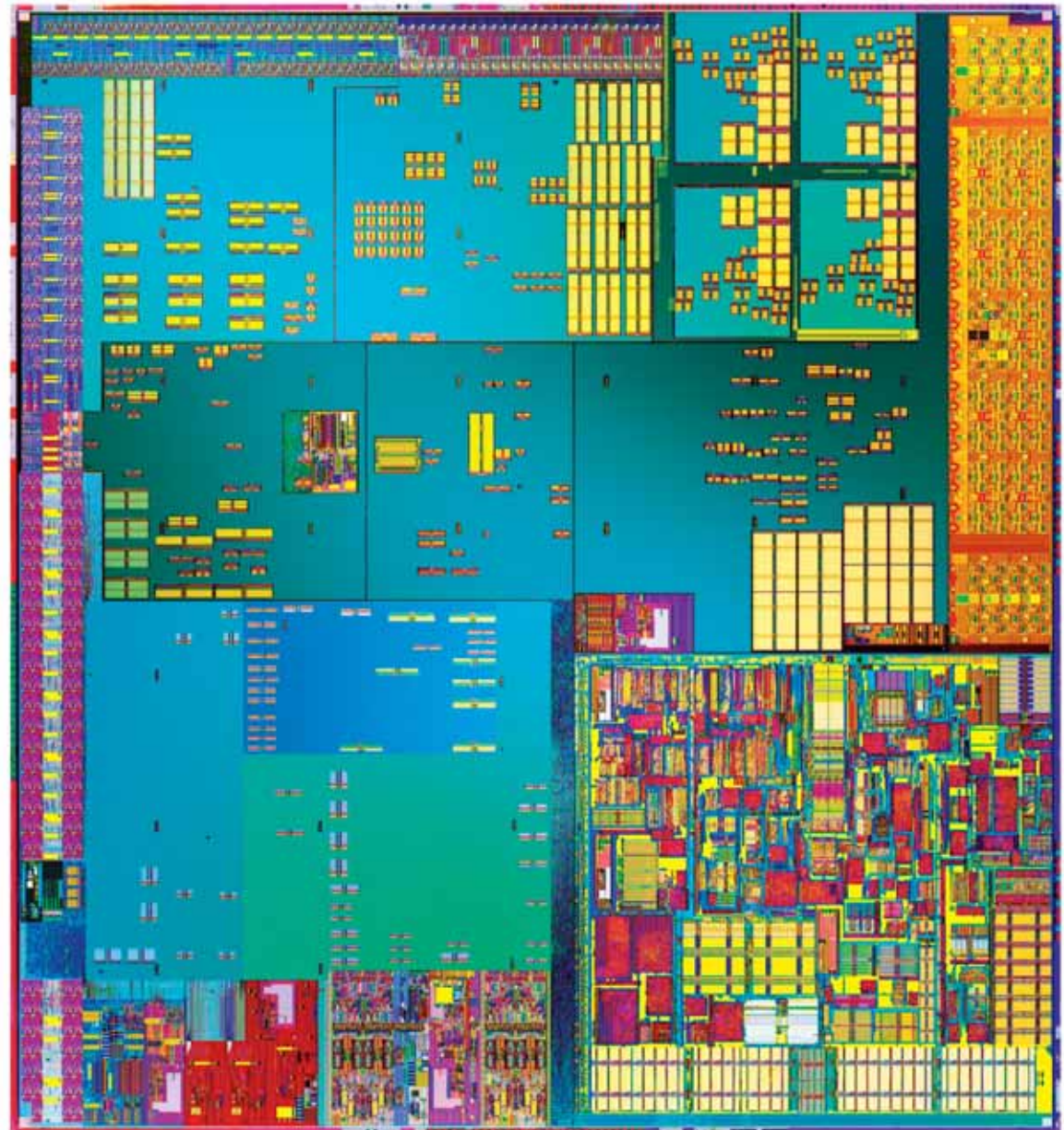
2008

< 45nm, high-k

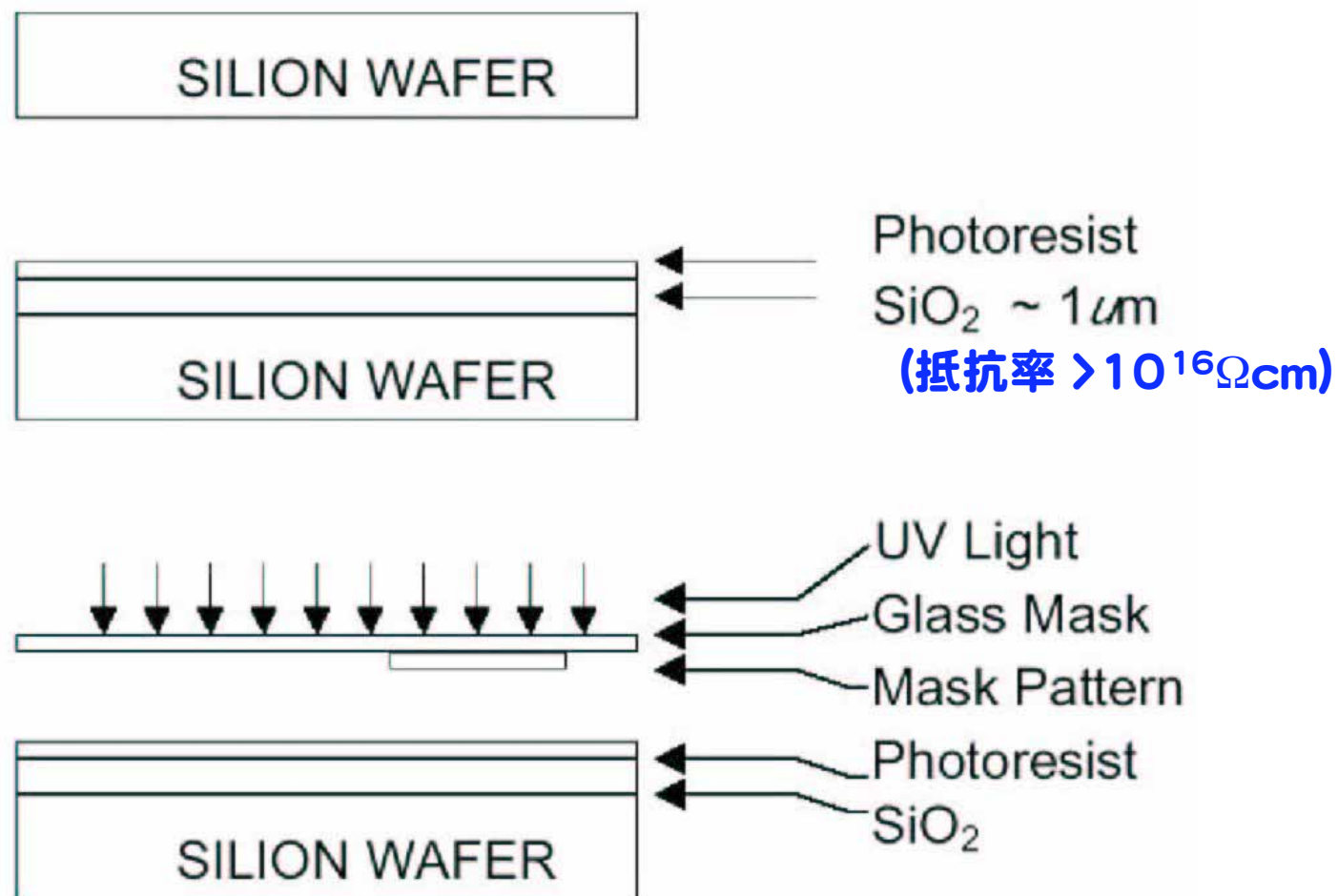
> 100M Tr



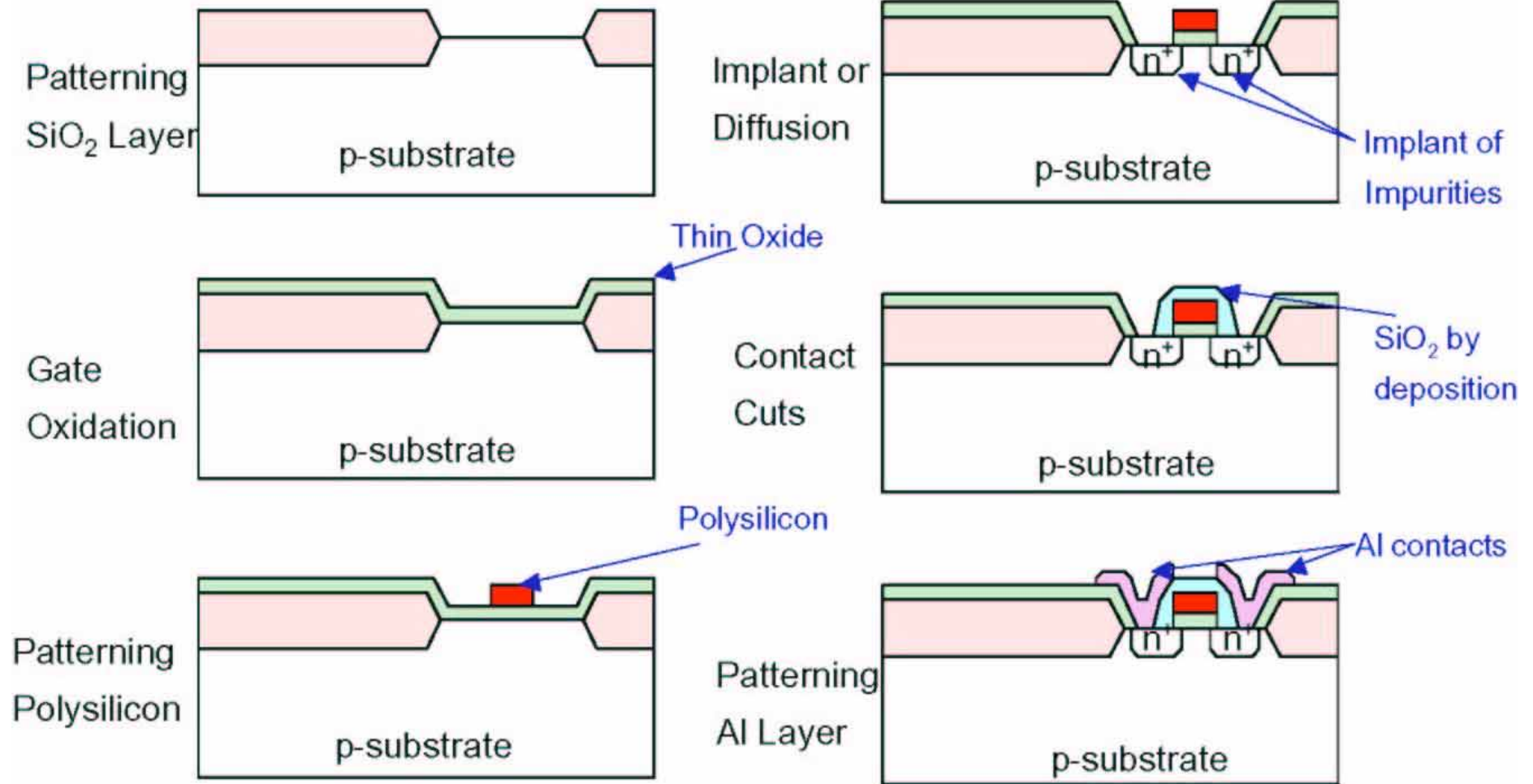
Block Diagram for the Intel® EP80579 Integrated Processor and Intel® EP80579 Integrated Processor with Intel® QuickAssist Technology



半導体プロセス



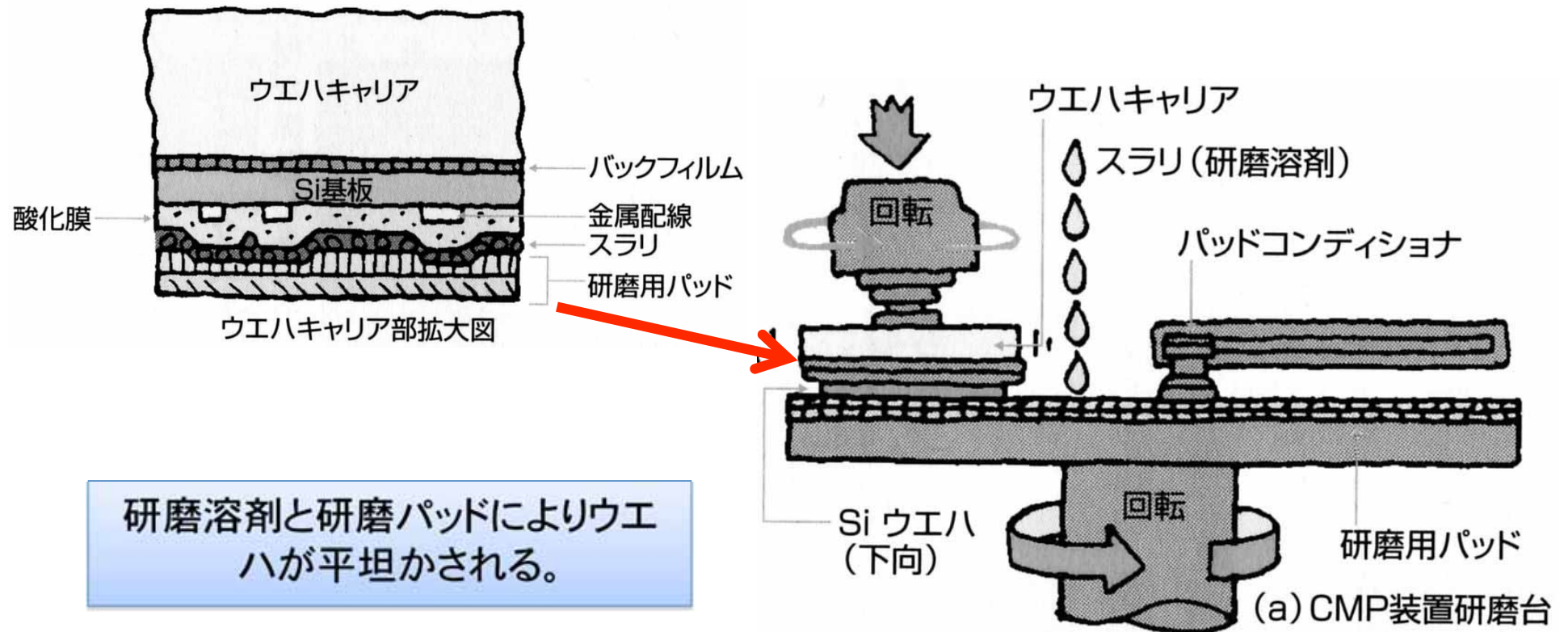
半導体プロセス (続き)



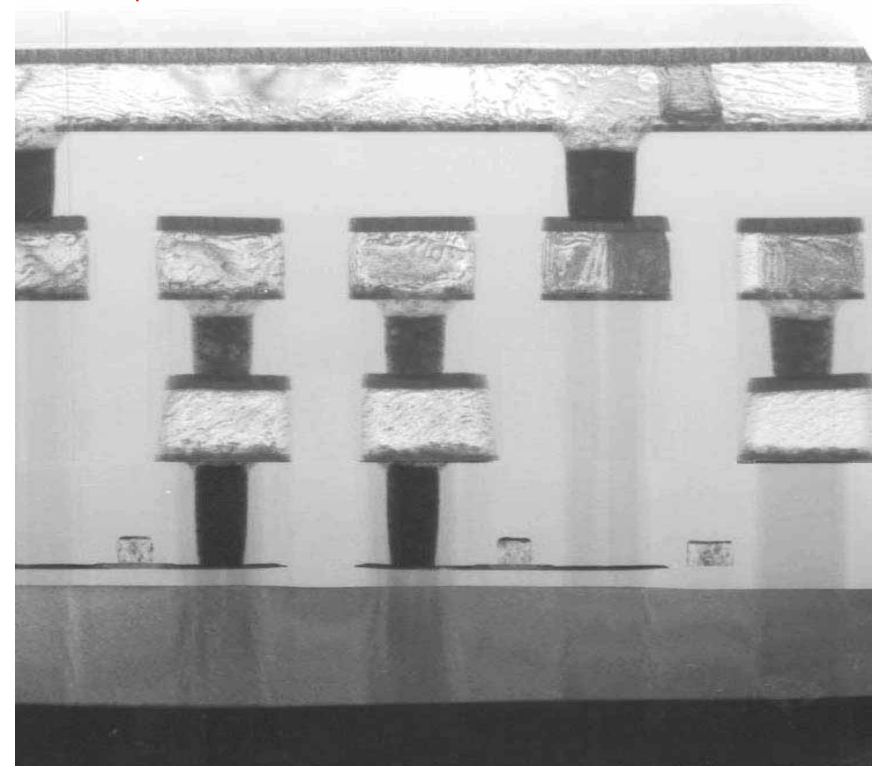
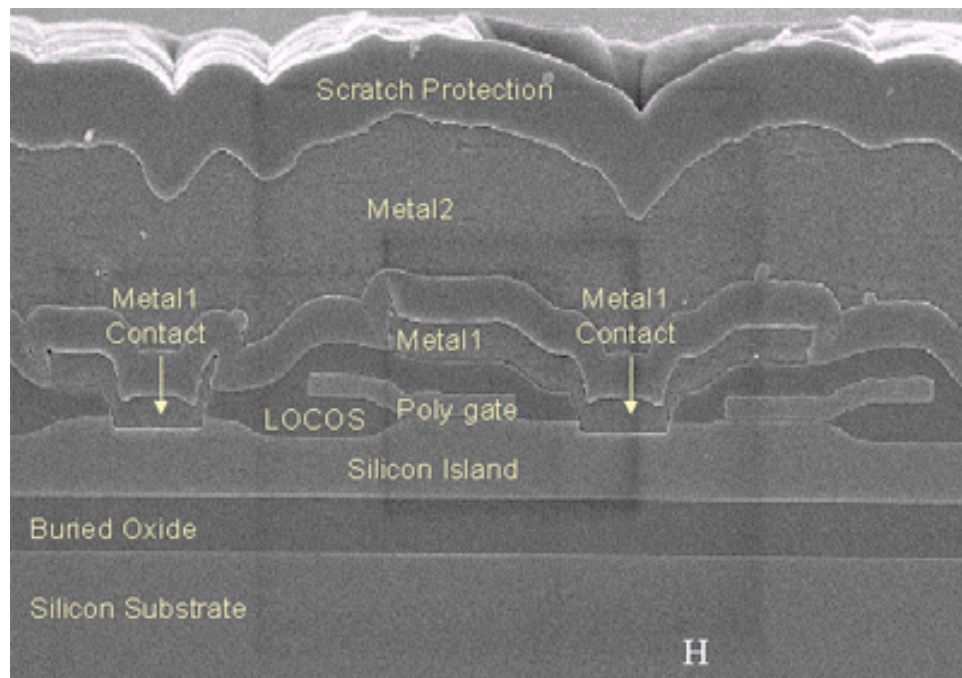
半導体プロセスの進展

平坦化

CMP: Chemical Mechanical Polishing
(化学的機械的研磨). IBM(1988)

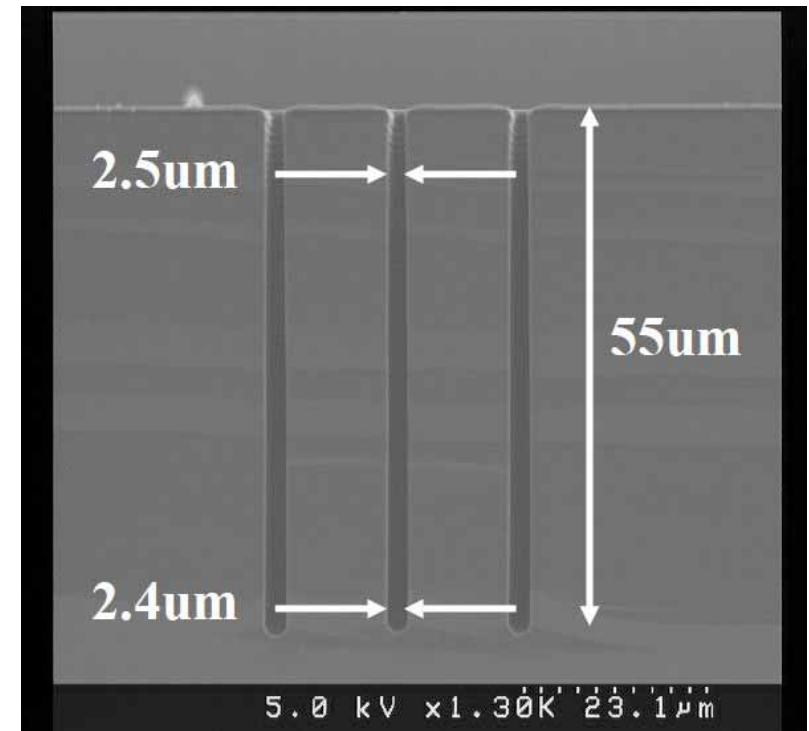
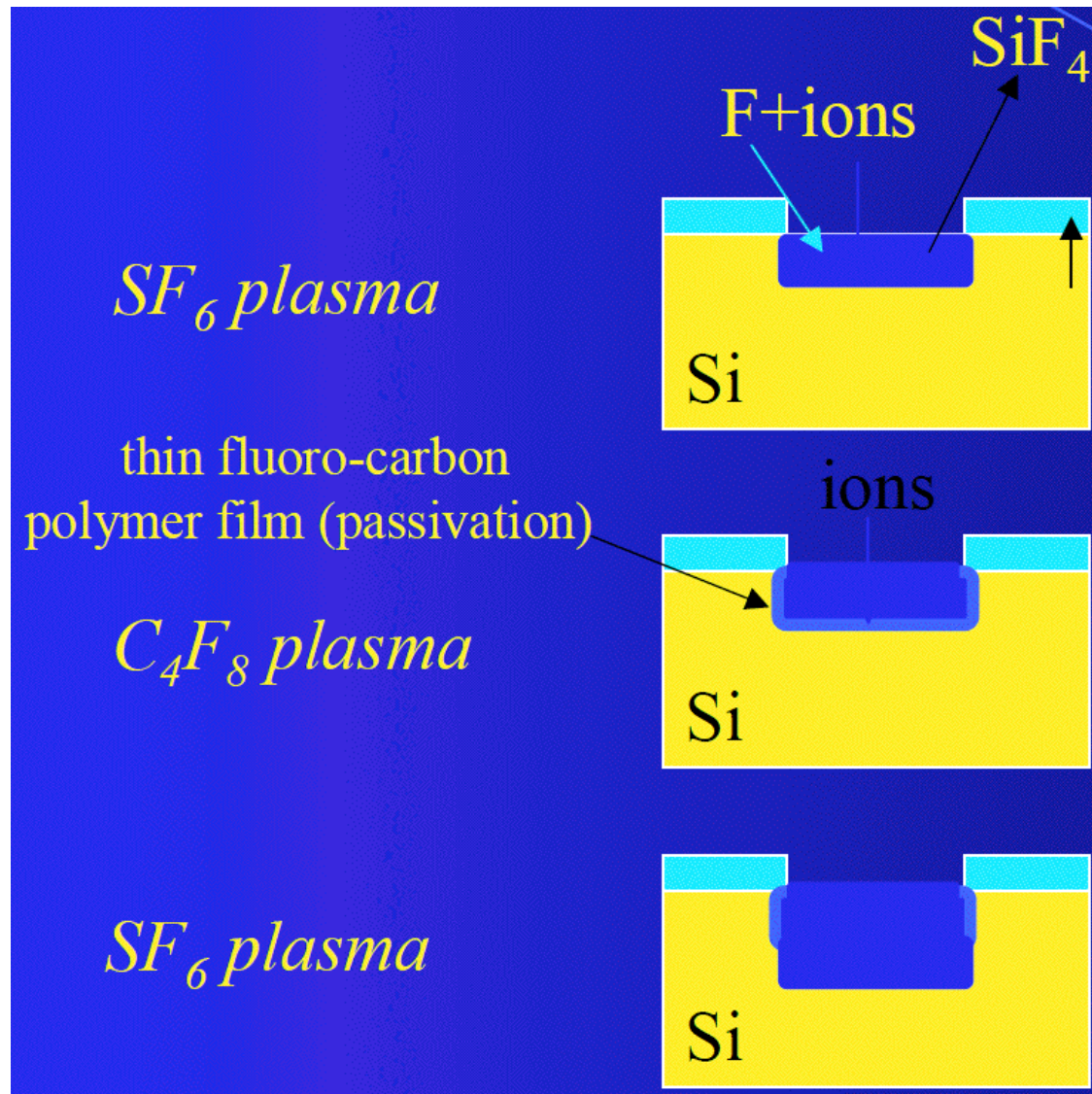


多層配線が可能に



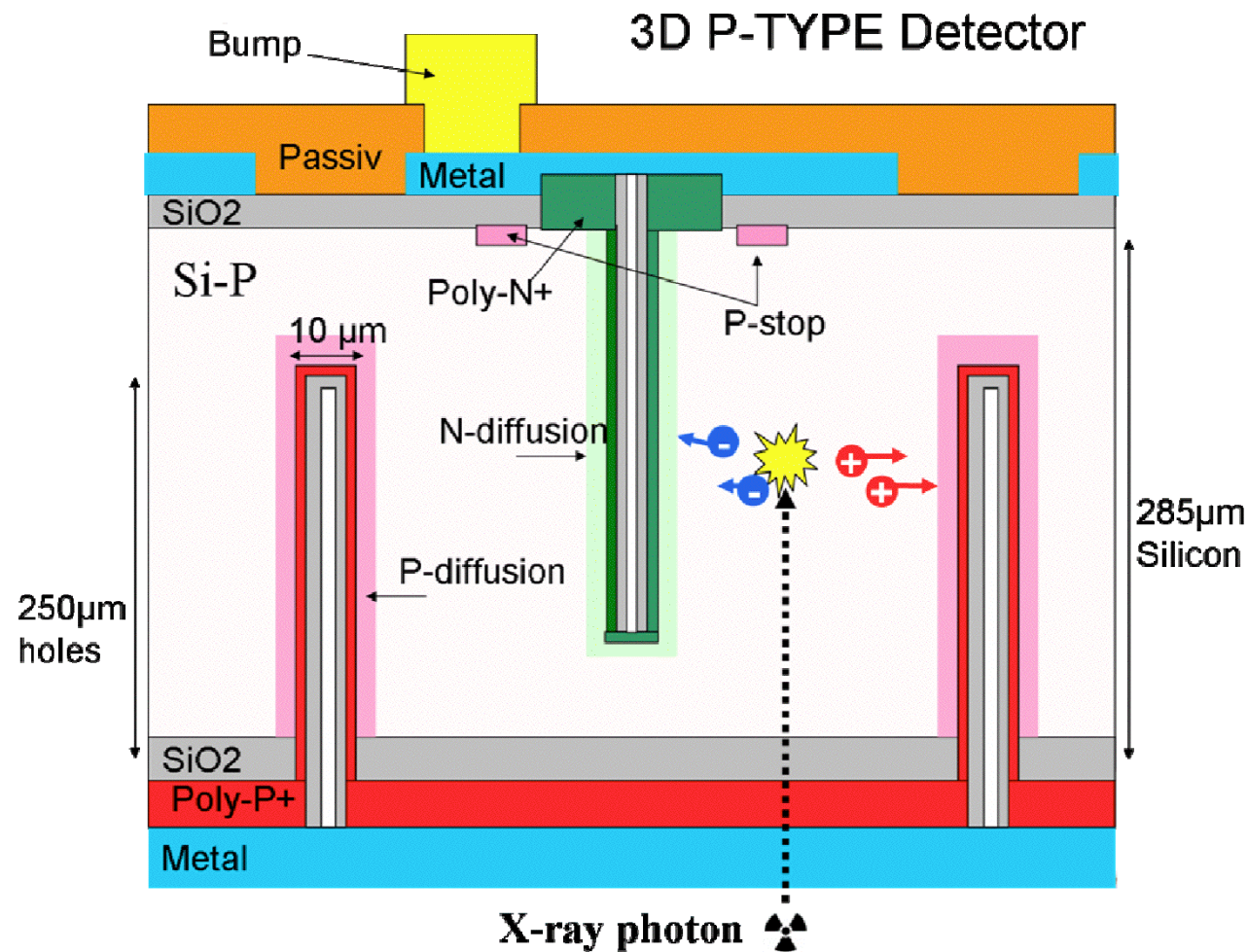
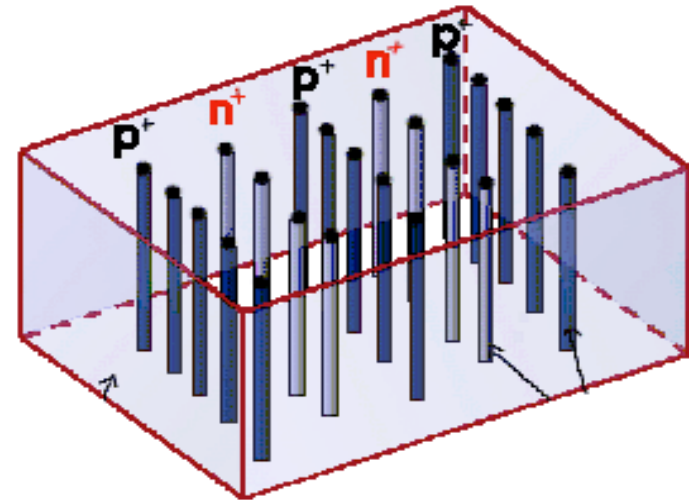
平面から3次元に発展

DRIE: Deep Reactive Ion Etching (Bosch Process, 1992)



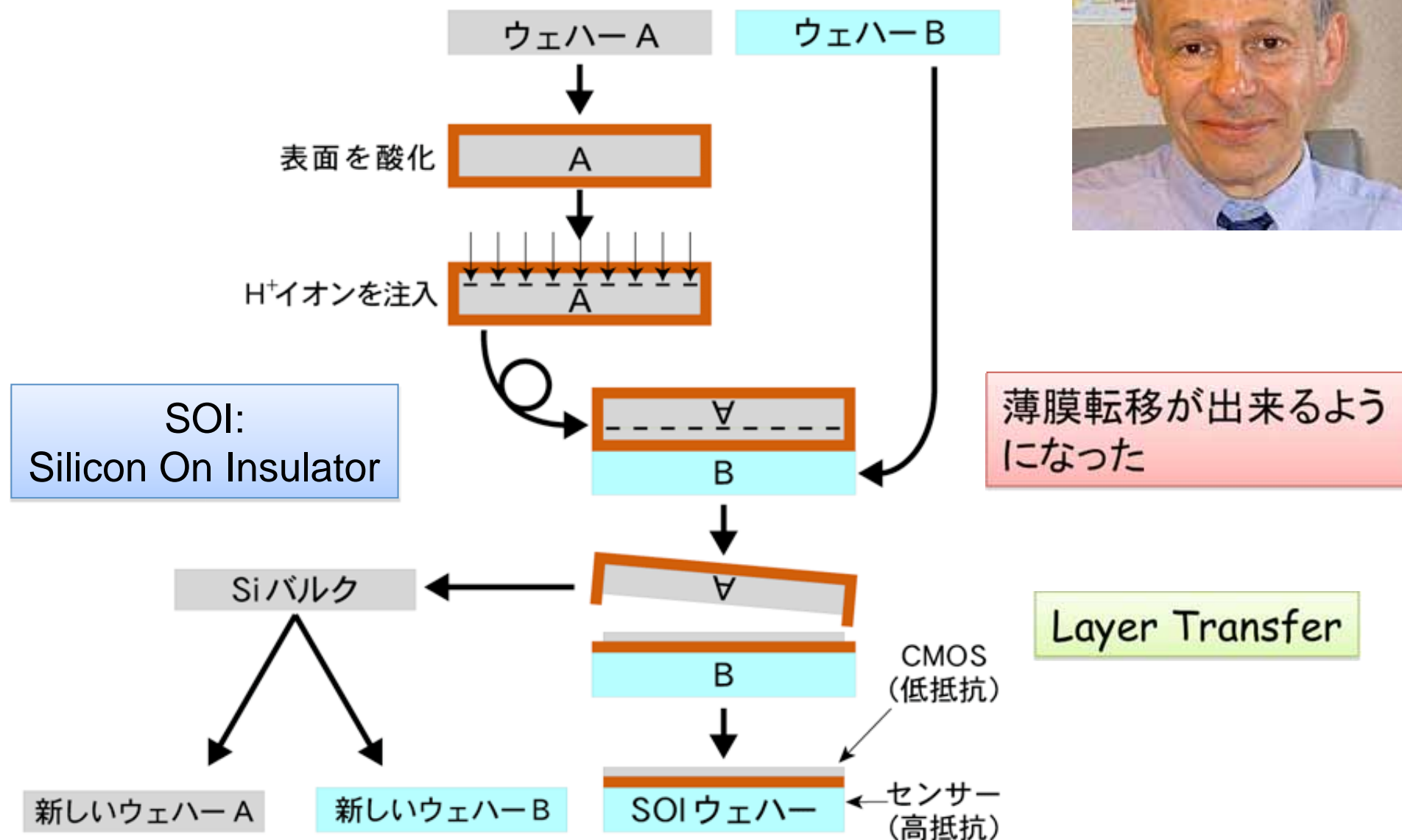
垂直の穴が形成出来るようになった

3D Silicon Detector

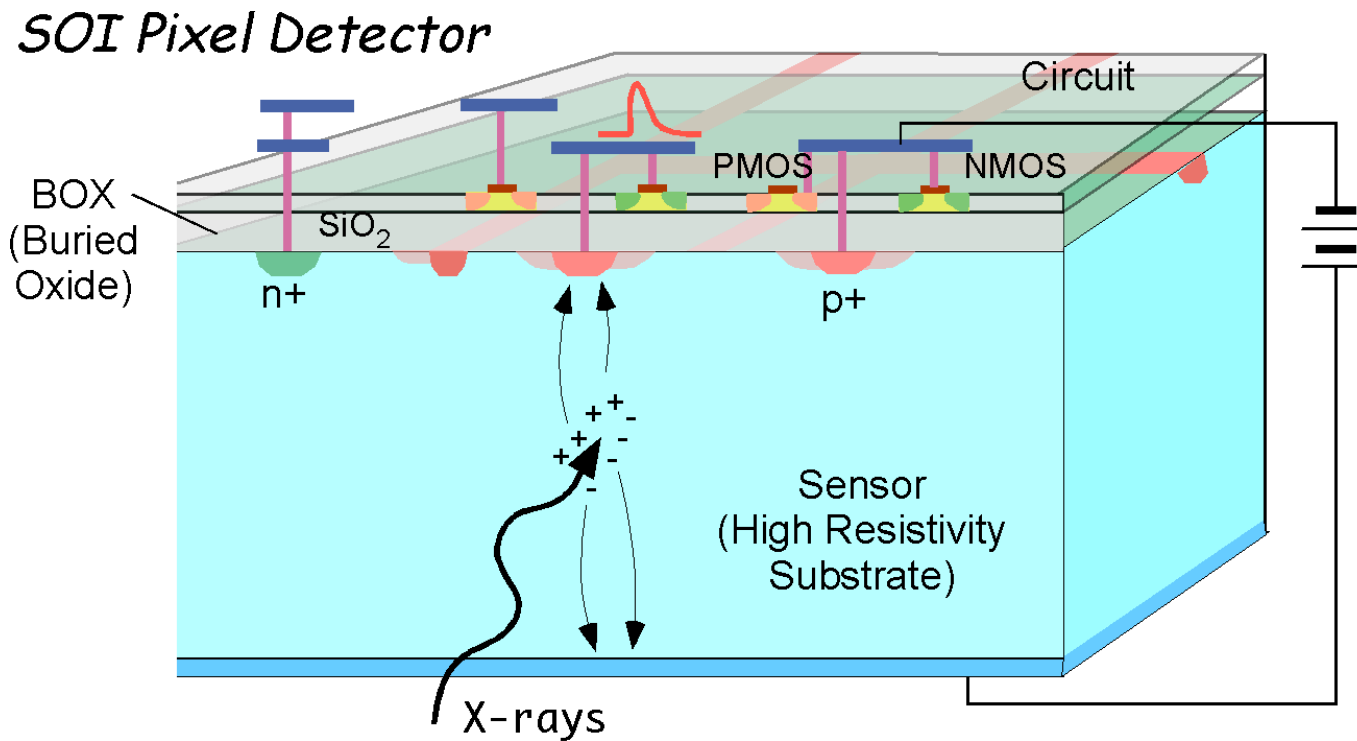


Double sided 3D

SmartCut (1991 : Michel. Bruel)



SOI Pixel検出器



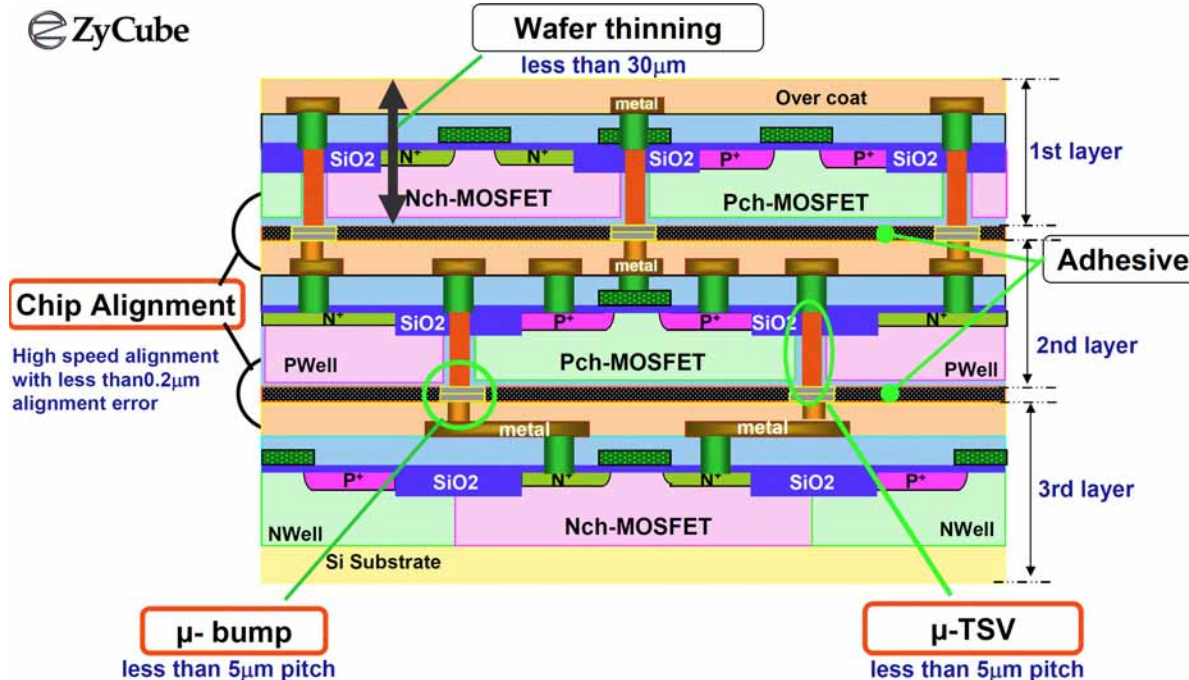
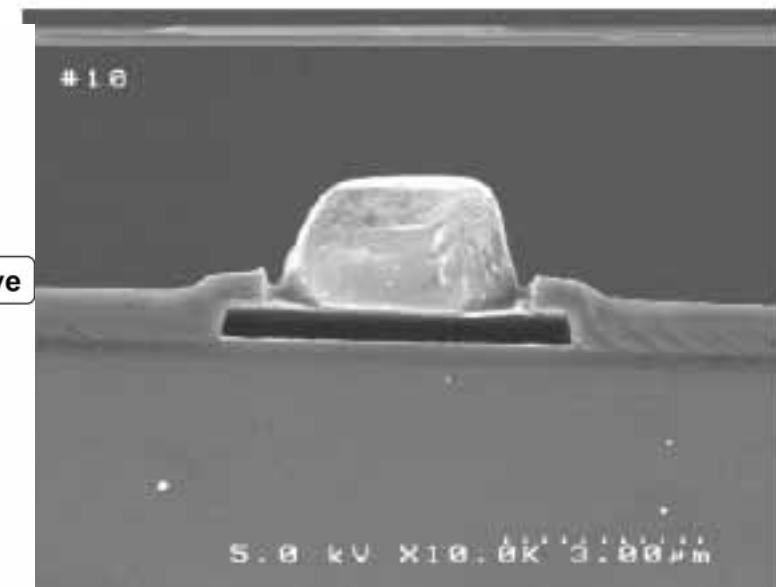
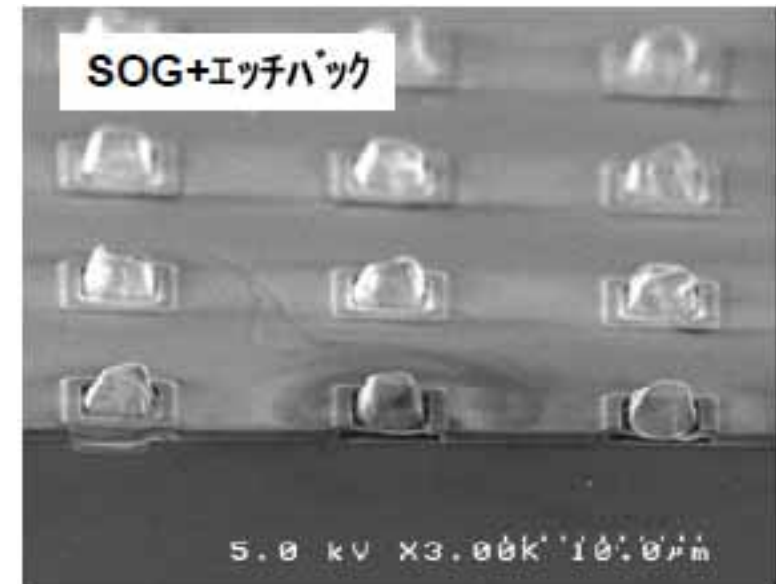
KEK 測定器開発プロジェクト

- 高比抵抗Si基板と低比抵抗Si基板を絶縁層を介して張合わせ。
- 高比抵抗部にp-n junctionを生成し、センサーとする。
- 絶縁層(BOX: Buried Oxide)に穴を開けセンサーと回路を接続。

垂直(3次元)積層技術

μ -bumps:
最小5 μ mピッチ

3D-LSI



T-micro

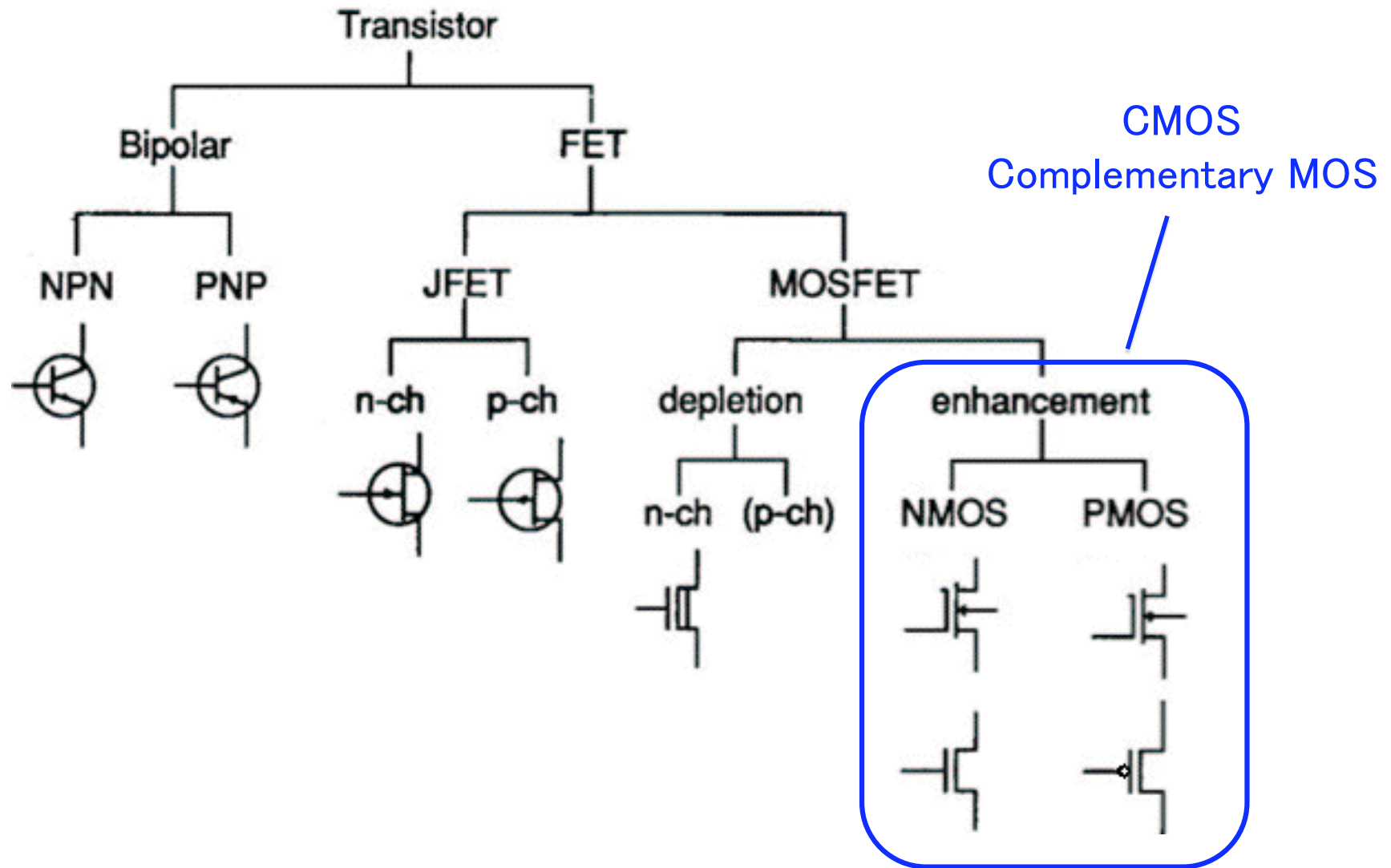


1. MOSトランジスターの基礎

MOS : Metal Oxide Silicon

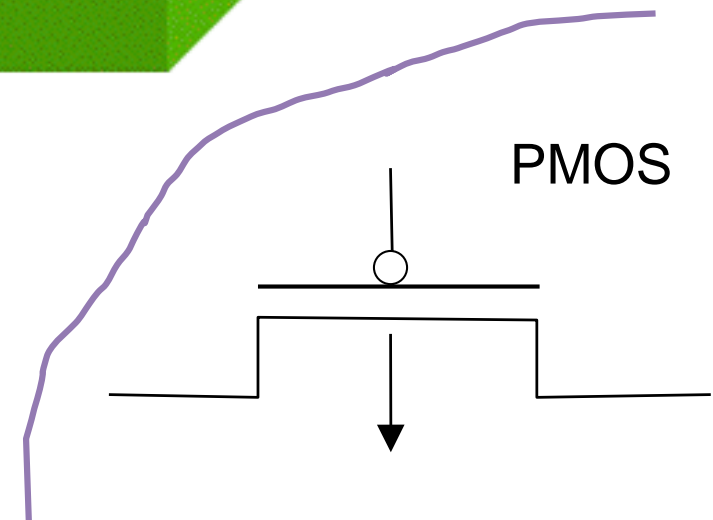
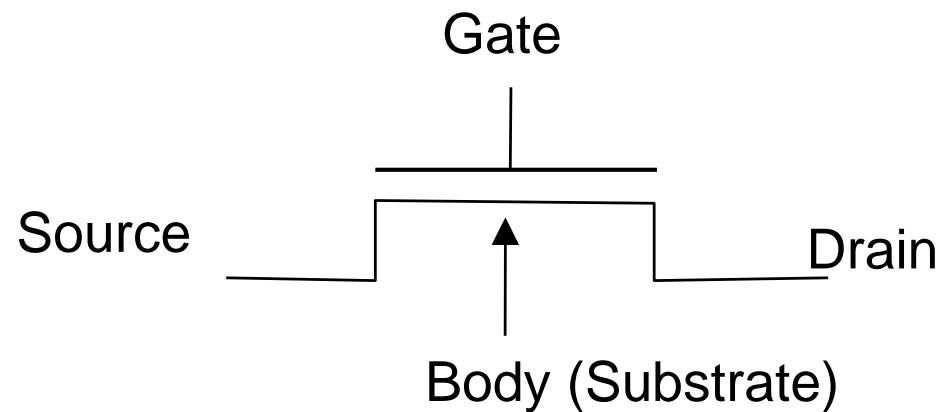
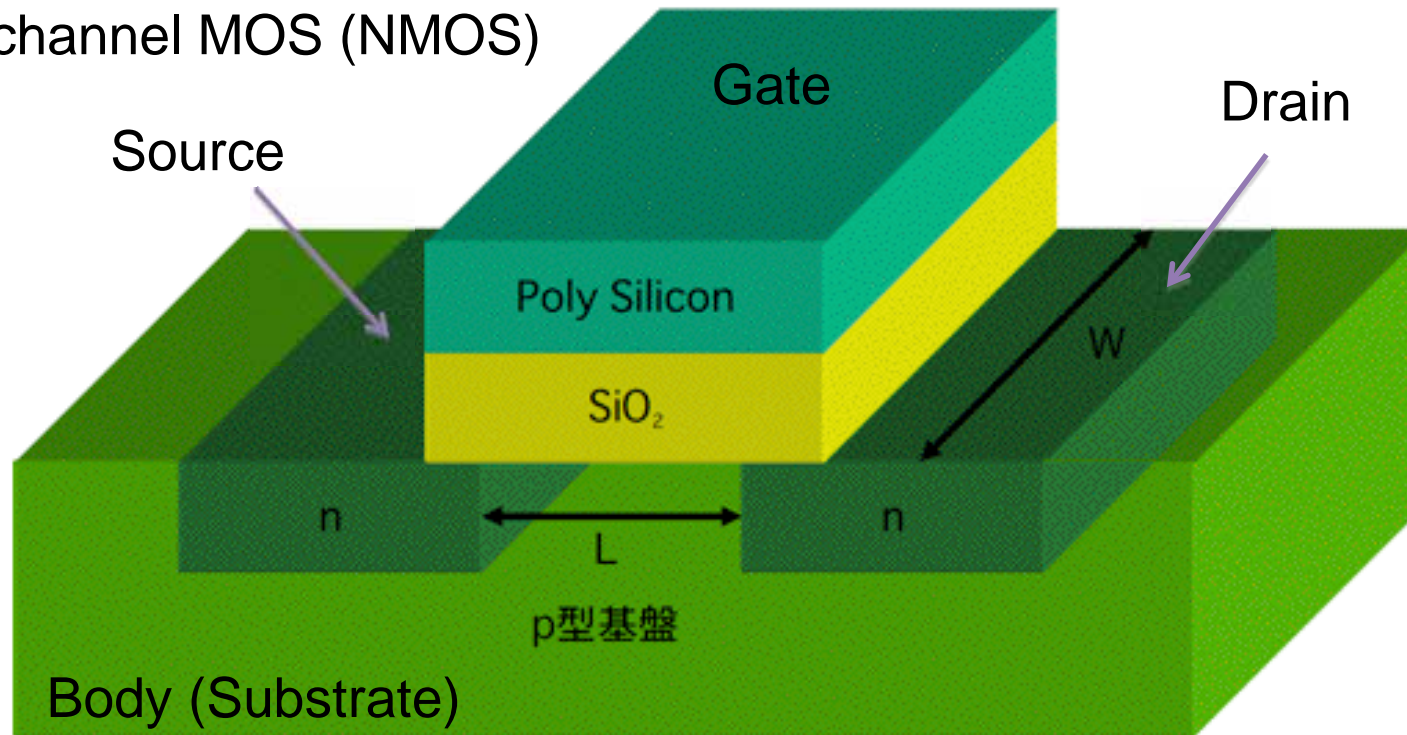
FET : Field Effect Transistor

トランジスタの分類

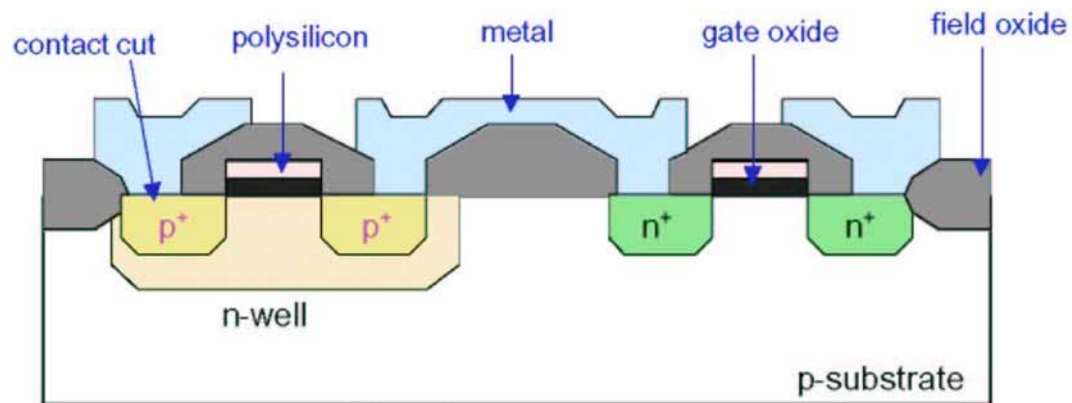


MOS (Metal-Oxide-Si) Transistorの構造

N-channel MOS (NMOS)



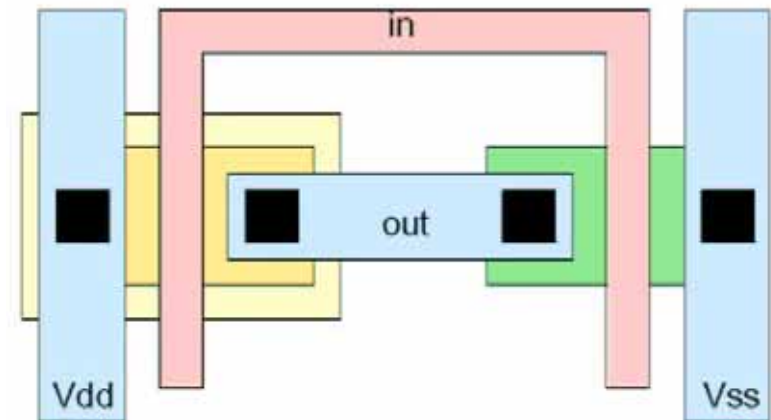
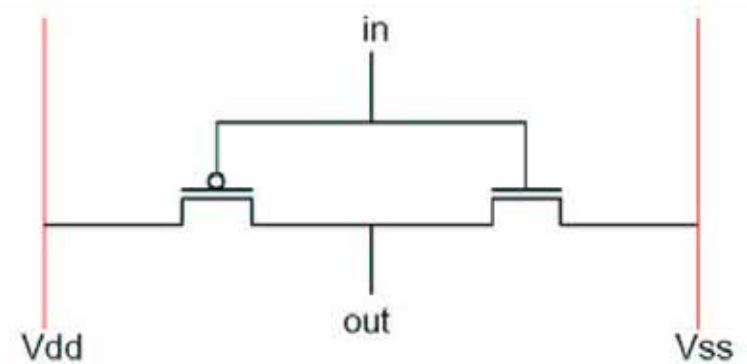
CMOS (Complementary Metal-Oxide-Silicon)



PMOS

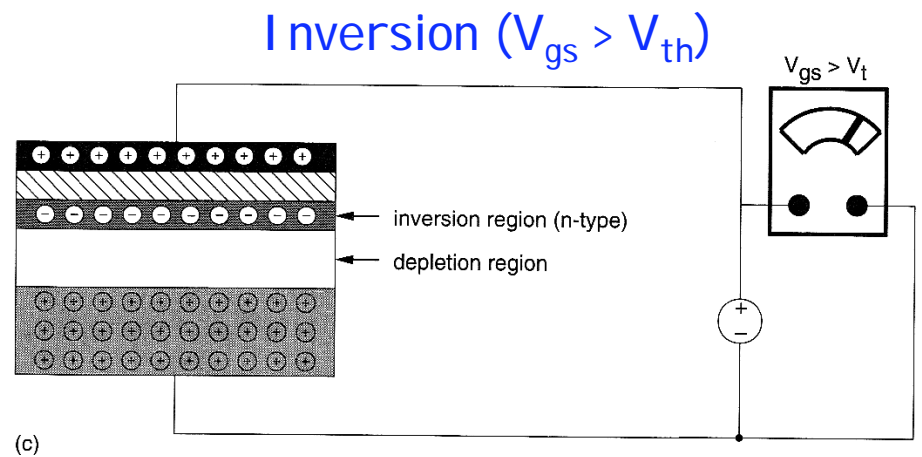
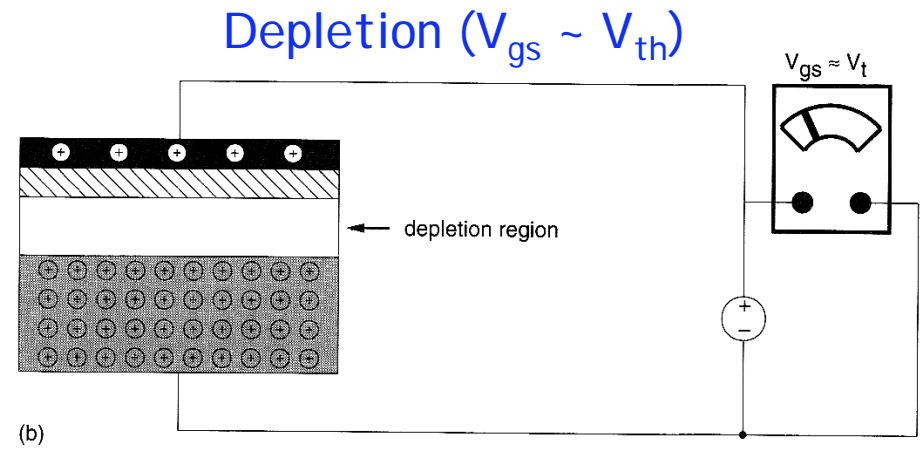
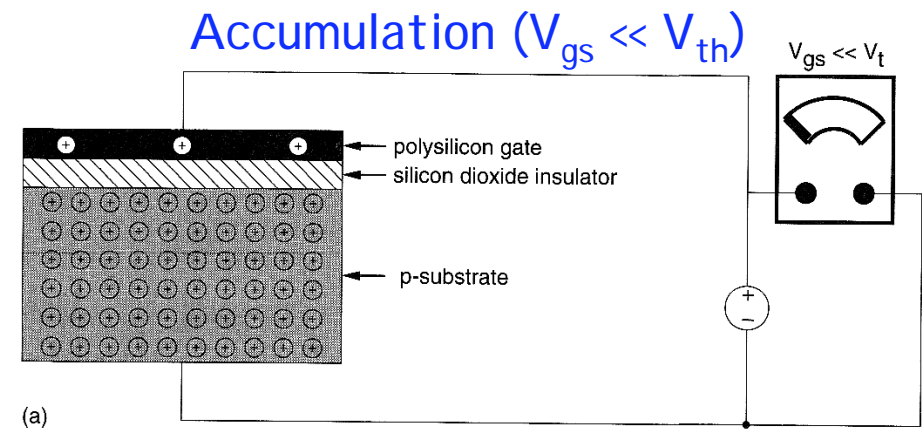
NMOS

Inverter



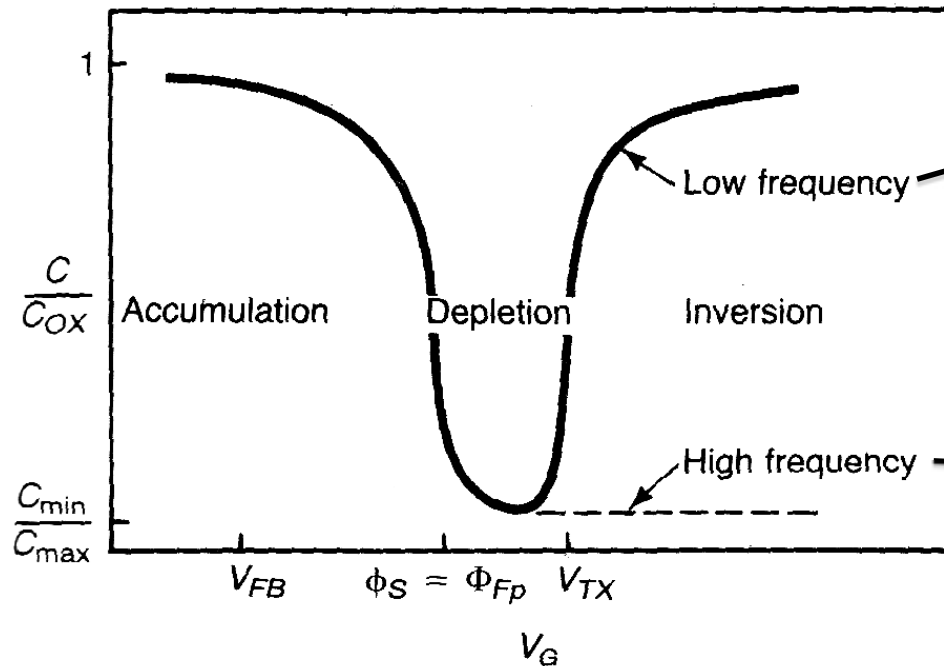
MOSデバイス

MOS Capacitor ($V_{ds}=0$)



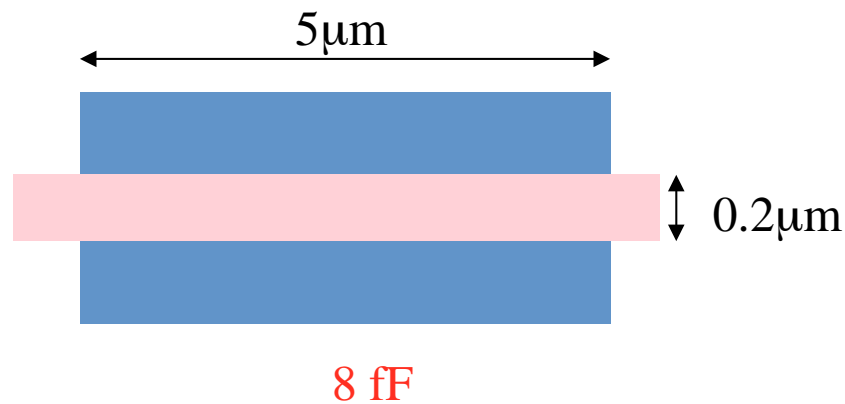
MOS Capacitor

Capacitance characteristics of a CMOS capacitor.



又は drain/sourceを接地した場合

drain/sourceがopenの場合



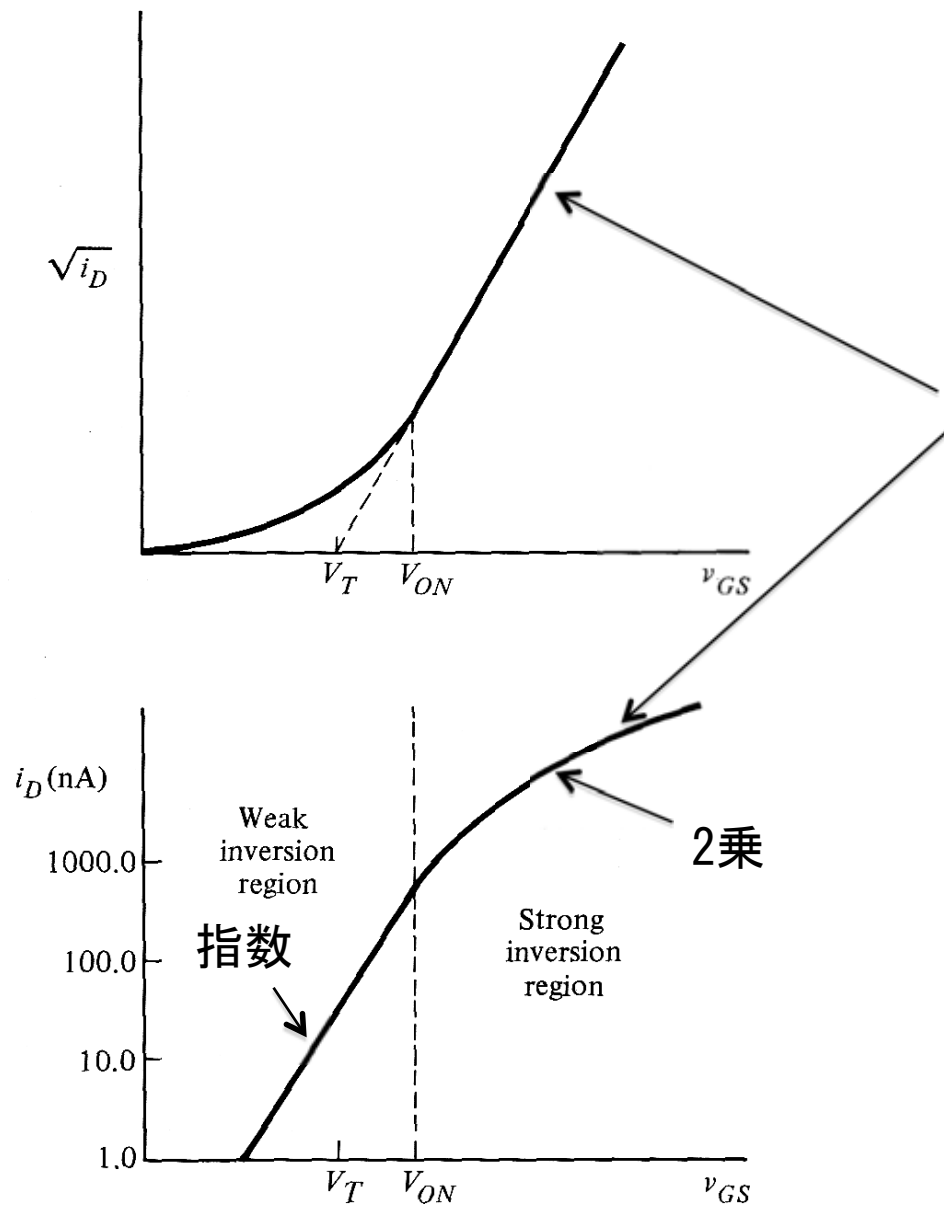
$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} \quad \begin{array}{l} \text{誘電率} \\ \text{酸化膜厚さ} \end{array}$$

$$= \frac{3.9 \times 8.85 \times 10^{-12} [F/m]}{5 [nm]}$$

$$\approx 8 [fF/\mu m^2]$$

MOS Transistorの動作

$I_{ds} - V_{gs}$



$$I_{ds} = \beta \frac{(V_{gs} - V_{th})^2}{2}$$

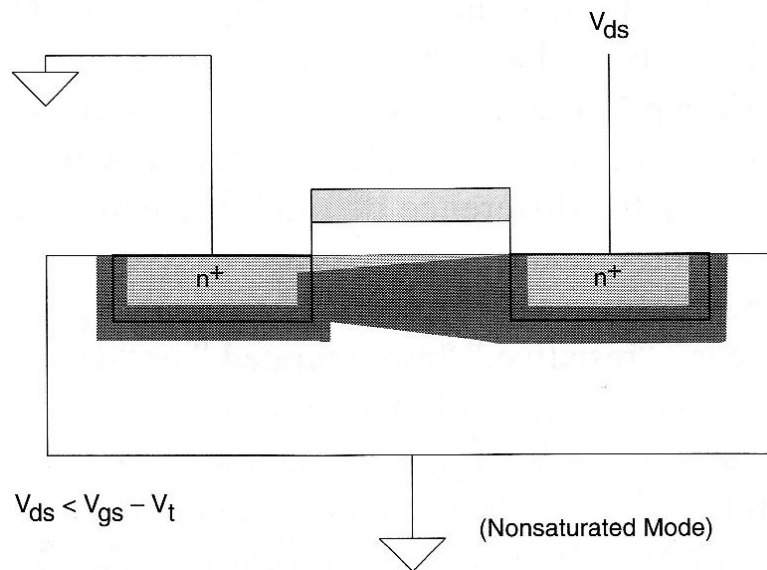
(@ $V_{ds} > V_{gs} - V_{th}$)

Drain – Source 間に電圧をかける

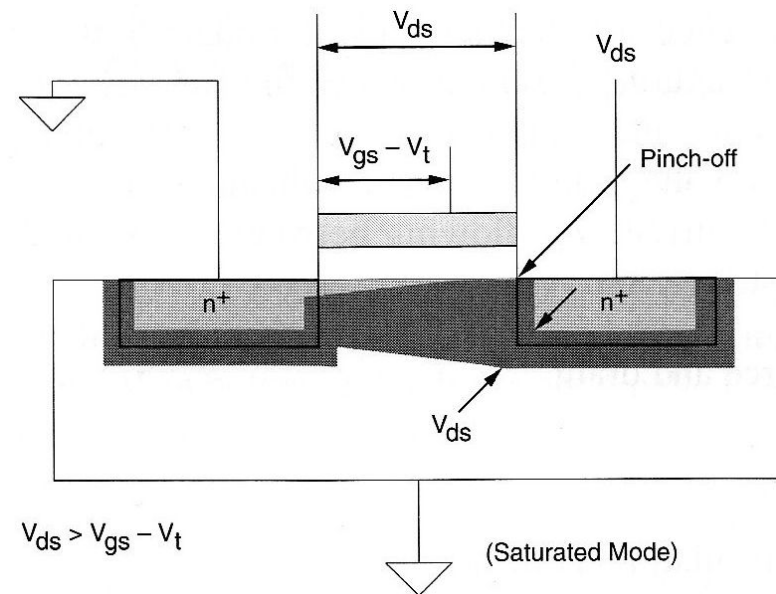
$V_{gs} < V_{th}$, Cut Off $I_{ds} = 0$

$V_{gs} > V_{th}$

Linear : $V_{ds} < V_{gs} - V_{th}$



Saturated : $V_{ds} > V_{gs} - V_{th}$



Ids-Vds Curve

Cut Off Region : $V_{gs} < V_{th}$

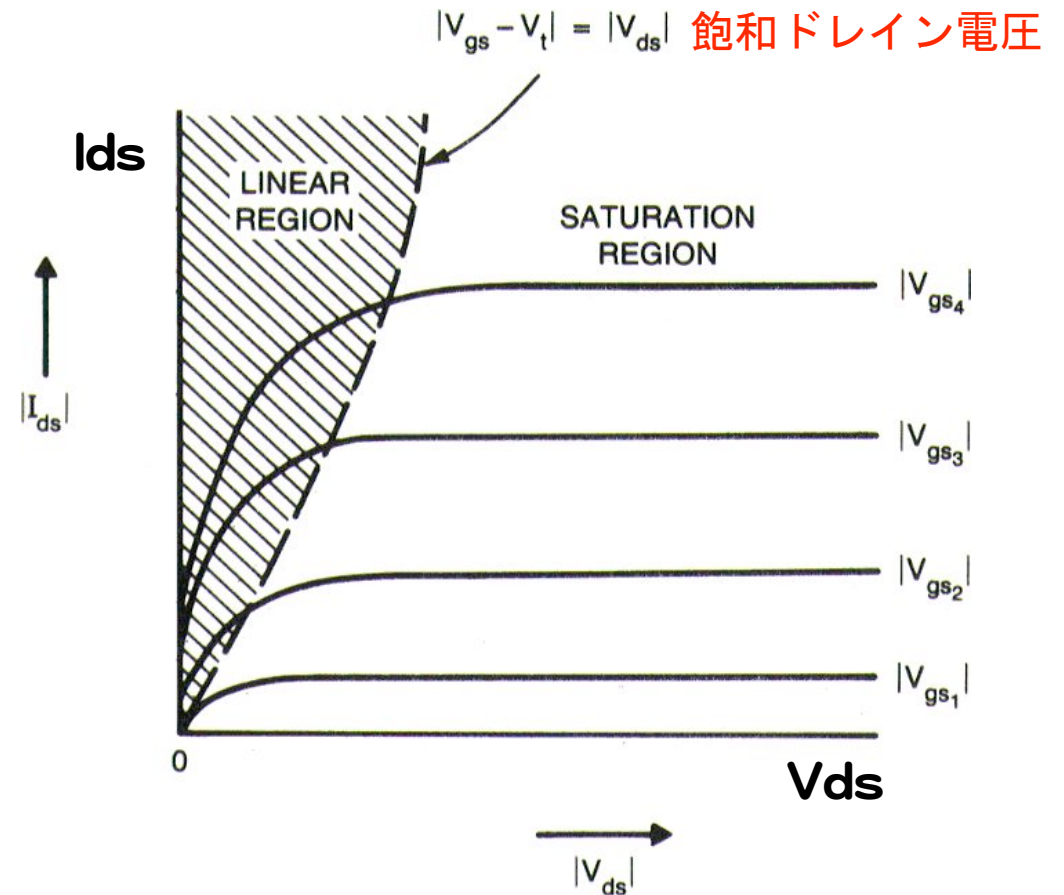
$$I_{ds} = 0$$

Linear Region : $V_{ds} < V_{gs} - V_{th}$

$$I_{ds} = \beta \left[(V_{gs} - V_{th}) V_{ds} - \frac{V_{ds}^2}{2} \right]$$

Saturated Region: $V_{ds} > V_{gs} - V_{th}$

$$I_{ds} = \beta \frac{(V_{gs} - V_{th})^2}{2}$$



$$\beta = \mu \cdot C_{ox} \left(\frac{W}{L} \right) \quad \text{--- Gain Factor}$$

μ --- Carrier mobility

$$\mu_n \approx 3 \times \mu_p$$

$$I_d = Q_N \cdot W \cdot v_{drift}$$

$$v_{drift} = \mu \cdot E, \quad E = \frac{V_{ds}}{L}$$

$$I_d = \mu \cdot Q_N \cdot \frac{W}{L} \cdot V_{ds}$$

$$Q_N \approx C_{ox} (V_{gs} - V_{th}) \quad \text{なので}$$

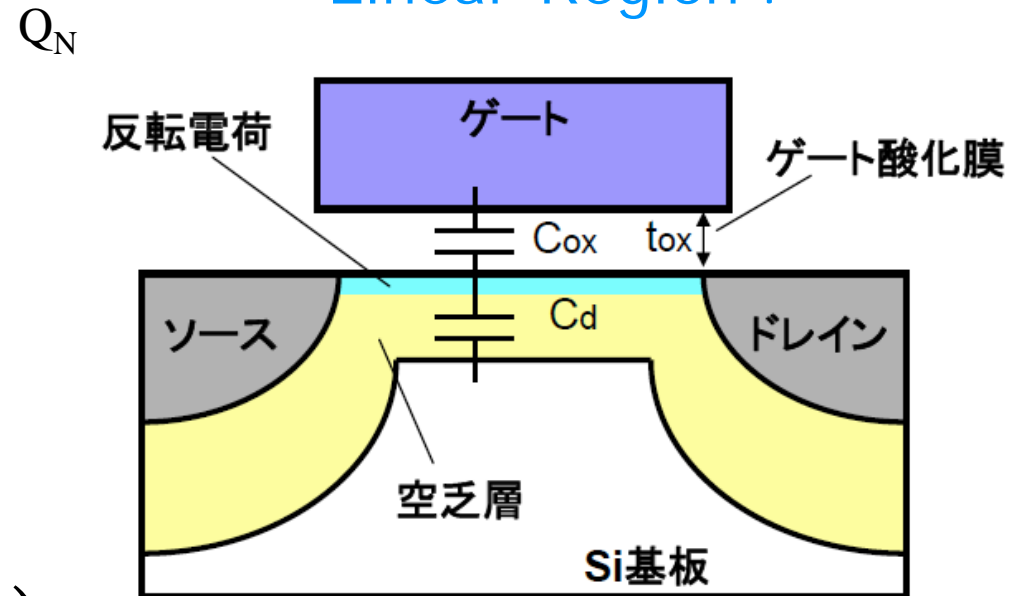
$$\therefore I_d = \mu \cdot C_{ox} \left(\frac{W}{L} \right) (V_{gs} - V_{th}) V_{ds}$$

$$V_{gs} \rightarrow V_{gs} - \frac{V_{ds}}{2} \quad (\text{channelの平均ポテンシャルは0でなく } V_{ds}/2 \text{なので})$$

$$\therefore I_d = \beta \left(V_{gs} - V_{th} - \frac{V_{ds}}{2} \right) \cdot V_{ds}$$

$$= \beta \left[(V_{gs} - V_{th}) V_{ds} - \frac{V_{ds}^2}{2} \right]$$

Linear Region :



Saturated Region:

$V_{ds} > V_{gs} - V_{th}$ では、余分に加えられた電圧はpinch-off pointとdrainの間にかかって、電流の増加に寄与しない。

よって、linear regionの式の V_{ds} を $(V_{gs} - V_{th})$ に置き換え、

$$\begin{aligned} I_{ds} &= \beta \left[(V_{gs} - V_{th}) V_{ds} - \frac{V_{ds}^2}{2} \right] \\ &= \beta \left[(V_{gs} - V_{th}) (V_{gs} - V_{th}) - \frac{(V_{gs} - V_{th})^2}{2} \right] \\ &= \beta \frac{(V_{gs} - V_{th})^2}{2} \end{aligned}$$

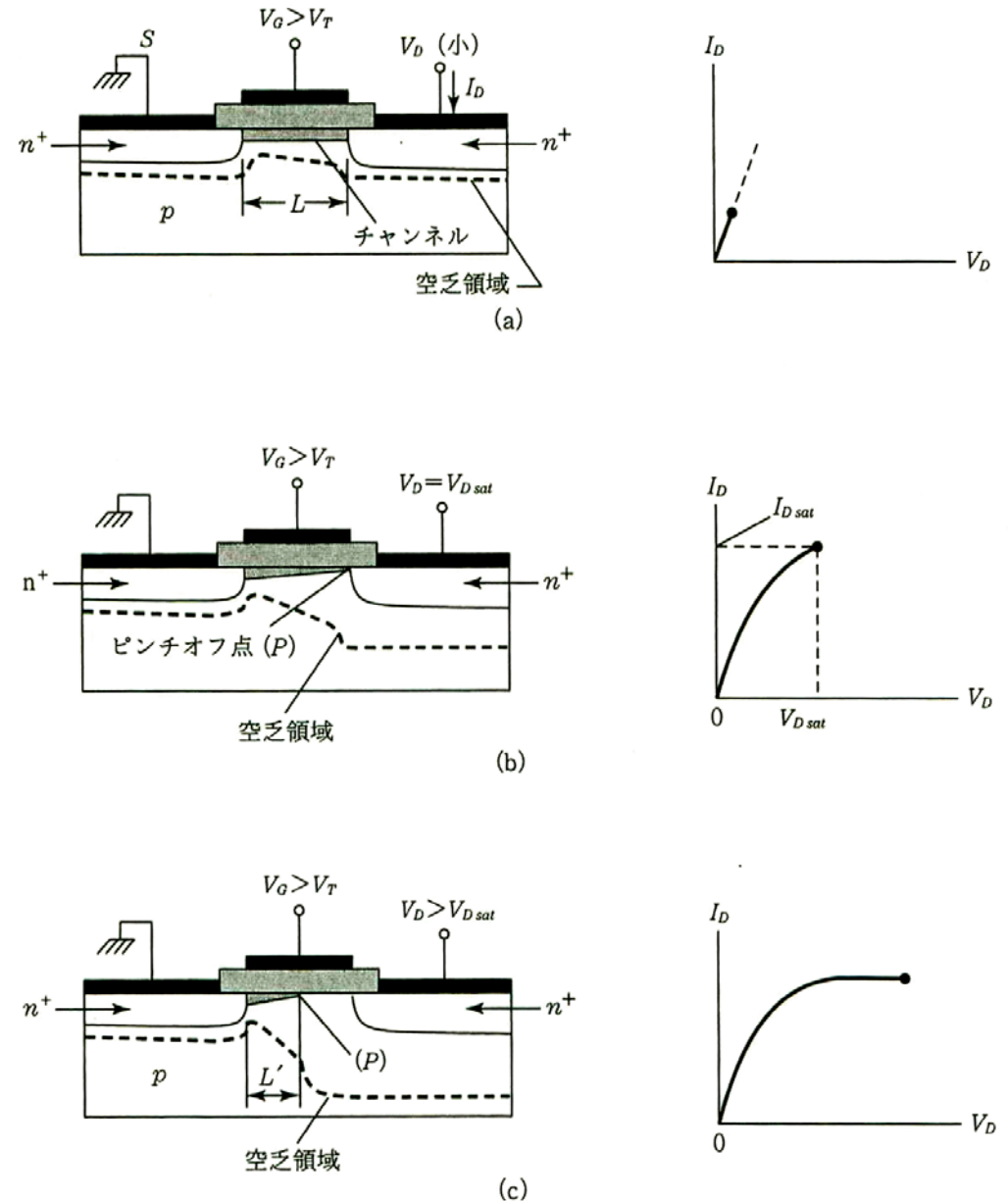


図 15 MOSFET の動作と I - V 出力特性. (a) 低ドレイン電圧, (b) 飽和の開始, 点 P はピンチオフ点を示す, (c) 飽和後.

チャンネル長変調

飽和領域で

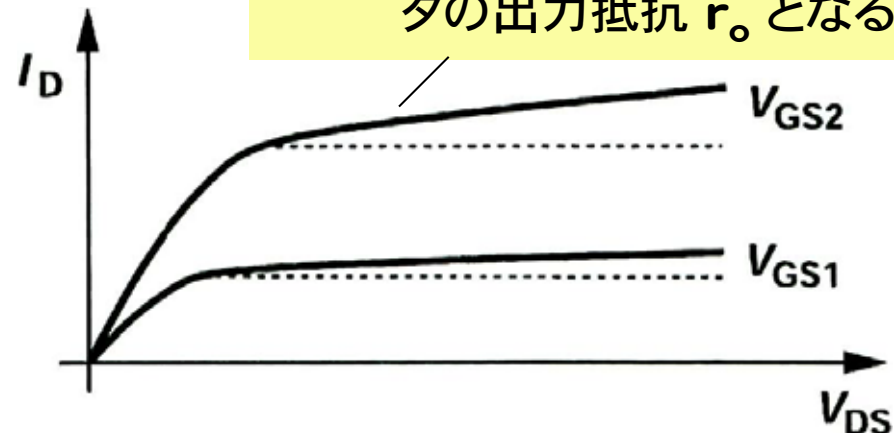
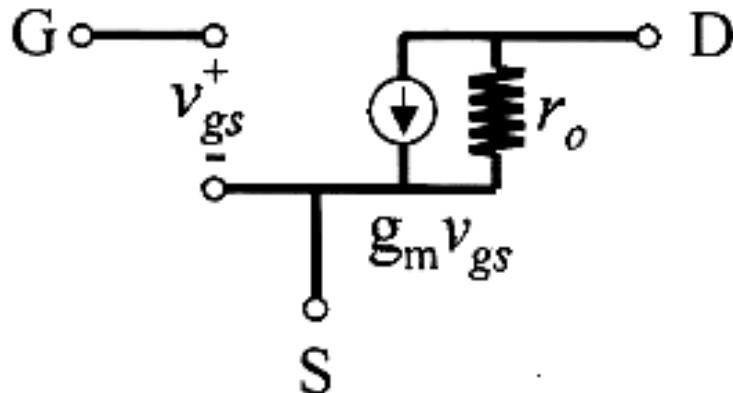
$$I_{ds} = \frac{1}{2} \mu \cdot C_{ox} \frac{W}{L} (V_{gs} - V_{th})^2$$

実際はチャンネル長 L がピンチオフにより変化する。

$$\frac{1}{L} \rightarrow \frac{1}{L - \Delta L} \approx \frac{1}{L} \left(1 + \frac{\Delta L}{L}\right) \approx \frac{1}{L} (1 + \lambda V_{ds}) \quad \left(\frac{\Delta L}{L} = \lambda V_{ds}\right)$$

$$\therefore I_{ds} = \frac{1}{2} \mu \cdot C_{ox} \frac{W}{L} (V_{gs} - V_{th})^2 (1 + \lambda V_{ds})$$

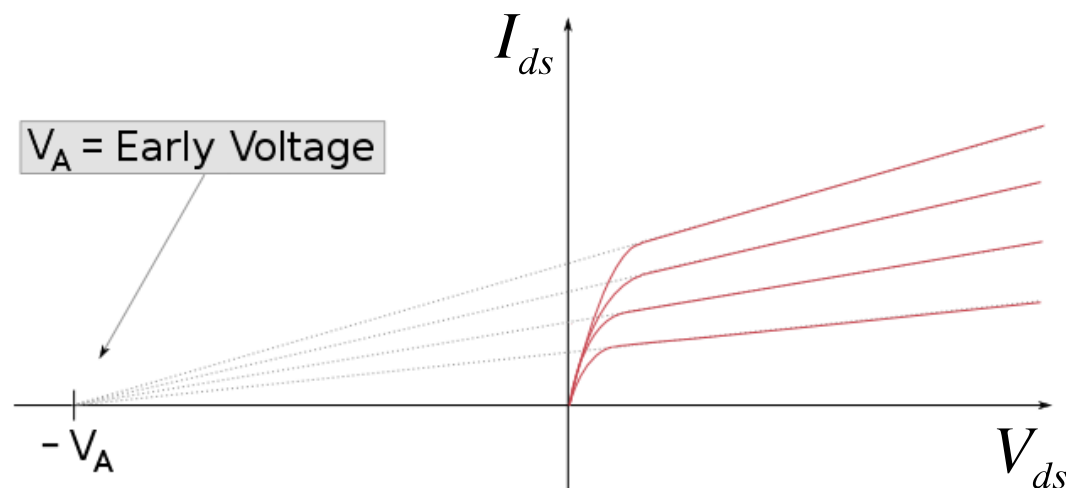
$$g_m = \mu \cdot C_{ox} \frac{W}{L} (V_{gs} - V_{th}) (1 + \lambda V_{ds})$$



この傾きが飽和領域でのトランジスタの出力抵抗 r_o となる。

Early Voltage

$$\begin{aligned} I_{ds} &= \frac{1}{2} \beta (V_{gs} - V_{th})^2 (1 + \lambda V_{ds}) \\ &= \frac{1}{2} \beta (V_{gs} - V_{th})^2 \left(1 + \frac{V_{ds}}{V_A} \right) \\ &\quad \left(V_A = \frac{1}{\lambda} : \text{Early Voltage} \right) \end{aligned}$$



出力抵抗

$$r_o = \frac{V_{ds} + V_A}{I_{ds}(sat)} \approx \frac{V_A}{I_{ds}(sat)}$$

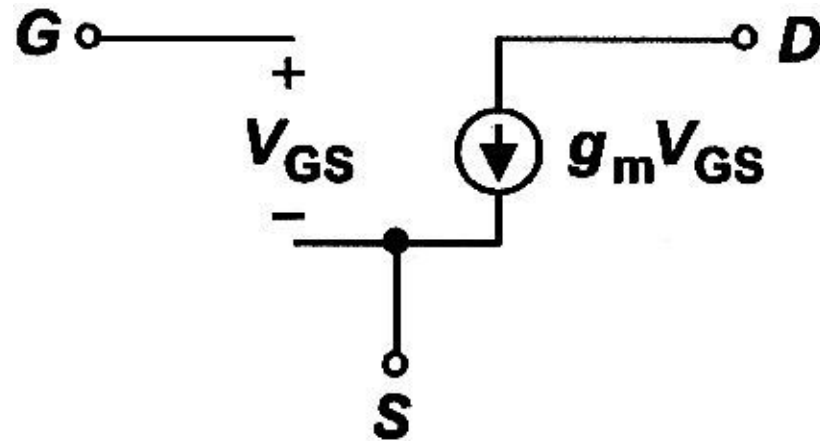
Transconductance

Saturated Regionのド레인電流はゲートのオーバードライブ電圧 ($V_{gs}-V_{th}$)で決まる。

ド레인電流の変化を V_{gs} の変化で割った値をTransconductance (g_m)と呼びトランジスタの性能を表す指標となる。

$$\begin{aligned} g_m &= \left. \frac{\partial I_{ds}}{\partial V_{gs}} \right|_{V_{ds}=const.} \\ &= \beta (V_{gs} - V_{th}) \\ &= \mu \cdot C_{ox} \frac{W}{L} (V_{gs} - V_{th}) \end{aligned}$$

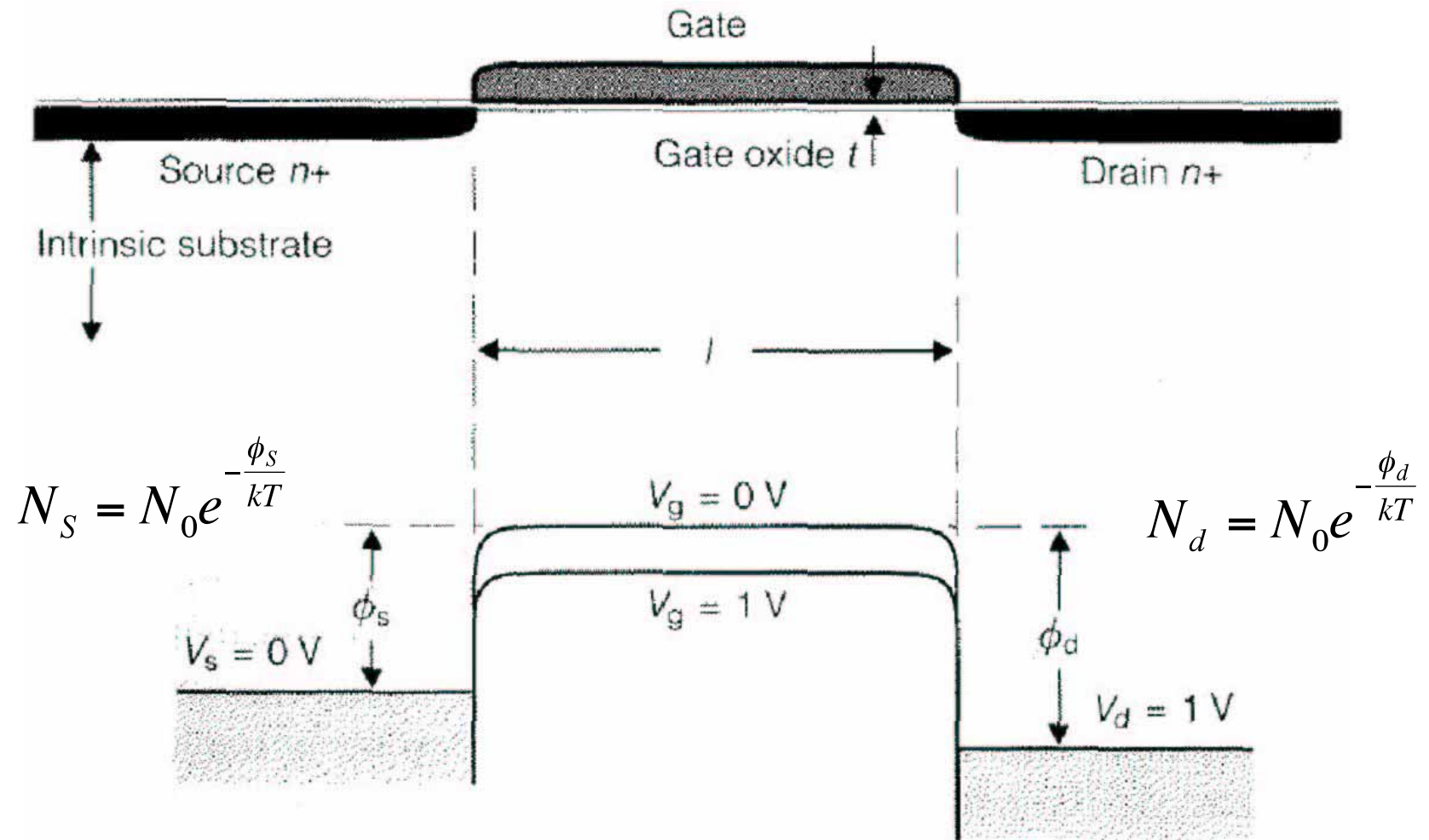
小信号モデルでは、ゲート電圧の g_m 倍の電流がドレインに流れる。



MOS Tr 小信号モデル

しきい値以下の動作

Sub-Threshold Region



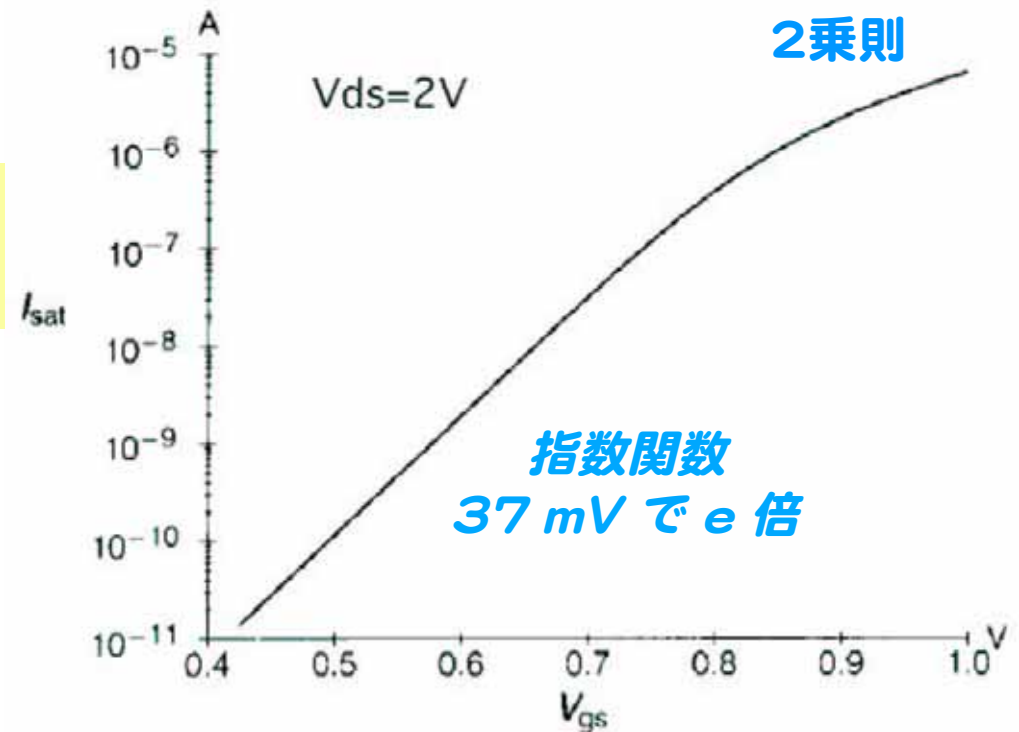
Sub-Threshold Region

しきい値以下では $I_{ds}=0$ としたが、
実際はBoltzman分布の式より

$$\begin{aligned}
 I &= I_s - I_d \\
 &= I_0 \left(e^{-\frac{\phi_0 + q(V_g - V_s)}{kT}} - e^{-\frac{\phi_0 + q(V_g - V_d)}{kT}} \right) \\
 &= I_0 e^{-\frac{qV_{gs}}{kT}} \left(1 - e^{-\frac{qV_{ds}}{kT}} \right), \quad \frac{kT}{q} = 25\text{mV (intrinsic substarate)}
 \end{aligned}$$



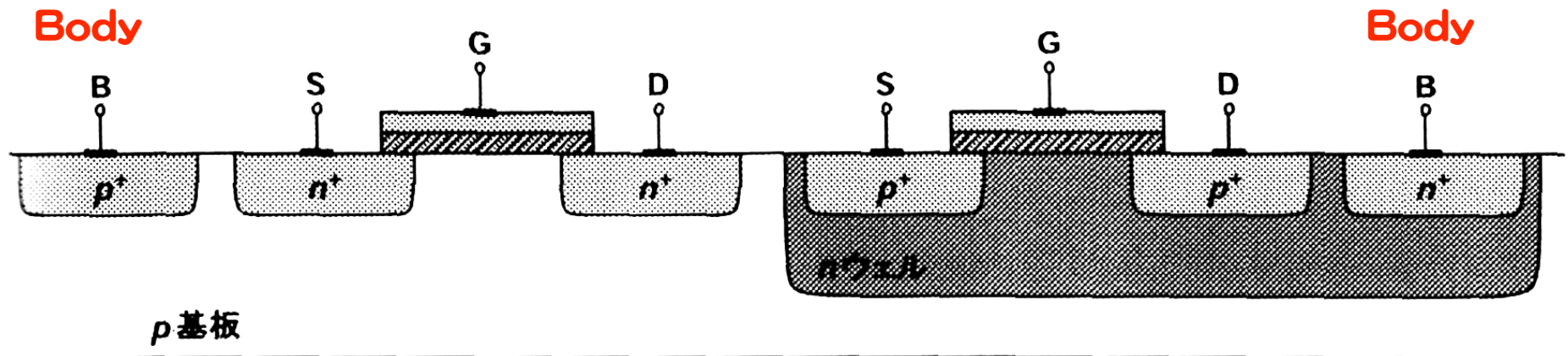
$$I = I_0 e^{-\frac{q\kappa V_{gs}}{kT}} \left(1 - e^{-\frac{qV_{ds}}{kT}} \right), \quad \frac{kT}{q\kappa} = 37\text{mV (p or n substarate)}$$



この領域は、 g_m は大きいが電
流は小さい (遅い)

Body Contact

実際のMOSは4端子デバイス: Source, Gate, Drain + Body(Substrate)



MOS Tr特性のまとめ

$$I_{ds} = \beta \left[(V_{gs} - V_{th}) V_{ds} - \frac{V_{ds}^2}{2} \right] \quad \text{Linear Region} (V_{ds} < V_{gs} - V_{th})$$

$$I_{ds} = \beta \frac{(V_{gs} - V_{th})^2}{2} (1 + \lambda V_{ds}) \quad \text{Saturation Region} (V_{ds} > V_{gs} - V_{th})$$

$$\left(\beta = \mu \cdot C_{ox} \left(\frac{W}{L} \right) \quad \text{Gain Factor} \right)$$

$$I_{ds} = I_0 e^{-\frac{q\kappa V_{gs}}{kT}} \left(1 - e^{-\frac{qV_{ds}}{kT}} \right) \quad \text{Sub - Threshold Region} (V_{gs} < V_{th})$$