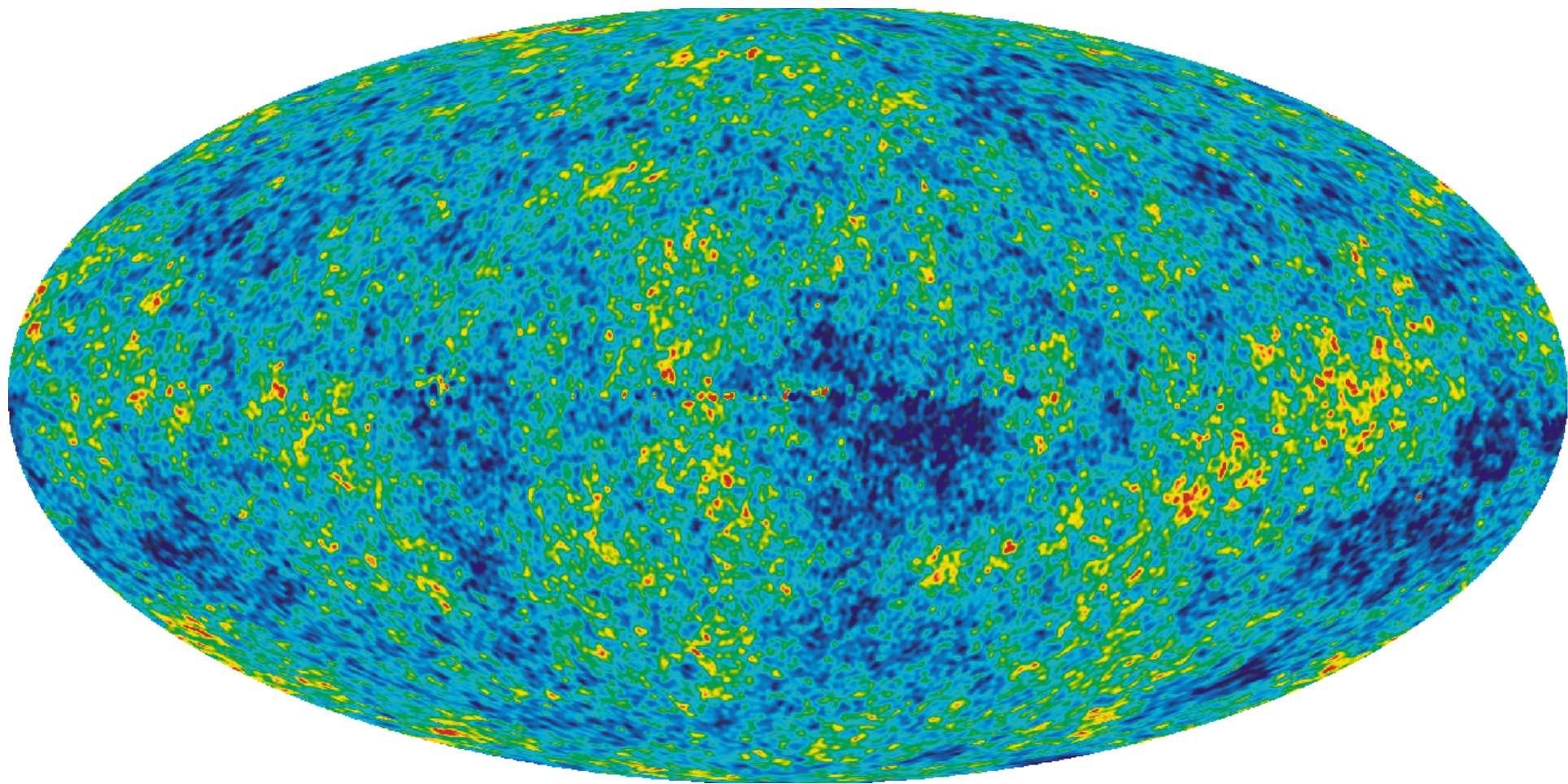
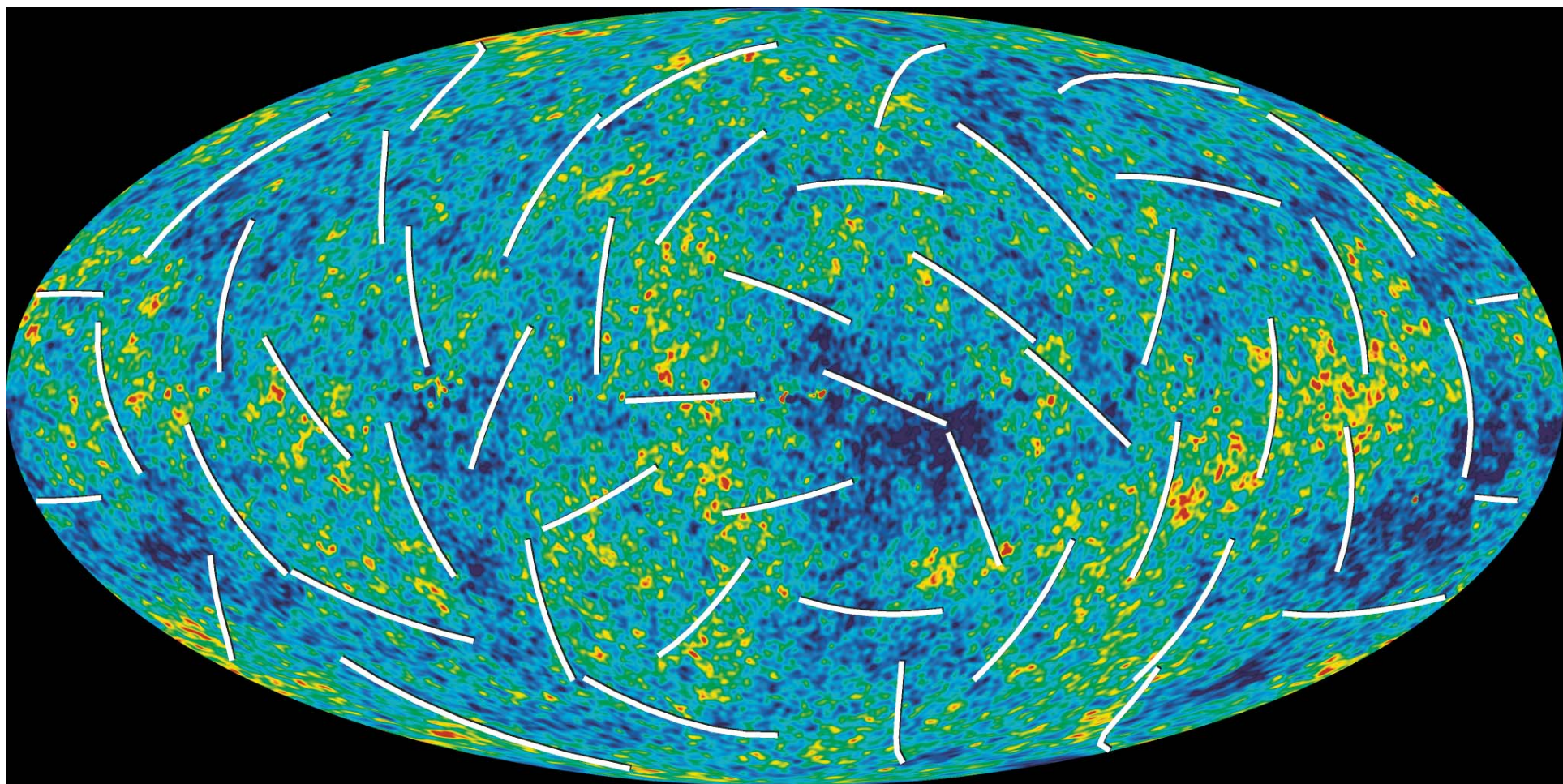


QUIET-II実験用 ADCシステムの開発 「ユーザーの立場から」

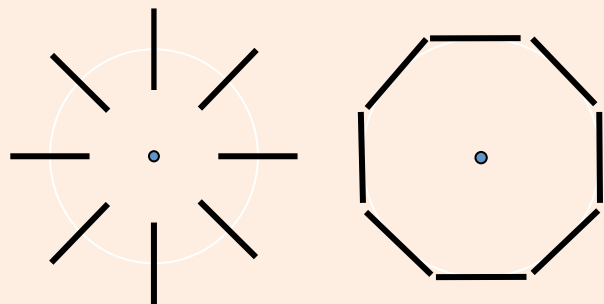
田島治 (KEK IPNS)

OSC2010



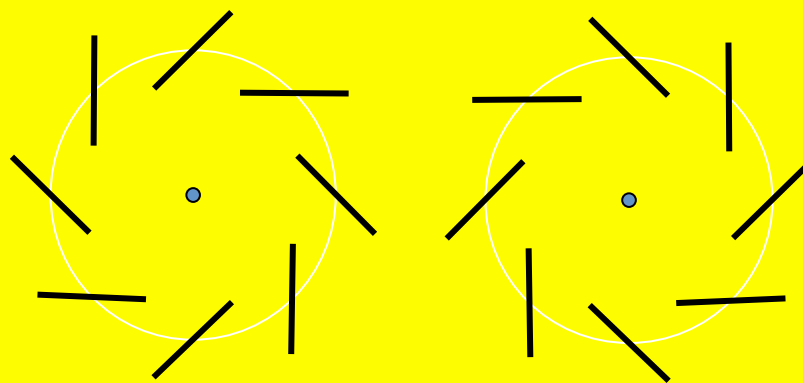


Eモード (parity even)



Bモード (parity odd)

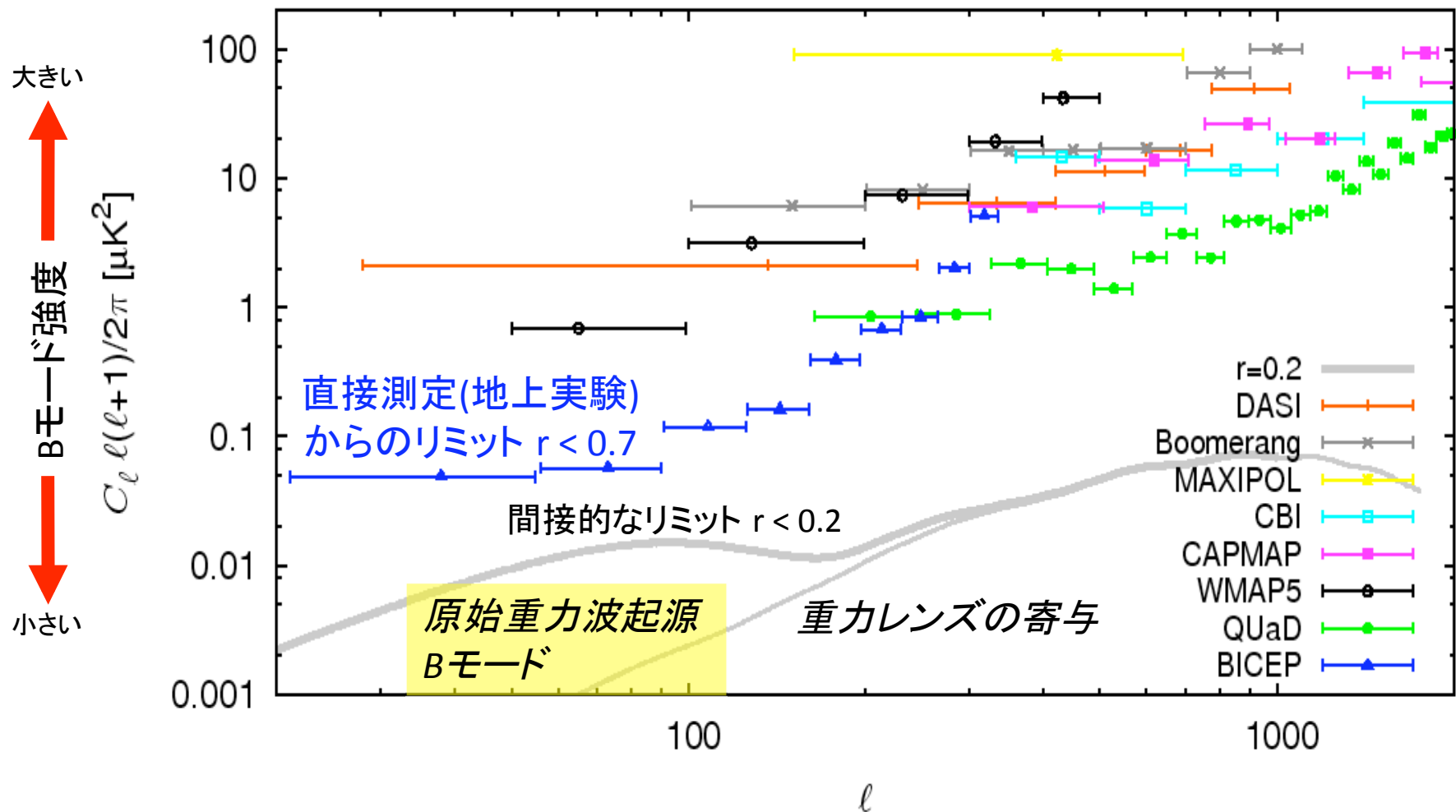
インフレーションの決定的証拠!!



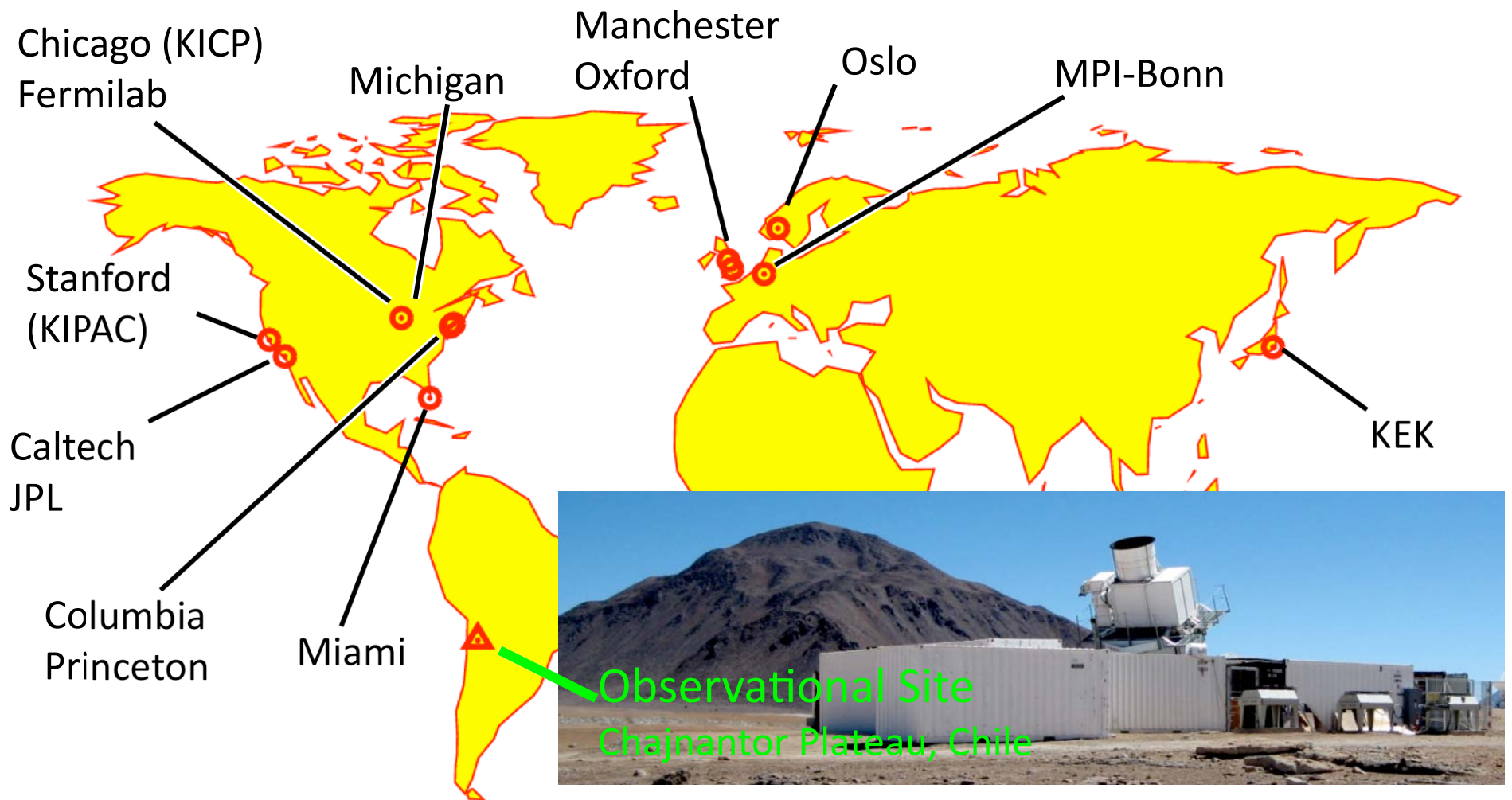
Bモードはまだ未発見

熾烈な発見競争が繰り広げられている

現状: 最新の偏光検出器を搭載できる地上観測実験がリードしている



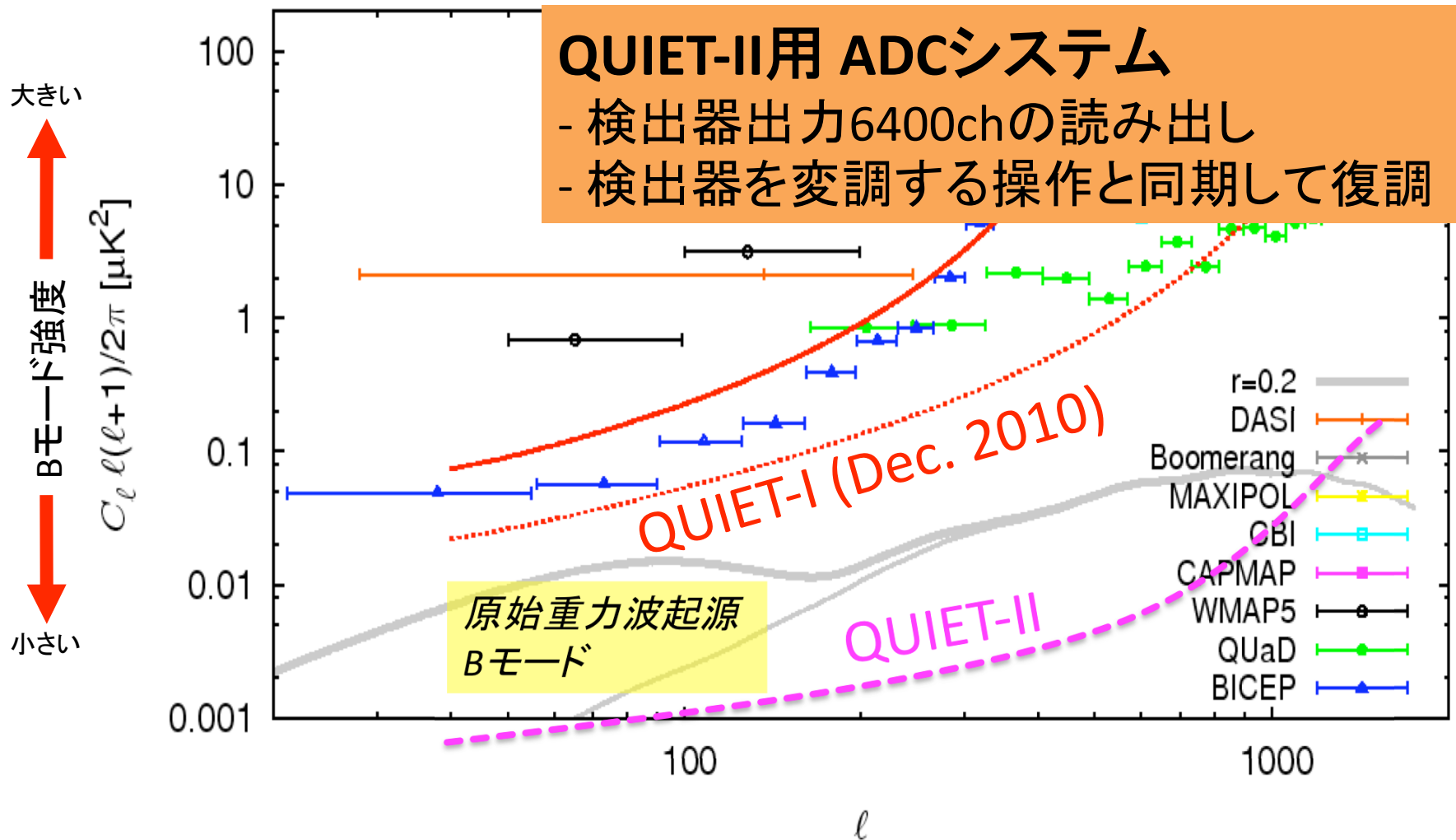
QUIETコラボレーション



5 countries, 14 institutes, ~35 scientists

QUIET実験の探索感度

検出器の数を増やして(⇔統計を増やして)、Bモード発見を目指す
QUIET-I (90x4 ch) → QUIET-II (1600x4 ch)

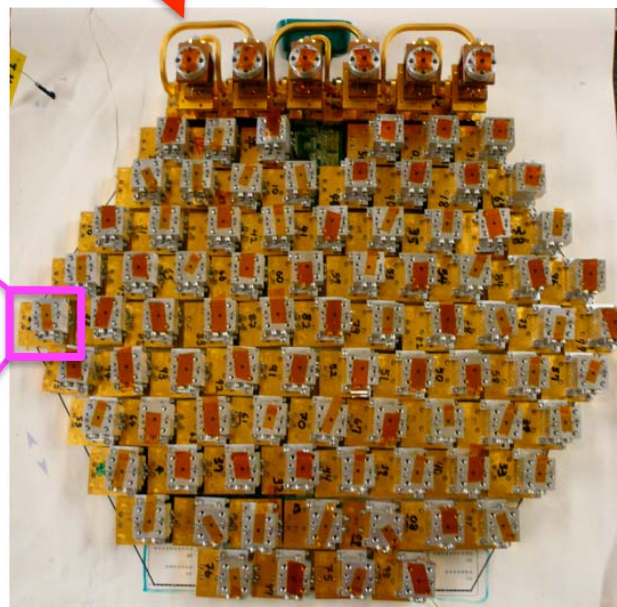
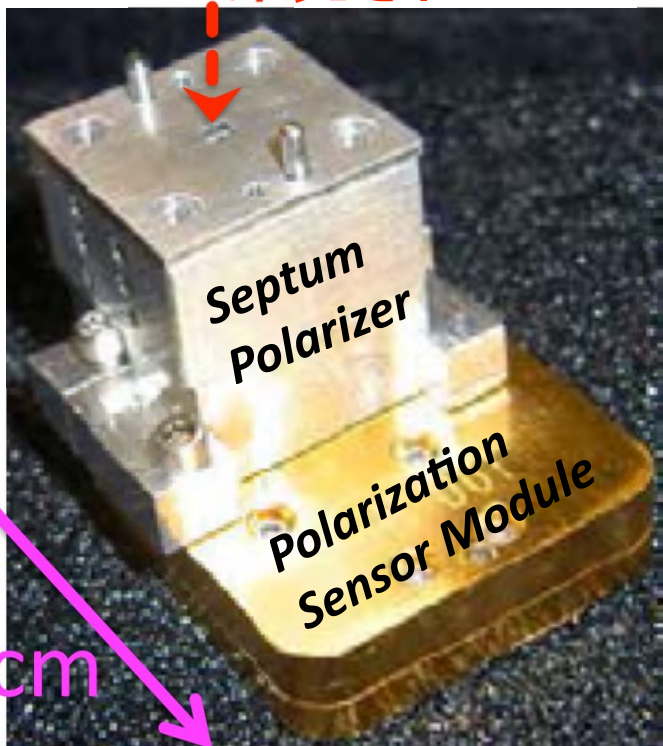


QUIET偏光検出器

検出器とエレキは離したくないので、エレキボックスは望遠鏡マウントの上に配置(ブンブン動く!!)

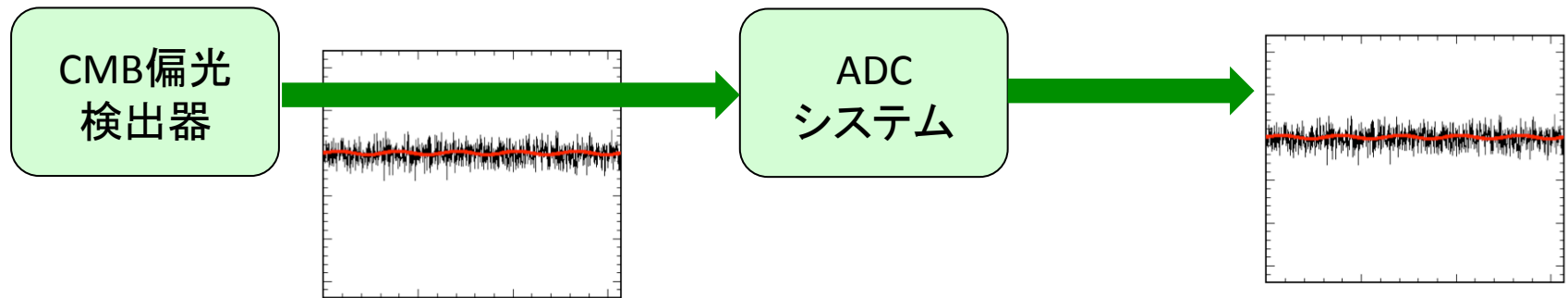
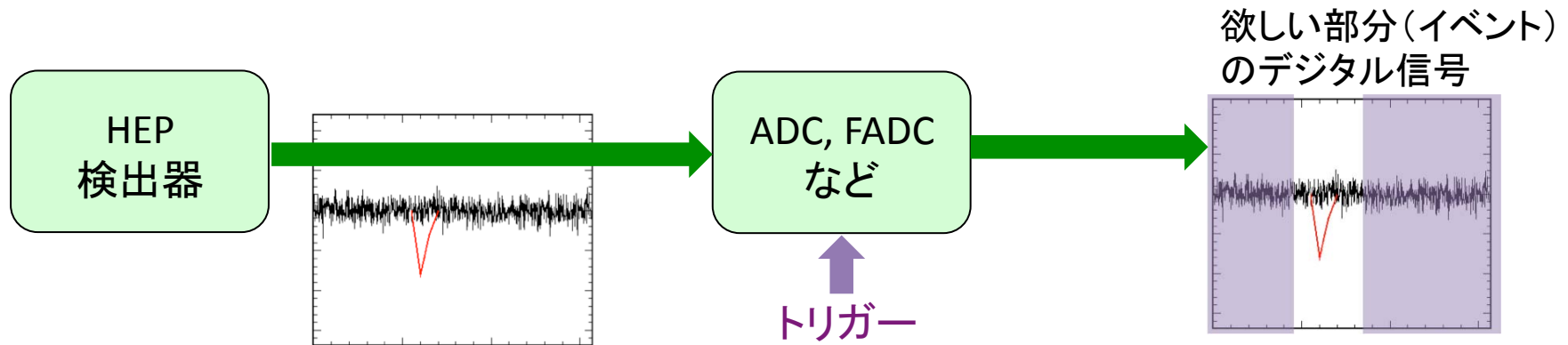


集光されたCMB



QUIET-I (90個) → QUIET-II (1600個)
1つの検出器に4chの信号出力

HEP実験との大きな違い



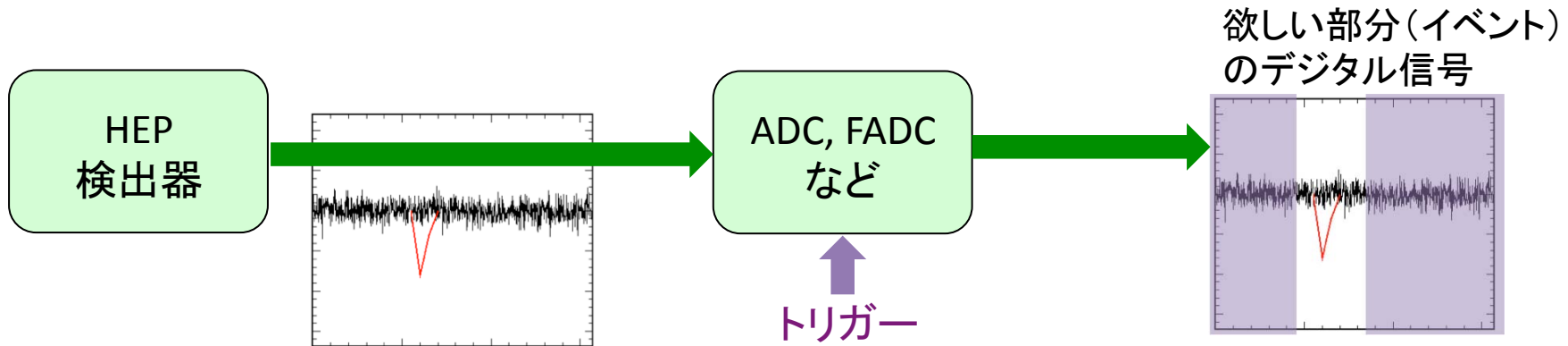
- CMB偏光信号は常にある
- CMB偏光信号はとても、とても……小さい
⇔ ノイズに埋もれている: CMB偏光 \sim whitenoise/1000

- 全部取る (ランダムトリガーなし)
- 積分時間(⇔露光時間)を増やしてS/Nを上げていく

QU
- C
- W
- 1/

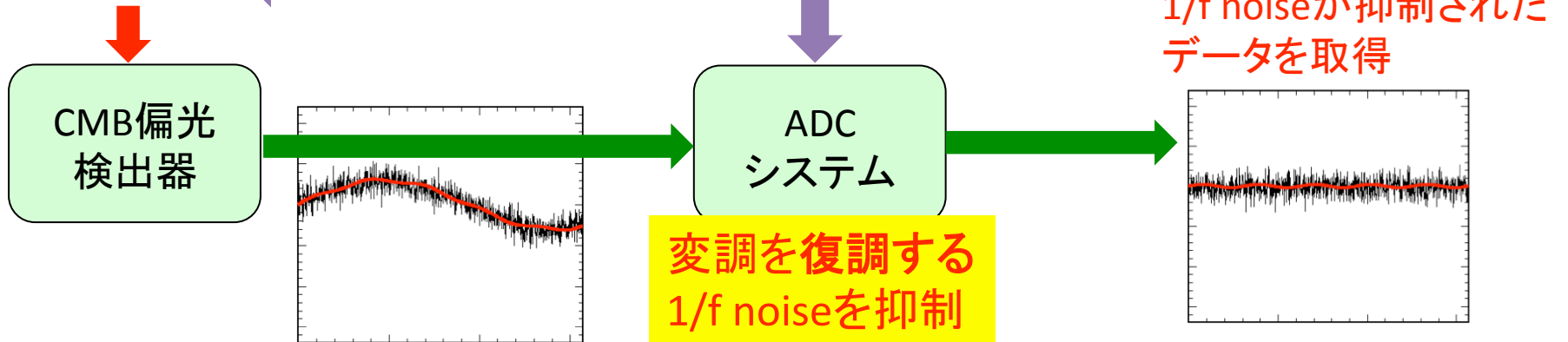


HEP実験との大きな違い



1/f noiseを抑制
するための変調

4kHz Clock同期



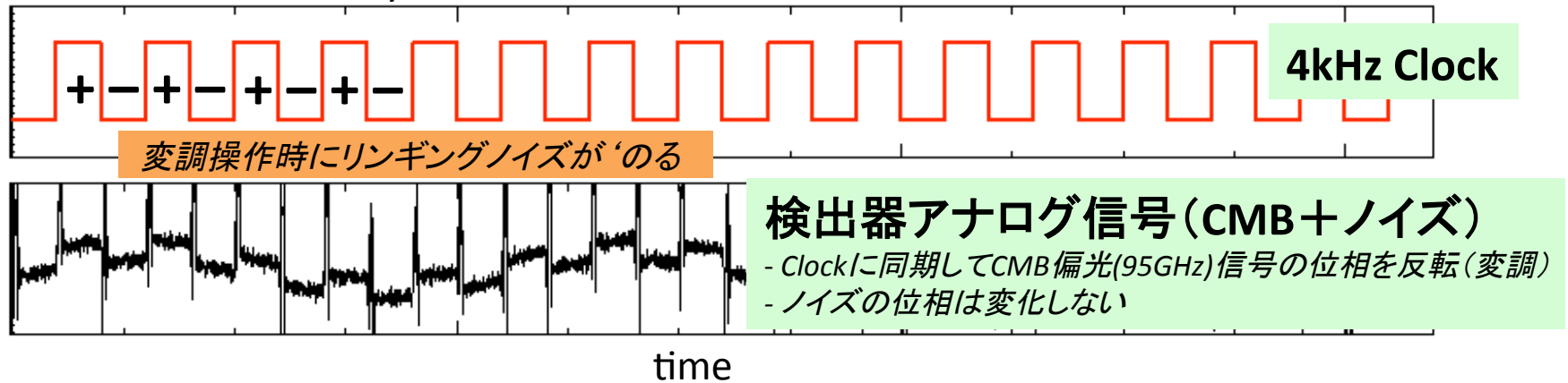
- CMB偏光信号は常にある
- CMB偏光信号はとても、とても……小さい
⇔ ノイズに埋もれている: CMB偏光 ~ whitenoise/1000
- 巨大な1/fノイズでbaselineが揺らぐ

- 全部取る (ランダムトリガーなし)
- 積分時間(⇔露光時間)を増やしてS/Nを上げていく

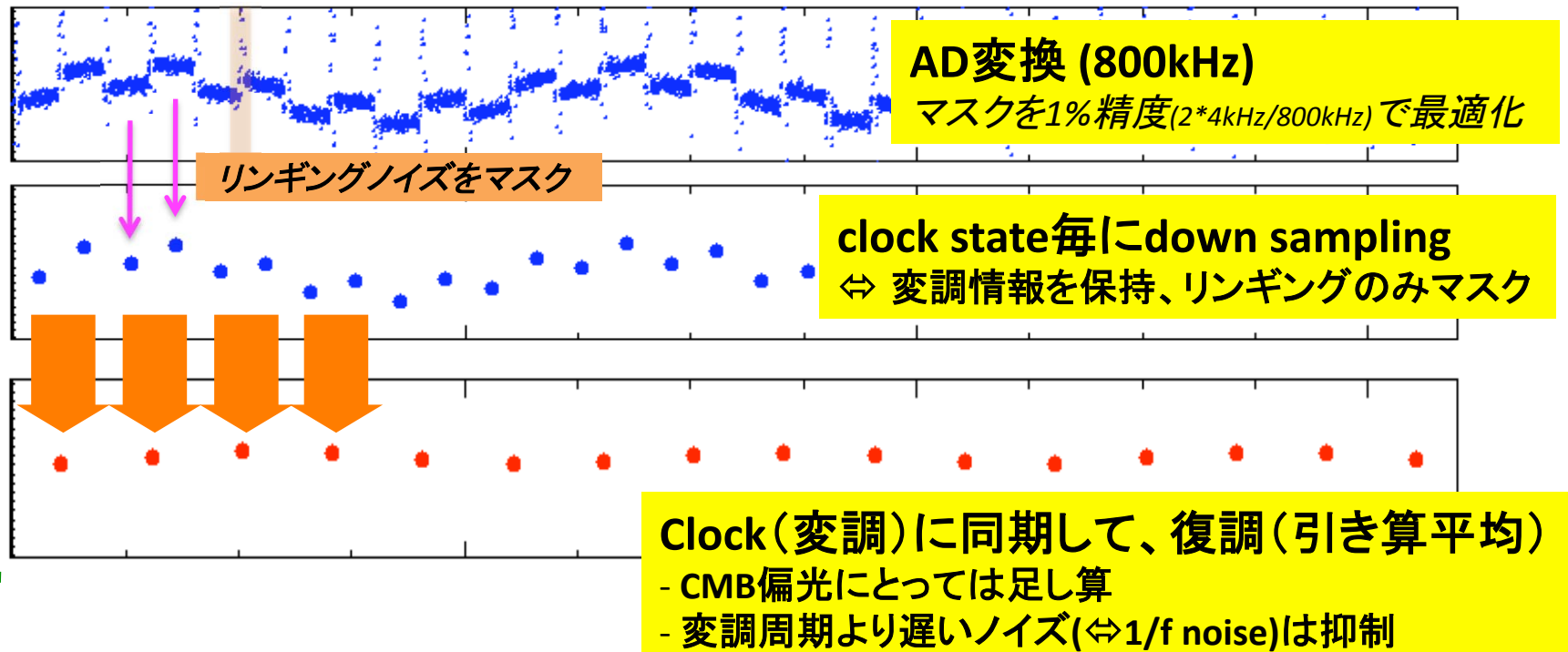
QU
- C
- W
- 1/

QUIET ADCボード上FPGAによる復調

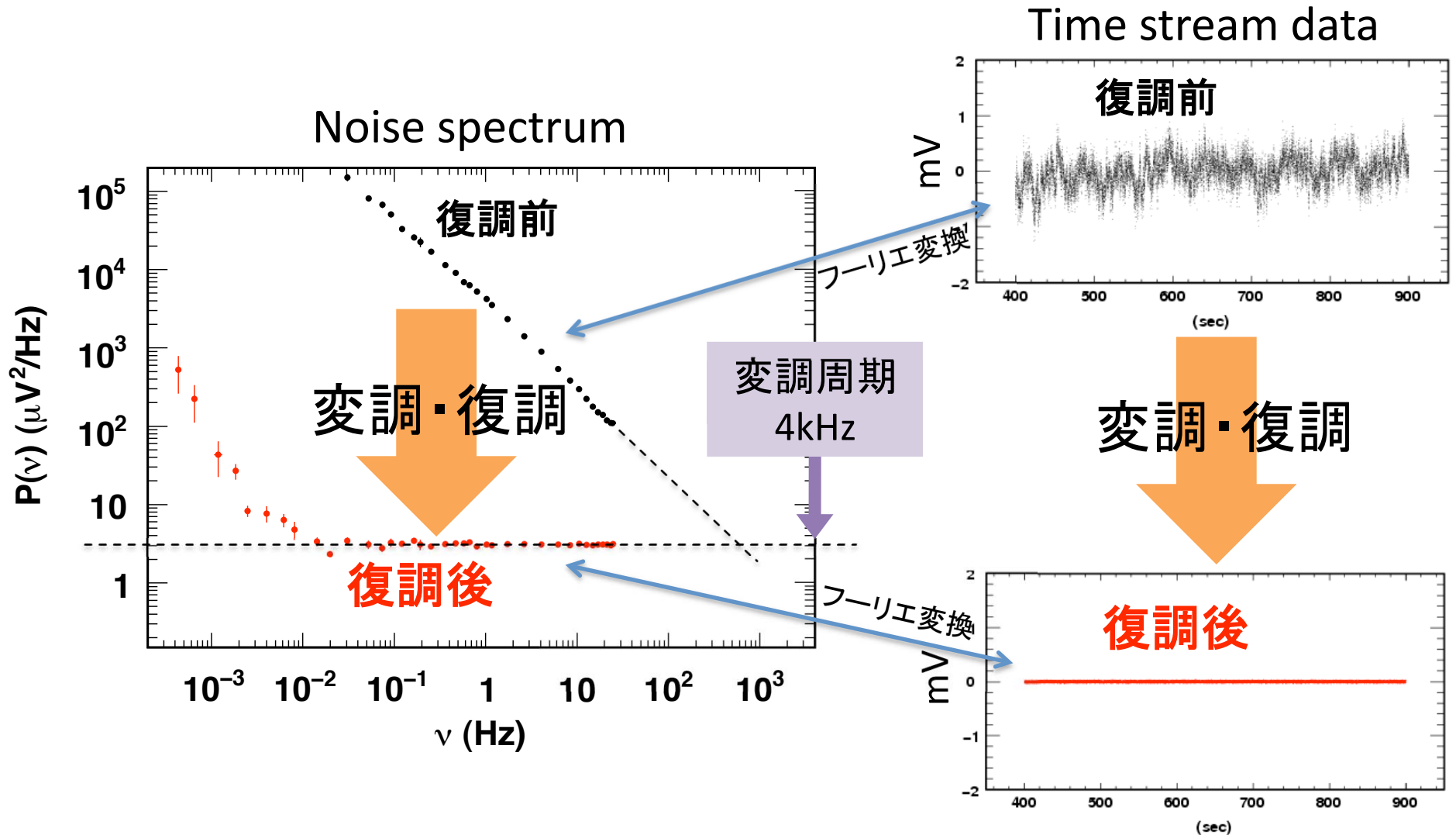
Toy-simulationによるデモンストレーション



ADCボード上



変調・復調のインパクト(実データ)



f_{nee} ~10mHz << 100mHzを達成しているCMB偏光実験はQUIETだけ！！

QUIET-II実験用 ADCシステム

- 全chのデータを取り続ける
 - 6400 ch (QUIET-I 364 ch, ½ VME-crate)
- 復調して1/fノイズを抑制する
 - 検出器の変調操作と同期して、
 - Raw出力信号を復調する
 - 800kHz ADC → 復調しつつdown sampling (100Hz)

QUIET-IIに向けて改善せねばならないこと

- チャンネル密度を高める
- スケーラビリティが高い
 - ⇔ 読み出しがシンプル
- クロック分配が容易かつ信頼性が高い

HEPのエレキ・DAQ
が得意とする点!!
→ OSCにふさわしいネタ



Open source consortium of Instrumentation

ホーム

オープンソースコンソーシアムとは

プロジェクトリスト

テクノロジー

セミナー・教育・ワークショップ

Documentation

現在位置: ホーム → テクノロジー → PCB実装

ナビゲーション

ホーム

オープンソースコン
ソーシアムとは

プロジェクトリスト

テクノロジー

ASIC

FPGA

PCB実装

Software

セミナー・教育・
ワークショップ

Documentation &
Resources

質問、ご意見

PCBおよび実装技術に関して

PCBおよび実装技術 コンソーシアムでは以下の開発指針を基に大学院生・若手スタッフを受け入れ共同開発・教育を行っています。

- アナログ・デジタル混載
- (超)高速
- 高密度
- 低雑音
- FPGA、ASIC関連
- その他、実験応用を目指した各種回路

多くはFPGAを使用した回路での開発と思われませんが、FPGAコンソーシアムのメンバーと協調して取り組みます。

使用する基板材料・実装技術は

一般用： FR-4

超高速用： テフロン系、BTレジン、LTCC

高密度： ポリイミドフレキ、LTCC、ワイヤーボンディング、フリップチップボンディング
です。

教育内容は先端エレクトロニクスセミナー、トレーニングコースをご覧ください。

FPGAセミナーと共催しています。

ナビゲーション

[🏠 ホーム](#)[📁 オープンソースコンソーシアムとは](#)[📁 プロジェクトリスト](#)[📁 テクノロジー](#)[📁 ASIC](#)[📁 FPGA](#)[📁 PCB実装](#)[📁 Software](#)[📁 セミナー・教育・ワークショップ](#)[📁 Documentation & Resources](#)[📄 質問、ご意見](#)

FPGA等デジタル信号処理の高度化に関して

物理実験応用を目的にしたデジタル回路の研究開発

受け入れた大学院生・若手スタッフと共に各実験で開発されるデジタル回路を再利用可能なライブラリとして資産化することで開発期間の短縮と最先端技術の研究開発に共同で取り組む事を目的にしています。

メンバーはライブラリに自由にアクセスする事が出来るため、

- 初級者にとっては見本としての技術習得、
- 中上級者は新しい回路開発に集中する

事が出来ます。

Field Programmable Gate Array(FPGA)を用いて以下のキーワード技術を中心に共同開発・教育を行っています。

- イベント処理 (トリガ、コインシデンス回路など実験用技術)
- 時間計測(TDC等)
- 時刻同期
- 高速パイプライン処理 (マルチイベント処理など)
- バッファ制御
- デジタルフィルタ
- データ圧縮

ナビゲーション

- [🏠 ホーム](#)
- [📁 オープンソースコンソーシアムとは](#)
- [📄 プロジェクトリスト](#)
- [📁 テクノロジー](#)

プロジェクトリスト

各プロジェクト名から各プロジェクトへのリンクが張られています。(NDAを締結しないと公開できない情報もあるためパスワードが必要なものもあります。概要が分かるよう順次整備していきます)

プロジェクト種別：Aは拠点間の連携による活動、Bは拠点と開発グループとの連携による活動です。

プロジェクト名称	共同開発グループ	代表者：参加者	参加拠点	技術特徴	プロジェクト種別	関連技術
QUIET-ADC	CMB(IPNS)	羽澄昌史：田島治、石徹白晃治、池野正弘、内田智久	IPNS	新しいデジタル信号復調方式、SiTCPの普及	既存技術の新規展開・教育 / B	FPGA,PCB



技術特徴

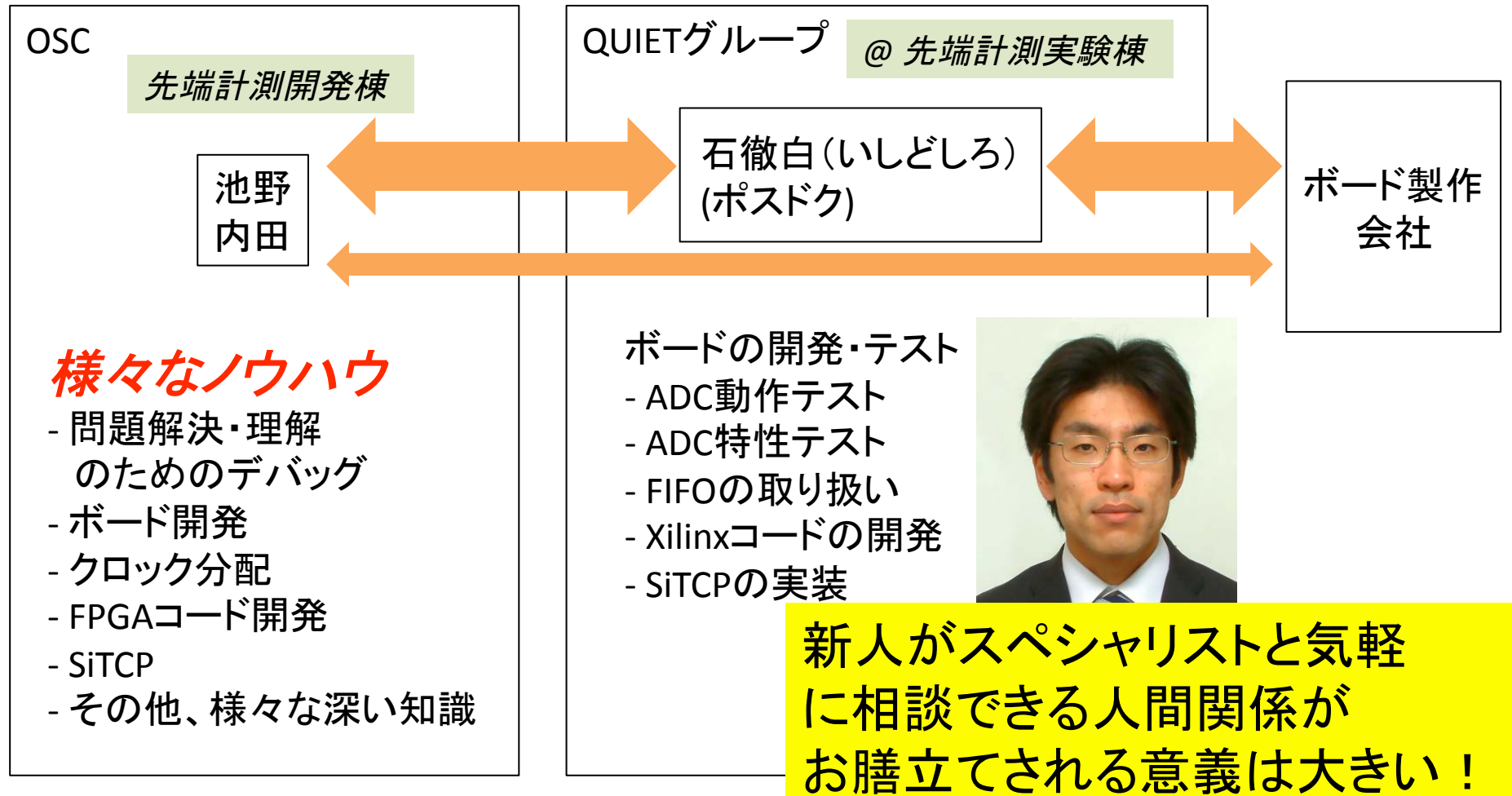
*「新しいデジタル信号復調方式」

⇔ CMB偏光実験で有用な信号復調方式の実装(FPGA)

*「SiTCPの普及」

⇔ シンプルな読み出しの導入 → スケーラビリティの向上

OSC利用体制 (敬省略)



* 月一回の定期打ち合わせで、問題の整理 (6/15, 7/14 予定)

* いしどしろが個別に内田氏、池野氏と相談

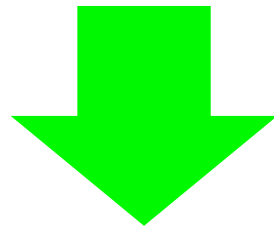
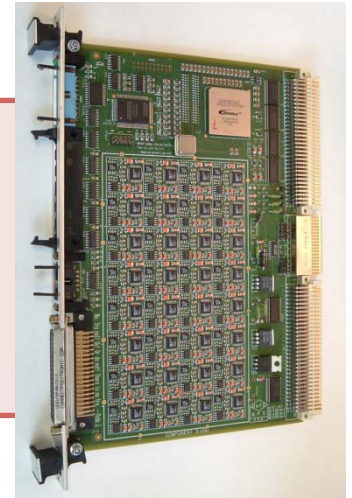
OSC参加以前に試作

QUIET-II用 試作ADCボード(ver.2009)

QUIET-I

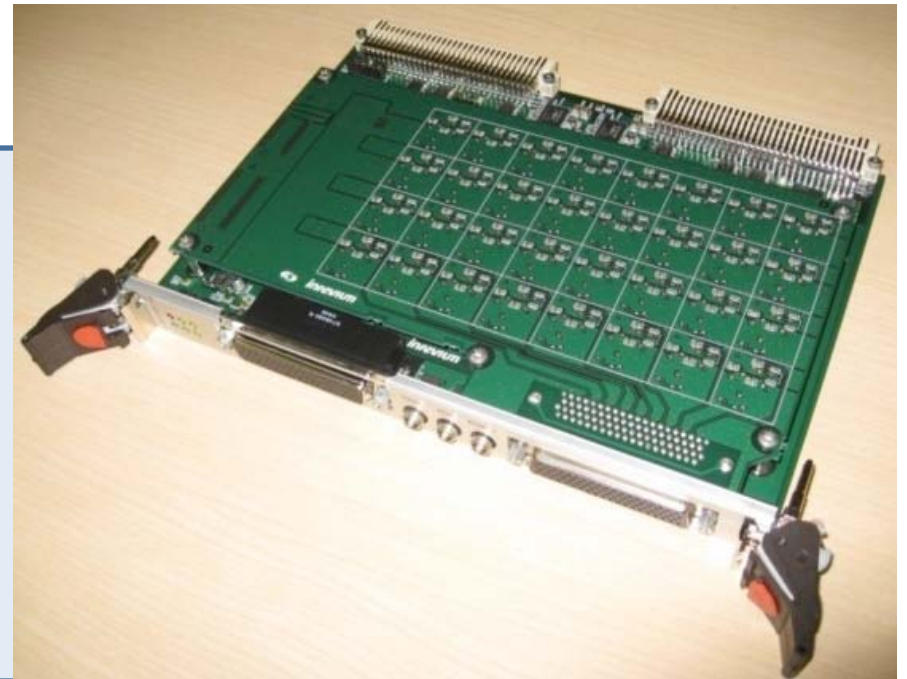
- 32ch, 800kHz sampling with 18 bit resolution
- FPGA for demodulation/integration → 100Hz

Phase-I
ADC
produced
at Chicago



QUIET-II

- QUIET-I用ADCのデザインにもとづいて、**高密度化に専念**
32ch/board → 64ch/board
- 読み出し: VME-bus



Ver.2009のテストで抱えた悩みと相談の例

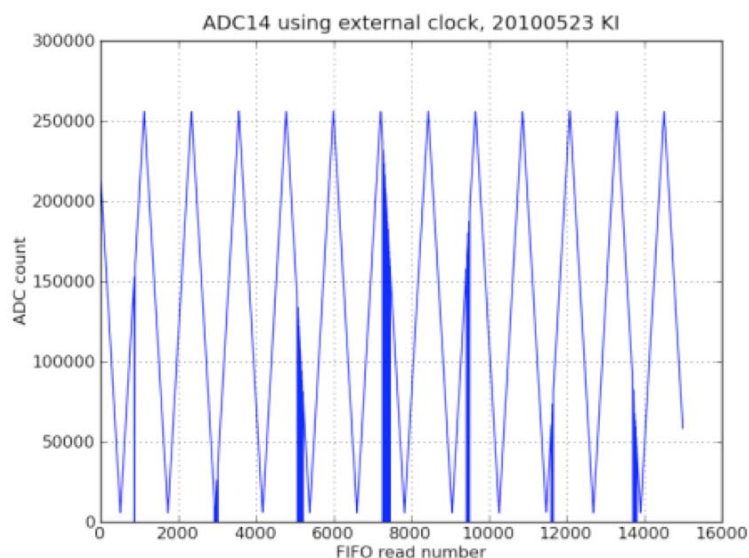
- 外部800kHzクロックと同期させようとする、
1万回に一回くらいADCを読みそこなう(ゼロ読み)

アドバイス

- 周期的に失敗しているように見える。
- FPGA内部クロックからみたら、外部クロックは $(800 \pm \epsilon)$ kHzである。

→ $(800 \pm \epsilon)$ kHzとしたSimulationで再現

→ FPGA駆動クロックレベルから外部とシンクロさせるべし。



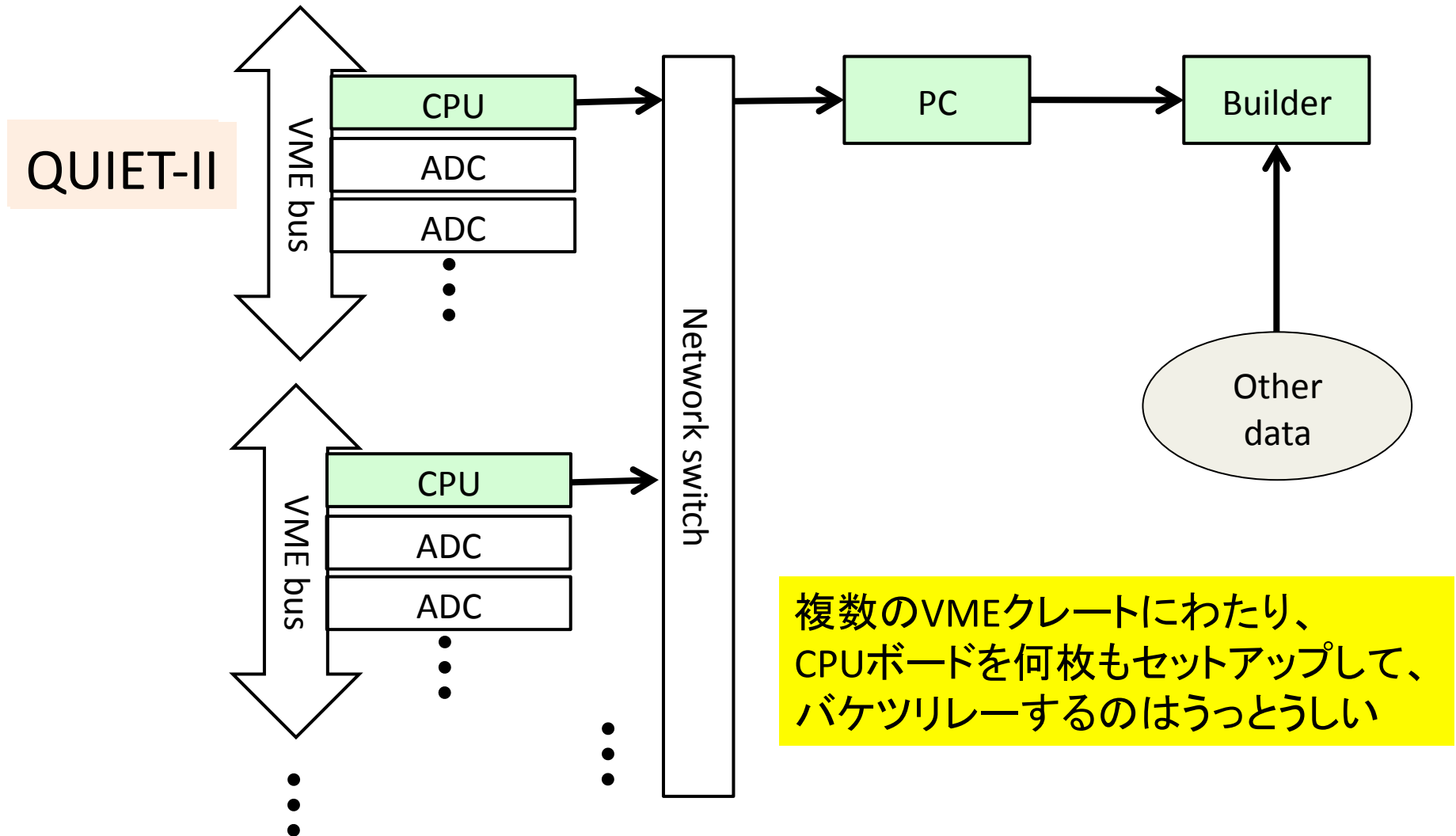
ノコギリ波を入れたときに
みえたゼロ読み問題

Ver.2009のテストで抱えた悩みと相談の例

- FPGA非同期FIFOがうまく動かない
アドバイス
 - 内田さんのコードを参考にさせてもらう
 - などなど....

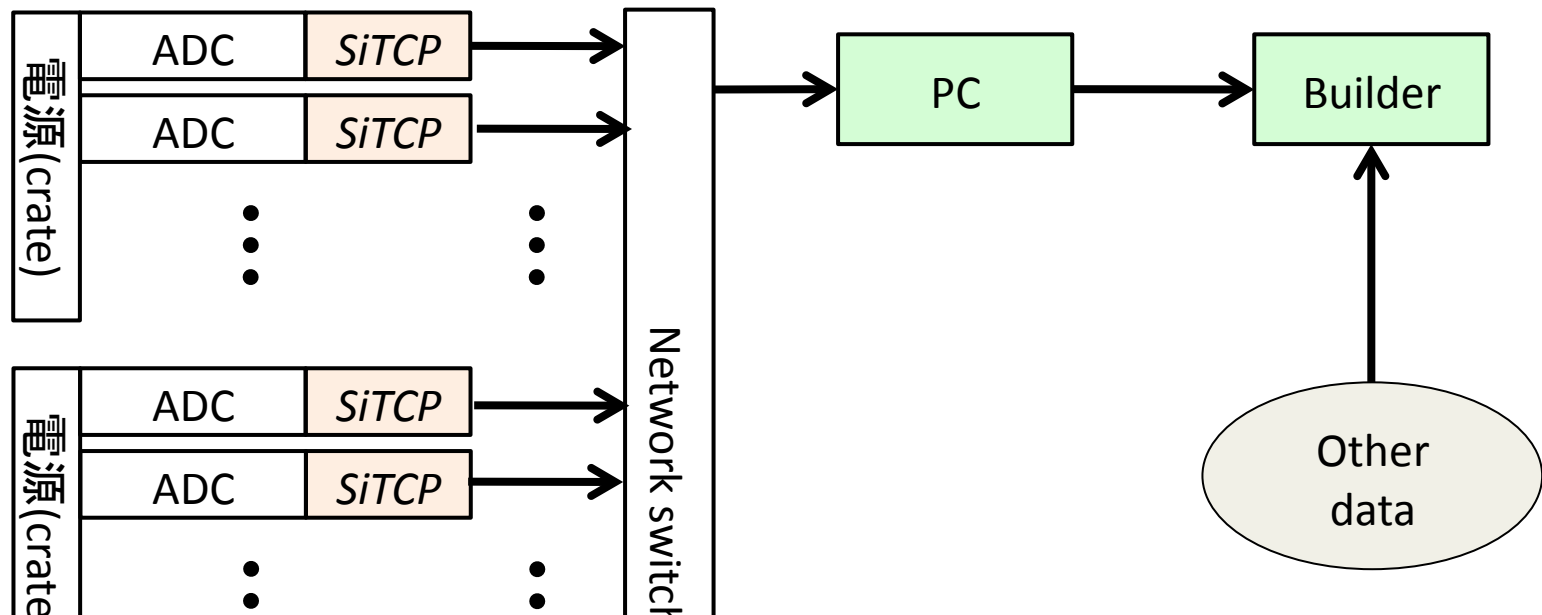
次期試作に向けた相談 その1

シンプルな読み出し



次期試作に向けた相談 その1

シンプルな読み出し→ SiTCPの導入

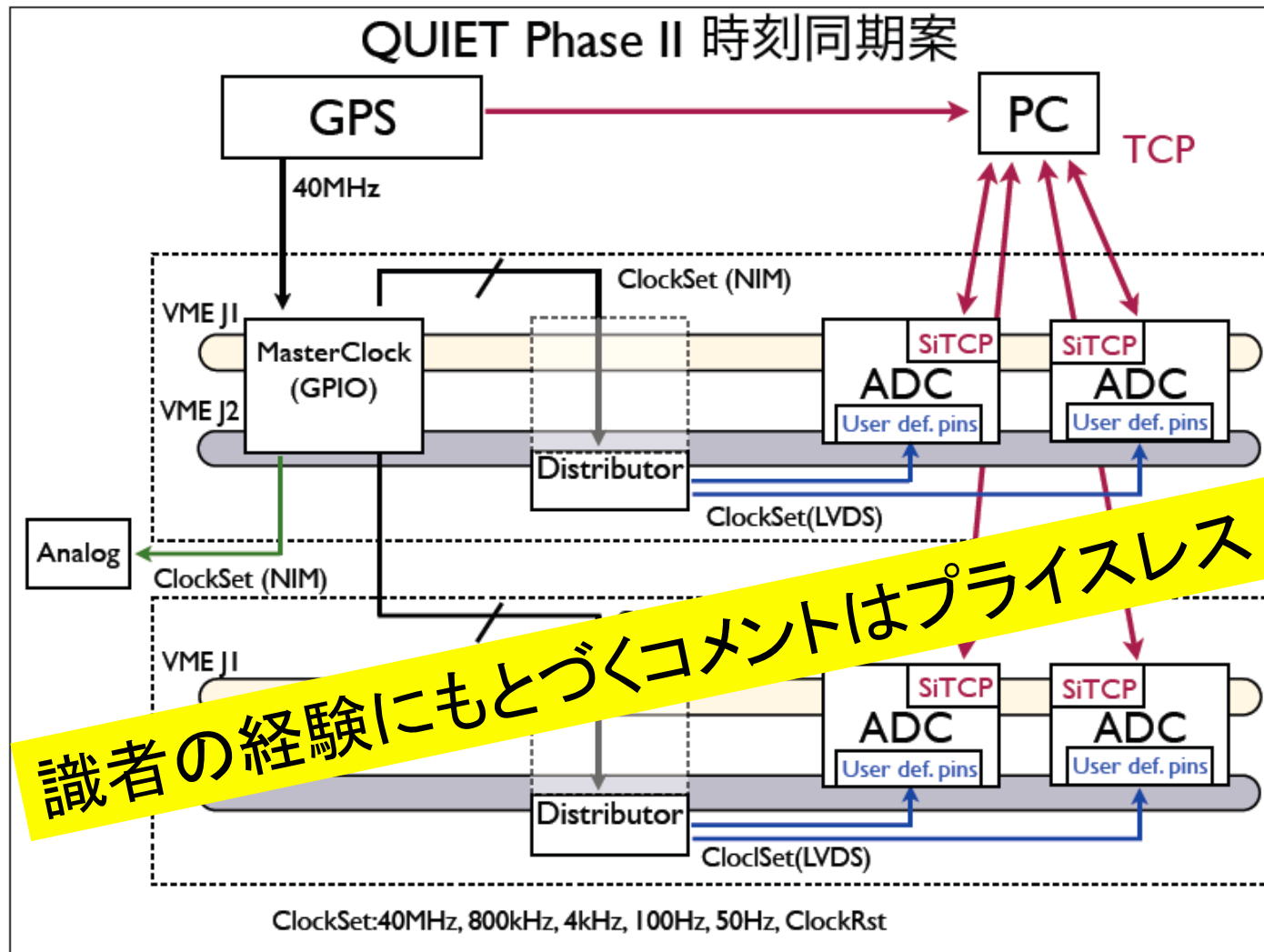


- CPUボードを何枚もセットアップしなくて良い
- VME読み出し用のソフトがいらぬ
- VME-busがらみのうっとおしきから解放
- 新たな悩みが生まれる可能性？
→ OSCを活用して解決する

次期試作に向けた相談 その2

クロック分配仕様の相談

複数枚のADCボードに、簡単かつ確実に分配したい



OSCに還元できそうなもの

- FPGAのコード
 - 18bits, 800kHz ADC(ADC7674)の読み出し
 - 「新しいデジタル復調方式」
- SiTCPのVHDLコード
 - いしどしろはVHDL
 - 内田さんはVerilog
- SiTCP等が高度5,080mでも動くという実績
 - 一般電化製品の保証は3,000mくらいまで
- その他、日本の技術を海外コミュニティーに普及
- 「実際の実験で役立ち、大発見を成し遂げた！」という実績は良い広告になる
- 石徹白(いしどしろ)を教育セミナー非常勤講師として派遣

まとめ

- CMB偏光を観測する QUIET実験アップグレード用の ADCシステムの開発にOSCの存在は大きい
- 新人が「専門家と知り合い、相談できる」環境を、容易に実現できるというのはプライスレスな魅力
- 新しい技術(e.g. SiTCP)を積極的に導入できる環境
- 実験グループとしてスキルアップしていく大きな助け
- どういう風にご利用していけばいいか、いろいろ不透明な部分も多いが、それを開拓・実例を作っていく事が一期生ユーザーの仕事でしょうか。