

Open It FPGA 研究会

汎用 VME マザーボード PT6 の開発

東京大学大学院理学系研究科 物理学専攻
素粒子物理国際研究センター 坂本研究室

神谷 隆之

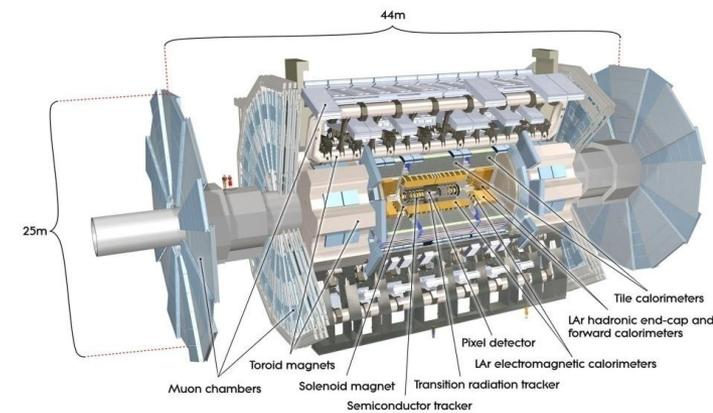
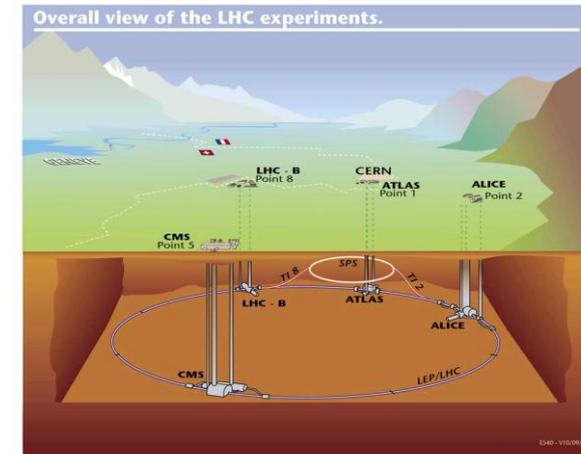
2011年2月16日



1. 開発の背景

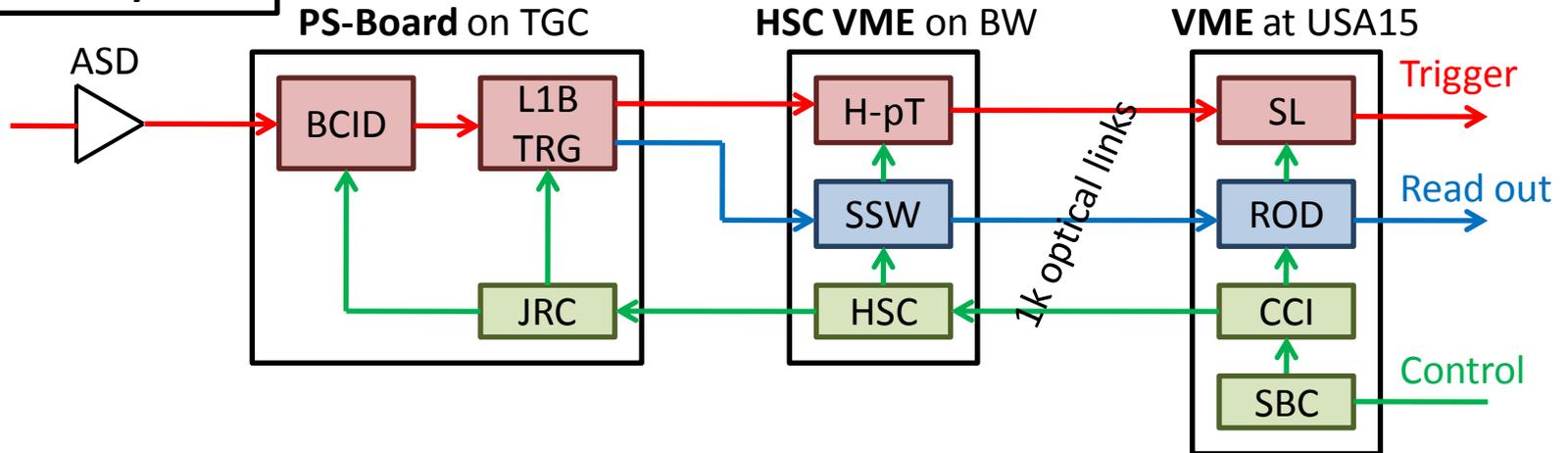
LHC と ATLAS のアップグレード

- LHC 加速器のアップグレード
 - CERN の LHC 加速器は Higgs や SUSY 探索のパフォーマンスを上げるためにルミノシティを $10^{34}\text{cm}^{-2}\text{s}^{-1} \rightarrow 5 \times 10^{34}\text{cm}^{-2}\text{s}^{-1}$ にする計画
- ATLAS 検出器のアップグレード
 - 放射線損傷による測定機及び加速器の寿命
 - 検出器自体の交換の必要性
 - エレキで用いられている技術・デバイスが古い
 - 検出器の交換に合わせて全取り換え
 - 高ルミノシティに伴う高トリガーレート
 - 新トリガーシステムの開発
 - それに伴う新モジュールの開発



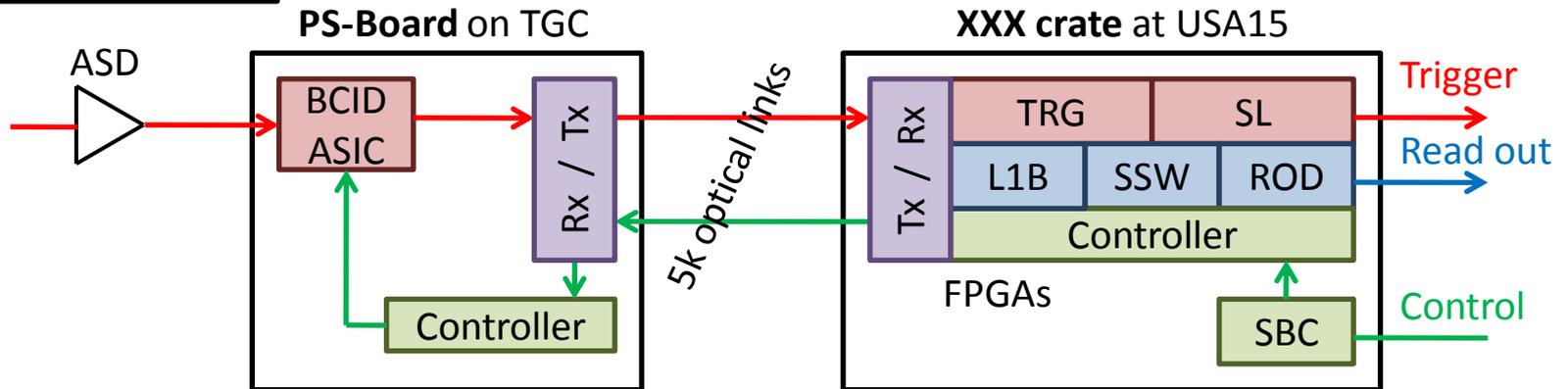
TGC システム読み出し系のアップグレード

Present system



Phase-2 upgrade

素子の高集積化に伴い、多くのモジュールをまとめてコンパクトに

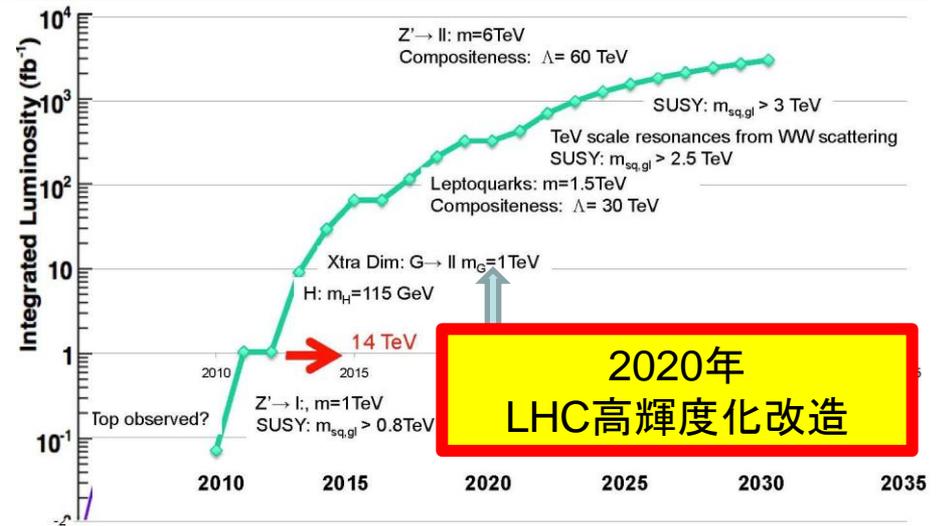


※案の1つの例であるが、全システムを1から新しく作り直す予定である

開発計画

- 開発のタイムスケール

- 2020年～インストール
- 2015年～建設
- R&D は今から必要



- TGC システム読み出し系の R&D をするための環境構築

- プロトタイピングを行うテストベンチ
 - プロトタイプ用汎用モジュール



2. 開発の目的

ROD (Read Out Driver) について

- ATLAS のデータ読み出しモジュール

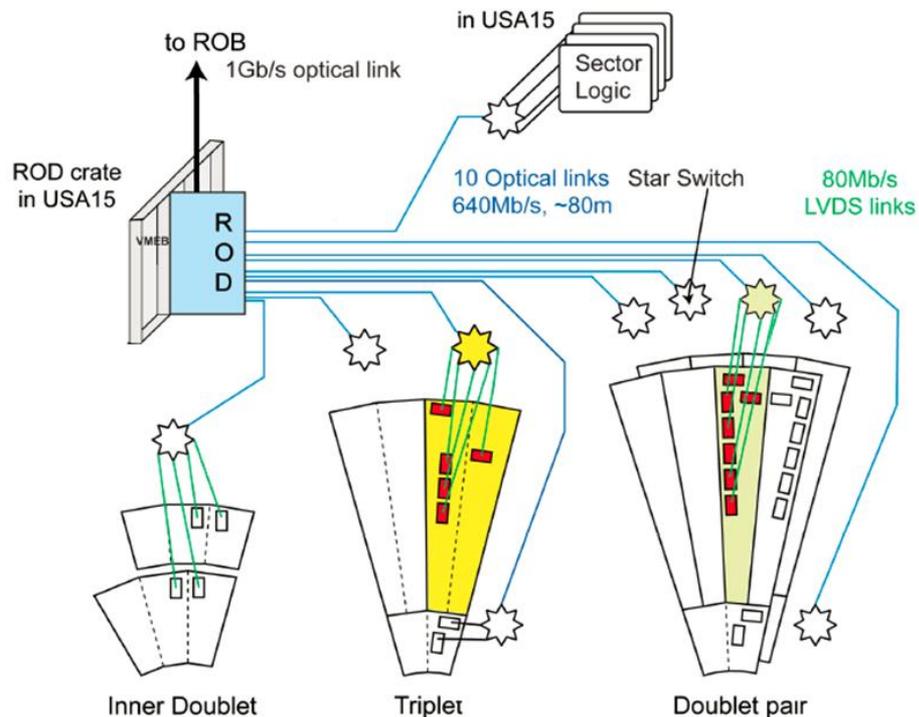
- 直前までの複数のモジュール (SSW, 最大10個) からの入力を受け, 1つにまとめて出力

- 入出力には G-Link, S-Link という CERN の 光通信規格を用いている

- 入力の転送速度 **640Mbps** (G-Link)

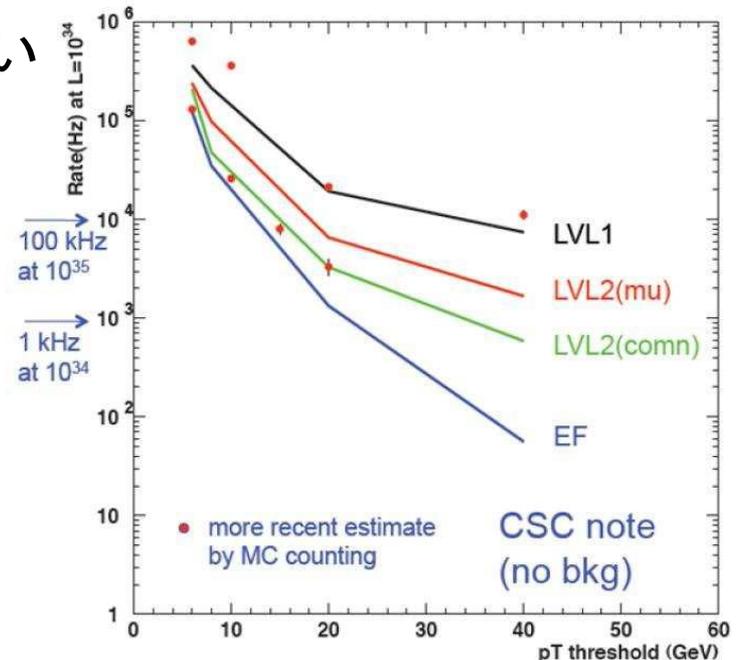
- 出力の転送速度 1Gbps (S-Link)

最新のものでは **2Gbps**



LHC アップグレード後の ROD にかかる負担

- Level 1 トリガーレートは pT の threshold によって調整可能
- アップグレード後は ルミノシティの増加に伴い Level 1 トリガーレートの **上限** を 75kHz から 150kHz にする予定
- イベントサイズも増加する (1.3倍程度)
- 入力データ量 75Mbps → **200Mbps**
- 出力データ量 750Mbps → **2Gbps**
- **FPGA 内部で今までの2倍以上のデータ処理能力が必要**



新 ROD への要請

- 入力データ量 200Mbps → 640Mbps の G-Link で大丈夫
- 出力データ量 2Gbps → CERN で 4Gbps の S-Link 開発中
- 2 ~ 3倍のデータ処理能力 → 高速・大規模な FPGA が必要
- 高度なエラー処理・診断機能
 - ソフトウェア処理がしたい → 組み込み CPU
 - エラーメッセージ出力・診断用のコンソール → Ethernet インターフェース
- システムを拡張させるための並列化・分散化システム
 - 高速なモジュール間通信 → 高速シリアル通信インターフェース

ROD の開発方針

1. 技術導入

- 評価ボードを使った検証
- プロトタイプ用汎用モジュール作成の際の仕様検討



2. プロトタイプ用汎用モジュールの作成 → PT6 (VMEモジュール)

- 評価ボードでは出来なかった技術評価も行う
- プロトタイプのビルディングブロックとして用いる

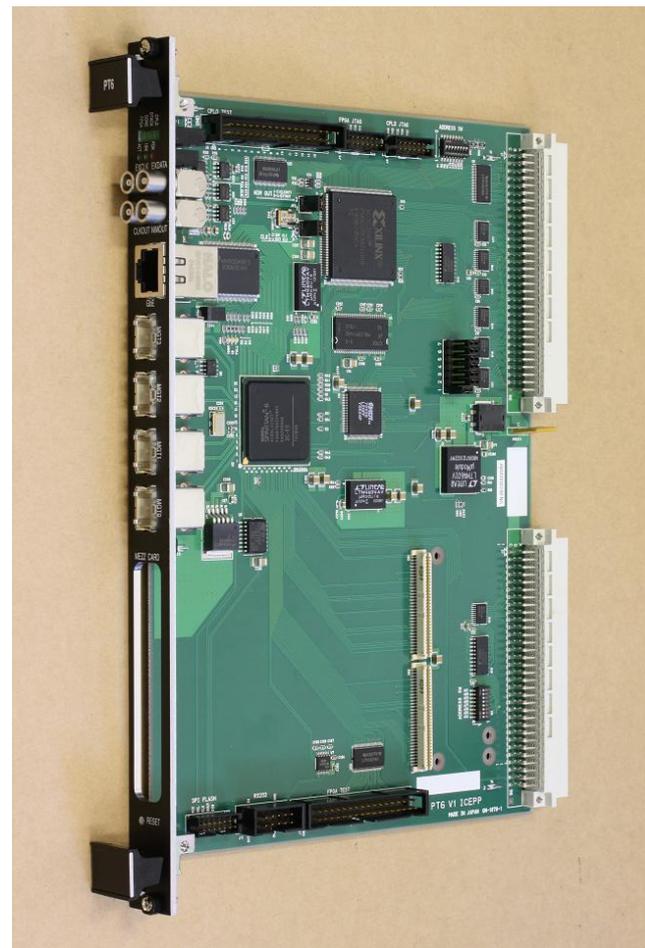
3. PT6 を用いた実機開発のための R&D (来年度以降)



3. PT6 の開発

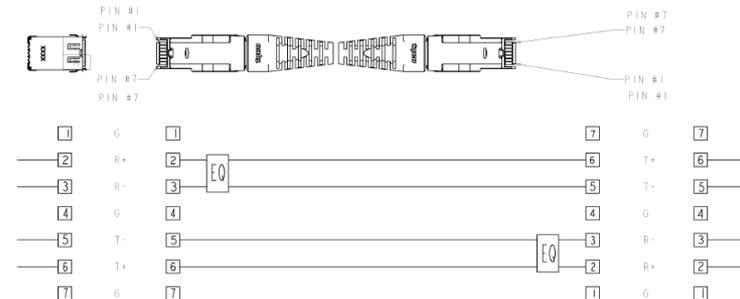
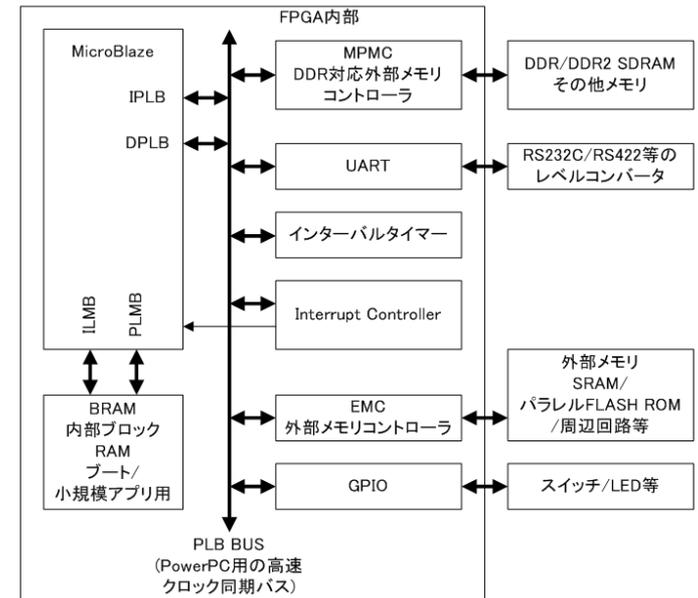
ROD 開発用プロトタイプ PT6 の開発

- VME 6U A32D32 スレーブモジュール
- Spartan6 LX150T FPGA 搭載
 - 従来の10倍の容量, 大規模なロジック構成可能
 - ソフト CPU コアが搭載可能
- Rocket IO インターフェース4口搭載
 - 並列・分散化データ処理のモジュール間通信に使える
 - 入力3口, 出力1口等のテストベンチ構成も可能
- Ethernet インターフェース搭載
 - エラーメッセージ出力・診断用コンソールとして用いる
- 3種の外部メモリを搭載
 - OS搭載を想定
- Mezzanine Card Slot を搭載
 - 従来の ROD の光ファイバーインターフェースである G-Link や S-Link の機能の子ボードを搭載可能



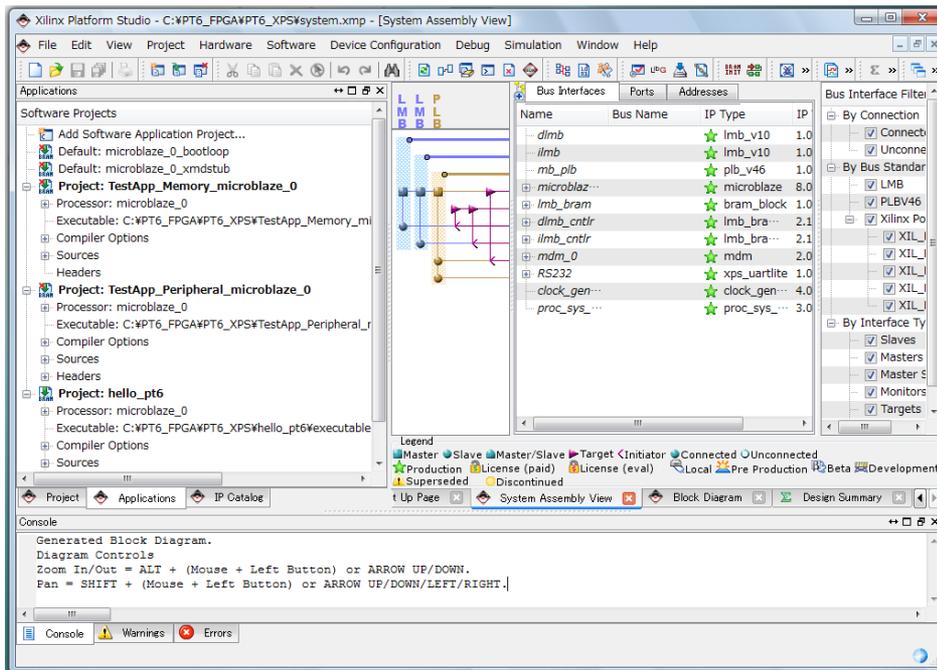
PT6 で新たに導入した技術

- MicroBlaze
 - Xilinx 社製の、FPGA に搭載可能なソフト CPU コア
 - **FPGA 上でソフトウェアを動作可能**
- Rocket IO ギガビットトランシーバ
 - Xilinx 社製の一部の FPGA に**組み込まれている**高速シリアル通信用トランシーバ
 - 125MHz の CLK で 1.25Gbps , **2.5Gbps**
 - S-Link 等の光通信に比べて**光信号変換器**や外付けのシリアライザなどが**いら**ない



PT6 を用いた MicroBlaze のテスト

- MicroBlaze のデザインは Xilinx Platform Studio を用いて生成できる
- 今回は “Hello PT6” という文字列を出力するプログラムを作成し、FPGA にダウンロード

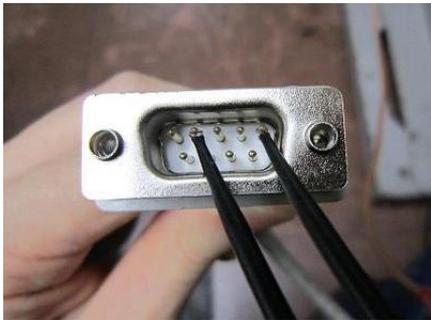


```
1 #include <stdio.h>  
2 int main(void)  
3 {  
4     print("Hello PT6\r\n");  
5     return 0;  
6 }
```

Xilinx Platform Studio

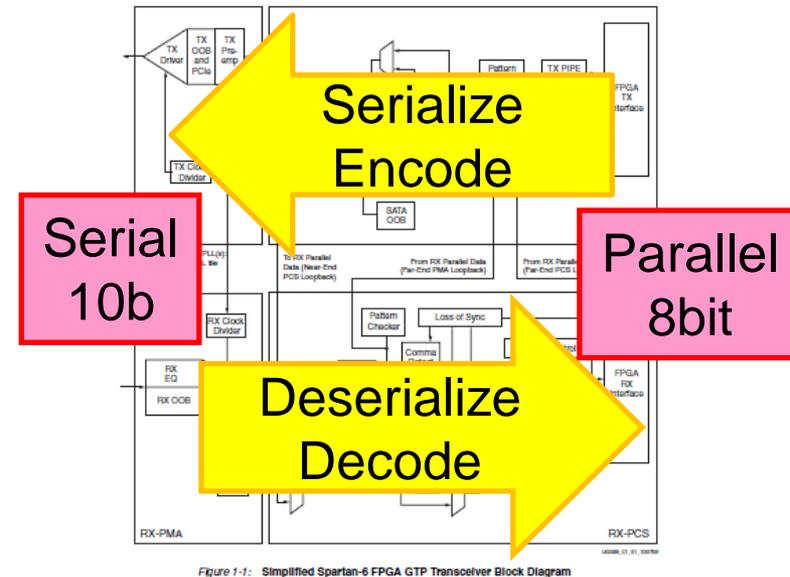
PT6 を用いた MicroBlaze のテスト

- MicroBlaze からの出力を RS232 の信号線に出力させて、Tera Term 端末に表示
- 正しい出力が確認でき、MicroBlaze の動作が確認できた



Rocket IO GTP

- Rocket IO ギガビットトランシーバ
 - Xilinx 社製の一部の FPGA に組み込まれている高速シリアル通信用トランシーバ
 - 125MHz の CLK で 1.25Gbps, 2.5Gbps
 - S-Link 等の光通信に比べて光信号変換器や外付けのシリアライザなどがいない



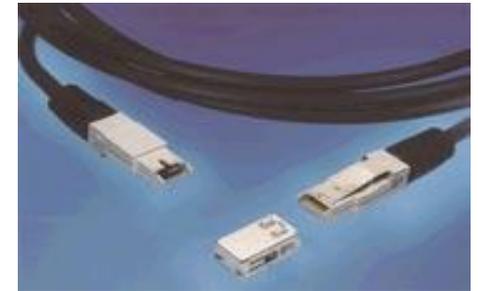
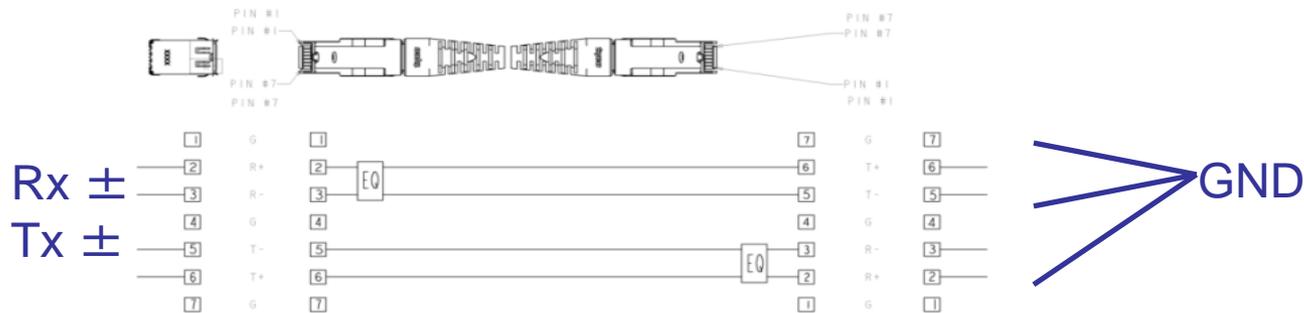
- 8b/10b
 - 高速シリアル通信の方式
 - 2bit 付加し、テーブル変換によって 0 や 1 のバランスをとる
 - 安定した高速通信が可能

例

000 00000 → 100111 0100
000 00001 → 011101 0100
...
111 11111 → 101011 0001

HSSDC2 ケーブル

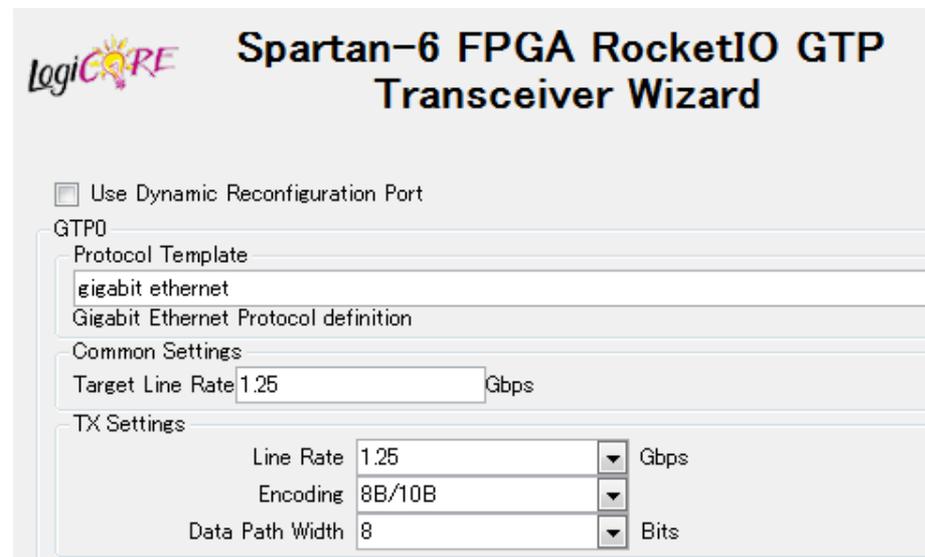
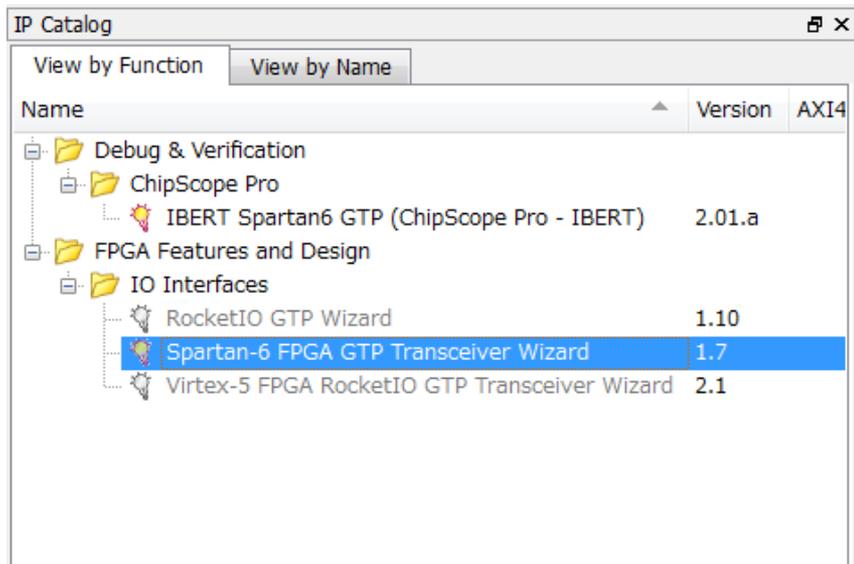
- Rocket IO 伝達用のケーブルは市販評価ボードでは SMA ケーブル
 - Rocket IO GTP は差動信号のため送受信で計**4本**必要
 - 場所をとる、スマートでない
- PT6 では **HSSDC2** (High Speed Serial Data Connector) を使用



- 1本のケーブルで信号線が7本 → **1本で全二重通信が可能**
- Max 5Gbps, 2.5Gbps では 17m までの通信が可能

Rocket IO GTP コアの生成

- Xilinx 社の CORE Generator で Spartan-6 FPGA GTP Transceiver Wizard を選択
- PT6 の場合 REFCLK が 125MHz なので Line Rate は 1.25Gbps, 2.5Gbps が選択可



基本的な使い方

- CORE Generator によるサンプルデザイン

```
//----- Receive Ports - RX Data Path interface -----  
output [7:0] TILE0_RXDATA0_OUT,  
output [7:0] TILE0_RXDATA1_OUT,  
input      TILE0_RXUSRCLK0_IN,  
input      TILE0_RXUSRCLK1_IN,  
input      TILE0_RXUSRCLK20_IN,  
input      TILE0_RXUSRCLK21_IN,  
//----- Receive Ports - RX Driver,OOB signalling,Coupling and Eq.,CDR -----  
input [1:0] TILE0_RXEQMIX0_IN,  
input [1:0] TILE0_RXEQMIX1_IN,  
input      TILE0_RXN0_IN,  
input      TILE0_RXN1_IN,  
input      TILE0_RXP0_IN,  
input      TILE0_RXP1_IN,
```

FPGA への
パラレル出力

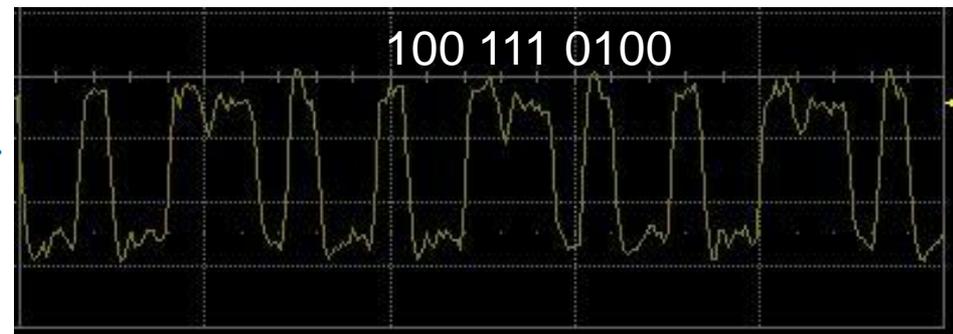
ケーブルからの
シリアル入力

高速シリアル通信インターフェース Rocket IO ギガビットランシーバのテスト

- 8bit 幅で $2^8 = 256$ パターンのデータを生成して Rocket IO で送受信し、FIFO メモリーに保存して順に読みだすテストを行った
- 1.25Gbps, 2.5Gbps どちらの場合でもテストは成功した



Rocket IO からの信号を
直接オシロスコープで観た様子



苦勞したこと

- Rocket IO ギガビットトランシーバを使用していた例は身近になかったため、全て独学
 - 今は基本的な使い方は分かったので、wiki 等に記録している
- シリアル信号は、どこがデータの区切りか分からないため、何も考えていないとエンコードした値とデコードした値が違っていることがよくあった

01100010100011101110001011000111000

- 適宜カンマ信号 (K28.5) を入れてやる必要がある

0011111010, 0110011011, 10011101010

その他の機能についてもテスト

- VME アクセス (CPLD ロジックの作成)
- NIM 入出力
- Mezzanine Card による光信号入出力
- Gigabit Ethernet (SiTCP 利用)
- 各種メモリへアクセス

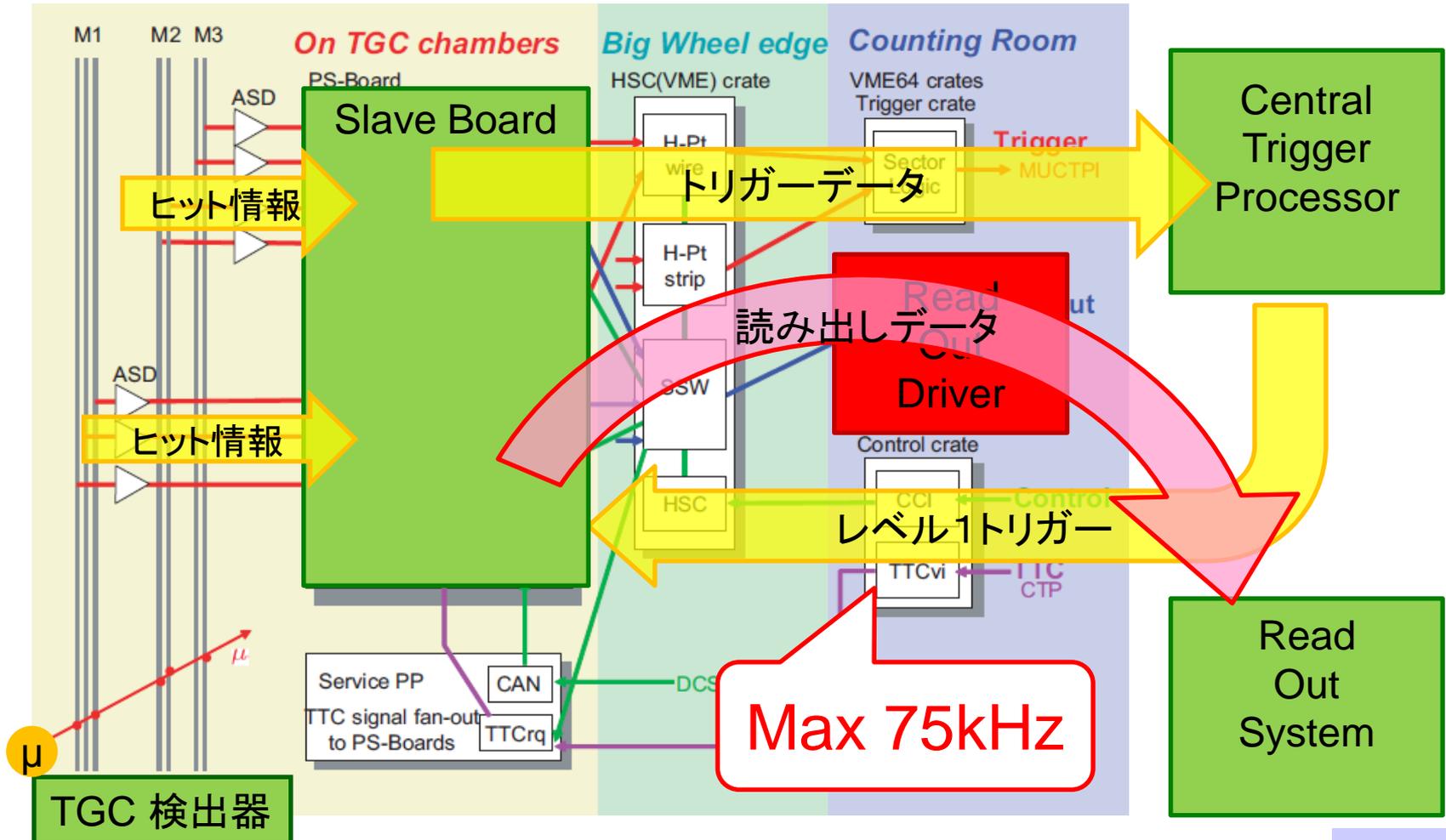
全て良好に動作

まとめ

- ATLAS 実験のデータ読み出しモジュール (ROD) のアップグレードの研究開発のためのプロトタイプモジュール (PT6) を開発した
- 新 ROD に要求されている**高速シリアル通信**のインターフェースや**CPU コア**の動作を確認できた
- PT6 をビルディングブロックとして使うための環境を整えた
- 新 ROD のエラー診断システム、分散・並列化システムの具体的な開発はこれからになるが、**その開発をするための基盤を整えた**

Back Up

ATLAS の現在の読み出し系



LHC加速器の主要パラメーターのまとめ

主リング周長	26658.883 m
陽子ビームエネルギー(入射エネルギー)	7.0 TeV (450 GeV)
最高ミノシティー (IP1, IP5)	$1.0 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$
バンチ間隔	25 nsec、40 MHz
バンチ数	2808 /ring
バンチ当りの陽子数	1.15×10^{11}
ビームエミッタンス(7 TeV)	$3.75 \times 10^{-6} \mu \text{ mrad}$
二口径双極電磁石	1232台
双極電磁石長、磁場	14.3 m, 8.33 Tesla
曲げ半径	2803.95 m
回転周波数	11.245 kHz
RMSビームサイズ(IP1, IP5)	16.7 μm
RMSバンチ長さ(IP1, IP5)	7.55 cm
ビーム衝突角度(IP1, IP5)	$\pm 142.5 \mu\text{rad}$
交差平面(ATLAS, CMS)	垂直 (ATLAS), 水平(CMS)
バンチ衝突当りの陽子衝突数	19
全ミノシティー-寿命	14.9 hour
シンクロトロン放射損失エネルギー	3.6 kW / ring, 6.71 keV/turn

2011/2/16

LHC/ATLAS アップグレード

2010 5 24 徳宿克夫

•背景

- 放射線損傷による、測定器および加速器のパーツの寿命。
 - シリコントラッカー、Inner Triplet Magnetなどは(フルルミノシティ運転で)5年程度。
- LHCの初期の結果によって、高エネルギーの研究方針がきちんと定まるが、2020年を超えてLHC実験を進めていくということは、現時点では重要な戦略。(なんにせよUpgradeが不可欠)

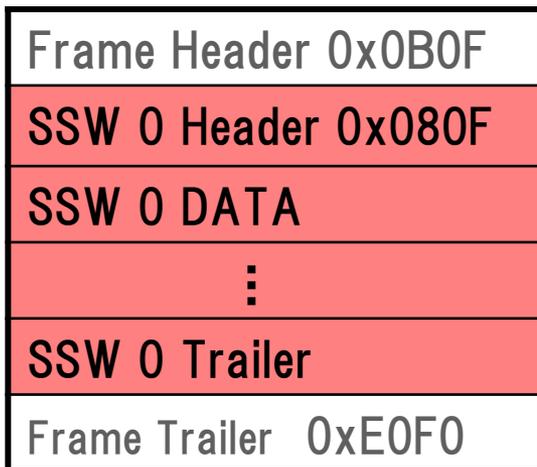
•CERNの暫定方針

- LHC運転の目標
 - 2030年ぐらいまでに、積算ルミノシティ2000-3000fb⁻¹
 - 最大ルミノシティは5x10³⁴(cm⁻²s⁻¹)。クラブ空洞などを使って、ルミノシティを一定にする。

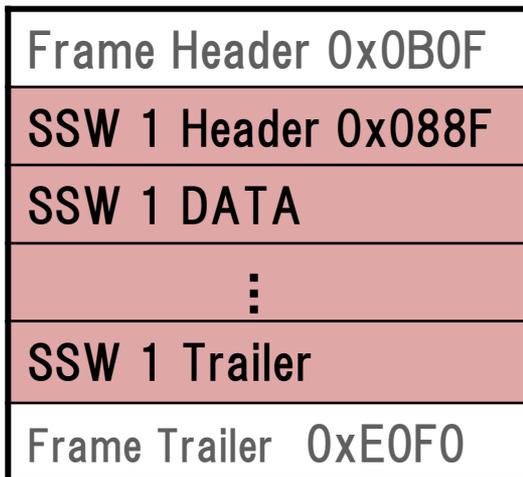
• ATLAS

- 5x10³⁴ に対応できる測定器への改善：
 - 内部のトラッカーの全面交換(放射線、高ルミ対策)
 - 必要なデータが取れるためのトリガーの改善
 - 日本グループは、これまでも担当してきた、ミューオントリガーとシリコン検出器(ストリップ、ピクセル)に参加。
 - 実際に作り始めるのは2015年ぐらいであるが、R&Dは今からやらないと間に合わない

入力データ0 (SSW 0)



入力データ1 (SSW 1)



コントロールビット(2ビット)

+

データビット(16ビット)

2011/2/16

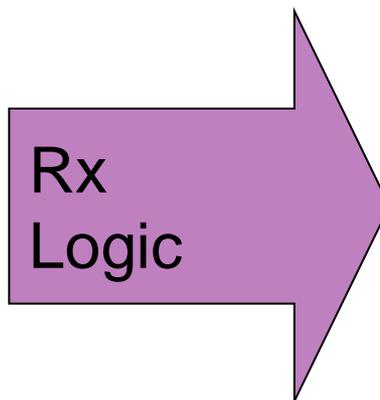
出力データ (Rx_OUT)



コントロールビット(2ビット)

+

データビット(16ビット)



$$32 \cdot 2 + 32 \cdot 2 + 32 \cdot 2 \cdot 18 = 1280 \text{ bit} = 160 \text{ byte}$$

Event Header 000

New, Record Type 01	
31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	
000	RecType SSWD RX mask pattern (1=enabled, 0=disabled)

Record Type (RecType) is 01 in this format version, hard-wired in FPGA.
SSWD is arbitrarily set by a dip-switch on each SSW board.

SLB header 010

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	
010	SLBD 0 BCmap Mod Type 0 L1ID BCID

BCmap shows 38C data lines taken by RX. 3bit shows (next, current, previous) events. 1=adopted, 0=discarded.
SLBD, Mod Type, L1ID and BCID are all SLB's data. See SLB documents.

SLB header 011-0

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	
011	0 0 RXID 0 RX FIFO status SLB-OVF RX-OVF

RXID is RX identified number from 0 to 22.
RX FIFO status tells what amount of data are stored in RX FIFO then.
SLB-OVF is SLB's data. See SLB documents.
RX-OVF is RX-FIFO overflow counter. This tells the snapshot value when this word is sent from RX to TX.

SLB trailer 011-1 This word appears after SLB data words *only when there is an error*

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	
31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16	
011	1 LVDStk/LVDSink RX error state

LVDStk=LVDS links status. 2bits are (new,old). 1=Not linked, 0=Linked.
SEU = SLB SEU flag. See SLB documents.
OVF = RX-FIFO overflow flag. If OVF=1, some overflows have happened in this RX data.

SLB data 100, 101, 110

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	
31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16	
100	cell address cell bitmap
101	cell address cell bitmap
110	cell address cell bitmap

In any order:
Cell data for Current BC data
Cell data for Previous BC data
Cell data for Next BC data

PAD word 110

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	
110	11111 0

i.e. 0x0F0

Event Trailer 111

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	
111	GrkCA LnkTrk LnkTmrc XOR check sum

Grk = Glink TX status. "Locked" signal of Glink Tx. 1=Not locked, 0=Locked
TtC = Timeout1_count_flag. Time-out to collect the event fragment from all the enabled input ports.
NRC = Nres_count_flag. No response from RX FIFO of "enabled" (not masked) input port.
T2C = Timeout2_count_flag. Time-out to collect the event fragment from each enabled RX FIFO.
These three flags are reset at every event.

The XOR operation includes the first word(160bits) of the event header through the first word of the event trailer.
When the result is XOR'ed with the XOR checksum word, the result becomes zero. (the XOR does not include the 0x000F an 0x00F padding words)